



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0010327
(43) 공개일자 2019년01월30일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) *H01L 27/32* (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 51/5036 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2017-0092960
(22) 출원일자 2017년07월21일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김재현
경기도 파주시 월롱면 엘지로 245
김기한
경기도 파주시 월롱면 엘지로 245
김충효
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인천문

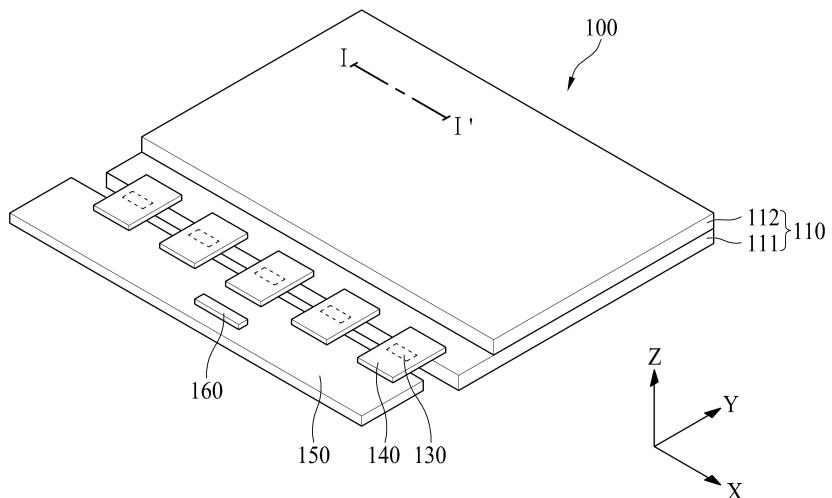
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 투명 표시 장치

(57) 요 약

본 발명은 영상의 시인성이 저하되는 것을 방지할 수 있는 투명 표시 장치를 제공하는 것으로, 제1 기판 상에 배치된 제1 트랜지스터 및 제2 트랜지스터, 제1 트랜지스터와 제2 트랜지스터 상에 배치된 유기 발광층, 및 유기 발광층 상에 배치된 전기 변색층을 포함하고, 유기 발광층은 제1 트랜지스터와 전기적으로 연결되고, 전기 변색층은 제2 트랜지스터와 전기적으로 연결된다.

대 표 도 - 도1



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/5206 (2013.01)

H01L 51/5221 (2013.01)

H01L 51/5253 (2013.01)

명세서

청구범위

청구항 1

제1 기판;

상기 제1 기판 상에 배치된 제1 트랜지스터 및 제2 트랜지스터;

상기 제1 트랜지스터와 상기 제2 트랜지스터 상에 배치된 유기 발광층; 및

상기 유기 발광층 상에 배치된 전기 변색층을 포함하고,

상기 유기 발광층은 상기 제1 트랜지스터와 전기적으로 연결되고, 상기 전기 변색층은 상기 제2 트랜지스터와 전기적으로 연결된 투명 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 트랜지스터와 상기 제2 트랜지스터는 동일한 층에 이격되어 배치된 투명 표시 장치.

청구항 3

제 1 항에 있어서,

상기 유기 발광층과 상기 전기 변색층은 중첩되는 투명 표시 장치.

청구항 4

제 1 항에 있어서,

상기 유기 발광층 및 상기 전기 변색층은 상기 제1 트랜지스터 및 상기 제2 트랜지스터 사이에 배치된 투명 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제1 트랜지스터 상에 배치된 제1 애노드 전극;

상기 제1 애노드 전극 상에 배치된 상기 유기 발광층;

상기 유기 발광층 상에 배치된 제1 캐소드 전극;

상기 제1 캐소드 전극 상에 배치된 제2 애노드 전극;

상기 제2 애노드 전극 상에 배치된 상기 전기 변색층; 및

상기 전기 변색층 상에 배치된 제2 캐소드 전극을 더 포함하고,

상기 제1 애노드 전극은 상기 제1 트랜지스터와 전기적으로 연결되고, 상기 제2 애노드 전극은 상기 제2 트랜지스터와 전기적으로 연결되는 투명 표시 장치.

청구항 6

제 5 항에 있어서,

상기 제1 트랜지스터와 상기 제2 트랜지스터 상에 배치된 보호막;

상기 보호막 상에 배치되고, 상기 유기 발광층을 화소마다 분리하는 제1 뱅크;

상기 제1 뱅크 상에 배치된 제1 오버코트층; 및

상기 제1 오버코트층 상에 배치되며, 상기 전기 변색층을 화소마다 분리하는 제2 뱅크를 더 포함하고,

상기 제2 애노드 전극은 상기 보호막, 상기 제1 뱅크, 및 제1 오버코트층을 관통하는 제2 콘택홀을 통해 상기 제2 트랜지스터와 전기적으로 연결되는 투명 표시 장치.

청구항 7

제 6 항에 있어서,

상기 제2 콘택홀은 상기 제2 뱅크와 중첩되는 투명 표시 장치.

청구항 8

제 6 항에 있어서,

상기 제2 캐소드 전극 상에 배치된 제2 오버코트층을 더 포함하고,

상기 제2 오버코트층은 적어도 하나 이상의 유기막과 무기막을 포함하는 투명 표시 장치.

청구항 9

제 8 항에 있어서,

상기 제1 오버코트층은 적어도 하나 이상의 유기막과 무기막을 포함하는 투명 표시 장치.

발명의 설명

기술 분야

[0001]

본 발명은 투명 표시 장치에 관한 것이다.

배경 기술

[0002]

최근 정보화 시대로 접어들에 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 이에 부응하여 여러 가지 다양한 표시장치가 개발되어 각광받고 있다. 이와 같은 표시장치의 구체적인 예로는 액정 표시장치(Liquid Crystal Display device: LCD), 플라즈마 표시장치(Plasma Display Panel device: PDP), 전계방출 표시장치(Field Emission Display device: FED), 전기발광표시장치(Electroluminescence Display device: ELD), 유기발광소자(Organic Light Emitting Diodes: OLED) 등을 들 수 있다.

[0003]

최근에는 표시장치는 박형화, 경량화, 및 저 소비 전력화되고 있으며, 이로 인해 표시장치의 적용 분야가 계속 증가하고 있다. 특히, 표시장치는 대부분의 전자 장치나 모바일 기기에서 사용자 인터페이스의 하나로 사용되고 있다.

[0004]

또한, 최근에는 특성상 사용자가 표시장치의 배면(背面)에 위치한 사물 또는 배경을 볼 수 있는 투명표시장치에 대한 연구가 활발히 진행되고 있다. 투명표시장치는 공간 활용성, 인테리어 및 디자인의 장점을 가지며, 다양한 응용분야를 가질 수 있다. 투명표시장치는 정보인식, 정보처리 및 정보표시의 기능을 투명한 전자기기로 구현함으로써 기존 전자기기의 공간적 및 시각적 제약을 해소할 수 있다. 예를 들어, 투명표시장치는 건물이나 자동차의 창문(window)에 적용되어 배경을 보이거나 화상을 표시하는 스마트 창(smart window)으로 구현될 수 있다.

[0005]

이러한 투명표시장치는 유기발광표시장치로 구현될 수 있으며, 이 경우 전력 소비가 적은 장점이 있으나, 영상을 표시하는 경우 외부 광 차단이 되지 않아 시인성이 저하되며, 특히 검은색 화면의 시인성이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006]

본 발명은 전술한 문제점을 해결하고자 안출된 것으로, 영상의 시인성이 저하되는 것을 방지할 수 있는 투명 표

시 장치를 제공하는 것을 기술적 과제로 한다.

과제의 해결 수단

[0007] 상술한 기술적 과제를 달성하기 위한 본 발명은 제1 기판 상에 배치된 제1 트랜지스터 및 제2 트랜지스터, 제1 트랜지스터와 제2 트랜지스터 상에 배치된 유기 발광층, 및 유기 발광층 상에 배치된 전기 변색층을 포함하고, 유기 발광층은 제1 트랜지스터와 전기적으로 연결되고, 전기 변색층은 제2 트랜지스터와 전기적으로 연결된 투명 표시 장치를 제공한다.

발명의 효과

[0008] 본 발명의 실시예에 따른 투명 표시 장치는 발광부와 차광부를 중첩되도록 배치함으로써, 화소에서 검은색을 표시하는 경우 차광부에 의해서 외부 광 차단이 가능하다. 따라서, 본 발명의 실시예에 따른 투명 표시 장치는 외부 광에 의해 검은색 화면의 시인성이 저하되는 것을 방지할 수 있다.

[0009] 본 발명의 실시예에 따른 투명 표시 장치는 제1 트랜지스터 및 제2 트랜지스터가 동일한 층에 형성되기 때문에, 각각 다른 층에 형성되는 경우보다 투명 표시 장치의 두께가 얇아지고, 따라서 투과율이 향상될 수 있다.

[0010] 또한, 본 발명의 실시예에 따른 투명 표시 장치는 제1 트랜지스터 및 제2 트랜지스터를 동시에 형성할 수 있기 때문에 공정이 증가하는 것을 방지할 수 있다.

[0011] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 실시예에 따른 투명 표시 장치를 보여주는 사시도이다.

도 2는 도 1의 제1 기판, 게이트 구동부, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다.

도 3은 도 2에 도시된 화소를 확대하여 나타낸 평면도이다.

도 4는 본 발명의 실시예에 따른 유기발광 구동부의 구동 회로이다.

도 5는 본 발명의 실시예에 따른 광 제어 구동부의 구동 회로이다.

도 6a 내지 도 6d는 도 1의 I-I'의 일 예를 보여주는 단면도로서, 본 발명의 실시예에 따른 투명 표시 장치를 보여주는 개략도이다.

도 7은 도 6a의 확대도로서, 본 발명의 실시예에 따른 투명 표시 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0014] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제 1", "제 2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이를 용어들에 의해 권리범위가 한정되어서는 아니 된다. "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다. "상에"라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우뿐만 아니라 이를 구성들 사이에 제3의 구성이 개재되는 경우까지 포함하는 것을 의미한다.

[0015] 이하에서는 본 발명에 따른 투명 표시 장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도

도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

[0016] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

[0017] 도 1은 본 발명의 실시예에 따른 투명 표시 장치를 보여주는 사시도이다. 도 2는 도 1의 제1 기판, 게이트 구동부, 소스 드라이브 IC, 연성필름, 회로보드, 및 타이밍 제어부를 보여주는 평면도이다.

[0018] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 투명 표시 장치(100)는 표시패널(110), 게이트 구동부(120), 소스 드라이브 집적회로(integrated circuit, 이하 "IC"라 칭함)(130), 연성필름(140), 회로보드(150), 및 타이밍 제어부(160)를 포함한다.

[0019] 상기 표시패널(110)은 제1 기판(111)과 제2 기판(112)을 포함한다. 제2 기판(112)은 봉지 기판일 수 있다. 제1 기판(111)과 제2 기판(112)은 플라스틱 또는 유리(glass)일 수 있다.

[0020] 상기 제2 기판(112)과 마주보는 제1 기판(111)의 일면 상에는 게이트 라인들, 데이터 라인들, 및 화소들이 형성된다. 화소들은 게이트 라인들과 데이터 라인들의 교차 구조에 의해 정의되는 영역에 마련된다.

[0021] 화소들 각각은 박막 트랜지스터와 제1 전극, 유기발광층, 및 제2 전극을 구비하는 유기발광소자를 포함할 수 있다. 화소들 각각은 박막 트랜지스터를 이용하여 게이트 라인으로부터 게이트 신호가 입력되는 경우 데이터 라인의 데이터 전압에 따라 유기발광소자에 소정의 전류를 공급한다. 이로 인해, 화소들 각각의 유기발광소자는 소정의 전류에 따라 소정의 밝기로 발광할 수 있다. 화소들 각각의 구조에 대한 자세한 설명은 도 3 내지 도 7을 결부하여 후술한다.

[0022] 표시패널(110)은 도 2와 같이 화소들이 형성되어 화상을 표시하는 표시영역(DA)과 화상을 표시하지 않는 비 표시영역(NDA)으로 구분될 수 있다. 표시영역(DA)에는 게이트 라인들, 데이터 라인들, 및 화소들이 형성될 수 있다. 비 표시영역(NDA)에는 게이트 구동부(120)와 패드들이 형성될 수 있다.

[0023] 상기 게이트 구동부(120)는 타이밍 제어부(160)로부터 입력되는 게이트 제어신호에 따라 게이트 라인들에 게이트 신호들을 공급한다. 게이트 구동부(120)는 표시패널(110)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비 표시영역(DA)에 GIP(gate driver in panel) 방식으로 형성될 수 있다. 또는, 게이트 구동부(120)는 구동 칩으로 제작되어 연성필름에 실장되고 TAB(tape automated bonding) 방식으로 표시패널(110)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비 표시영역(DA)에 부착될 수도 있다.

[0024] 상기 소스 드라이브 IC(130)는 타이밍 제어부(160)로부터 디지털 비디오 데이터와 소스 제어신호를 입력받는다. 소스 드라이브 IC(130)는 소스 제어신호에 따라 디지털 비디오 데이터를 아날로그 데이터전압들로 변환하여 데이터 라인들에 공급한다. 소스 드라이브 IC(130)가 구동 칩으로 제작되는 경우, COF(chip on film) 또는 COP(chip on plastic) 방식으로 연성필름(140)에 실장될 수 있다.

[0025] 표시패널(110)의 비 표시영역(NDA)에는 데이터 패드들과 같은 패드들이 형성될 수 있다. 연성필름(140)에는 패드들과 소스 드라이브 IC(130)를 연결하는 배선들, 패드들과 회로보드(150)의 배선들을 연결하는 배선들이 형성될 수 있다. 연성필름(140)은 이방성 도전 필름(antisotropic conducting film)을 이용하여 패드들 상에 부착되며, 이로 인해 패드들과 연성필름(140)의 배선들이 연결될 수 있다.

[0026] 상기 회로보드(150)는 연성필름(140)들에 부착될 수 있다. 회로보드(150)는 구동 칩들로 구현된 다수의 회로들이 실장될 수 있다. 예를 들어, 회로보드(150)에는 타이밍 제어부(160)가 실장될 수 있다. 회로보드(150)는 인쇄회로보드(printed circuit board) 또는 연성 인쇄회로보드(flexible printed circuit board)일 수 있다.

[0027] 상기 타이밍 제어부(160)는 회로보드(150)의 케이블을 통해 외부의 시스템 보드로부터 디지털 비디오 데이터와 타이밍 신호를 입력 받는다. 타이밍 제어부(160)는 타이밍 신호에 기초하여 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 제어신호와 소스 드라이브 IC(130)들을 제어하기 위한 소스 제어신호를 발생한다. 타이밍 제어부(160)는 게이트 제어신호를 게이트 구동부(120)에 공급하고, 소스 제어신호를 소스 드라이브 IC(130)들에 공급한다.

[0028] 도 3은 도 2에 도시된 화소를 확대하여 나타낸 평면도이고, 도 4는 본 발명의 실시예에 따른 유기발광 구동부의 구동 회로이고, 도 5는 본 발명의 실시예에 따른 광 제어 구동부의 구동 회로이다.

[0029] 도 3을 참조하면, 본 발명의 실시예에 따른 화소(P)는 유기발광 구동부(ED), 발광부(EA), 차광부(SA), 및 광 제어 구동부(CD)를 포함할 수 있다.

- [0030] 도 4를 참조하면, 상기 유기발광 구동부(ED)는 발광부(EA)를 제어하는 구동부로, 유기발광 다이오드(OLED), 제1 스캔 트랜지스터(ST1), 구동 트랜지스터(DT), 및 제1 커패시터(C1)를 포함할 수 있다. 제1 스캔 트랜지스터(ST1)는 제1 표시 게이트 라인(GD1)의 게이트 신호에 응답하여 제1 데이터 라인(D1)의 표시 데이터 전압을 구동 트랜지스터(DT)의 게이트 전극에 공급한다. 구동 트랜지스터(DT)는 게이트 전극에 공급되는 표시 데이터 전압에 따라 고전위 전압라인(VDDL)으로부터 유기발광 다이오드(OLED)로 흐르는 구동전류를 제어한다. 유기발광 다이오드(OLED)는 구동 트랜지스터(DT)와 저전위 전압라인(VSSL) 사이에 배치되어 구동전류에 따라 소정의 밝기로 발광한다. 제1 커패시터(C1)는 구동 트랜지스터(DT)의 게이트 전극의 전압을 일정하게 유지하기 위해, 구동 트랜지스터(DT)의 게이트 전극과 고전위 전압라인(VDDL) 사이에 형성될 수 있다.
- [0031] 도 5를 참조하면, 상기 광 제어 구동부(CD)는 발광부(EA)와 중첩되는 차광부(SA)를 제어하는 구동부로, 제2 스캔 트랜지스터(ST2), 화소 전극(PE), 공통 전극(CE), 전기 변색층(EC), 및 제2 커패시터(C2)를 포함할 수 있다. 제2 스캔 트랜지스터(ST2)는 제1 차광 게이트 라인(GS1)의 게이트 신호에 응답하여 제1 데이터 라인(D1)의 차광 데이터 전압을 화소전극(PE)에 공급한다. 공통 전극(CE)은 공통전압라인(VcomL)으로부터 공통전압을 공급받는다. 이로 인해, 화소(P)들 각각은 화소 전극(PE)에 공급된 차광 데이터 전압과 공통 전극(CE)에 공급된 공통전압의 전위차에 의해 발생되는 전계에 의해 전기 변색층(EC)을 구동하여 전기 변색층(EC)에 입사되는 광의 투과량을 조정할 수 있다. 제2 커패시터(C2)는 화소 전극(PE)과 공통 전극(CE) 사이에 마련되어 화소 전극(PE)과 공통 전극(CE) 간의 전압차를 일정하게 유지한다.
- [0032] 이러한, 본 발명의 실시예에 따른 투명 표시 장치(100)는 하나의 화소(P)에 유기발광 구동부(ED) 및 광 제어 구동부(CD)를 포함하며, 유기발광 구동부(ED) 및 광 제어 구동부(CD) 사이에서 발광부(EA)와 차광부(SA)를 중첩되도록 배치함으로써, 화소(P)에서 검은색을 표시하는 경우 차광부(SA)에 의해서 외부 광 차단이 가능하다. 따라서, 본 발명의 실시예에 따른 투명 표시 장치(100)는 외부 광에 의해 검은색 화면의 시인성이 저하되는 것을 방지할 수 있다. 또한, 본 발명의 실시예에 따른 투명 표시 장치(100)는 유기발광 구동부(ED)와 광 제어 구동부(CD)가 동일한 층에 형성되기 때문에 유기발광 구동부(ED)와 광 제어 구동부(CD)를 동시에 형성할 수 있으며, 다른 층에 형성되는 경우보다 투명 표시 장치(100)의 두께가 얇아지고 투과율이 향상될 수 있다.
- [0033] 도 6a 내지 도 6d는 도 1의 I-I'의 일 예를 보여주는 단면도로서, 본 발명의 실시예에 따른 투명 표시 장치를 보여주는 개략도이다.
- [0034] 도 6a 내지 도 6d를 참조하면, 본 발명의 실시예에 따른 투명 표시 장치는 제1 기판(111) 상에 트랜지스터층(10), 유기발광소자층(20), 및 광 제어층(30)을 포함할 수 있다.
- [0035] 상기 제1 기판(111)은 투명한 재질의 플라스틱 필름 또는 유리 기판일 수 있다.
- [0036] 상기 제1 기판(111) 상에는 트랜지스터층(10)이 형성된다. 트랜지스터층(10)은 스캔 라인들, 데이터 라인들, 및 트랜지스터(T1, T2)들을 포함할 수 있다. 트랜지스터(T1, T2)를 각각은 게이트 전극, 반도체층, 소스 및 드레인 전극들을 포함한다. 스캔 구동부가 GIP(gate driver in panel) 방식으로 형성되는 경우, 스캔 구동부는 트랜지스터층(10)과 함께 형성될 수 있다. 본 발명의 실시예에 따른 트랜지스터층(10)은 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)이 동일한 층에 형성되며, 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)은 화소(P)마다 배치된다. 본 발명의 실시예에 따른 투명 표시 장치(100)는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 동일한 층에 형성되기 때문에 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 동시에 형성할 수 있으며, 각각 다른 층에 형성되는 경우보다 투명 표시 장치(100)의 두께가 얇아지고 투과율이 향상될 수 있다.
- [0037] 트랜지스터층(10) 상에는 상기 유기발광소자층(20)이 형성된다. 유기발광소자층(20)은 제1 애노드 전극, 유기발광층, 제1 캐소드 전극, 제1 뱅크, 및 제1 오버코트층을 포함할 수 있다. 유기발광층은 정공 수송층(hole transporting layer), 발광층(organic light emitting layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 이 경우, 제1 전극과 제2 전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 발광층으로 이동되며, 발광층에서 서로 결합하여 발광하게 된다. 유기발광층이 형성된 영역은 발광부(EA)로 정의될 수 있으며, 유기발광층은 화소(P)마다 배치된다.
- [0038] 유기발광소자층(20) 상에는 상기 광 제어층(30)이 형성된다. 광 제어층(30)은 제2 애노드 전극, 전기 변색층, 제2 캐소드 전극, 제2 뱅크, 및 제2 오버코트층을 포함할 수 있다. 전기 변색층은 전압이 인가되지 않은 상태에서 빛을 투과시키는 투과 모드로 구현되며, 낮은 구동 전압으로 투과 모드에서 차광 모드로 전환할 수 있다. 전기 변색층이 형성된 영역은 차광부(SA)로 정의될 수 있으며, 전기 변색층은 화소(P)마다 배치된다. 본 발명의 실시예에 따른 투명 표시 장치(100)는 발광부(EA)와 차광부(SA)를 중첩되도록 배치함으로써, 화소(P)에서 검

은색을 표시하는 경우 차광부(SA)에 의해서 외부 광 차단이 가능하다. 따라서, 본 발명의 실시예에 따른 투명 표시 장치(100)는 외부 광에 의해 검은색 화면의 시인성이 저하되는 것을 방지할 수 있다.

[0039] 본 발명의 실시예에 따른 투명 표시 장치(100)의 자세한 구조에 대해서는 후술되는 도 7과 함께 보다 구체적으로 설명하도록 한다.

[0040] 이러한 본 발명의 실시예에 따른 투명 표시 장치(100)는 적어도 네 가지 형태로 구동될 수 있다.

[0041] 도 6a를 참조하면, 본 발명의 실시예에 따른 투명 표시 장치(100)는 투명 모드로서, 발광부(EA)와 차광부(SA)가 둘 다 구동되지 않는 형태이다. 투명 모드의 경우, 제1 기판(111)으로부터 입사한 빛이 제2 기판(112)으로 그대로 투과할 수 있다.

[0042] 도 6b를 참조하면, 본 발명의 실시예에 따른 투명 표시 장치(100)는 양면 발광 모드로서, 발광부(EA)만 구동되는 형태이다. 양면 발광 모드의 경우, 화소(P)에서 표시되는 영상이 제1 기판(111)과 제2 기판(112)에서 모두 시인될 수 있다. 이때, 화소(P)에서 검은색을 표시하는 경우, 해당 화소(P)에 배치된 차광부(SA)를 구동하고 발광부(EA)는 구동하지 않을 수 있다. 따라서, 외부 광에 의해 검은색 화면의 시인성이 저하되는 것을 방지할 수 있다.

[0043] 도 6c를 참조하면, 본 발명의 실시예에 따른 투명 표시 장치(100)는 단면 발광 모드로서, 발광부(EA)와 차광부(SA)가 둘 다 구동되는 형태이다. 단면 발광 모드의 경우, 화소(P)에서 표시되는 영상이 제1 기판(111)에서만 시인될 수 있다.

[0044] 도 6d를 참조하면, 본 발명의 실시예에 따른 투명 표시 장치(100)는 투명 표시 모드로서, 일부의 발광부(EA)만이 구동되는 형태이다.

[0045] 일 예에 따른 투명 표시 모드의 경우, 제1, 제3, 및 제5 화소(P1, P3, P5)의 발광부(EA)에서 영상을 표시하고, 제2, 제4, 및 제6 화소(P2, P4, P6)에서는 빛이 그대로 투과한다. 이때, 제1, 제3, 및 제5 화소(P1, P3, P5) 중 검은색을 표시하는 경우, 해당 화소(P)에 배치된 차광부(SA)를 구동하고 발광부(EA)는 구동하지 않을 수 있다. 따라서, 외부 광에 의해 검은색 화면의 시인성이 저하되는 것을 방지할 수 있다. 또한, 제1, 제3, 및 제5 화소(P1, P3, P5)의 발광부(EA)에서 영상을 표시하고, 제2, 제4, 및 제6 화소(P2, P4, P6)에서 차광부(SA)를 구동함으로써, 빛이 있는 환경에서 명실 명암비(contrast ratio)가 저하되는 것을 방지할 수 있다.

[0046] 도 7은 도 6a의 확대도로서, 본 발명의 실시예에 따른 투명 표시 장치의 단면도이다.

[0047] 도 7을 참조하면, 본 발명의 실시예에 따른 투명 표시 장치(100)는 제1 기판(111) 상에 트랜지스터층(10), 유기 발광소자층(20), 광 제어층(30), 및 제2 기판(112)을 포함할 수 있다.

[0048] 상기 제1 기판(111)은 상기 제2 기판(112)과 마주보도록 배치된다. 제1 기판(111)은 유리 또는 구부리거나 훨 수 있는 투명한 플라스틱, 예로서, 폴리이미드가 이용될 수 있다. 상기 폴리이미드를 제1 기판(111)의 재료로 이용할 경우에는, 제1 기판(111) 상에서 고온의 증착 공정이 이루어짐을 감안할 때, 고온에서 견딜 수 있는 내열성이 우수한 폴리이미드가 이용될 수 있다.

[0049] 제1 기판(111) 상에는 라이트 실드(LS)가 트랜지스터(T)와 중첩되도록 배치될 수 있다. 상기 라이트 실드(LS)는 액티브층(ACT1, ACT2)으로 입사되는 외부광을 차단하며, 저반사 물질로 이루어져 외부로부터 유입되는 광이 외부로 다시 반사되는 것을 방지할 수 있다. 따라서, 본 발명의 실시예에 따른 투명 표시 장치는 라이트 실드(LS)에 의해서 외부 광이 다시 반사되지 않기 때문에 야외에서 시인성이 떨어지는 것을 방지하여 화상 품위가 저하되는 것을 방지할 수 있다.

[0050] 제1 기판(111)의 일면 상에는 베퍼막(BF)이 형성된다. 상기 베퍼막(BF)은 투습에 취약한 제1 기판(111)을 통해 침투하는 수분으로부터 트랜지스터(T1, T2)들과 유기발광소자층(20)을 보호하기 위해 제1 기판(111)의 일면 상에 형성된다. 베퍼막(BF)은 교변하여 적층된 복수의 무기막들로 이루어질 수 있다. 예를 들어, 베퍼막(BF)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx), SiON 중 하나 이상의 무기막이 교변하여 적층된 다중막으로 형성될 수 있다.

[0051] 상기 트랜지스터층(10)은 제1 트랜지스터(T1) 및 제2 트랜지스터(T2), 제1 절연막(I1), 제2 절연막(I2), 및 보호막(PAS)을 포함할 수 있다.

[0052] 상기 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)는 제1 기판(111) 및 베퍼막(BF) 상에 형성된다. 본 발명의 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)는 동일한 층에 이격되어 배치된다. 그러므로, 본 발명의 실시예에 따

른 투명 표시 장치(100)는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 동일한 층에 형성되기 때문에, 각각 다른 층에 형성되는 경우보다 투명 표시 장치(100)의 두께가 얇아지고, 따라서 투과율이 향상될 수 있다. 또한, 본 발명의 실시예에 따른 투명 표시 장치(100)는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 동시에 형성할 수 있기 때문에 공정이 증가하는 것을 방지할 수 있다.

[0053] 제1 트랜지스터(T1) 및 제2 트랜지스터(T2) 각각은 액티브층(ACT1, ACT2), 게이트 전극(GE1, GE2), 소스 전극(SE1, SE2), 및 드레인 전극(DE1, DE2)을 포함한다. 도 7에 도시된 트랜지스터(T1, T2)는 게이트 전극(GE1, GE2)이 액티브층(ACT1, ACT2)의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식으로 형성된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 트랜지스터(T1, T2)는 게이트 전극(GE1, GE2)이 액티브층(ACT1, ACT2)의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 방식 또는 게이트 전극(GE1, GE2)이 액티브층(ACT1, ACT2)의 상부와 하부에 모두 위치하는 더블 게이트(double gate) 방식으로 형성될 수 있다.

[0054] 상기 액티브층(ACT1, ACT2)은 제1 기판(111) 및 베퍼막(BF) 상에 형성된다. 액티브층(ACT1, ACT2)은 실리콘계 반도체 물질 또는 산화물계 반도체 물질로 형성될 수 있다.

[0055] 상기 제1 절연막(I1)은 액티브층(ACT1, ACT2) 상에 형성된다. 제1 절연막(I1)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx), 또는 이들의 다중막으로 형성될 수 있다.

[0056] 상기 게이트 전극(GE1, GE2)은 제1 절연막(I1) 상에 형성된다. 제1 절연막(I1) 상에는 게이트 전극(GE1, GE2)과 게이트 라인이 형성될 수 있다. 게이트 전극(GE1, GE2)과 게이트 라인은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

[0057] 상기 제2 절연막(I2)은 게이트 전극(GE1, GE2)과 게이트 라인 상에 형성될 수 있다. 제2 절연막(I2)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx), 또는 이들의 다중막으로 형성될 수 있다.

[0058] 상기 소스 전극(SE1, SE2) 및 드레인 전극(DE1, DE2)은 제2 절연막(I2) 상에 형성된다. 제2 절연막(I2) 상에는 소스 전극(SE1, SE2), 드레인 전극(DE1, DE2), 및 데이터 라인이 형성될 수 있다. 소스 전극(SE1, SE2) 및 드레인 전극(DE1, DE2) 각각은 제1 절연막(I1)과 제2 절연막(I2)을 관통하는 콘택홀을 통해 액티브층(ACT1, ACT2)에 접속될 수 있다. 소스 전극(SE1, SE2), 드레인 전극(DE1, DE2), 및 데이터 라인은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층으로 형성될 수 있다.

[0059] 상기 보호막(PAS)은 소스 전극(SE1, SE2) 및 드레인 전극(DE1, DE2) 상에 형성된다. 보호막(PAS)은 소스 전극(SE1, SE2), 드레인 전극(DE1, DE2), 및 데이터 라인과 트랜지스터(T1, T2)를 절연한다. 보호막(PAS)은 무기막, 예를 들어 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx), 또는 이들의 다중막으로 형성될 수 있다.

[0060] 상기 평탄화막(PAC)은 보호막(PAS) 상에 형성된다. 평탄화막(PAC)은 트랜지스터(T1, T2)로 인한 단차를 평탄하게 하기 위해 보호막(PAS) 상에 형성된다. 평탄화막(PAC)은 아크릴 수지(acrylic resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다. 한편, 본 발명의 실시예에 따른 투명 표시 장치(100)의 평탄화막(PAC)은 생략될 수 있으며, 따라서 보호막(PAS) 상에 제1 애노드 전극(AND1) 및 제1 뱅크(W1)가 형성될 수 있다.

[0061] 상기 유기발광소자층(20)은 제1 애노드 전극(AND1), 제1 뱅크(W1), 유기 발광층(EL), 제1 캐소드 전극(CAT1), 및 제1 오버코트층(OC1)을 포함할 수 있다.

[0062] 상기 제1 애노드 전극(AND1)은 평탄화막(PAC) 또는 보호막(PAS) 상에 형성될 수 있다. 제1 애노드 전극(AND1)은 보호막(PAS)과 평탄화막(PAC)을 관통하는 제1 콘택홀(CNT1)을 통해 제1 트랜지스터(T1)의 제1 드레인 전극(DE1)에 접속된다. 이때, 제1 애노드 전극(AND1)은 투명 도전성 물질 예를 들어, 인듐-텅-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)일 수 있다.

[0063] 상기 제1 뱅크(W1)는 화소(P)들을 구획하기 위해 평탄화막(PAC) 상에서 제1 애노드 전극(AND1)의 가장자리를 덮도록 형성될 수 있다. 즉, 제1 뱅크(W1)는 화소(P)들을 정의하는 화소 정의막으로서 역할을 한다. 제1 뱅크(W1)는 아크릴 수지(acrylic resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.

[0064] 상기 유기 발광층(EL)은 제1 애노드 전극(AND1) 상에 형성된다. 본 발명의 실시예에 따른 유기 발광층(EL)은 제1 애노드 전극(AND1)을 통해서 제1 트랜지스터(T1)와 전기적으로 연결된다. 또한, 본 발명의 실시예에 따른

유기 발광층(EL)은 제1 트랜지스터(T1)와 제2 트랜지스터(T2) 사이에 배치되며, 후술되는 전기 변색층(EC)과 중첩된다. 따라서, 본 발명의 실시예에 따른 투명 표시 장치(100)는 유기 발광층(EL)과 차광 모드가 가능한 전기 변색층(EC)이 중첩되어 형성됨으로써, 화소(P)에서 검은색을 표시하는 경우 전기 변색층(EC)을 차광 모드로 구동하여 외부 광에 의해 검은색 화면의 시인성이 저하되는 것을 방지할 수 있다. 유기 발광층(EL)은 정공 주입층(Hole Injecting Layer), 정공 수송층(Hole Transporting Layer), 발광층(Emitting Layer), 전자 수송층(Electron Transporting Layer), 및 전자 주입층(Electron Injecting Layer)의 조합으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 당업계에 공지된 다양한 구조로 변경될 수 있다.

[0065] 상기 제1 캐소드 전극(CAT1)은 유기 발광층(EL) 상에 형성된다. 제1 캐소드 전극(CAT1)은 제2 트랜지스터(T2)와 중첩되는 제1 뱅크(W1) 상에서 끊어지도록 형성된다. 제1 캐소드 전극(CAT1)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material)로 형성될 수 있다.

[0066] 상기 제1 오버코트층(OC1)은 제1 캐소드 전극(CAT1) 및 제1 뱅크(W1) 상에 형성된다. 제1 오버코트층(OC1)은 유기발광소자층(20) 상부를 평탄화한다. 제1 오버코트층(OC1)은 아크릴계 수지(acryl resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin)등으로 이루어질 수 있다. 또한, 제1 오버코트층(OC1)은 적어도 하나 이상의 유기막과 무기막을 포함하여 유기발광소자층(20)을 수분 침투 등으로부터 보호할 수 있다.

[0067] 상기 광 제어층(30)은 제2 애노드 전극(AND2), 제2 뱅크(W2), 전기 변색층(EC), 제2 캐소드 전극(CAT2), 및 제2 오버코트층(OC2)을 포함할 수 있다.

[0068] 상기 제2 애노드 전극(AND2)은 제1 오버코트층(OC1) 상에 형성될 수 있다. 제2 애노드 전극(AND2)은 보호막(PAS), 평탄화막(PAC), 제1 뱅크(W1), 및 제1 오버코트층(OC1)을 관통하는 제2 콘택홀(CNT2)을 통해 제2 트랜지스터(T2)의 제2 드레인 전극(DE2) 또는 제2 소스 전극(SE2)에 접속된다. 이때, 제2 콘택홀(CNT2)은 제2 뱅크(W2)와 중첩된다. 제2 애노드 전극(AND2)은 투명 도전성 물질 예를 들어, 인듐-탄-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)일 수 있다.

[0069] 상기 제2 뱅크(W2)는 제1 오버코트층(OC1) 상에서 제2 애노드 전극(AND2)의 가장자리를 덮도록 형성될 수 있다. 제2 뱅크(W2)는 제1 뱅크(W1)와 중첩될 수 있다. 제2 뱅크(W2)는 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기막으로 형성될 수 있다.

[0070] 상기 전기 변색층(EC)은 제2 애노드 전극(AND2) 상에 형성된다. 본 발명의 실시예에 따른 전기 변색층(EC)은 제2 애노드 전극(AND2)을 통해서 제2 트랜지스터(T2)와 전기적으로 연결된다. 또한, 본 발명의 실시예에 따른 전기 변색층(EC)은 제1 트랜지스터(T1)와 제2 트랜지스터(T2) 사이에 배치되며, 유기 발광층(EL)과 중첩된다. 따라서, 본 발명의 실시예에 따른 투명 표시 장치(100)는 유기 발광층(EL)과 차광 모드가 가능한 전기 변색층(EC)이 중첩되어 형성됨으로써, 화소(P)에서 검은색을 표시하는 경우 전기 변색층(EC)을 차광 모드로 구동하여 외부 광에 의해 검은색 화면의 시인성이 저하되는 것을 방지할 수 있다.

[0071] 전기 변색층(EC)은 제1 차광 게이트 라인에 게이트 신호가 인가되는 경우 제1 데이터 라인의 제1 차광 데이터 전압을 화소 전극에 공급한다. 이 경우, 화소 전극과 공통전극에 전압이 인가되면 전기 변색층(EC)에서 전기화학적 산화환원 반응이 일어나며, 이로 인해 전기 변색층(EC)의 색이 변하게 된다.

[0072] 예를 들어, 화소 전극(PE)에 정극성의 데이터 전압이 인가되고 공통 전극(CE)에 공통 전압이 인가되면, 공통 전극(CE)에 인접한 변색층에서는 환원 반응이 일어나고, 화소 전극(PE)에 인접한 카운터층에서는 산화 반응이 일어난다. 이 경우, 변색층은 환원 반응에 의해 검은색과 같은 소정의 색으로 변하게 되므로, 입사되는 빛을 차광할 수 있다. 또한, 화소 전극(PE)에 부극성의 데이터 전압이 인가되고 공통 전극(CE)에 공통 전압이 인가되면, 공통 전극(CE)에 인접한 변색층에서는 산화 반응이 일어나고, 화소 전극(PE)에 인접한 카운터층에서는 환원 반응이 일어난다. 이 경우, 변색층은 산화 반응에 의해 투명하게 변하게 되므로, 입사되는 빛을 그대로 통과시킬 수 있다.

[0073] 상기 제2 캐소드 전극(CAT2)은 전기 변색층(EC) 상에 형성된다. 제2 캐소드 전극(CAT2)은 제1 트랜지스터(T1)와 중첩되는 제2 뱅크(W2) 상에서 끊어지도록 형성된다. 제2 캐소드 전극(CAT2)은 광을 투과시킬 수 있는 ITO, IZO와 같은 투명한 금속물질(TCO, Transparent Conductive Material)로 형성될 수 있다.

[0074] 상기 제2 오버코트층(OC2)은 제2 캐소드 전극(CAT2) 및 제2 뱅크(W2) 상에 형성된다. 제2 오버코트층(OC2)은 광 제어층(30) 상부를 평탄화한다. 제2 오버코트층(OC2)은 아크릴계 수지(acryl resin), 에폭시 수지(epoxy

resin), 폐놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin)등으로 이루어질 수 있다.

[0075] 또한, 제2 오버코트층(OC2)은 투명 표시 장치(100) 내부에 산소 또는 수분이 침투되는 것을 방지하는 역할을 할 수 있다. 이를 위해, 제2 오버코트층(OC2)은 적어도 하나의 무기막을 포함할 수 있다. 무기막은 실리콘 질화물, 알루미늄 질화물, 지르코늄 질화물, 티타늄 질화물, 하프늄 질화물, 탄탈륨 질화물, 실리콘 산화물, 알루미늄 산화물, 또는 티타늄 산화물로 형성될 수 있다. 또한, 제2 오버코트층(OC2)은 적어도 하나의 유기막을 더 포함할 수 있다. 유기막은 이물들(particles)이 제2 오버코트층(OC2)을 뚫고 캐소드 전극(CAT1, CAT2), 전기 변색층(EC), 및 유기 발광층(EL)에 투입되는 것을 방지하기 위해 충분한 두께로 형성될 수 있다.

[0076] 상기 제2 기판(112)은 제1 기판(111)과 마주보도록 제2 오버코트층(OC2) 상에 배치된다. 제2 기판(112)은 다중 층 구조의 무기막 또는 유기막 등으로 대체될 수 있다.

[0077] 이와 같이, 본 발명의 실시예에 따른 투명 표시 장치(100)는 유기 발광층(EL)과 전기 변색층(EC)를 중첩되도록 배치함으로써, 화소(P)에서 검은색을 표시하는 경우 전기 변색층(EC)에 의해서 외부 광 차단이 가능하다. 따라서, 본 발명의 실시예에 따른 투명 표시 장치(100)는 외부 광에 의해 검은색 화면의 시인성이 저하되는 것을 방지할 수 있다.

[0078] 또한, 본 발명의 실시예에 따른 투명 표시 장치(100)는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)가 동일한 층에 형성되기 때문에, 각각 다른 층에 형성되는 경우보다 투명 표시 장치(100)의 두께가 얇아지고, 따라서 투과율이 향상될 수 있다.

[0079] 또한, 본 발명의 실시예에 따른 투명 표시 장치(100)는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)를 동시에 형성할 수 있기 때문에 공정이 증가하는 것을 방지할 수 있다.

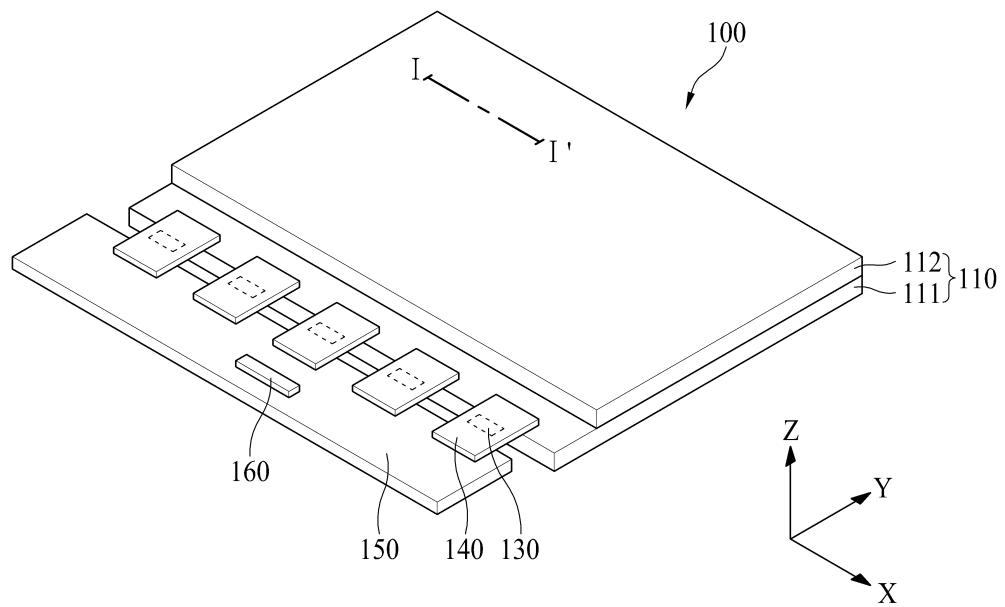
[0080] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

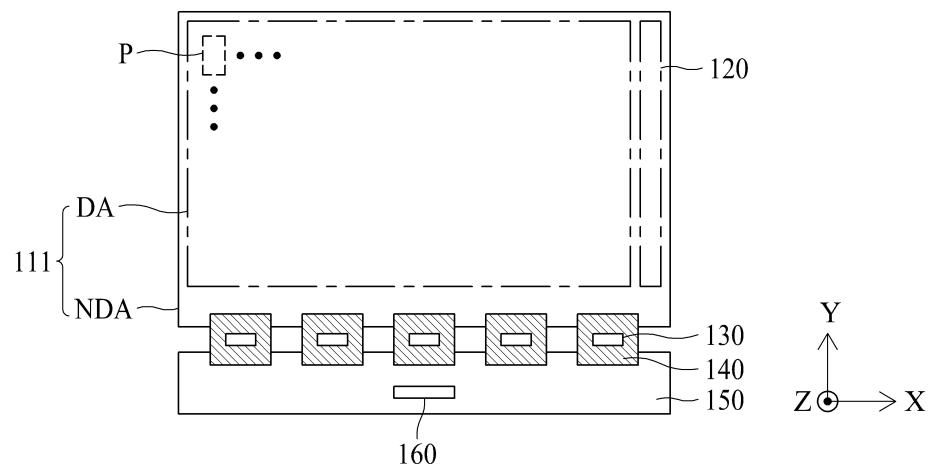
111: 제1 기판	10: 트랜지스터층
T1: 제1 트랜지스터	T2: 제2 트랜지스터
20: 유기발광소자층	AND1: 제1 애노드 전극
W1: 제1 뱅크	EL: 유기 발광층
CAT1: 제1 캐소드 전극	OC1: 제1 오버코트층
30: 광 제어층	AND2: 제2 애노드 전극
W2: 제2 뱅크	EC: 전기 변색층
CAT2: 제2 캐소드 전극	OC2: 제2 오버코트층
112: 제2 기판	

도면

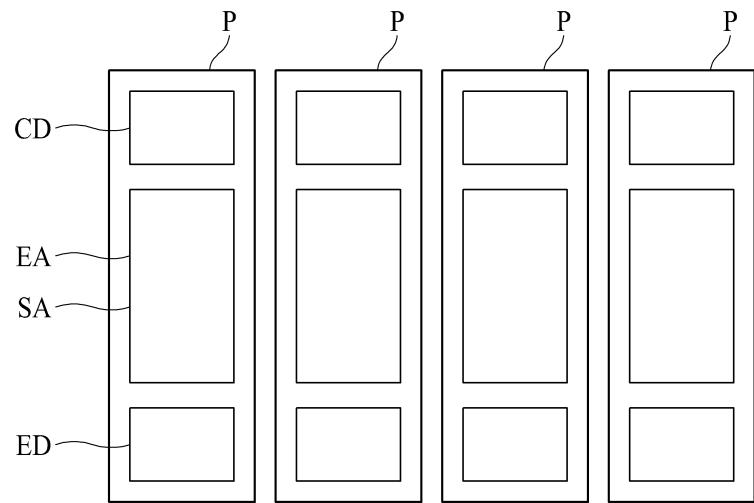
도면1



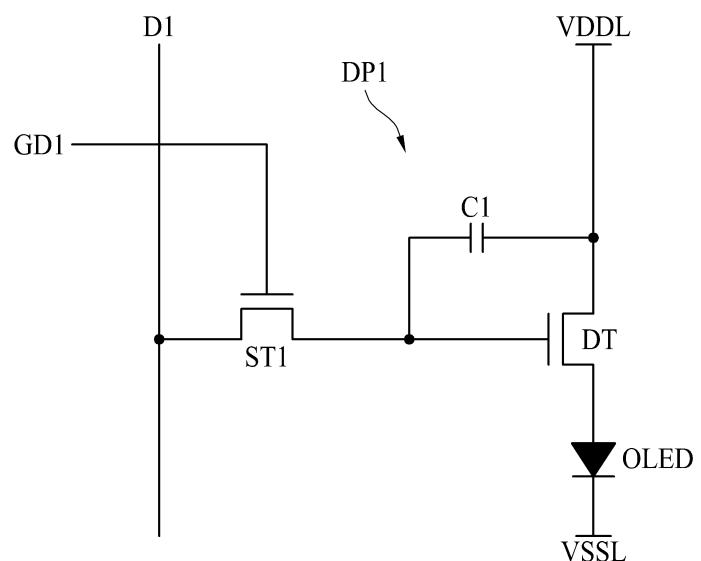
도면2



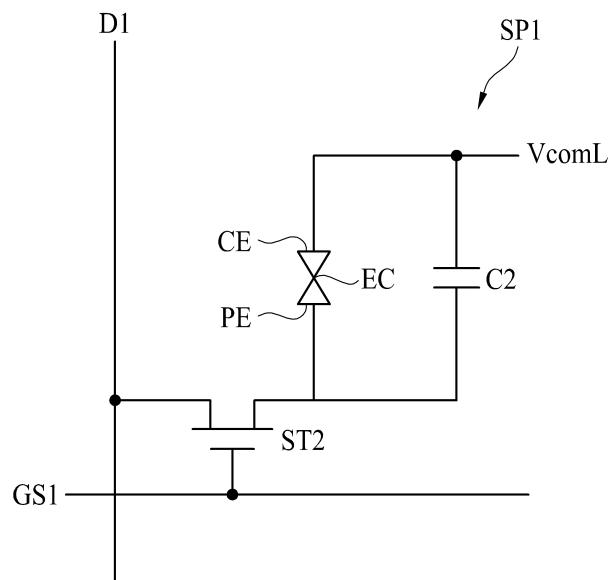
도면3



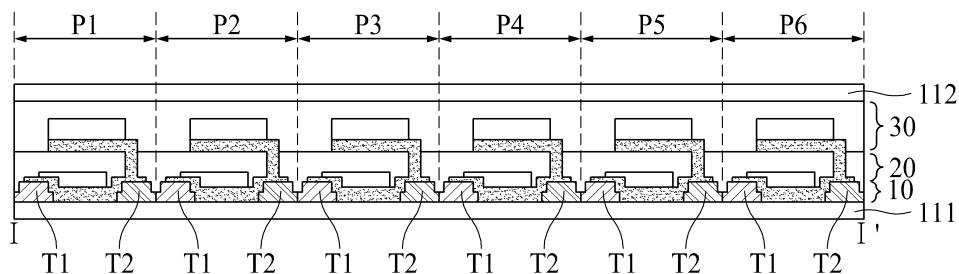
도면4



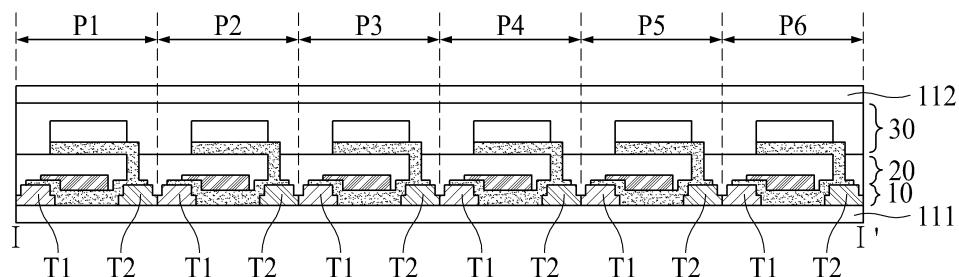
도면5



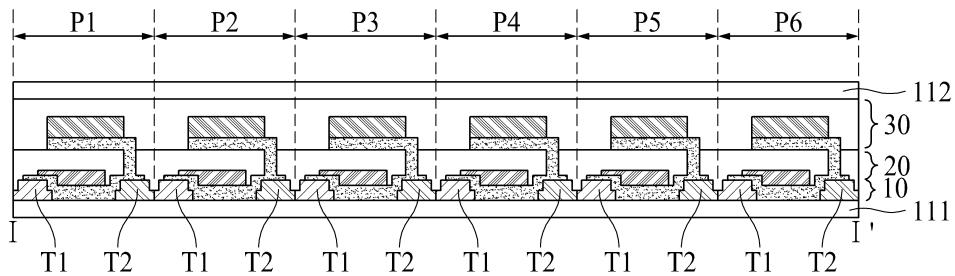
도면6a



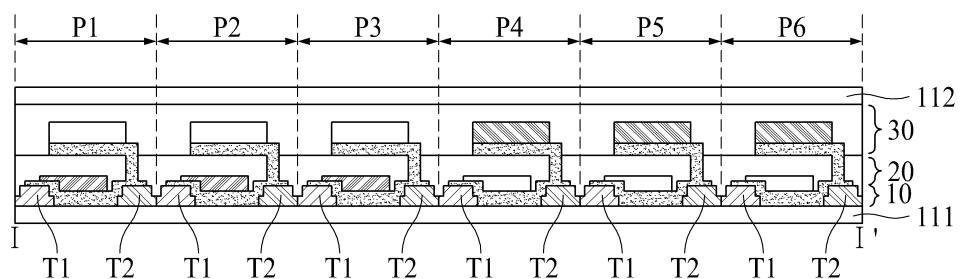
도면6b



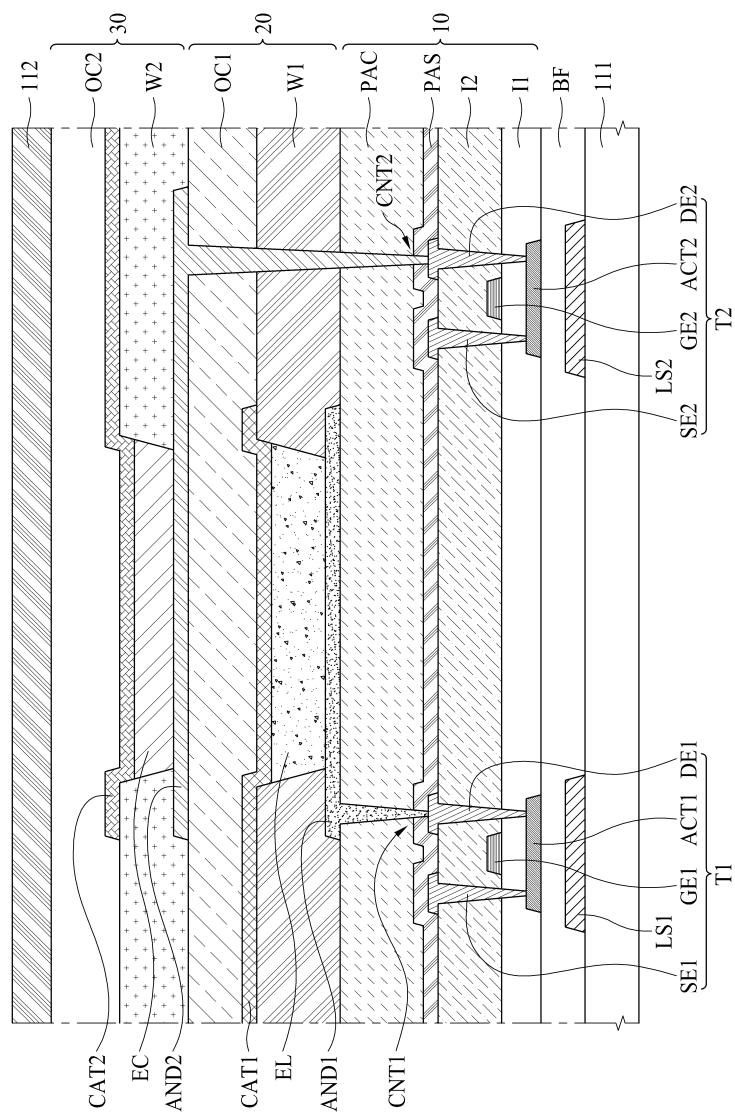
도면6c



도면6d



도면7



专利名称(译)	透明显示设备		
公开(公告)号	KR1020190010327A	公开(公告)日	2019-01-30
申请号	KR1020170092960	申请日	2017-07-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김재현 김기한 김충호		
发明人	김재현 김기한 김충호		
IPC分类号	H01L51/50 H01L27/32 H01L51/52		
CPC分类号	H01L51/5036 H01L27/3246 H01L27/3262 H01L51/5206 H01L51/5221 H01L51/5253		
外部链接	Espacenet		

摘要(译)

本发明提供了一种透明显示装置，其可以防止图像的可视性降低，并且包括设置在第一晶体管上的有机发光层和设置在第一基板上的第二晶体管，以及第一晶体管和第二晶体管。以及设置在有机发光层上的电致变色层，其中有机发光层电连接至第一晶体管，并且电致变色层电连接至第二晶体管。

