



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0073788  
(43) 공개일자 2018년07월03일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01) G09G 3/3275 (2016.01)  
(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 3/3275 (2013.01)  
(21) 출원번호 10-2016-0177001  
(22) 출원일자 2016년12월22일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
김재성  
경기도 의정부시 부용로 87 (금오동, 현대아이파크아파트) 105-202  
오민우  
서울특별시 마포구 월드컵북로 235 21동 205호 (성산동, 성산시영아파트)  
(74) 대리인  
특허법인(유한)유일하이스트

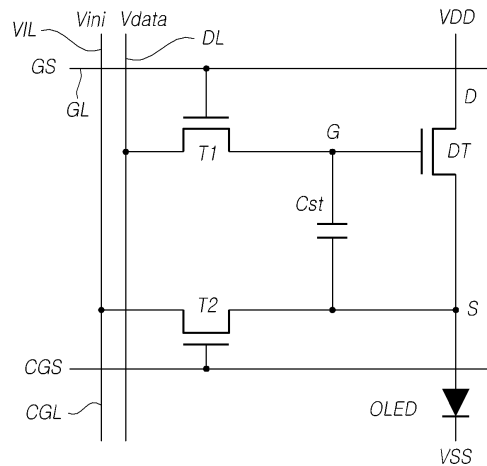
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 표시소자, 표시장치 및 데이터 구동부

**(57) 요약**

본 발명은, 데이터 전압을 공급하는 데이터 라인과 구동 트랜지스터의 제1노드 사이에 전기적으로 연결된 제1트랜지스터 및 초기화 전압을 공급하는 초기화 전압 라인과 구동 트랜지스터의 제2노드 사이에 전기적으로 연결된 제2트랜지스터를 포함하는 표시소자 및 이를 포함하는 표시장치에 관한 것이다.

**대표도** - 도3



(52) CPC특허분류

G09G 2230/00 (2013.01)

G09G 2300/0465 (2013.01)

G09G 2300/0842 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1전극과 제2전극을 포함하는 유기발광다이오드;

데이터 전압이 인가되는 제1노드와, 상기 유기발광다이오드의 상기 제1전극과 연결된 제2노드와, 구동전압 라인과 전기적으로 연결된 제3노드를 갖는 구동 트랜지스터;

상기 데이터 전압을 공급하는 데이터 라인과 상기 구동 트랜지스터의 제1노드 사이에 전기적으로 연결된 제1트랜지스터;

초기화 전압을 공급하는 초기화 전압 라인과 상기 구동 트랜지스터의 제2노드 사이에 전기적으로 연결된 제2트랜지스터; 및

상기 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 커패시터를 포함하는 표시소자.

#### 청구항 2

제1항에 있어서,

하나의 프레임 구간은 데이터 기입 및 유지 구간과 발광 구간을 포함하고

상기 제1트랜지스터는 상기 데이터 기입 및 유지 구간 중 해당 구동 트랜지스터에 데이터 전압을 인가하는 구간인 해당 데이터 기입 구간 동안 턴온되고,

상기 제2트랜지스터는 상기 데이터 기입 구간 및 데이터 유지 구간 동안 턴온되는 표시소자.

#### 청구항 3

제3항에 있어서,

상기 유기발광다이오드의 상기 제2전극은 기저 전압과 연결되어 있고,

상기 기저 전압은 상기 발광 구간 동안 로우상태를 유지하고 상기 발광 구간 이외에 하이상태를 유지하는 표시소자.

#### 청구항 4

제3항에 있어서,

하나의 프레임 구간은 상기 데이터 기입 및 유지 구간과 상기 발광 구간 사이에 플루팅 구간을 포함하고,

상기 플루팅 구간 동안에 상기 제2트랜지스터는 오프상태이고 상기 기저전압은 하이상태를 유지하는 표시소자.

#### 청구항 5

제4항에 있어서,

상기 플루팅 구간은 상기 데이터 기입 구간보다 짧은 표시소자.

#### 청구항 6

제3항에 있어서,

상기 하나의 프레임은 상기 발광구간과 다음 프레임의 데이터 기입 및 유지 구간 사이에 오프셋 구간을 포함하고,

상기 오프셋 구간 동안 상기 제1트랜지스터와 상기 제2트랜지스터는 오프상태이고 상기 기저전압은 하이상태를 유지하는 표시소자.

**청구항 7**

복수의 데이터 라인들과 복수의 게이트 라인들이 교차하는 영역에 위치하는 복수의 픽셀들;  
 상기 복수의 픽셀들에 공통 게이트 신호를 공급하는 복수의 공통 게이트 라인들;  
 상기 복수의 공통 게이트 라인과 공통으로 연결된 공통 게이트 링크 라인;  
 상기 복수의 픽셀들에 초기화 전압을 공급하는 복수의 초기화 전압 라인들;  
 상기 복수의 초기화 전압 라인들과 공통으로 연결된 초기화 전압 링크 라인을 포함하고,  
 상기 복수의 픽셀들 각각은,  
 제1전극과 제2전극을 포함하는 유기발광다이오드와,  
 데이터 전압이 인가되는 제1노드와, 상기 유기발광다이오드의 상기 제1전극과 연결된 제2노드와, 구동전압 라인  
 과 전기적으로 연결된 제3노드를 갖는 구동 트랜지스터와,  
 상기 데이터 라인들 중 하나와 상기 구동 트랜지스터의 제1노드 사이에 전기적으로 연결되며 상기 게이트 라인  
 들 중 하나를 통해 인가되는 게이트 신호에 의해 스위칭되는 제1트랜지스터와,  
 상기 초기화 전압 라인들 하나와 상기 구동 트랜지스터의 제2노드 사이에 전기적으로 연결되며 상기 공통 게이  
 트 라인들 중 하나를 통해 인가되는 공통 게이트 신호에 의해 스위칭되는 제2트랜지스터와,  
 상기 구동 트랜지스터의 제1노드와 제2노드 사이에 전기적으로 연결된 캐패시터를 포함하는, 표시장치.

**청구항 8**

제7항에 있어서,  
 상기 데이터 라인들을 통해 상기 픽셀들에 데이터 전압을 공급하고, 상기 공통 게이트 링크 라인을 통해 상기  
 픽셀들에 공통 게이트 신호를 공급하는 데이터 구동부; 및  
 상기 게이트 라인들을 통해 상기 픽셀들에 게이트 신호를 공급하는 게이트 구동부를 추가로 포함하는 표시장치.

**청구항 9**

제8항에 있어서,  
 상기 데이터 구동부는 상기 초기화 전압 링크 라인을 통해 초기화 전압을 공급하는 표시장치.

**청구항 10**

제9항에 있어서,  
 하나의 프레임 구간은 데이터 기입 및 유지 구간과 발광 구간을 포함하고  
 상기 제1트랜지스터는 상기 데이터 기입 및 유지 구간 중 해당 구동 트랜지스터에 데이터 전압을 인가하는 구간  
 인 해당 데이터 기입 구간 동안 턴온되고,  
 상기 제2트랜지스터는 상기 데이터 기입 구간 및 데이터 유지 구간 동안 턴온되는 표시장치.

**청구항 11**

제10항에 있어서,  
 상기 유기발광다이오드의 상기 제2전극은 기저 전압과 연결되어 있고,  
 상기 기저 전압은 상기 발광 구간 동안 로우상태를 유지하고 상기 발광 구간 이외에 하이상태를 유지하는 표시  
 장치.

**청구항 12**

제11항에 있어서,

하나의 프레임 구간은 상기 데이터 기입 및 유지 구간과 상기 발광 구간 사이에 플루팅 구간을 포함하고, 상기 플루팅 구간 동안에 상기 제2트랜지스터는 오프상태이고 상기 기저전압은 하이상태를 유지하는 표시장치.

**청구항 13**

제12항에 있어서,  
상기 플루팅 구간은 상기 데이터 기입 구간보다 짧은 표시장치.

**청구항 14**

제12항에 있어서,  
상기 하나의 프레임은 상기 발광구간과 다음 프레임의 데이터 기입 및 유지 구간 사이에 오프셋 구간을 포함하고,  
상기 오프셋 구간 동안 상기 제1트랜지스터와 상기 제2트랜지스터는 오프상태이고 상기 기저전압은 하이상태를 유지하는 표시장치.

**청구항 15**

데이터 라인들과 연결되어 상기 데이터 라인들을 통해 픽셀들에 데이터 전압을 공급하는 데이터부;  
공통 게이트 링크 라인과 연결되어 상기 공통 게이트 링크 라인을 통해 상기 픽셀들에 공통 게이트 신호를 공급하는 공통 게이트 신호 공급부; 및  
초기화 전압 링크 라인과 연결되어 상기 초기화 전압 링크 라인을 통해 상기 픽셀들에 초기화 전압을 공급하는 초기화전압 공급부를 포함하는 데이터 구동부.

**청구항 16**

제15항에 있어서,  
하나의 프레임 구간은 데이터 기입 및 유지 구간과 발광 구간을 포함하고 상기 공통 게이트 신호 공급부는 상기 데이터 기입 구간 및 데이터 유지 구간 동안 상기 공통 게이트 신호를 공급하는 데이터 구동부.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 발광하는 표시소자 및 영상을 표시하는 표시장치에 관한 것이다.

**배경 기술**

[0002] 최근, 표시장치로서 각광받고 있는 유기발광표시장치는 스스로 발광하는 유기발광다이오드(OLED: Organic Light Emitting Diode)를 이용함으로써 응답속도가 빠르고, 발광효율, 휘도 및 시야각 등이 큰 장점이 있다.

[0003] 이러한 유기발광표시장치는 유기발광다이오드가 포함된 픽셀을 매트릭스 형태로 배열하고 게이트 신호에 의해 선택된 화소들의 밝기를 제어한다. 이러한 표시장치의 각 픽셀은, 유기발광다이오드 이외에도, 유기발광다이오드를 구동하기 위한 구동 회로를 포함한다. 이러한 각 픽셀 내 유기발광다이오드의 구동 회로는, 트랜지스터 및 스토리지 캐패시터 등을 포함한다.

[0004] 이러한 표시장치의 각 픽셀의 구동 회로의 크기가 커져서 개구율이 낮고 고속 동작이 어려운 문제점이 있었다. 또한 이러한 표시장치의 각 픽셀의 구동 회로를 구동하는 구동부의 면적이 커져서 네로우 베젤을 구현하기 어려운 문제점이 있었다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명의 목적은, 개구율을 높이고 고속 동작이 가능한 표시소자 및 표시장치를 제공하는 데 있다.

[0006] 또한 본 발명의 목적은, 구동부의 면적을 줄여 네로우 베젤을 구현할 수 있는 표시소자 및 표시장치를 제공하는 데 있다.

**과제의 해결 수단**

[0007] 일측면에서 본 발명은, 제1전극과 제2전극을 포함하는 유기발광다이오드 및 데이터 전압이 인가되는 제1노드와, 유기발광다이오드의 제1전극과 연결된 제2노드와, 구동전압 라인과 전기적으로 연결된 제3노드를 갖는 구동 트랜지스터를 포함하는 표시소자를 제공한다.

[0008] 이 표시소자는 데이터 전압을 공급하는 데이터 라인과 구동 트랜지스터의 제1노드 사이에 전기적으로 연결된 제1트랜지스터, 초기화 전압을 공급하는 초기화 전압 라인과 구동 트랜지스터의 제2노드 사이에 전기적으로 연결된 제2트랜지스터를 포함한다.

[0009] 다른 측면에서, 본 발명은 복수의 데이터 라인들과 복수의 게이트 라인들이 교차하는 영역에 위치하는 복수의 픽셀들과 복수의 픽셀들에 공통 게이트 신호를 공급하는 복수의 공통 게이트 라인들, 복수의 공통 게이트 라인과 공통으로 연결된 공통 게이트 링크 라인, 복수의 픽셀들에 초기화 전압을 공급하는 복수의 초기화 전압 라인들, 복수의 초기화 전압 라인들과 공통으로 연결된 초기화 전압 링크 라인을 포함하는 표시장치를 포함한다.

[0010] 이때 복수의 픽셀들 각각은, 전술한 표시소자를 포함할 수 있다.

[0011] 또 다른 측면에서, 본 발명은 데이터 라인들과 연결되어 데이터 라인들을 통해 픽셀들에 데이터 전압을 공급하는 데이터부 및 공통 게이트 링크 라인과 연결되어 공통 게이트 링크 라인을 통해 픽셀들에 공통 게이트 신호를 공급하는 공통 게이트 신호 공급부, 초기화 전압 링크 라인과 연결되어 초기화 전압 링크 라인을 통해 픽셀들에 초기화 전압을 공급하는 초기화전압 공급부를 포함하는 데이터 구동부를 제공한다.

**발명의 효과**

[0012] 이상에서 설명한 바와 같은 본 발명에 의하면, 개구율을 높이고 고속 동작이 가능한 표시소자 및 표시장치를 제공한다.

[0013] 또한 본 발명에 의하면, 구동부의 면적을 줄여 네로우 베젤을 구현할 수 있는 표시소자 및 표시장치를 제공한다.

**도면의 간단한 설명**

[0014] 도 1은 본 실시예들에 따른 표시장치의 구성도이다.

도 2는 도 1의 데이터 구동부의 구성도이다.

도 3은 도 1의 표시장치에서 X번째 데이터 라인과 Y번째 게이트 라인이 교차하는 영역에 배치된 픽셀의 등가회로도를 예시적으로 나타낸다.

도 4는 도 1의 표시장치의 하나의 프레임 동안 공통 게이트 신호와 게이트 라인들의 게이트 신호들의 신호 파형들을 도시하고 있다.

도 5는 도 1의 표시장치의 하나의 프레임 동안 하나의 픽셀의 구동회로의 신호 파형들을 도시하고 있다.

도 6은 도 5에 도시한 픽셀의 구동회로의 다른 예의 신호 파형들을 도시하고 있다.

도 7 내지 도 9는 도 1의 표시장치의 각 픽셀의 한 프레임의 구간들의 등가회로도들을 나타낸다.

도 10은 다른 실시예로, 도 1의 표시장치의 하나의 프레임 동안 하나의 픽셀의 구동회로의 신호 파형들을 도시하고 있다.

**발명을 실시하기 위한 구체적인 내용**

[0015] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.

- [0016] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "재제"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0017] 도 1은 본 실시예들에 따른 표시장치의 구성도이다.
- [0018] 도 1을 참조하면, 본 실시예들에 따른 표시장치(100)는, 표시패널(110), 데이터 구동부(120), 게이트 구동부(130), 컨트롤러(140) 등을 포함한다.
- [0019] 표시패널(110)에는, 제1방향으로 복수의 데이터 라인(DL1, DL2, DL3, ..., DLm)이 배치되고, 제1방향과 교차하는 제2방향으로 복수의 게이트 라인(GL1, GL2, ..., GLn)이 배치되며, 복수의 픽셀(P: Pixel)이 매트릭스 타입으로 배치된다. 복수의 픽셀 각각은 표시패널(110)에서 발광하는 표시소자에 해당한다.
- [0020] 데이터 구동부(120)는, 특정 게이트 라인(GL)이 열리면, 컨트롤러(140)로부터 수신한 영상 데이터(Data')를 아날로그 형태의 데이터 전압(Vdata)으로 변환하여 데이터 라인들(DL1, DL2, DL3, ..., DLm)로 공급함으로써, 데이터 라인들(DL1, DL2, DL3, ..., DLm)을 구동한다. 데이터 구동부(120)에 대해서는 도 2를 참조하여 상세히 설명한다.
- [0021] 게이트 구동부(130)는, 컨트롤러(140)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 게이트 신호를 게이트 라인들(GL1, GL2, ..., GLn)로 순차적으로 공급하여 게이트 라인들(GL1, GL2, ..., GLn)을 순차적으로 구동한다.
- [0022] 게이트 구동부(130)는, 구동 방식에 따라서, 표시패널(110)의 양측에 위치할 수도 있고, 경우에 따라서는, 한 측에만 위치할 수도 있다.
- [0023] 또한, 게이트 구동부(130)는, 복수의 게이트 드라이버 집적회로들을 포함할 수 있는데, 이러한 복수의 게이트 드라이버 집적회로들은, 테이프 오토메티드 본딩(TAB: Tape AuFormated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(110)에 집적화되어 배치될 수도 있다.
- [0024] 위에서 언급한 복수의 게이트 드라이버 집적회로들 각각은 쉬프트 레지스터, 레벨 쉬프터 등을 포함할 수 있다.
- [0025] 컨트롤러(140)는, 데이터 구동부(120) 및 게이트 구동부(130)로 제어신호를 공급하여, 데이터 구동부(120) 및 게이트 구동부(130)를 제어한다.
- [0026] 컨트롤러(140)는, 각 프레임에서 구현하는 타이밍에 따라 스캔을 시작하고, 호스트 시스템에서 입력되는 영상 데이터(Data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터(Data')를 출력하고, 스캔에 맞춰 적당한 시간에 데이터 구동을 통제한다.
- [0027] 컨트롤러(140)는, 호스트 시스템으로부터 입력된 데이터(Data)를 데이터 구동부(120)에서 사용하는 데이터 신호 형식에 맞게 전환하여 전환된 영상 데이터(Data')를 출력하는 것 이외에, 데이터 구동부(120) 및 게이트 구동부(130)를 제어하기 위하여, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync), 입력 데이터 인에이블 신호, 클럭 신호 등의 타이밍 신호를 입력받아, 각종 제어 신호들을 생성하여 데이터 구동부(120) 및 게이트 구동부(130)로 출력한다.
- [0028] 예를 들어, 컨트롤러(140)는, 게이트 구동부(130)를 제어하기 위하여, 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift Clock), 게이트 출력 인에이블 신호(GOE: Gate Output Enable) 등을 포함하는 게이트 제어 신호들(GCSs: Gate Control Signals)을 출력한다.
- [0029] 컨트롤러(140)는, 데이터 구동부(120)를 제어하기 위하여, 소스 스타트 펄스(SSP: Source Start Pulse), 소스 샘플링 클럭(SSC: Source Sampling Clock), 소스 출력 인에이블 신호(SOE: Souce Output Enable) 등을 포함하는 데이터 제어 신호들(DCSs: Data Control Signals)을 출력한다.
- [0030] 도 1을 참조하면, 표시장치(100)는, 표시패널(110), 데이터 구동부(120) 및 게이트 구동부(130) 등으로 각종 전압 또는 전류를 공급해주거나 공급할 각종 전압 또는 전류를 제어하는 전원 컨트롤러(150)를 더 포함할 수 있다. 이러한 전원 컨트롤러(150)는 전원 관리 집적회로(PMIC: Power Management IC)라고도 한다.
- [0031] 표시장치(100)는 복수의 픽셀들에 공통 게이트 신호를 공급하는 복수의 공통 게이트 라인들(CGL1, CGL

2, ..., CGLn), 복수의 공통 게이트 라인들(CGL1, CGL2, ..., CGLn)과 공통으로 연결된 공통 게이트 링크 라인(160), 복수의 픽셀들에 초기화 전압(Vini)을 공급하는 복수의 초기화 전압 라인들(VIL1, VIL2, VIL3, ..., VILm), 복수의 초기화 전압 라인들(170)과 공통으로 연결된 초기화 전압 링크 라인(170)을 포함한다. 각 픽셀에서 복수의 공통 게이트 라인들(CGL1, CGL2, ..., CGLn) 및 공통 게이트 링크 라인(160)을 통해 공급되는 공통 게이트 신호에 각 픽셀에 공급되고, 복수의 초기화 전압 라인들(VIL1, VIL2, VIL3, ..., VILm) 및 초기화 전압 링크 라인(170)을 통해 초기화 전압(Vini)이 각 픽셀에 공급되는 것을 도 3 내지 도 8을 참조하여 후술한다.

- [0032] 도 2는 도 1의 데이터 구동부의 구성도이다.
- [0033] 도 2를 참조하면, 데이터 구동부(120)는, 복수의 소스 드라이버 집적회로들을 포함할 수 있는데, 이러한 복수의 소스 드라이버 집적회로들은, 테이프 오토메티드 본딩(TAB: Tape Automated Bonding) 방식 또는 칩 온 글래스(COG) 방식으로 표시패널(110)의 본딩 패드(Bonding Pad)에 연결되거나, 표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(110)에 집적화되어 배치될 수도 있다.
- [0034] 복수의 소스 드라이버 집적회로들은, 칩 온 필름(COF: Chip On Film) 방식으로 구현될 수 있다. 복수의 소스 드라이버 집적회로들 각각에서, 일 단은 적어도 하나의 소스 인쇄회로기판(Source Printed Circuit Board)에 본딩되고, 타 단은 표시패널(110)에 본딩된다.
- [0035] 데이터 구동부(120)는 데이터부(122), 공통 게이트 신호 공급부(124) 및 초기화전압 공급부(126)를 포함할 수 있다.
- [0036] 데이터부(122)는 데이터 라인들(DL1, DL2, DL3, ..., DLm)과 연결되어 데이터 라인들(DL1, DL2, DL3, ..., DLm)을 통해 픽셀들에 데이터 전압을 공급한다. 데이터부(122)는 쉬프트 레지스터부, 래치부, 감마전압 생성부, 디지털 아날로그 변환부(이하 DA변환부로 약기함) 및 출력회로부를 포함한다.
- [0037] 공통 게이트 신호 공급부(124)는 출력용 공통 게이트 링크 라인(CGL)과 연결되어 복수의 공통 게이트 라인들(CGL1, CGL2, ..., CGLn) 및 공통 게이트 링크 라인(160)을 통해 복수의 픽셀들에 공통 게이트 신호(CGS)를 공급한다.
- [0038] 후술하는 바와 같이, 모든 픽셀들의 공통 게이트 신호(CGS)를 통일하므로, 도 10에 도시한 바와 같이 별도의 게이트 신호들을 순차구동 방식이 아닌 1개의 단일한 공통 게이트 신호를 적용하므로 별도의 게이트 신호를 생성하는 게이트 집적회로가 필요없다. 따라서, 게이트 구동부(130)는 별도의 게이트 신호를 생성하는 별도의 게이트 집적회로를 필요하지 않으므로 게이트 구동부(130)의 면적을 줄여 네로우 베젤(narrow bezel)을 구현할 수 있다.
- [0039] 초기화전압 공급부(126)는 출력용 초기화 전압 링크 라인(VIL)과 연결되어 복수의 초기화 전압 라인들(VIL1, VIL2, VIL3, ..., VILm) 및 초기화 전압 링크 라인(170)을 통해 복수의 픽셀들에 초기화 전압(Vini)을 공급한다.
- [0040] 도 3은 도 1의 표시장치에서 X번째 데이터 라인과 Y번째 게이트 라인이 교차하는 영역에 배치된 픽셀의 등가회로도를 예시적으로 나타낸다.
- [0041] 도 3을 참조하면, 표시장치(100)의 각 픽셀은, 기본적으로, 유기발광다이오드(OLED: Organic Light Emitting Diode)와, 유기발광다이오드(OLED)를 구동하는 구동 회로로 구성된다. 구동 회로는, 기본적으로, 유기발광다이오드(OLED)로 전류를 공급하여 유기발광다이오드(OLED)를 구동하는 구동 트랜지스터(DRT: Driving Transister)를 포함한다.
- [0042] 이러한 구동 트랜지스터(DRT)의 제1노드는, 게이트 노드(G 노드)로서, V1 전압이 인가된다. 구동 트랜지스터(DRT)의 제2노드는, 소스 노드 또는 드레인 노드 중 하나, 예를 들어 소스 노드(S 노드)로서, V2 전압이 인가된다. 구동 트랜지스터(DRT)의 제3노드는, 드레인 노드 또는 소스 노드 중 다른 하나, 예를 들어 드레인 노드(D 노드)로서, 구동전압(VDD: Driving Voltage)이 인가된다. 여기서, V1 전압은 해당 픽셀에 대응되는 데이터 전압(Vdata)일 수 있다. V2 전압은 일 예로, 초기화 전압(Vini: Initiation Voltage)일 수 있다.
- [0043] 구동 회로는, 구동 트랜지스터(DRT)의 제1노드(G 노드)와 제2노드(S 노드) 사이에 연결되는 캐패시터, 예를 들어 스토리지 캐패시터(Cst: Storage Capacitor)를 포함할 수 있다. 이러한 캐패시터(Cst)는 한 프레임 동안 일정 전압을 유지시켜 준다.
- [0044] 각 픽셀에서 유기발광다이오드(OLED)를 구동하는 구동 회로는, 구동 트랜지스터(DRT) 및 캐패시터(Cstg)

이외에, 하나 이상의 트랜지스터를 더 포함할 수 있고, 경우에 따라서는, 하나 이상의 캐패시터를 더 포함할 수 있다.

- [0045] 도 3을 다시 참조하면, 유기발광 다이오드(OELD)는 제1전극과 제2전극을 포함한다. 제1전극과 제2전극 사이에는 유기층이 샌드위치로 배치될 수 있다. 유기발광다이오드(OELD)의 제1전극은 구동 트랜지스터(DT)와 연결되어 있다. 유기발광다이오드(OELD)의 제2전극은 기저 전압(VSS)과 연결되어 있다. 기저전압(VSS)은 컨트롤러(140) 및/또는 전원 컨트롤러(150)의 제어에 의해 로우전압과 하이전압으로 전압이 변경될 수 있다.
- [0046] 구동 트랜지스터(DT)는 데이터 전압(Vdata)이 인가되는 제1노드(G 노드)와, 유기발광다이오드(OELD)의 제1전극과 연결된 제2노드(S 노드)와, 구동전압(VDD)과 연결된 제3노드(D 노드)를 포함한다.
- [0047] 표시장치(100)의 각 픽셀은, 데이터 전압(Vdata)을 공급하는 데이터 라인(DL)과 구동 트랜지스터(DT)의 제1노드(G 노드) 사이에 전기적으로 연결된 제1트랜지스터(T1) 및 초기화 전압(Vini: Initiation Voltage)을 공급하는 초기화 전압 라인(VIL)과 구동 트랜지스터(DT)의 제2노드(S 노드) 사이에 전기적으로 연결된 제2트랜지스터(T2)를 포함한다.
- [0048] 제1트랜지스터(T1)는 게이트 라인(GL)를 통해 인가되는 게이트 신호(GS)를 통해 온-오프 또는 스위칭된다. 제1트랜지스터(T1)는 게이트 신호(GS)에 의해 온 상태가 되면 데이터 전압(Vdata)을 구동 트랜지스터(DT)의 제1노드(G 노드)에 인가하게 된다.
- [0049] 제2트랜지스터(T2)는 공통 게이트 라인(CGL)를 통해 인가되는 공통 게이트 신호(CGS)에 의해 온-오프 또는 스위칭된다. 제2트랜지스터(T2)는 공통 게이트 신호(CSG)에 의해 온 상태가 되면 초기화 전압(Vini)을 구동 트랜지스터(DT)의 제2노드(S 노드)에 인가하게 된다.
- [0050] 캐패시터(Cst)는 구동 트랜지스터(DT)의 제1노드(G 노드)와 제2노드(S 노드) 사이에 전기적으로 연결된다. 이러한 캐패시터(Cst)는 한 프레임 동안 구동 트랜지스터(DT)의 제1노드(G 노드)에 인가된 데이터 전압(Vdata=V<sub>0</sub>)과 제2노드(S 노드)에 인가된 초기화 전압(Vini=V<sub>s</sub>)의 차이인 데이터 정보(Vgs)을 유지시켜 준다.
- [0051] 따라서, 제2노드(S 노드)에 연결된 기생 캐패시터들에 의한 영향이 없으므로 그 만큼 캐패시터(Cst)의 크기를 줄여 개구율을 높일 수 있다. 또한 픽셀 전체의 캐패시터(Cst)의 로드(Load)저감에 의해 고속 동작에 유리할 수 있다.
- [0052] 도 4는 도 1의 표시장치의 하나의 프레임 동안 공통 게이트 신호와 게이트 라인들의 게이트 신호들의 신호 파형들을 도시하고 있다. 도 5는 도 1의 표시장치의 하나의 프레임 동안 하나의 픽셀의 구동회로의 신호 파형들을 도시하고 있다.
- [0053] 도 4 및 도 5를 참조하면, 하나의 프레임 구간은 각 픽셀에 데이터를 기입하고 일정 시간 유지하는 데이터 기입 및 유지 구간(Data write & hold)과 유지된 데이터에 따라 실질적으로 발광하는 발광 구간(Emission)을 포함한다.
- [0054] 데이터 기입 및 유지 구간(Data write & hold)은 각 픽셀에 데이터를 기입하는 데이터 기입 구간(Data write)과 기입된 데이터를 일정 시간 유지하는 데이터 유지 구간(Data hold)으로 나눌 수 있다.
- [0055] 게이트 라인들(GL1, GL2, ..., GLn)의 순서대로 게이트 신호들을 순차적으로 인가하므로, 도 4에 도시한 바와 같이 픽셀들의 각각의 데이터 기입 구간(Data write)은 게이트 라인들(GL1, GL2, ..., GLn)의 순서대로 순차적으로 위치할 수 있다. 결과적으로 각 픽셀을 기준으로 해당 데이터 기입 구간(Data write) 이후 나머지 데이터 기입 및 유지 구간(Data write & hold)이 데이터 유지 구간(Data hold)에 해당하게 된다. 따라서, 각 픽셀마다 데이터 유지 구간(Data hold)의 길이가 다르게 된다.
- [0056] 제1트랜지스터(T1)는 데이터 기입 및 유지 구간(Data write & hold) 중 해당 구동 트랜지스터(DT)에 데이터 전압(Vdata)을 인가하는 구간인 해당 데이터 기입 구간(Data write) 동안 턴온된다.
- [0057] 다시 말해 특정 픽셀에 인가되는 게이트 신호(GS)는 해당 데이터 기입 구간(Data write) 동안 하이상태를 유지하고 나머지 동안 로우상태를 유지한다. 따라서, 제1트랜지스터(T1)는 해당 데이터 기입 구간(Data write) 동안 게이트 신호(GS)에 의해 턴온되면 데이터 전압(Vdata)을 구동 트랜지스터(DT)의 제1노드(G 노드)에 인가하게 된다.
- [0058] 제2트랜지스터(T2)는 데이터 기입 구간 및 데이터 유지 구간(Data write & hold) 동안 턴온된다. 제2트랜지스터

(T2)는 데이터 기입 구간 및 데이터 유지 구간(Data write & hold) 동안 공통 게이트 신호(CSG)에 의해 턴온되던 초기화 전압(Vini)을 구동 트랜지스터(DT)의 제2노드(S 노드)에 인가하게 된다.

- [0059] 결과적으로 각 픽셀에서 제1트랜지스터(T1)와 제2트랜지스터(T2)는 동시에 오프되지 않고, 제2트랜지스터(T2)는 데이터 유지 구간(Data hold duration) 동안 계속해서 온 상태를 유지하게 된다. 따라서, 제2트랜지스터(T2)를 통해 구동 트랜지스터(DT)의 제2노드(S노드)에는 계속 초기화 전압(Vini)이 인가된다.
- [0060] 도 5를 참조하면, 유기발광다이오드(OLED)의 제2전극과 연결된 기저 전압(VSS)은 발광 구간(Emission) 동안 로우 상태를 유지하고 발광 구간(Emission) 이외에 하이상태를 유지한다. 기저 전압(VSS)이 발광 구간(Emission) 동안 로우 상태를 유지하므로 구동 트랜지스터(DT)는 캐패시터(Cst)에 유지된 데이터 정보( $V_{GS1}=V_{GS2}$ )에 대응하는 전류를 출력하여 유기발광다이오드(OLED)에 제공한다.
- [0061] 한편, 하나의 프레임 구간은 데이터 기입 및 유지 구간(Data write & hold)과 발광 구간(Emission) 사이에 플루팅 구간(Floating)을 포함할 수 있다. 이때 플루팅 구간(Floating)은 프레임 시간을 최소화하기 위해 데이터 기입 구간(Data write)보다 그 길이가 짧을 수 있다. 플루팅 구간(Floating) 동안에 제2트랜지스터(T2)는 오프상태이고 기저전압(VSS)은 하이상태를 유지한다.
- [0062] 이로 인해, 구동 트랜지스터(DT)의 제1노드(G 노드)는 플루팅(floating) 되더라도, 구동 트랜지스터(DT)의 제2노드(S노드)의 초기화 전압(Vini)과 캐패시터(Cst)를 통해 구동 트랜지스터(DT)의 제1노드(G 노드)의 전압( $V_{GS1}=V_{GS2}$ )이 유지된다.
- [0063] 한편, 하나의 프레임은 발광구간(Emission)과 다음 프레임의 데이터 기입 및 유지 구간(Data write & hold) 사이에 오프셋 구간(offset)을 포함할 수 있다. 하나의 프레임과 다음 프레임 사이에 일정한 간격을 두어 시간 오차에 따른 에러 발생을 방지하기 위해 오프셋 구간을 둘 수 있으나, 하나의 프레임은 도 6에 도시한 바와 같이 오프셋 구간(offset)을 포함하지 않을 수 있다.
- [0064] 이 오프셋 구간(offset) 동안 제1트랜지스터(T1)와 제2트랜지스터(T2)는 오프상태이고 기저전압(VSS)은 하이상태를 유지할 수 있다.
- [0065] 도 7 내지 도 9는 도 1의 표시장치의 각 픽셀의 한 프레임의 구간들의 증가회로도들을 나타낸다.
- [0066] 도 5 및 도 7에 도시한 바와 같이, 데이터 기입구간(Data write)에 표시장치의 픽셀 구조에서는, 구동 트랜지스터(DT)의 제1노드(G 노드)와 제2노드(S노드)에 동시에 데이터 전압( $V_{data}=V_G$ )과 초기화 전압( $V_{ini}=V_S$ )을 인가하여, 데이터 정보( $V_{GS}$ )를 기입한다.
- [0067] 도 5 및 도 8에 도시된 바와 같이, 데이터 유지 구간(Data write)에, 기입된 데이터 정보( $V_{GS}$ )는, 캐패시터(Cst)에 의해 발광하기 전까지 저장된다. 이때 저장된 데이터 정보( $V_{GS}$ )는 유지되고 데이터 유지 구간(Data write)과 발광 구간(Emission) 사이에 위치하는 플루팅 구간(Floating) 동안 구동 트랜지스터(DT)의 제1노드(G 노드)와 제2노드(S노드)는 플루팅 상태가 된다.
- [0068] 도 5 및 도 9에 도시된 바와 같이, 발광 구간(Emission)에 기저전압(VSS)이 로우상태로 낮아지면서 저장된 데이터 정보(VGS)에 의해, 유기발광다이오드(OLED)가 발광한다.
- [0069] 각 픽셀에서 제1트랜지스터(T1)와 제2트랜지스터(T2)는 동시에 오프되지 않고, 제2트랜지스터(T2)는 데이터 유지 구간(Data hold duration) 동안 계속해서 온 상태를 유지하므로, 구동 트랜지스터(DT)의 제1노드(G노드)와 제2노드(D 노드)가 플루팅 구간(Floating)에 구동 트랜지스터(DT)의 제1노드(G노드)의 제1노드전압( $V_G$ )이 낮아지지 않고 유지된다. 결과적으로 데이터 정보(VGS)이 떨어지지 않고 유지된다.
- [0070] 도 10은 다른 실시예로, 도 1의 표시장치의 하나의 프레임 동안 하나의 픽셀의 구동회로의 신호 파형들을 도시하고 있다.
- [0071] 도 10은 참조하면, 데이터 기입구간(Data write)에 표시장치의 픽셀 구조에서는, 구동 트랜지스터(DT)의 제1노드(G 노드)와 제2노드(S 노드)에 동시에 전압을 인가하여, 데이터 정보(VGS)를 기입한다. 제1트랜지스터(T1)와 제2트랜지스터(T2)는 데이터 기입 구간(Data write)에 동시에 턴온되었다고 턴오프된다.
- [0072] 게이트 구동부(130)은 제1트랜지스터를 온-오프 상태, 즉 스위칭하는 다른 게이트 신호(GS2)를 인가하기 위해 게이트 집적회로와 별도로 제2트랜지스터(T2)를 온-오프 상태, 즉 스위칭하는 다른 게이트 신호(GS2)를 인가하

기 위해 게이트 집적회로를 추가로 구비해야 한다. 따라서, 게이트 구동부(130)의 크기가 커져 네로우 베젤(narrow bezel) 구현을 위해서 게이트 구동부(130)의 면적 감소가 필요할 수 있다.

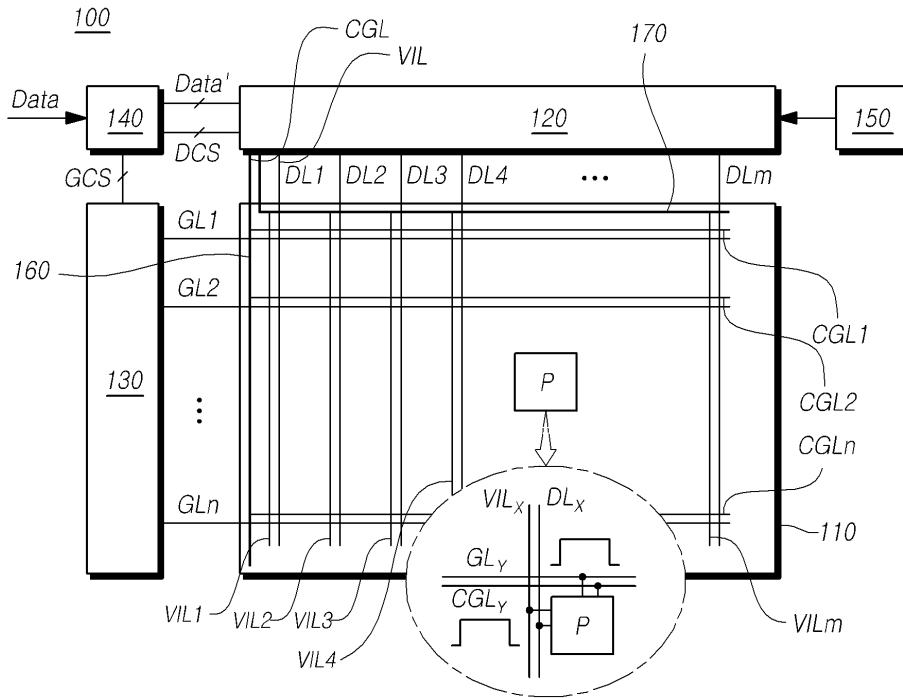
- [0073] 다음으로, 데이터 유지 구간(Data write)에, 기입된 데이터 정보(VGS)는, 캐패시터(Cst)에 의해 발광하기 전까지 저장된다.
- [0074] 데이터 유지 구간(Data write)에, 구동 트랜지스터(DT)의 제1노드(G 노드)와 제2노드(S노드)는 플루팅 상태가 된다.
- [0075] 발광 구간(Emission)에 기저전압(VSS)가 낮아지면서 저장된 데이터 정보(VGS)에 의해, 유기발광다이오드(OLED)가 발광한다.
- [0076] 도 10에 도시한 바와 같이, 데이터 유지 구간(Data hold)은 데이터 기입 구간(Data write)에 비해 상대적으로 길 수 있다. 이 경우에, 제1트랜지스터(T1)와 제2트랜지스터(T2)가 동시에 오프되어 구동 트랜지스터(DT)의 제1노드(G노드)와 제2노드(D 노드)가 플루팅된 상태에서 누설전류 등 다양한 이유로 구동 트랜지스터(DT)의 제1노드(G노드)의 제1노드전압(VG)이 낮아질 수 있다( $V_{GS1} > V_{GS2}$ ).
- [0077] 따라서, 데이터 유지 구간(Data hold) 동안 구동 트랜지스터(DT)의 제1노드(G 노드)와 제2노드(S 노드)는 플루팅상태이고 캐패시터(Cst)에 의해서만 데이터 정보( $V_{GS}$ )가 유지되어야 하고 기생 캐패시터들에 의한 영향 때문에 캐패시터(Cst)의 크기를 줄일 수 없다. 결과적으로 고속동작을 위해서는 각 픽셀의 캐패시터(Cst)의 로드를 저감할 필요가 있다.
- [0078] 각 픽셀마다 데이터 유지 구간(Data hold)의 길이가 다르기 때문에, 데이터 유지 구간(Data write) 차이로 인한 표시장치 내에서의 위치에 따른 유기발광다이오드(OLED)의 계조의 차이가 발생할 수 있다.
- [0079] 도 4 내지 도 9를 참조하여 설명한 일 실시예에 따른 표시장치는 데이터 유지 구간(Data write) 차이로 인한 표시장치 내에서의 위치에 따른 유기발광다이오드(OLED)의 계조 차이를 방지할 수 있다.
- [0080] 반면에, 도 4 내지 도 9를 참조하여 설명한 일 실시예에 따른 표시장치는 각 픽셀에서 제1트랜지스터(T1)와 제2트랜지스터(T2)는 동시에 오프되지 않고, 제2트랜지스터(T2)는 데이터 유지 구간(Data hold duration) 동안 계속해서 온 상태를 유지한다.
- [0081] 도 4 내지 도 9를 참조하여 설명한 일 실시예에 따른 표시장치는 캐패시터(Cst)와 구동 트랜지스터(DT)의 제2노드(S노드)의 초기화 전압(Vini)이 동시에 데이터 정보(VGS)를 유지하는 역할을 수행하므로, 도 10을 참조하여 설명한 바와 같이 제1트랜지스터(T1)와 제2트랜지스터(T2)가 동시에 오프되는 경우에 비해 캐패시터(Cst)의 크기를 감소할 수 있다.
- [0082] 도 4 내지 도 9를 참조하여 설명한 일 실시예에 따른 표시장치는 픽셀 전체의 캐패시터(Cst)의 로드(Load)저감에 의해 고속 동작에 유리할 수 있다.
- [0083] 도 4 내지 도 9를 참조하여 설명한 일 실시예에 따른 표시장치는 데이터 유지 구간(Data write)의 길이 차이에 불구하고 표시장치 내에서의 위치에 따른 유기발광다이오드(OLED)의 계조 차이를 방지할 수 있다. 즉, 최초 데이터 기입된 구동 트랜지스터(DT)의 데이터 정보( $V_{GS}$ )가 데이터 유지 구간(Data write) 동안 감소하지 않는다. 따라서, 표시장치의 모든 위치의 픽셀에서 동일한 데이터 정보( $V_{GS}$ )를 유지할 수 있다.
- [0084] 이상 도면을 참조하여 실시예들을 설명하였으나 본 발명은 이에 제한되지 않는다. 예를 들어 구동 트랜지스터(DT)와 제1트랜지스터(T1), 제2트랜지스터(T2)의 게이트에 하이전압 또는 하이신호가 인가되면 온상태가 되고 로우전압 또는 로우신호가 인가되면 오프상태가 되는 것으로 설명하였으나, 트랜지스터(DT)와 제1트랜지스터(T1), 제2트랜지스터(T2)의 게이트에 로우전압 또는 로우신호가 인가되면 온상태가 되고 하이전압 또는 하이신호가 인가되면 오프상태가 될 수도 있다.
- [0085] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

- [0086] 100: 표시장치 110: 표시패널  
 120: 데이터 구동부 130: 게이트 구동부  
 140: 컨트롤러

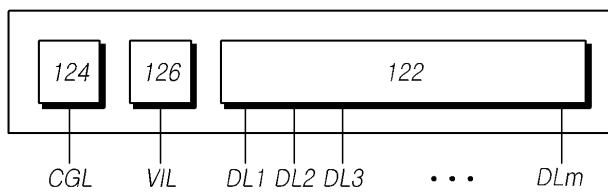
도면

도면1

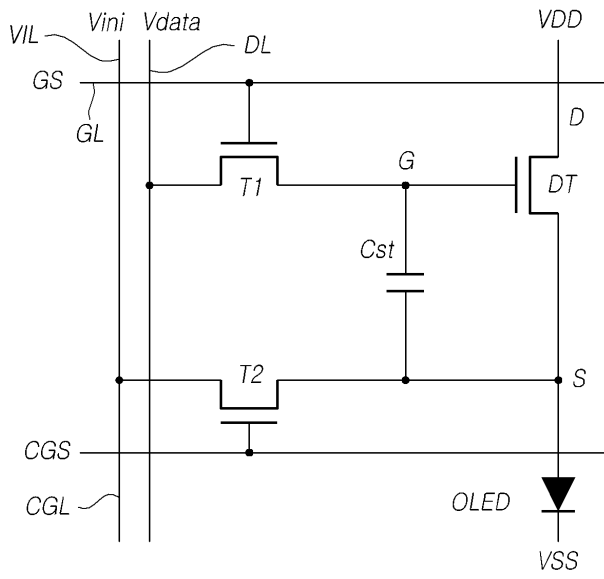


도면2

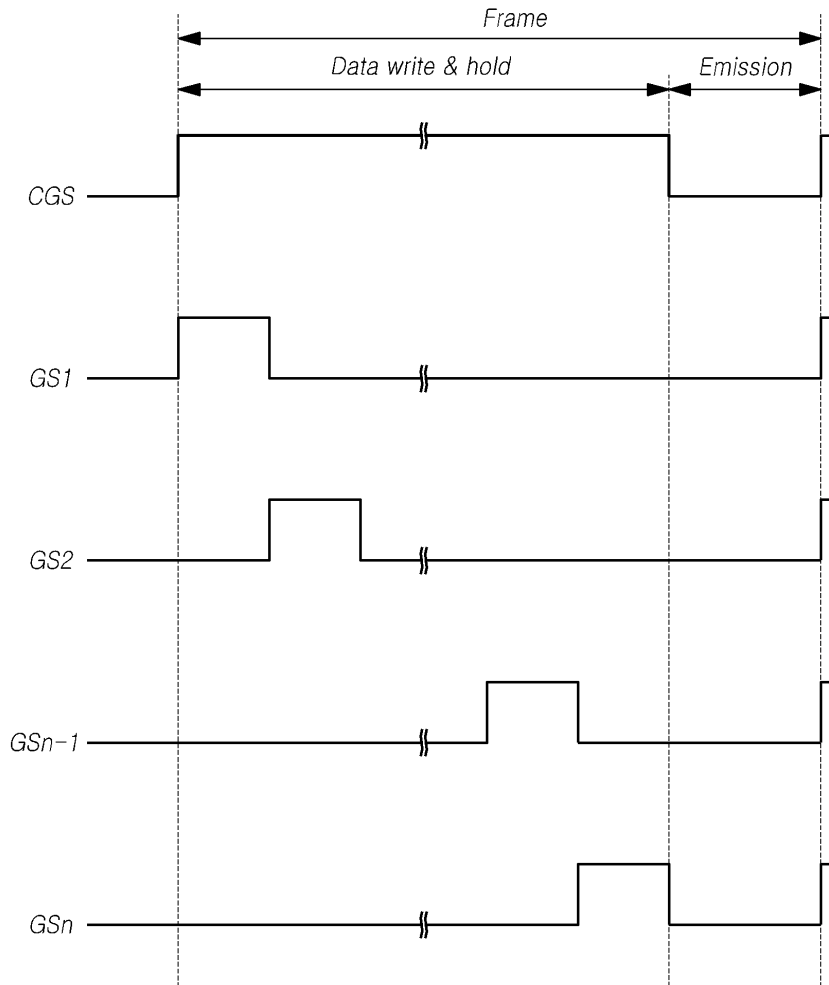
120



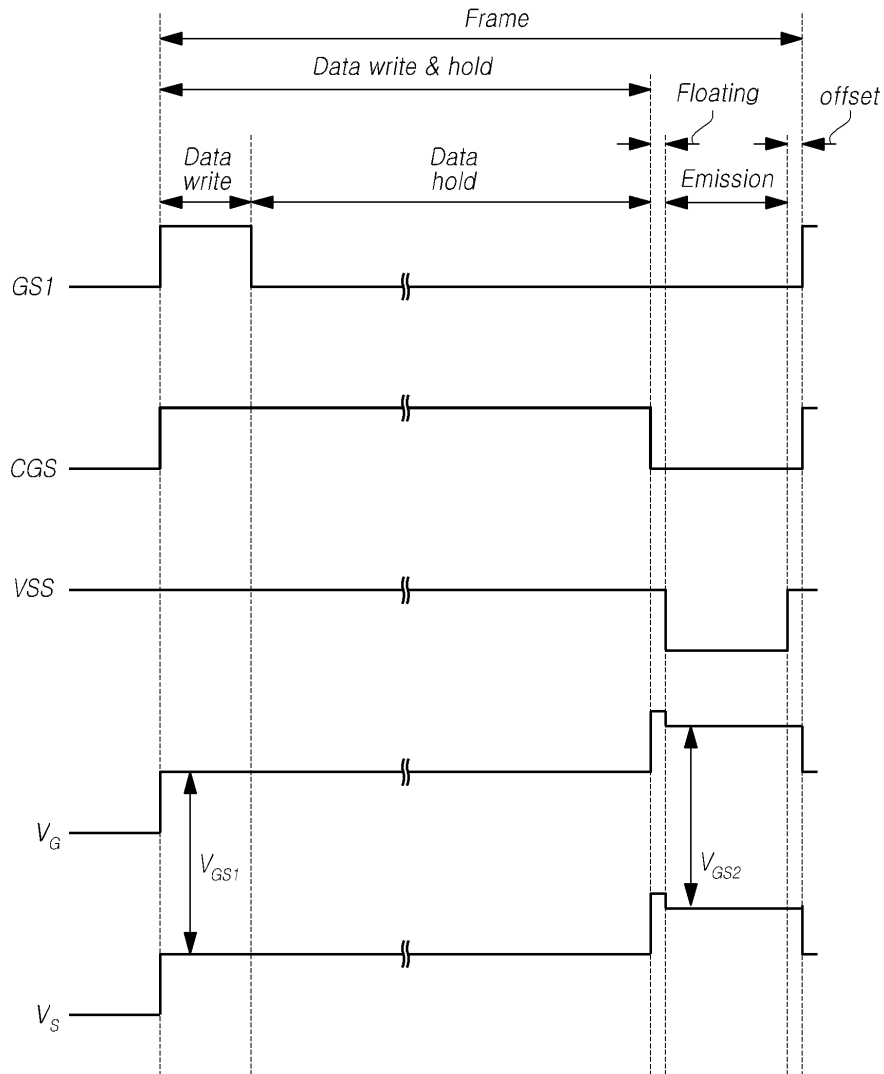
도면3



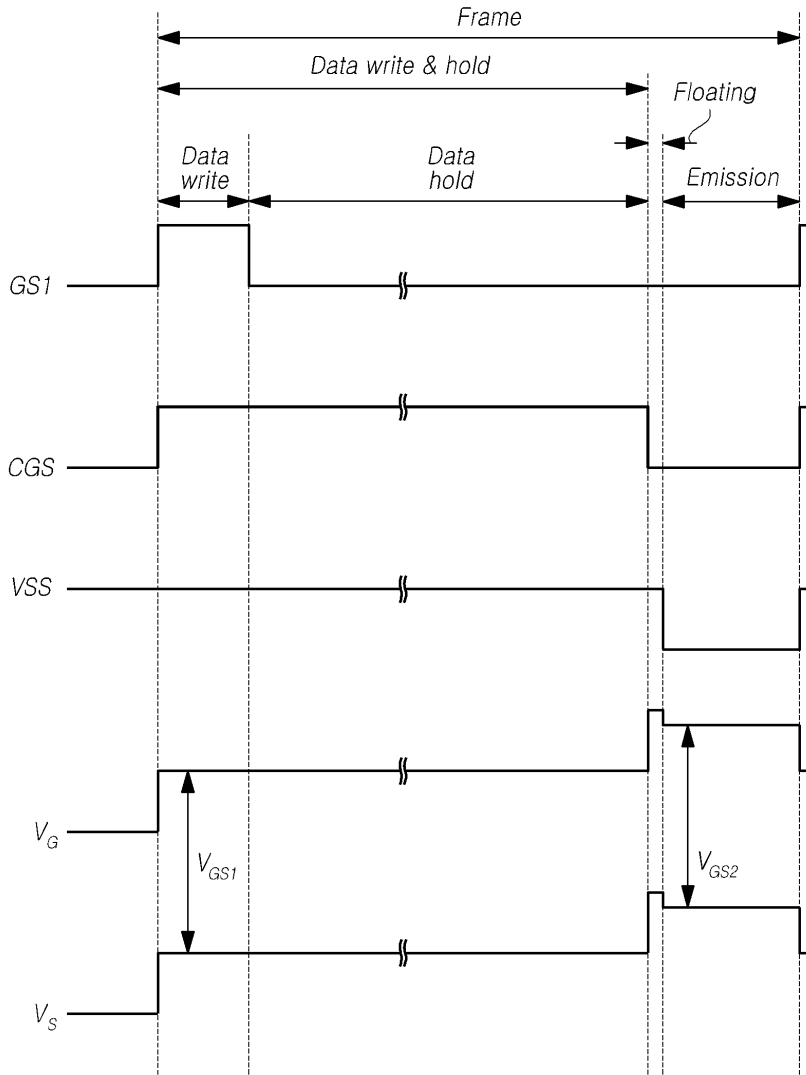
도면4



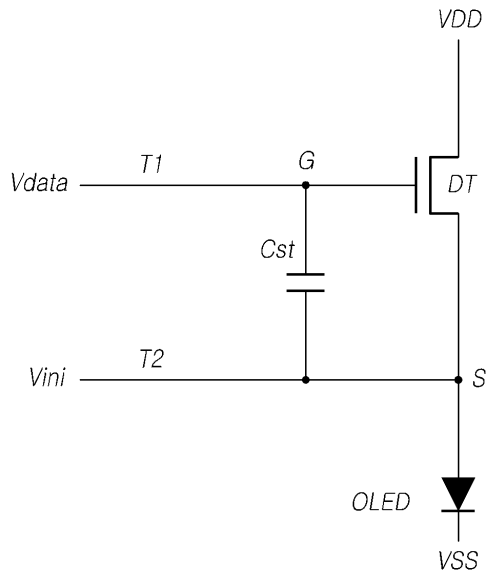
도면5



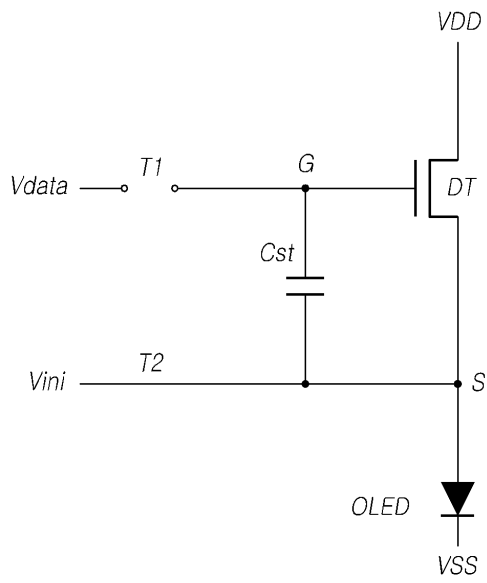
도면6



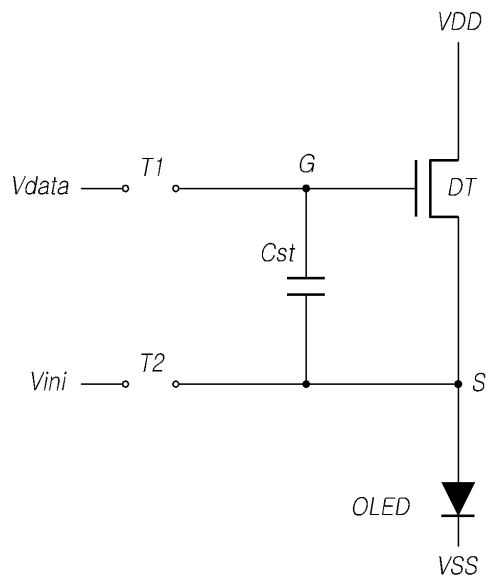
도면7



도면8



도면9



도면10

