



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0025513
(43) 공개일자 2018년03월09일

(51) 국제특허분류(Int. Cl.)
H01L 51/00 (2006.01) *H01L 27/12* (2006.01)
H01L 27/32 (2006.01)

(52) CPC특허분류
H01L 51/0097 (2013.01)
H01L 27/1251 (2013.01)

(21) 출원번호 10-2016-0112119

(22) 출원일자 2016년08월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
이소형
경기도 고양시 덕양구 화신로 311 (화정동, 별빛
마을9단지아파트) 924동 1402호

김민철
경기도 파주시 가온로 256 (와동동, 가람마을11단
지 동문굿모닝힐아파트) 1102동 203호
(뒷면에 계속)

(74) 대리인
특허법인로얄

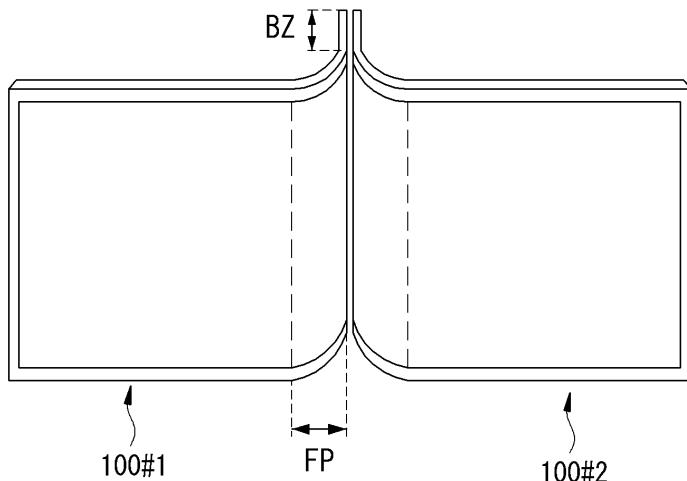
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요 약

본 발명에 의한 유기발광 표시장치는 노멀 픽셀들 및 폴딩 픽셀들을 포함한다. 노멀 픽셀들은 플렉서블 패널의 제1 표시영역에 배치되고, 폴딩 픽셀들은 플렉서블 패널의 제2 표시영역에 배치된다. 노멀 픽셀들 각각은 동일한 면적을 갖고, 폴딩 픽셀들은 노멀 픽셀들 보다 큰 면적을 갖는다.

대 표 도 - 도4



(52) CPC특허분류

H01L 27/3211 (2013.01)

H01L 27/3216 (2013.01)

H01L 2251/5338 (2013.01)

(72) 발명자

신성수

경기도 안양시 동안구 평촌대로179번길 30 501동
902호 (호계동, 목련우성아파트)

양정열

경기도 의정부시 동일로 660 (금오동, 2차신도브래
뉴업아파트) 210동 604호

이희성

인천광역시 연수구 선학로 100 (선학동, 금호아파
트) 2동 1804호

명세서

청구범위

청구항 1

플렉서블 패널의 제1 표시영역에 배치된 다수의 노멀 핵셀들; 및

상기 플렉서블 패널의 제2 표시영역에 배치된 다수의 폴딩 핵셀들을 포함하고,

상기 노멀 핵셀들 각각은 동일한 면적을 갖고, 상기 폴딩 핵셀들은 상기 노멀 핵셀들 보다 큰 면적을 갖는 유기 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 표시영역과 상기 제2 표시영역은 열 방향으로 구분되고,

상기 제1 표시영역은 평평한 상태를 유지하고,

상기 제2 표시영역은 구부러진 상태를 유지하는 k 개의 열에 배치된 폴딩 핵셀들을 포함하는 유기발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 제2 표시영역 내에서, j(j는 k 이하의 자연수) 번째 폴딩 핵셀은 (j-1) 번째 폴딩 핵셀 보다 면적이 큰 유기발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 핵셀들에 연결되는 게이트라인은 상기 제1 표시영역 및 제2 표시영역을 가로지르도록 배치되고,

상기 제2 표시영역에 위치하는 게이트라인 영역의 폭은 상기 제1 표시영역에 위치하는 게이트라인 영역의 폭보다 두꺼운 유기발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 j 번째 폴딩 핵셀 영역에 위치하는 게이트라인 영역의 폭은 상기 (j-1) 번째 폴딩 핵셀 영역에 위치하는 게이트라인 영역의 폭보다 두꺼운 유기발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 핵셀들에 연결되는 게이트라인은 상기 제1 표시영역 및 제2 표시영역을 가로지르도록 배치되고,

상기 제2 표시영역에 위치하는 게이트라인은 메인 게이트라인 및 상기 메인 게이트라인에서 분기되는 보조 게이트라인을 포함하는 유기발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 보조 게이트라인은 절연층을 사이에 두고 상기 메인 게이트라인과 다른 금속층에 위치하고, 상기 보조 게이트라인과 상기 메인 게이트라인은 상기 절연층을 관통하는 컨택홀을 통해서 접속되는 유기발광 표시장치.

청구항 8

서로 이웃하며, 플렉서블 패널로 이루어지는 제1 표시패널 및 제2 표시패널;

상기 제1 및 제2 표시패널 각각은

제1 표시영역에 배치된 다수의 노멀 픽셀들; 및

상기 플렉서블 패널의 제2 표시영역에 배치된 다수의 폴딩 픽셀들을 포함하고,

상기 제1 표시패널 및 제2 표시패널은 각각의 제2 표시영역이 서로 이웃하도록 배치되며,

상기 노멀 픽셀들 각각은 동일한 면적을 갖고, 상기 폴딩 픽셀들은 상기 노멀 픽셀들 보다 큰 면적을 갖는 유기 발광 표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 멀티 비전용 유기발광 표시장치에 관한 것이다.

배경 기술

[0002]

정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003]

이 중 유기발광표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다. 특히, 유기발광표시장치는 유연한(flexible) 플라스틱 기판 위에도 형성할 수 있을 뿐 아니라, 플라즈마 디스플레이 패널(Plasma Display Panel)이나 무기 전계발광(EL) 디스플레이에 비해 낮은 전압에서 구동이 가능하고 전력 소모가 비교적 적으며, 색감이 뛰어나다는 장점이 있다.

[0004]

다양한 장점들로 인해서 유기발광 표시장치는 여러 디스플레이 장치에 이용되고 있으며, 근래에는 다수의 패널들을 연결하여 멀티 비전(Multi vision) 형태의 표시장치가 이용되기도 한다. 멀티 비전 형태의 표시장치는 단일 표시패널 보다 큰 화면으로 영상을 표시할 수 있으며, 전체 표시영역의 크기를 가변하기에 용이한 장점을 갖는다.

[0005]

하지만, 각각의 표시패널은 외곽 영역에는 영상이 표시되지 않는 영역인 베젤이 존재하기 때문에, 멀티 비전의 경계면에서는 영상이 절단되는 것으로 보이는 단점이 발생한다.

발명의 내용

해결하려는 과제

[0006]

본 발명은 멀티 비전용 유기발광 표시장치를 제공하기 위한 것이다.

과제의 해결 수단

[0007]

상기 목적을 달성하기 위하여, 본 발명에 의한 유기발광 표시장치는 노멀 픽셀들 및 폴딩 픽셀들을 포함한다. 노멀 픽셀들은 플렉서블 패널의 제1 표시영역에 배치되고, 폴딩 픽셀들은 플렉서블 패널의 제2 표시영역에 배치된다. 노멀 픽셀들 각각은 동일한 면적을 갖고, 폴딩 픽셀들은 노멀 픽셀들 보다 큰 면적을 갖는다.

[0008]

본 발명에 의한 표시장치는 서로 이웃하며 플렉서블 패널로 이루어지는 제1 표시패널 및 제2 표시패널을 포함한다. 제1 및 제2 표시패널 각각은 제1 표시영역에 배치된 다수의 노멀 픽셀들 및 플렉서블 패널의 제2 표시영역에 배치된 다수의 폴딩 픽셀들을 포함한다. 제1 표시패널 및 제2 표시패널은 각각의 제2 표시영역이 서로 이웃하도록 배치된다. 노멀 픽셀들 각각은 동일한 면적을 갖고, 폴딩 픽셀들은 노멀 픽셀들 보다 큰 면적을 갖는다.

갖는다.

발명의 효과

[0009] 본 명세서의 실시예들에 의하면, 표시패널은 연성의 기판으로 제작되어 끝단이 휘어질 수 있다. 그 결과, 복수의 표시패널을 연결하여 멀티 비전을 구현할 경우에 인접하는 표시패널들 간의 경계 영역에서 베젤이 시인되는 것을 방지할 수 있다. 또한, 본 발명의 표시장치는 휘어지는 영역의 픽셀 면적이 크기 때문에, 휘어지는 영역에서 픽셀들의 면적이 작게 보이더라도 평평한 영역의 픽셀들과 유사한 크기로 보이기 때문에 휘어지는 영역에서 영상이 왜곡되는 것을 방지할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시예에 의한 유기발광 표시장치를 보여주는 도면.

도 2는 본 발명에 의한 표시패널을 나타내는 평면도.

도 3은 픽셀의 실시 예를 나타내는 도면.

도 4는 본 발명에 의한 표시패널이 적용된 멀티 비전의 구현 예.

도 5는 하나의 수평라인에 배열된 픽셀들을 모식화 한 도면.

도 6 및 도 7은 각각 제1 및 제2 실시 예에 의한 게이트라인을 나타내는 도면들.

도 8은 제3 실시 예에 의한 게이트라인을 나타내는 도면.

도 9는 도 8에 도시된 I-I'를 따라 절단한 단면을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

[0011] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0012] 이하, 도 1 내지 도 9를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0013] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 나타내는 도면이다. 도 2는 도 1에 도시된 표시패널의 영역을 구분한 것을 모식화한 도면이고, 도 3은 픽셀의 등가회로도이다.

[0014] 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 픽셀들(PXL)이 형성된 표시패널(100) 및 구동회로부(20,30,40)를 포함한다. 구동회로부(20,30,40)는 데이터라인들(DL1~DLm)을 구동하기 위한 데이터 구동부(30), 게이트라인들(GL1~GLm)을 구동하기 위한 게이트 구동부(40), 데이터 구동부(30) 및 게이트 구동부(40)의 구동 타이밍을 제어하기 위한 타이밍 콘트롤러(20)를 구비한다.

[0015] 타이밍 콘트롤러(20)는 외부로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(100)의 해상도에 맞게 재정렬하여 데이터 구동부(30)에 공급한다. 또한, 타이밍 콘트롤러(20)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(30)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동부(40)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 발생한다.

[0016] 데이터 구동부(30)는 데이터 제어신호(DDC)를 기반으로 타이밍 콘트롤러(20)로부터 입력되는 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환한다.

[0017] 게이트 구동부(40)는 게이트 제어신호(GDC)를 기반으로 스캔신호와 애미션신호를 생성할 수 있다. 게이트 구동부(40)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(100)의 비표시영역 상에 직접 형성될 수 있다.

[0018] 표시패널(100)은 표시영역(100A) 및 베젤(BZ)을 포함한다. 표시패널(100)은 폴리이미드(Polyimide) 기판과 같은 연성의 기판을 이용한다.

[0019] 표시영역(100A)에는 다수의 픽셀(P)들이 매트릭스 형태로 배치된다. 각각의 수평라인에 배치된 픽셀(P)들은 게이트라인(GL)에 연결되고, 각각의 열에 배치된 픽셀(P)들은 하나의 데이터라인(DL)과 연결된다. 게이트라인

(GL)은 화소 구조에 따라서 스캔라인 및 에미션라인 등을 포함할 수도 있다.

[0020] 도 2에서와 같이, 표시영역(100A)은 제1 표시영역(NP) 및 제2 표시영역(FP)를 포함한다. 제1 표시영역(NP)과 제2 표시영역(FP)은 열 방향으로 구분된다. 제1 표시영역(NP)은 평평하게 펼쳐진 상태에서 영상을 표시하고, 제2 표시영역(FP)는 멀티 비전을 이루는 표시패널들 간의 경계 영역에서 표시면의 후면 방향으로 굽어지는 영역이다. 제2 표시영역(FP)은 일측 끝단 영역에 배치된다. 도 2는 제2 표시영역(FP)이 도면의 우측 끝단에 배치되는 실시 예를 도시하고 있지만, 제2 표시영역(FP)이 배치되는 영역은 이에 한정되지 않고, 좌측 끝단 또는 상측이나 하측 끝단에 배치될 수 있다. 베젤(BZ)에는 신호배선들이 배치되고, 게이트라인(GL)을 구동하기 위한 GIP 형태의 게이트 구동부(40)가 형성될 수 있다.

[0021] 픽셀(P)를 구성하는 트랜지스터(TFT)들은 산화물 반도체층을 포함한 트랜지스터로 구현될 수 있다. 산화물 반도체층은 전자 이동도, 공정 편차 등을 모두 고려할 때 표시패널(100)의 대면적화에 유리하다. 산화물 반도체로 형성할 경우, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), 또는 IGZO(Indium Gallium Zinc Oxide) 등으로 형성할 수 있으나, 이에 한정하는 것은 아니다. 다만, 본 발명은 이에 한정되지 않고 트랜지스터의 반도체층을 비정질 실리콘(amorphous silicon, a-Si), 다결정 실리콘(polycrystalline silicon, poly-Si), 또는 또는 유기물 (organic) 반도체 등으로 형성될 수 있다.

[0022] 도 3을 참조하여, 픽셀의 세부적인 구성을 살펴보면 다음과 같다.

[0023] 픽셀(P)들 각각은 유기발광다이오드(OLED) 구동트랜지스터(DT), 스위칭 트랜지스터(SW) 및 스토리지 커페시터(Cst)를 포함한다.

[0024] 유기발광다이오드(OLED)는 구동트랜지스터(DT)로부터 공급되는 구동 전류에 의해 발광한다. 유기발광다이오드(OLED)의 애노드전극과 캐소드전극 사이에는 다층의 유기 화합물층이 형성된다. 유기 화합물층은 적어도 하나의 정공전달층 및 전자전달층과, 발광층(Emission layer, EML)을 포함할 수 있다. 여기서, 정공전달층은 발광층으로 정공을 주입하거나 정공을 전달하는 층으로, 예를 들어, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 및 전자저지층(Electron blocking layer, EBL) 등일 수 있다. 그리고, 전자전달층은 발광층에 전자를 주입하거나 전자를 전달하는 층으로, 예를 들어, 전자수송층(Electron transport layer, ETL), 전자주입층(Electron Injection layer, EIL), 및 정공저지층(Hole blocking layer, HBL) 등일 수 있다.

[0025] 구동 트랜지스터(DT)는 자신의 게이트-소스 간 전압(Vgs)에 따라 유기발광다이오드(OLED)에 인가되는 구동전류를 제어한다. 구동트랜지스터(DT)의 소스전극은 유기발광다이오드(OLED)의 애노드 전극에 연결되고, 게이트전극은 스위칭 트랜지스터(SW)의 소스전극에 연결되며, 드레인전극은 고전위전압(VDD) 입력단에 연결된다.

[0026] 스토리지 커페시터(Cst)의 양 전극은 각각 구동트랜지스터(DT)의 게이트전극과 소스전극에 연결된다.

[0027] 도 4는 본 발명에 의한 표시패널을 이용한 멀티 비전의 구현 예를 나타내는 도면이다.

[0028] 도 4를 참조하면, 본 발명에 의한 제1 및 제2 표시패널(100)은 수평라인 방향으로 서로 맞닿아서 멀티 비전을 형성한다. 제1 표시패널(100#1) 및 제2 표시패널(100#2)이 서로 맞닿는 영역은 각 표시패널들의 제2 표시영역(FP)이 위치하는 측면이다. 본 발명의 표시패널은 플렉서블 기판으로 구현되기 때문에, 제1 표시패널(100#1)의 제2 표시영역(FP) 및 제2 표시패널(100#2)의 제2 표시영역(FP)는 도면에서와 같이 휘어질 수 있다. 제1 표시패널(100)과 제2 표시패널(100)은 각각의 베젤(BZ) 영역이 서로 대면하거나 표시영역의 뒷면까지 접하도록 연결된다. 따라서, 본 발명에 의한 표시패널을 이용한 멀티비전은 제1 표시패널(100)과 제2 표시패널(100)이 연결되는 영역에 위치한 베젤이 사용자에게 시인되지 않는다. 그 결과, 멀티 비전을 구성하는 제1 및 제2 표시패널(100)에 표시되는 영상이 왜곡되지 않고 하나의 표시패널에서 영상을 표시하는 것과 같은 효과를 갖는다.

[0029] 도 4에서와 같이, 제1 표시패널(100)과 제2 표시패널(100)이 맞닿는 영역에서 베젤이 보여지지 않도록 접히게 되면, 표시영역(100A)의 제2 표시영역(FP)도 후면으로 휘어지게 된다. 그 결과, 제2 표시영역(FP)에 배치되는 픽셀들은 실제 면적보다 작은 크기로 보여진다. 따라서, 제2 표시영역(FP)에 배치되는 픽셀들의 면적과 제1 표시영역(NP)에 배치되는 픽셀들의 면적이 동일하다면, 접히는 영역의 제2 표시영역(FP)에서 표시하는 영상이 왜곡되는 문제점이 발생한다.

[0030] 이를 개선하기 위한 실시 예를 도 5를 참조하여 설명하면 다음과 같다.

[0031] 도 5는 본 발명에 의한 제1 수평라인에 배치되는 n 개의 픽셀들의 크기를 나타내는 모식도이다. 도 5는 하나의 수평라인에서 제2 표시영역이 3개의 픽셀을 포함하는 실시 예를 도시하고 있지만, 제2 표시영역에 속하는 픽셀

들의 개수는 이에 한정되지 않는다.

[0032] 도 5를 참조하면, 하나의 수평라인에 배치되는 픽셀들은 제1 표시영역()에 속하는 노멀 픽셀들과 제2 표시영역(FP)에 속하는 폴딩 픽셀들을 포함한다. 제1 표시영역(NP)에 속하는 노멀 픽셀들은 모두 동일한 면적을 갖는다. 제2 표시영역(FP)에 속하는 폴딩 픽셀들의 면적은 제1 표시영역(NP)에 속하는 노멀 픽셀들의 면적 보다 크게 설정된다.

[0033] 제2 표시영역(FP)의 끝단에 위치하는 픽셀들은 사용자가 바라볼 때 가려지는 영역이 더 크기 때문에, 제2 표시영역(FP)에 속하는 픽셀들 중에서도 끝단으로 갈수록 면적이 더 커지도록 설정될 수 있다. 이로 인해서 제2 표시영역(FP)의 픽셀들이 작게 보이더라도, 제1 표시영역(NP)의 픽셀들과 비슷한 크기로 시인될 수 있다.

[0034] 도 6은 본 발명의 제1 실시 예에 의한 게이트라인의 평면 구조를 나타내는 도면이다.

[0035] 도 6을 참조하면, 본 발명에 의한 게이트라인은 제1 게이트라인 영역(GLL1) 내지 제n 게이트라인 영역(GLLn)을 포함한다. 제1 게이트라인 영역(GLL1)은 제1 열의 픽셀에 속하는 영역이고, 제n 게이트라인 영역(GLLn)은 제n 열의 픽셀에 속하는 영역이다.

[0036] 제2 표시영역(FP)에 속한 게이트라인 영역의 폭($w[n-2], w[n-1], w[n]$)은 제1 표시영역(NP)에 속한 게이트라인 영역의 폭($w1$) 보다 크게 설정된다. 예컨대, 제2 표시영역(FP)이 제 $n-2$ 열에 속한 픽셀들 내지 제n 열에 속한 픽셀들을 포함할 때, 제 $(n-2)$ 게이트라인 영역 내지 제n 게이트라인 영역($w[n-2], w[n-1], w[n]$)은 제1 게이트라인 영역($w1$) 보다 큰 폭을 갖는다.

[0037] 제2 표시영역(FP)에 속한 게이트라인 영역 중에서도 끝단으로 갈수록 게이트라인 영역의 폭이 커질 수 있다. 예컨대, 제n 게이트라인 영역(GLLn)의 폭($w[n]$)은 제 $(n-1)$ 게이트라인 영역(GLL[n-1])의 폭($w[n-1]$) 보다 크게 설정된다.

[0038] 이와 같이, 제2 표시영역(FP)에 속한 게이트라인은 큰 폭으로 형성되기 때문에 멀티 비전을 구현하기 위해서 휘어지더라도 파손될 가능성이 더 적게 된다.

[0039] 도 7은 다른 실시 예에 의한 게이트라인의 평면 구조를 나타내는 도면이다.

[0040] 도 7을 참조하면, 제2 실시 예에 의한 게이트라인은 메인 게이트라인(MGL) 및 보조 게이트라인(SGL)을 포함한다. 보조 게이트라인(SGL)은 제2 표시영역(FP)에 속하는 영역에서 메인 게이트라인(MGL)으로부터 분기된다. 메인 게이트라인(MGL)과 보조 게이트라인(SGL)은 동일 금속층으로 형성될 수 있다. 제2 실시 예에 의한 게이트라인은 보조 게이트라인(SGL)을 포함하고 있어서, 제2 표시영역(FP)가 휘어진다고 할지라도 게이트라인의 파손 가능성이 줄어든다. 또한, 제2 표시영역(FP)에서 메인 게이트라인(MGL) 또는 보조 게이트라인(SGL) 중에서 어느 하나가 손상될지라도 게이트라인을 통해서 게이트펄스가 공급될 수 있다.

[0041] 도 8 및 도 9는 제3 실시 예에 의한 게이트라인 구조를 설명하기 위한 도면이다. 도 8은 픽셀의 평면 어레이 구조를 나타내는 도면이고, 도 9는 도 8에 도시된 I-I'를 따라 절취한 단면을 나타내는 도면이다.

[0042] 도 8 및 도 9를 참조하면, 연성의 기판(PI) 상에는 베퍼층(BUF)이 위치하고, 베퍼층(BUF)에는 반도체층(ACT)이 위치한다. 베퍼층(110)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다. 반도체층(ACT)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 반도체층(ACT)의 불순물은 봉소(B), 알루미늄(AI), 갈륨(Ga) 및 인듐(In) 중 적어도 하나의 p형 불순물을 이용할 수 있다.

[0043] 반도체층(ACT) 상에는 게이트 절연막(GI)이 위치한다. 게이트 절연막(120)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.

[0044] 게이트 절연막(GI) 상에는 게이트 금속층(G1,G2)이 위치한다. 게이트 금속층(G1,G2)은 스위칭 트랜지스터(SW)의 게이트전극(G1) 및 구동 트랜지스터(DT)의 게이트전극(G2)을 포함한다. 게이트 금속층은 몰리브덴(Mo), 알루미늄(AI), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나이거나 둘 이상의 합금으로 형성될 수 있다. 게이트 금속층(G1,G2) 상에는 제1 및 제2 층간 절연막(ILD1, ILD2)이 위치한다. 제1 및 제2 층간 절연막(ILD1, ILD2)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.

[0045] 제2 층간 절연막(ILD2)이 형성된 이후에는, 게이트 절연막(GI)과 제1 및 제2 층간 절연막(ILD1, ILD2)이 선택적으로 식각되어서 전택홀들이 형성된다. 전택홀들에 의해서 각 트랜지스터의 소스전극 및 드레인전극이 형성되는 위치의 반도체층이 노출된다.

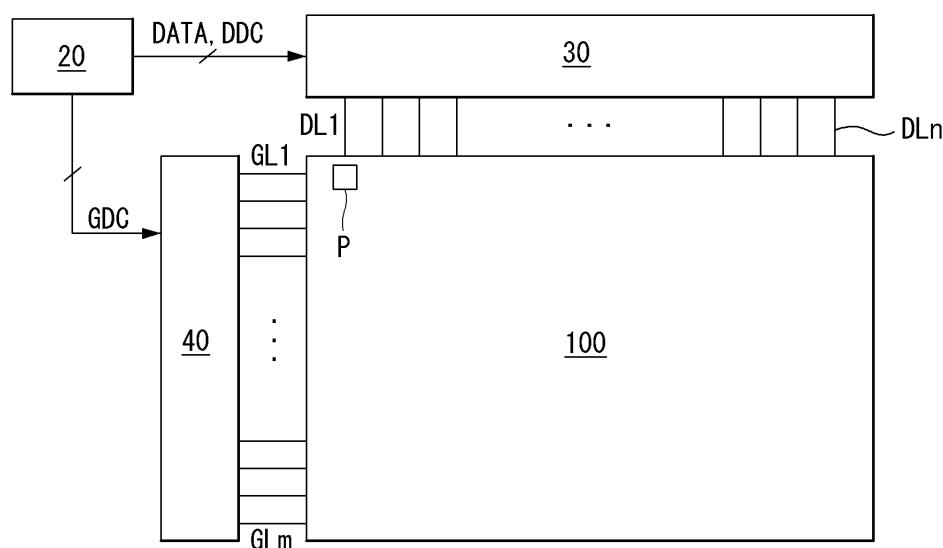
- [0046] 제2 층간 절연막(ILD2) 상에는 소스 금속층(S1,D1,S2,D2)이 위치한다. 소스 금속층은 스위칭 트랜지스터(SW)의 소스전극(S1) 및 드레인전극(D1), 그리고 구동 트랜지스터(DT)의 소스전극(S2) 및 드레인전극(D2)을 포함한다. 소스금속층(S1,D1,S2,D2)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- [0047] 소스 금속층(S1,D1,S2,D2) 상에는 패시베이션층(PAS)이 위치한다. 패시베이션층(PAS)이 형성된 이후에는 제1 및 제2 층간 절연막(ILD1, ILD2)과 패시베이션층(PAS)의 일부가 식각되어서 컨택홀이 형성된다. 패시베이션층(PAS) 상에는 컨택홀(CNT)을 매립하면서 보조 게이트라인(SGL)이 형성된다.
- [0048] 보조 게이트라인(SGL)은 메인 게이트라인(MGL)과 평면상에서 중첩될 수 있다. 보조 게이트라인(SGL)은 제2 표시영역(FP)에 위치할 수 있다. 제3 실시 예에 의한 게이트라인은 보조 게이트라인(SGL)을 포함하고 있어서, 제2 표시영역(FP)가 휘어진다고 할지라도 게이트라인의 파손 가능성이 줄어든다. 또한, 제2 표시영역(FP)에서 메인 게이트라인(MGL) 또는 보조 게이트라인(SGL) 중에서 어느 하나가 손상될지라도 게이트라인을 통해서 게이트 월스가 공급될 수 있다.
- [0049] 상술한 바와 같이, 본 발명에 의한 표시패널은 수평라인 방향을 따라서 제2 표시영역(FP)에서 굽어진다. 그 결과, 수평라인 방향으로 배치되는 게이트라인은 휘어진다. 따라서 게이트라인(GL)은 제2 표시영역(FP)에 속하는 영역에서 물리적 스트레스를 받기 때문에, 파손될 가능성이 있다.
- [0050] 전술한 실시 예들은 제2 표시영역(FP)이 일측 끝단에 위치하는 실시 예들을 중심으로 설명되었다. 하지만, 본 발명의 실시 예들은 이에 한정되지 않는다. 예컨대, 제2 표시영역은 수평라인 방향으로 양측 끝단에 위치할 수 있다. 또한, 제2 표시영역은 데이터라인이 배치되는 양 끝단에 위치할 수도 있다.
- [0051] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

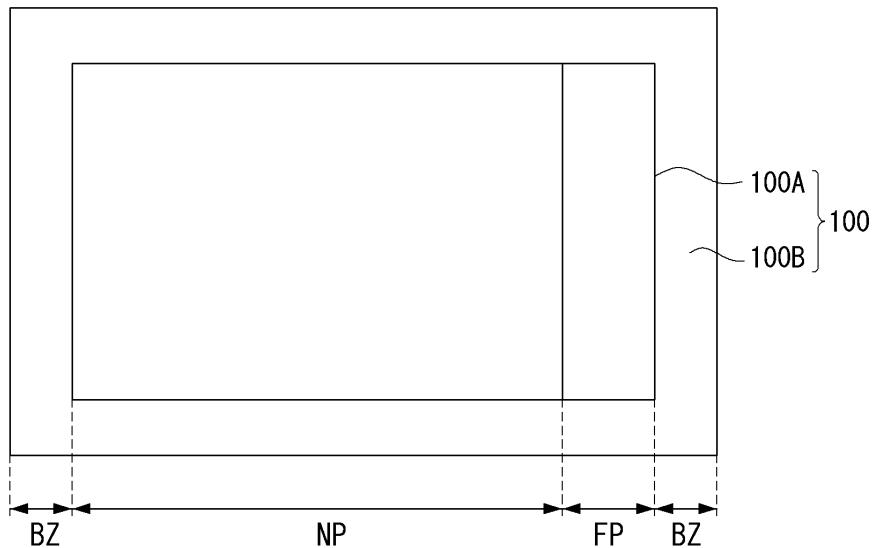
- 10 : 표시패널 11 : 타이밍 콘트롤러
 12 : 데이터 구동부 13 : 게이트 구동부
 DL : 데이터라인 GL : 스캔라인

도면

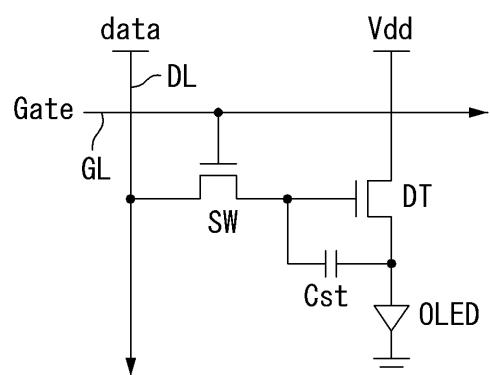
도면1



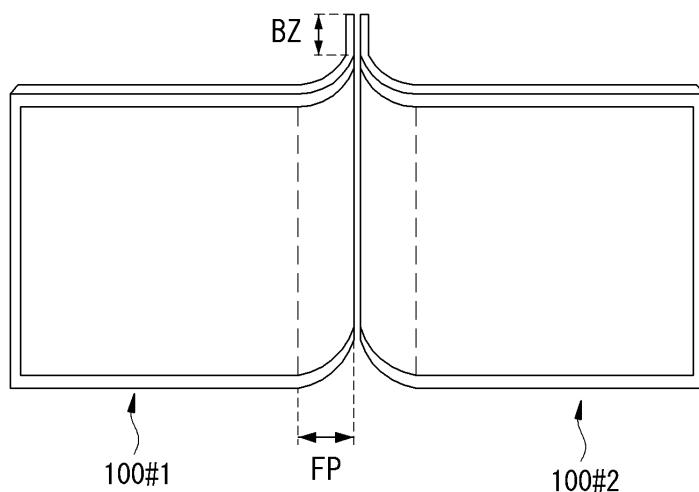
도면2

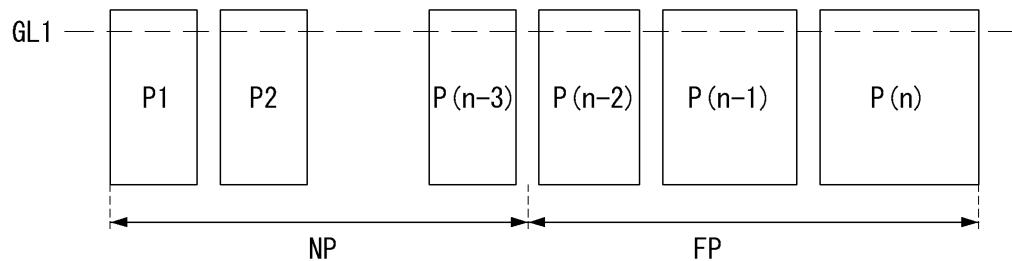
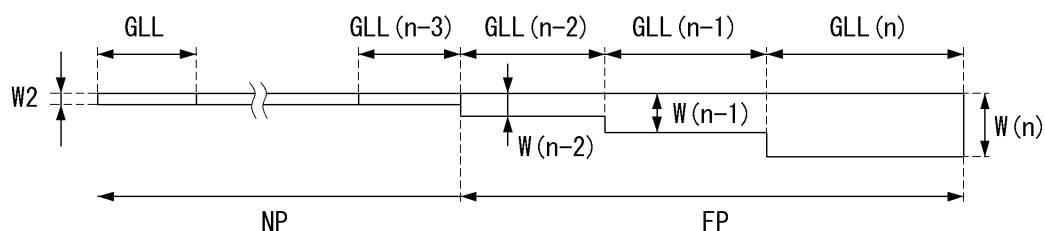
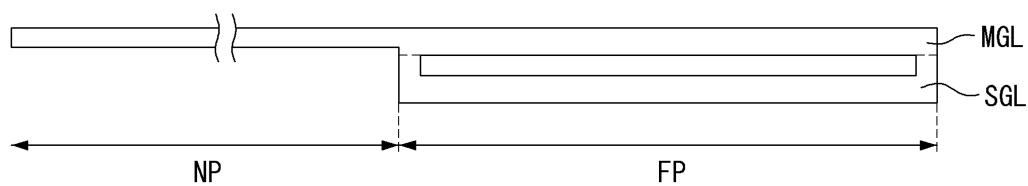


도면3

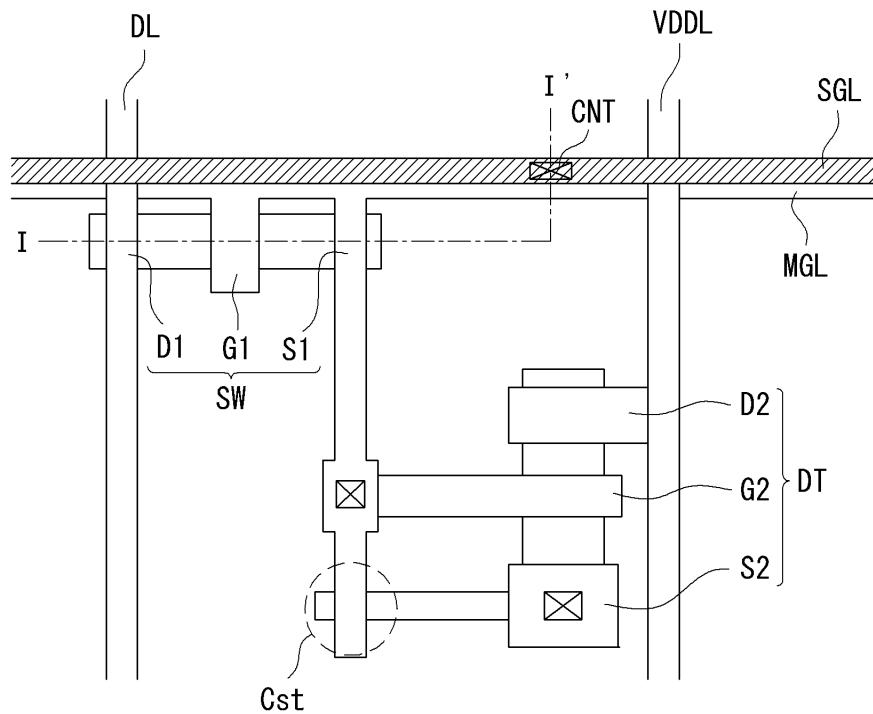


도면4

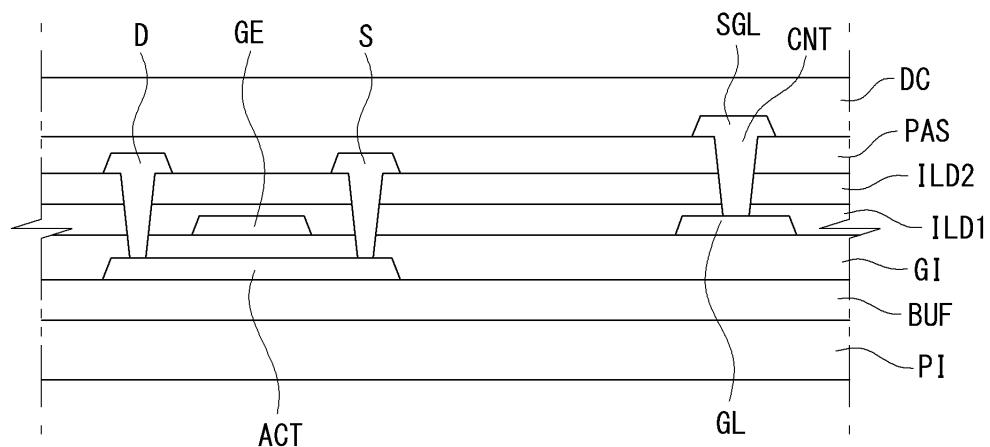


도면5**도면6****도면7**

도면8



도면9



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020180025513A	公开(公告)日	2018-03-09
申请号	KR1020160112119	申请日	2016-08-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SO HYUNG 이소형 KIM MIN CHEOL 김민철 SHIN SUNG SOO 신성수 YANG JUNG YUL 양정열 LEE HEE SUNG 이희성		
发明人	이소형 김민철 신성수 양정열 이희성		
IPC分类号	H01L51/00 H01L27/12 H01L27/32		
CPC分类号	H01L51/0097 H01L27/3211 H01L27/3216 H01L27/1251 H01L2251/5338		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光显示装置包括正常像素和折叠像素。正常像素排列在柔性面板的第一显示区域中，折叠像素排列在柔性面板的第二显示区域中。正常像素面积相同，折叠像素面积大于正常像素面积。

