



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0024095
(43) 공개일자 2018년03월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 27/3213 (2013.01)
(21) 출원번호 10-2016-0109133
(22) 출원일자 2016년08월26일
심사청구일자 2016년08월26일

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김은아
충청남도 아산시 아산로117번길 17 105동 1001호
(실용동, 대우푸르지오아파트)
윤상천
서울특별시 영등포구 양평로17길 9 101동 508호
(양평동4가, 경남아파트)
이샘이누리
서울특별시 성북구 화랑로 214 108동 702호 (석관
동, 래미안석관아파트)
(74) 대리인
특허법인로알

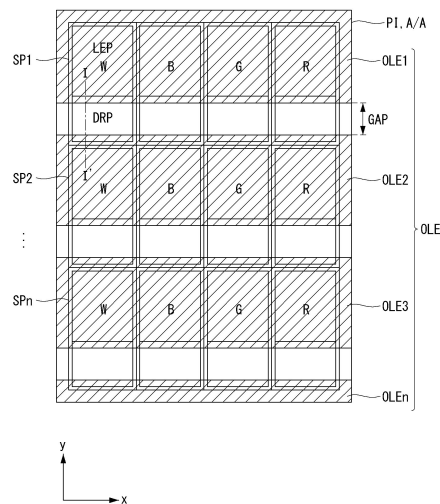
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 표시장치

(57) 요약

본 발명의 표시장치는 횡에 따른 구동불량을 방지하기 위한 것으로, 플라스틱 기판과 데이터 패드부를 포함한다. 플라스틱 기판은 표시부와 표시부 외의 비표시부를 포함한다. 데이터 패드부는 비표시부의 일측에 배치되며, 연성회로기판이 부착된다. 표시부는 표시부 상에 위치하며, 적어도 유기막층을 포함하는 유기발광 다이오드가 각각 구비된 복수의 서브 픽셀을 포함하고, 유기막층은 표시부의 일측에서 타측까지 연속적으로 이루어지되 서로 이격된 복수의 행으로 배열되고, 복수의 행은 데이터 패드부와 나란하게 배치된다.

대표도 - 도9



(52) CPC특허분류

H01L 27/322 (2013.01)

H01L 27/3246 (2013.01)

H01L 51/0097 (2013.01)

H01L 2251/5338 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 10042412

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 산업기술혁신사업

연구과제명 대면적 투명플렉시블 디스플레이 구현을 위한 60인치이상, UD급, 투과도 40%인 패널/모듈
기술개발

기 여 율 1/1

주관기관 엘지디스플레이(주)

연구기간 2012.08.01 ~ 2017.06.30

명세서

청구범위

청구항 1

표시부와 상기 표시부 외의 비표시부를 포함하는 플라스틱 기판; 및

상기 비표시부의 일측에 배치되며, 연성회로기판이 부착되는 데이터 패드부;를 포함하며,

상기 표시부는,

상기 표시부 상에 위치하며, 적어도 유기막층을 포함하는 유기발광 다이오드가 각각 구비된 복수의 서브 픽셀을 포함하고,

상기 유기막층은 상기 표시부의 일측에서 타측까지 연속적으로 이루어지되 서로 이격된 복수의 행으로 배열되고, 상기 복수의 행은 상기 데이터 패드부와 나란한 표시장치.

청구항 2

제1 항에 있어서,

상기 복수의 서브 픽셀은 각각 발광부와 구동부를 포함하고, 상기 유기막층은 상기 발광부 전체에 중첩되는 표시장치.

청구항 3

제2 항에 있어서,

상기 유기막층의 복수의 행 사이에 상기 유기막층의 복수의 행이 이격된 이격 영역이 위치하는 표시장치.

청구항 4

제3 항에 있어서,

상기 이격 영역은 상기 구동부와 중첩되지 상기 발광부와 중첩되지 않는 표시장치.

청구항 5

제4 항에 있어서,

상기 이격 영역은 상기 유기막층의 복수의 행의 장축 방향과 수직하는 방향으로 적어도 하나 이상 위치하는 표시장치.

청구항 6

제1 항에 있어서,

상기 유기막층의 복수의 행 중 인접한 둘 사이에 위치하는 적어도 하나의 유기막 패턴을 더 포함하고,

상기 유기막 패턴은 상기 유기막층의 복수의 행과 나란하게 배치되는 표시장치.

청구항 7

제6 항에 있어서,

상기 유기막 패턴은 인접한 상기 유기막층의 복수의 행과 이격된 표시장치.

청구항 8

제1 항에 있어서,

상기 표시장치는 상기 데이터 패드부의 장축 방향과 수직하는 방향으로 휘어지는 표시장치.

청구항 9

제1 항에 있어서,

상기 유기막층의 복수의 행의 장축 방향은 상기 데이터 패드부의 장축 방향과 나란한 표시장치.

청구항 10

제1 항에 있어서,

상기 유기막층의 행들은 상기 유기막층의 행들의 장축 방향과 수직하는 방향으로 배치된 상기 적어도 하나 이상의 서브 픽셀을 주기로 이격된 표시장치.

청구항 11

제1 항에 있어서,

상기 유기발광 다이오드는 백색을 발광하는 표시장치.

청구항 12

표시부와 상기 표시부 외의 비표시부를 포함하는 플라스틱 기판; 및

상기 비표시부의 일측에 배치되며, 연성회로기판이 부착되는 데이터 패드부;를 포함하며,

상기 표시부는,

상기 표시부 상에 위치하며, 적어도 유기막층을 포함하는 유기발광 다이오드가 각각 구비된 복수의 서브 픽셀을 포함하고,

상기 유기막층은 상기 표시부의 일측에서 타측까지 연속적으로 이루어지되 서로 이격된 복수의 행으로 배열되고, 상기 복수의 행은 상기 데이터 패드부와 나란하며,

상기 유기발광 다이오드는 백색을 발광하는 표시장치.

청구항 13

제12 항에 있어서,

상기 표시부에 위치하여 상기 유기발광 다이오드에서 발광된 백색을 다른 색으로 변환하는 컬러필터를 더 포함하는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 보다 자세하게는 구동불량을 방지할 수 있는 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003] 이 중 유기발광표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 특히, 유기발광표시장치는 유연한(flexible) 플라스틱 기판 위에도 형성할 수 있을 뿐 아니라, 플라즈마 디스플레이 패널(Plasma Display Panel)이나 무기 전계발광(EL) 디스플레이에 비해 낮은 전압에서 구동이 가능하고 전력 소모가 비교적 적으며, 색감이 뛰어나다는 장점이 있다.

[0004] 유연한 플라스틱 기판에 제조된 유기발광표시장치는 글라스 기판 상에 폴리이미드를 코팅한 후 박막트랜지스터,

유기막층을 포함하는 유기발광 다이오드 등의 소자들이 제조되고 패드부에 칩온필름(Chip on Film; COF)과 같은 연성회로기판이 부착된다. 그리고 글라스 기판을 분리하는 공정을 수행하여 유연한 폴리이미드 기판을 구비하는 유기발광표시장치가 제조된다.

[0005] 도 1은 유기막층의 증착 공정을 나타낸 도면이고, 도 2는 기판에 가해지는 스트레스를 나타낸 도면이다.

[0006] 유기발광 다이오드의 유기막층은 유기발광표시장치의 화상을 표시하는 표시부 전체에 형성된다. 이를 위해, 도 1에 도시된 바와 같이, 기판(SUB)의 표시부(A/A) 전체를 오픈하는 오픈 마스크(OM)를 이용하여 유기물 소스(SOU)를 증착함으로써 유기막층(EML)이 형성된다. 그러나, 도 2에 도시된 바와 같이, 유연한 기판(SUB)을 구부리거나 둘둘 말게 되면, 기판(SUB)의 상부에 스트레스가 가해지고 하부에도 스트레스가 가해진다. 기판(SUB) 상부에 형성된 유기막층(EML)은 접착력이 취약하기 때문에 스트레스에 의해 일부에서 박리가 발생한다. 따라서, 유기발광표시장치의 구동불량이 발생하는 문제가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 유기막층을 복수로 분리시켜 스트레스를 완화시킬 수 있는 표시장치를 제공한다.

[0008] 또한, 본 발명은 유기막층의 박리를 방지하여, 구동불량을 방지할 수 있는 표시장치를 제공한다.

과제의 해결 수단

[0009] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 표시장치는 플라스틱 기판과 데이터 패드부를 포함한다. 플라스틱 기판은 표시부와 표시부 외의 비표시부를 포함한다. 데이터 패드부는 비표시부의 일측에 배치되며, 연성회로기판이 부착된다. 표시부는 표시부 상에 위치하며, 적어도 유기막층을 포함하는 유기발광 다이오드가 각각 구비된 복수의 서브 픽셀을 포함하고, 유기막층은 표시부의 일측에서 타측까지 연속적으로 이루어지되 서로 이격된 복수의 행으로 배열되고, 복수의 행은 데이터 패드부와 나란하게 배치된다.

[0010] 복수의 서브 픽셀은 각각 발광부와 구동부를 포함하고, 유기막층은 발광부 전체에 중첩되고, 유기막층의 복수의 행 사이에 유기막층의 복수의 행이 이격된 이격 영역이 위치한다.

[0011] 이격 영역은 구동부와 중첩되지 발광부와 중첩되지 않고, 이격 영역은 유기막층의 복수의 행의 장축 방향과 수직하는 방향으로 적어도 하나 이상 위치한다.

[0012] 유기막층의 복수의 행 중 인접한 둘 사이에 위치하는 적어도 하나의 유기막 패턴을 더 포함하고, 유기막 패턴은 유기막층의 복수의 행과 나란하게 배치된다. 유기막 패턴은 인접한 유기막층의 복수의 행과 이격된다.

[0013] 표시장치는 데이터 패드부의 장축 방향과 수직하는 방향으로 휘어진다.

[0014] 유기막층의 복수의 행의 장축 방향은 데이터 패드부의 장축 방향과 나란하고, 유기막층의 행들은 유기막층의 행들의 장축 방향과 수직하는 방향으로 배치된 적어도 하나 이상의 서브 픽셀을 주기로 이격된다.

[0015] 유기발광 다이오드는 백색을 발광한다.

[0016] 또한, 본 발명의 일 실시예에 따른 표시장치는 플라스틱 기판과 데이터 패드부를 포함한다. 플라스틱 기판은 표시부와 표시부 외의 비표시부를 포함한다. 데이터 패드부는 비표시부의 일측에 배치되며, 연성회로기판이 부착된다. 표시부는 표시부 상에 위치하며, 적어도 유기막층을 포함하는 유기발광 다이오드가 각각 구비된 복수의 서브 픽셀을 포함하고, 유기막층은 표시부의 일측에서 타측까지 연속적으로 이루어지되 서로 이격된 복수의 행으로 배열되고, 복수의 행은 데이터 패드부와 나란하게 배치된다. 특히, 유기발광 다이오드는 백색을 발광한다.

[0017] 표시부에 위치하여 유기발광 다이오드에서 발광된 백색을 다른 색으로 변환하는 컬러필터를 더 포함한다.

발명의 효과

[0018] 본 발명의 실시예에 따른 표시장치는 데이터 패드부의 장축 방향과 나란하게 배치된 복수의 행으로 유기막층을 형성함으로써, 휘어지는 방향으로 작용하는 스트레스에 의해 유기막층이 박리되는 것을 방지할 수 있는 이점이 있다.

[0019] 또한, 본 발명은 유기막층의 복수의 행이 이격됨으로써, 제2 전극과 बैं크층을 접촉시켜 제2 전극의 접착력을 향

상시킬 수 있다. 그러므로 본 발명의 유기발광표시장치는 구동불량을 방지할 수 있는 이점이 있다.

도면의 간단한 설명

도 1은 유기막층의 증착 공정을 나타낸 도면.

도 2는 기판에 가해지는 스트레스를 나타낸 도면.

도 3은 유기발광표시장치의 개략적인 블록도.

도 4는 서브 픽셀의 회로 구성을 나타낸 제1 예시도.

도 5는 서브 픽셀의 회로 구성을 나타낸 제2 예시도.

도 6은 본 발명의 제1 실시예에 따른 유기발광표시장치를 나타낸 평면도.

도 7은 유기발광표시장치의 서브픽셀을 나타낸 단면도.

도 8은 본 발명의 제1 실시예에 따른 유기발광표시장치의 평면을 나타낸 도면.

도 9는 도 8의 일부를 확대한 도면.

도 10은 도 9의 절취선 I-I'에 따라 절취한 단면도.

도 11은 본 발명의 제1 실시예에 따른 유기발광표시장치가 휘어지는 것을 나타낸 도면.

도 12는 본 발명의 제1 실시예에 따른 유기발광표시장치의 평면을 나타낸 도면.

도 13은 본 발명의 제1 실시예에 따른 유기막층을 제조하기 위한 마스크를 나타낸 도면.

도 14는 본 발명의 제2 실시예에 따른 유기발광표시장치를 나타낸 도면.

도 15는 도 14의 절취선 II-II'에 따라 절취한 단면도.

도 16은 비교예 및 실시예1에 따른 유기발광표시장치의 구조, 센터 영역의 스트레스 값 및 FEM 시뮬레이션 이미지를 나타낸 도면.

도 17은 유기막층의 행들이 이격된 주기에 따른 유기막층의 접착력의 증가율을 나타낸 그래프.

발명을 실시하기 위한 구체적인 내용

이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

본 발명에 따른 표시장치는 유연한 플라스틱 기판 상에 표시소자가 형성된 플라스틱 표시장치이다. 플라스틱 표시장치의 예로, 유기발광표시장치, 액정표시장치, 전기영동표시장치 등이 사용가능하나, 본 발명에서는 유기발광표시장치를 예로 설명한다. 유기발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 유기막층을 포함한다. 따라서, 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 공급받는 전자가 유기막층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고, 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하는 자발광 표시장치이다. 그러나 본 발명에 따른 유기발광표시장치는 플라스틱 기판 외에 유리 기판에 형성될 수도 있다.

이하, 첨부한 도면을 참조하여, 본 발명의 실시예들을 설명하기로 한다.

도 3은 유기발광표시장치의 개략적인 블록도이고, 도 4는 서브 픽셀의 회로 구성을 나타낸 제1 예시도이고, 도 5는 서브 픽셀의 회로 구성을 나타낸 제2 예시도이다.

도 3을 참조하면, 유기발광표시장치는 영상 처리부(10), 타이밍 제어부(20), 데이터 구동부(30), 게이트 구동부(40) 및 표시패널(50)을 포함한다.

영상 처리부(10)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(10)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을

출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다. 영상 처리부(10)는 시스템 회로기판에 IC(Integrated Circuit) 형태로 형성된다.

- [0027] 타이밍 제어부(20)는 영상 처리부(10)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다.
- [0028] 타이밍 제어부(20)는 구동신호에 기초하여 게이트 구동부(40)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(30)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(20)는 제어 회로기판에 IC 형태로 형성된다.
- [0029] 데이터 구동부(30)는 타이밍 제어부(20)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(20)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(30)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(30)는 기판 상에 IC 형태로 부착된다.
- [0030] 게이트 구동부(40)는 타이밍 제어부(20)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(40)는 게이트라인들(GL1 ~ GLm)을 통해 게이트신호를 출력한다. 게이트 구동부(40)는 게이트 회로기판에 IC 형태로 형성되거나 표시패널(50)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0031] 표시패널(50)은 데이터 구동부(30) 및 게이트 구동부(40)로부터 공급된 데이터신호(DATA) 및 게이트신호에 대응하여 영상을 표시한다. 표시패널(50)은 영상을 표시하는 서브 픽셀들(SP)을 포함한다.
- [0032] 도 4를 참조하면, 하나의 서브 픽셀은 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 보상회로(CC) 및 유기발광 다이오드(OLED)를 포함한다. 유기발광 다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0033] 스위칭 트랜지스터(SW)는 게이트 라인(GL1)을 통해 공급된 게이트 신호에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 고전위 전원라인(VDD)과 저전위 전원라인(GND) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다. 또한, 스위칭 트랜지스터(SW)나 구동 트랜지스터(DR)에 연결된 커패시터는 보상회로(CC) 내부로 위치할 수 있다.
- [0034] 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한 바, 이에 대한 구체적인 예시 및 설명은 생략한다.
- [0035] 또한, 도 5에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브 픽셀에는 보상 박막 트랜지스터를 구동함과 더불어 특정 신호나 전원을 공급하기 위한 신호라인과 전원라인 등이 더 포함된다. 게이트 라인(GL1)은 스위칭 트랜지스터(SW)에 게이트 신호를 공급하는 제1-1 게이트 라인(GL1a)과, 서브 픽셀에 포함된 보상 박막 트랜지스터를 구동하기 위한 제1-2 게이트 라인(GL1b)을 포함할 수 있다. 그리고 추가된 전원라인은 서브 픽셀의 특정 노드를 특정 전압으로 초기화하기 위한 초기화 전원라인(INIT)으로 정의될 수 있다. 그러나 이는 하나의 예시일 뿐 이에 한정되지 않는다.
- [0036] 한편, 도 4 및 도 5에서는 하나의 서브 픽셀에 보상회로(CC)가 포함된 것을 일례로 하였다. 하지만, 보상의 주체가 데이터 구동부(30) 등과 같이 서브 픽셀의 외부에 위치하는 경우 보상회로(CC)는 생략될 수도 있다. 즉, 하나의 서브 픽셀은 기본적으로 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터 및 유기발광 다이오드(OLED)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(CC)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수도 있다.
- [0037] 또한, 도 4 및 도 5에서는 보상회로(CC)가 스위칭 트랜지스터(SW)와 구동 트랜지스터(DR) 사이에 위치하는 것으로 도시하였지만, 구동 트랜지스터(DR)와 유기발광다이오드(OLED) 사이에도 더 위치할 수도 있다. 보상회로(CC)의 위치와 구조는 도 4와 도 5에 한정되지 않는다.
- [0038] <제1 실시예>
- [0039] 도 6은 본 발명의 제1 실시예에 따른 유기발광표시장치를 나타낸 평면도이고, 도 7은 유기발광표시장치의 서브 픽셀을 나타낸 단면도이다.
- [0040] 도 6을 참조하면, 유기발광표시장치는 플라스틱 기판(PI), 표시부(A/A) 및 표시부(A/A) 외의 비표시부(N/A)를

포함하고, 비표시부(N/A)에 위치한 게이트 패드부(GP)와 데이터 패드부(DP)를 포함한다. 표시부(A/A)는 복수의 서브픽셀(SP)이 배치되어, R, G, B 또는 R, G, B, W를 발광하여 풀컬러를 구현한다. 게이트 패드부(GP)는 표시부(A/A)의 일측 예를 들어 우측 또는 좌측의 비표시부(N/A)에 배치되어 표시부(A/A)로부터 연장되는 게이트 신호라인(미도시)이 복수의 박막트랜지스터에 연결되는 GIP 구동부일 수 있다. 그러나, 게이트 패드부(GP)는 본 발명의 일례일 뿐, 후술하는 데이터 패드부와 동일하게 연성회로기판이 부착될 수도 있다. 데이터 패드부(DP)는 표시부(A/A)의 일측 예를 들어 하측의 비표시부(N/A)에 배치되어 표시부(A/A)로부터 연장되는 복수의 신호라인(SL)이 배치된다. 복수의 신호라인(SL)은 데이터 라인 및 전원 라인일 수 있으며, 센싱 라인이 더 포함될 수도 있다. 복수의 신호라인(SL)은 데이터 패드부(DP)에 부착된 칩온필름과 같은 연성회로기판(FPC)을 통해 데이터 신호 및 전원이 인가된다.

[0041] 이하, 본 발명의 도 7을 참조하여, 유기발광표시장치의 서브픽셀(SP)의 단면 구조를 살펴본다.

[0042] 도 7을 참조하면, 본 발명의 일 실시예에 따른 유기발광표시장치는 플라스틱 기판(PI) 상에 제1 버퍼층(BUF1)이 위치한다. 플라스틱 기판(PI)은 예를 들어, 폴리이미드(Polyimide) 기판일 수 있다. 따라서, 본 발명의 플라스틱 기판(PI)은 유연한(flexible)한 특성을 가진다. 제1 버퍼층(BUF1)은 플라스틱 기판(PI)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 제1 버퍼층(BUF1)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.

[0043] 제1 버퍼층(BUF1) 상에 쉘드층(LS)이 위치한다. 쉘드층(LS)은 폴리이미드 기판을 사용함으로써 발생할 수 있는 패널구동 전류가 감소되는 것을 방지하는 역할을 한다. 쉘드층(LS) 상에 제2 버퍼층(BUF2)이 위치한다. 제2 버퍼층(BUF2)은 쉘드층(LS)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 제2 버퍼층(BUF2)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.

[0044] 제2 버퍼층(BUF2) 상에 반도체층(ACT)이 위치한다. 반도체층(ACT)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아($100\text{cm}^2/\text{Vs}$ 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 TFT에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 TFT에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다. 또한, 반도체층(ACT)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이들 사이에 채널을 포함한다.

[0045] 반도체층(ACT) 상에 게이트 절연막(GI)이 위치한다. 게이트 절연막(GI)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다. 게이트 절연막(GI) 상에 상기 반도체층(ACT)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(GA)이 위치한다. 게이트 전극(GA)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(GA)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(GA)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

[0046] 게이트 전극(GA) 상에 게이트 전극(GA)을 절연시키는 층간 절연막(ILD)이 위치한다. 층간 절연막(ILD)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 층간 절연막(ILD) 및 게이트 절연막(GI)의 일부 영역에 반도체층(ACT)의 일부를 노출시키는 콘택홀들(CH)이 위치한다.

[0047] 층간 절연막(ILD) 상에 드레인 전극(DE)과 소스 전극(SE)이 위치한다. 드레인 전극(DE)은 반도체층(ACT)의 드레인 영역을 노출하는 콘택홀(CH)을 통해 반도체층(ACT)에 연결되고, 소스 전극(SE)은 반도체층(ACT)의 소스 영역을 노출하는 콘택홀(CH)을 통해 반도체층(ACT)에 연결된다. 소스 전극(SE) 및 드레인 전극(DE)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스 전극(SE) 및 드레인 전극(DE)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스 전극(SE) 및 드레인 전극(DE)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.

- [0048] 따라서, 반도체층(ACT), 게이트 전극(GA), 드레인 전극(DE) 및 소스 전극(SE)을 포함하는 박막트랜지스터(TFT)가 구성된다.
- [0049] 박막트랜지스터(TFT)를 포함하는 플라스틱 기판(PI) 상에 패시베이션막(PAS)이 위치한다. 패시베이션막(PAS)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO₂), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 패시베이션막(PAS) 상에 컬러필터(CF)가 위치한다. 컬러필터(CF)는 유기발광 다이오드(OLED)에서 발광하는 백색의 광을 적색, 녹색 또는 청색으로 변환하는 역할을 한다. 컬러필터(CF) 상에 오버코트층(OC)이 위치한다. 오버코트층(OC)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(OC)은 상기 유기물을 액상 형태로 코팅한 다음 경화시키는 SOG(spin on glass)와 같은 방법으로 형성될 수 있다.
- [0050] 오버코트층(OC)의 일부 영역에는 드레인 전극(DE)을 노출시키는 비어홀(VIA)이 위치한다. 오버코트층(OC) 상에 유기발광 다이오드(OLED)가 위치한다. 보다 자세하게는, 오버코트층(OC) 상에 제1 전극(ANO)이 위치한다. 제1 전극(ANO)은 화소 전극으로 작용하며, 비어홀(VIA)을 통해 박막트랜지스터(TFT)의 드레인 전극(DE)에 연결된다. 제1 전극(ANO)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도 전물질로 이루어질 수 있다. 제1 전극(ANO)이 반사 전극인 경우, 제1 전극(ANO)은 반사층을 더 포함한다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다.
- [0051] 제1 전극(ANO)을 포함하는 플라스틱 기판(PI) 상에 화소를 구획하는 बैं크층(BNK)이 위치한다. बैं크층(BNK)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. बैं크층(BNK)은 제1 전극(ANO)을 노출시키는 화소정의부(OP)가 위치한다. 플라스틱 기판(PI) 전면에는 제1 전극(ANO)에 콘택하는 유기막층(EML)이 위치한다. 유기막층(EML)은 전자와 정공이 결합하여 발광하는 층으로, 유기막층(EML)과 제1 전극(ANO) 사이에 정공주입층 또는 정공수송층을 포함할 수 있으며, 유기막층(EML) 상에 전자수송층 또는 전자주입층을 포함할 수 있다.
- [0052] 유기막층(EML) 상에 제2 전극(CAT)이 위치한다. 제2 전극(CAT)은 표시 영역부(A/A) 전면에 위치하고, 캐소드 전극으로 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 제2 전극(CAT)이 투과 전극인 경우 광이 투과될 수 있을 정도로 얇은 두께로 이루어지고, 반사 전극인 경우 광이 반사될 수 있을 정도로 두꺼운 두께로 이루어진다.
- [0053] 한편, 본 발명의 유기발광표시장치는 복수의 행으로 배열되어 서로 이격된 유기막층을 포함한다.
- [0054] 도 8은 본 발명의 제1 실시예에 따른 유기발광표시장치의 평면을 나타낸 도면이고, 도 9는 도 8의 일부를 확대한 도면이며, 도 10은 도 9의 절취선 I-I'에 따라 절취한 단면도이고, 도 11은 본 발명의 제1 실시예에 따른 유기발광표시장치가 휘어지는 것을 나타낸 도면이며, 도 12는 본 발명의 제1 실시예에 따른 유기발광표시장치의 평면을 나타낸 도면이고, 도 13은 본 발명의 제1 실시예에 따른 유기막층을 제조하기 위한 마스크를 나타낸 도면이다.
- [0055] 도 8을 참조하면, 유기발광표시장치는 표시부(A/A)와 비표시부(N/A)를 포함하는 플라스틱 기판(PI)과, 표시부(A/A)에 배열되며 각각 발광부(LEP)를 포함하는 복수의 서브픽셀(미도시)과, 비표시부(N/A)의 일측에 연성회로 기판(FPC)이 부착된 데이터 패드부(DP)를 포함한다. 표시부(A/A)는 복수의 서브픽셀(미도시)의 발광부(LEP)들이 배치되며, 복수의 서브픽셀의 발광부(LEP)와 중첩되는 유기막층(OLE)이 배치된다. 유기막층(OLE)은 서로 이격된 복수의 행(OLE1~OLEn)으로 이루어져 복수의 발광부(LEP)와 중첩된다. 이때, 유기막층(OLE)의 복수의 행(OLE1~OLEn)은 표시부(A/A)의 일측에서 타측까지 연속적으로 연장되어 이루어진다. 유기막층(OLE)의 복수의 행(OLE1~OLEn)의 장축 방향(x축)은 데이터 패드부(DP)의 장축 방향(x축)과 나란하게 배치된다. 유기막층(OLE)의 복수의 행(OLE1~OLEn)은 일정 거리만큼 이격되어, 유기막층(OLE)의 복수의 행(OLE1~OLEn)들 사이에 이격 영역(GAP)이 형성된다. 유기막층(OLE)의 복수의 행(OLE1~OLEn)이 일측에서 타측까지 연속적으로 연장되어 이루어짐으로써, 상기 이격 영역(GAP) 또한 표시부(A/A)의 일측에서 타측까지 연속적으로 연장되어 이루어진다.
- [0056] 보다 자세하게, 도 9를 참조하면, 플라스틱 기판(PI)의 표시부(A/A)에 복수의 서브픽셀(SP)이 배치된다. 복수의 서브픽셀(SP)은 백색(W), 청색(B), 녹색(G) 및 적색(R)의 광을 방출할 수 있다. 복수의 서브픽셀(SP)은 x축 방향으로 배치된 복수의 행(SP1~SPn)으로 배열된다. 또한, 복수의 서브픽셀(SP)은 각각 광을 발광하는 발광부(LEP)와, 서브픽셀(SP)을 구동하기 위한 트랜지스터들과 커패시터 등이 구비된 구동부(DRP)를 포함한다.

- [0057] 본 발명의 유기막층(OLE)은 서로 이격된 복수의 행(OLE1~OLEn)으로 이루어져 복수의 발광부(LEP)와 중첩된다. 유기막층(OLE)의 제1 행(OLE1)은 복수의 서브픽셀(SP)의 제1 행(SP1)의 발광부들(LEP)과 중첩되고, 유기막층(OLE)의 제2 행(OLE2)은 복수의 서브픽셀(SP)의 제2 행(SP2)의 발광부들(LEP)과 중첩되며, 유기막층(OLE)의 제n 행(OLEn)은 복수의 서브픽셀(SP)의 제n 행(SPn)의 발광부들(LEP)과 중첩되어 배치된다.
- [0058] 유기막층(OLE)의 복수의 행(OLE1~OLEn)은 일정 거리만큼 이격되어, 유기막층(OLE)의 복수의 행(OLE1~OLEn)들 사이에 이격 영역(GAP)이 형성된다. 이격 영역(GAP)은 서로 인접한 서브픽셀(SP)들에서 각각의 발광부(LEP)들 사이의 길이만큼 최대로 이루어질 수 있다. 만약, 이격 영역(GAP)이 발광부(LEP)의 일부에 중첩된다면, 중첩된 영역은 광이 발광되지 않게 된다. 따라서, 이격 영역(GAP)은 서브픽셀(SP)의 발광부(LEP)와는 중첩되지 않도록 이격되는 것이 바람직하며 서브픽셀(SP)의 구동부(DRP)에 중첩되는 것이 바람직하다. 이격 영역(GAP)의 장축 방향(x축)은 유기막층(OLE)의 복수의 행(OLE1~OLEn)의 장축 방향(x축)과 나란하게 배치된다.
- [0059] 도 9를 참조하여, 유기막층(OLE)의 제1 행(OLE1)과 제2 행(OLE2) 그리고 이격 영역(GAP)의 단면 구조를 살펴본다. 하기에서는 전술한 도 6과 중복되는 설명은 생략하기로 한다.
- [0060] 복수의 서브픽셀 중 제1 행(SP1)과 제2 행(SP2)에 해당하는 서브픽셀들은 각각 발광부(LEP)와 구동부(DRP)를 포함한다. 제1 행(SP1)의 서브픽셀 상에 유기막층의 제1 행(OLE1)이 위치하고, 제2 행(SP2)의 서브픽셀 상에 유기막층의 제2 행(OLE2)이 위치한다. 뱅크층(BNK)은 제1 행(SP1)과 제2 행(SP2)에 해당하는 서브픽셀들의 각 발광부(LEP)를 구획하여, 뱅크층(BNK)은 발광부(LEP)를 제외한 나머지 영역에 위치한다. 유기막층의 제1 행(OLE1)과 제2 행(OLE2)은 뱅크층(BNK) 상에서 일정 거리만큼 이격되어 이격 영역(GAP)을 형성한다. 뱅크층(BNK)이 발광부(LEP)를 제외한 나머지 영역에 위치하고 있고, 절취선으로 절단된 면에 제1행(SP1)의 서브픽셀의 구동부(DRP)가 위치하기 때문에 뱅크층(BNK)은 구동부(DRP) 상에 위치할 수 있다. 따라서, 유기막층(OLE)의 제1 행(OLE1)과 제2 행(OLE2)이 이격된 이격 영역(GAP)은 구동부(DRP)와 중첩되도록 위치하게 된다.
- [0061] 또한, 이격 영역(GAP)에는 상부의 제2 전극(CAT)이 덮이게 되어, 제2 전극(CAT)이 뱅크층(BNK)과 접촉하게 된다. 따라서, 접착력이 낮은 유기막층(OLE)보다 접착력이 우수한 뱅크층(BNK)에 제2 전극(CAT)을 일부 접촉시켜 제2 전극(CAT)의 접착력이 향상될 수 있다.
- [0062] 전술한 본 발명은 데이터 패드부의 장축 방향과 나란한 복수의 행으로 유기막층을 형성하는 것을 개시하였다. 도 11을 참조하면, 본 발명의 유기발광표시장치는 유연한 플라스틱 기판(PI)에 형성되어 일 방향으로 휘어질 수 있으며, 유기발광표시장치가 휘어지는 방향은 데이터 패드부의 장축 방향(x축)과 수직하는 방향(y축)이다. 또한, 유기발광표시장치가 휘어지는 방향은 유기막층(OLE)의 복수의 행(OLE1~OLEn)의 장축 방향(x축)과 수직하는 방향(y축)일 수 있다. 도 2에서 설명한 것처럼, 유기발광표시장치가 휘어지면 유기막층에 스트레스가 가해진다. 그러나 본 발명은 유기발광표시장치가 휘어지는 방향과 수직하는 방향으로 유기막층을 복수의 행으로 형성함으로써, 유기막층의 복수의 행에 가해지는 스트레스를 현저하게 줄일 수 있다.
- [0063] 도 13을 참조하면, 전술한 본 발명의 유기막층은 복수의 슬릿(SL)이 프레임(FR)에 형성된 마스크(OP)로서 형성될 수 있다. 복수의 슬릿(SL)은 유기막층의 복수의 행에 대응되고, 복수의 슬릿(SL)들이 이격된 이격 영역(SLG)은 유기막층의 복수의 행의 간격에 대응된다. 따라서, 유기막 재료들 중 일부는 복수의 슬릿(SL) 사이의 이격 영역(SLG)에 의해 차단되어 플라스틱 기판 상에 증착되지 않고, 다른 일부는 복수의 슬릿(SL)을 통해 플라스틱 기판 상에 증착되어 복수의 행으로 이루어진 유기막층을 형성한다.
- [0064] 전술한 실시예에서 유기막층의 행들은 유기막층의 행들의 장축 방향과 수직하는 방향으로 배치된 1개의 서브 픽셀을 주기로 하여 이격된 것을 예로 들었다. 즉, 서브픽셀의 1개의 행마다 유기막층의 1개의 행이 1:1로 대응하는 것으로 설명하였다. 그러나, 본 발명은 이에 한정되지 않으며, 도 12에 도시된 것처럼 유기막층의 행들은 유기막층의 행들의 장축 방향과 수직하는 방향으로 배치된 2개의 서브 픽셀을 주기로 하여 이격될 수도 있다. 또한, 도시하지 않았지만, 유기막층의 행들은 유기막층의 행들의 장축 방향과 수직하는 방향으로 배치된 3개 이상의 서브 픽셀을 주기로 하여 이격될 수도 있다.
- [0065] <제2 실시예>
- [0066] 도 14는 본 발명의 제2 실시예에 따른 유기발광표시장치를 나타낸 도면이고, 도 15는 도 14의 절취선 II-II'에 따라 절취한 단면도이다. 하기에서는 전술한 제1 실시예와 동일한 구성에 대해 동일한 도면부호를 붙여 그 설명을 생략하거나 간단히 하기로 한다.
- [0067] 도 14를 참조하면, 플라스틱 기판(PI)의 표시부(A/A)에 복수의 서브픽셀(SP)이 배치된다. 복수의 서브픽셀(SP)

은 x축 방향으로 배치된 복수의 행(SP1~SPn)으로 배열된다. 유기막층(OLE)은 서로 이격된 복수의 행(OLE1~OLEn)으로 이루어져 복수의 발광부(LEP)와 중첩된다. 유기막층(OLE)의 제1 행(OLE1)은 복수의 서브픽셀(SP)의 제1 행(SP1)의 발광부들(LEP)과 중첩되고, 유기막층(OLE)의 제2 행(OLE2)은 복수의 서브픽셀(SP)의 제2 행(SP2)의 발광부들(LEP)과 중첩되며, 유기막층(OLE)의 제n 행(OLEn)은 복수의 서브픽셀(SP)의 제n 행(SPn)의 발광부들(LEP)과 중첩되어 배치된다.

[0068] 본 발명의 제2 실시예에서는 유기막층(OLE)의 복수의 행(OLE1~OLEn) 사이에 위치하는 유기막 패턴(OLP)을 더 포함한다. 보다 자세하게, 유기막층(OLE)의 복수의 행(OLE1~OLEn)이 서로 이격되고, 복수의 행(OLE1~OLEn)은 이격 영역(GAP)만큼 서로 이격되어 배치된다. 이때, 유기막층(OLE)의 복수의 행(OLE1~OLEn) 사이의 이격 영역(GAP) 내에 유기막 패턴(OLP)이 위치한다. 유기막 패턴(OLP)은 상부에 위치하는 제2 전극의 유효 접촉면적을 향상시키는 역할을 한다. 또한 유기막 패턴(OLP)은 유기막층(OLE)과 동일한 재료로 동일한 마스크를 이용하여 형성되는 것으로 발광을 하지 않는 더미 패턴의 역할을 한다. 따라서, 유기막층(OLE)의 복수의 행(OLE1~OLEn) 사이에 위치한 유기막 패턴(OLP)은 서브픽셀(SP)의 발광부(LEP)와는 중첩되지 않도록 이격되는 것이 바람직하며 서브픽셀(SP)의 구동부(DRP)에 중첩되는 것이 바람직하다.

[0069] 유기막층(OLE)의 복수의 행(OLE1~OLEn) 사이에 위치한 유기막 패턴(OLP)은 유기막층(OLE)의 복수의 행(OLE1~OLEn)의 장축 방향(x축)과 나란하게 배치된다. 또한, 유기막 패턴(OLP)은 유기막층(OLE)의 복수의 행(OLE1~OLEn)과 같이 표시부의 일측에서부터 타측까지 연속적으로 연장되어 이루어질 수 있다. 반면, 유기막 패턴(OLP)은 도트(dot)와 같이 불연속적으로 이루어질 수도 있다. 또한, 본 실시예에서 유기막 패턴(OLP)은 유기막층(OLE)의 복수의 행(OLE1~OLEn) 사이에 하나씩 위치하는 것으로 도시하고 설명하였으나, 유기막층(OLE)의 복수의 행(OLE1~OLEn)의 장축 방향(x축)과 수직하는 방향으로 둘 이상 배치될 수도 있다.

[0070] 유기막 패턴(OLP)으로 인해, 유기막층(OLE)의 복수의 행(OLE1~OLEn) 사이의 이격 영역(GAP)은 유기막층(OLE)의 제1 행(OLE1)과 유기막 패턴(OLP) 사이의 제1 이격 영역(GAP1)과, 유기막층(OLE)의 제2 행(OLE2)과 유기막 패턴(OLP) 사이의 제2 이격 영역(GAP2)을 포함한다. 도면에서는 제1 이격 영역(GAP1)과 제2 이격 영역(GAP2)이 동일한 것으로 도시하였지만, 이에 한정되지 않으며 서로 달라도 무방하다. 유기막층(OLE)의 복수의 행(OLE1~OLEn)과 유기막 패턴(OLP)이 이격된 제1 및 제2 이격 영역(GAP1, GAP2)의 장축 방향(x축)은 유기막층(OLE)의 복수의 행(OLE1~OLEn)의 장축 방향(x축)과 나란하게 배치된다.

[0071] 도 15를 참조하면, 제1 행(SP1)의 서브픽셀 상에 유기막층의 제1 행(OLE1)이 위치하고, 제2 행(SP2)의 서브픽셀 상에 유기막층의 제2 행(OLE2)이 위치한다. 뱅크층(BNK)은 제1 행(SP1)과 제2 행(SP2)에 해당하는 서브픽셀들의 각 발광부(LEP)를 구획하여, 뱅크층(BNK)은 발광부(LEP)를 제외한 나머지 영역에 위치한다. 유기막층의 제1 행(OLE1)과 제2 행(OLE2)은 뱅크층(BNK) 상에서 이격 영역(GAP)만큼 서로 이격되고, 이격 영역(GAP)에 유기막 패턴(OLP)이 위치한다. 뱅크층(BNK)이 구동부(DRP) 상에 위치하므로, 유기막 패턴(OLP)은 구동부(DRP)와 중첩되도록 위치한다.

[0072] 유기막층의 제1 행(OLE1)과 유기막 패턴(OLP)은 제1 이격 영역(GAP1)만큼 이격되고, 유기막층의 제2 행(OLE2)과 유기막 패턴(OLP)은 제2 이격 영역(GAP2)만큼 이격된다. 유기막층(OLE)의 제1 행(OLE1)과 제2 행(OLE2)이 이격되면서 형성된 제1 및 제2 이격 영역(GAP1, GAP2)에는 상부의 제2 전극(CAT)이 덮이게 되어, 제2 전극(CAT)이 뱅크층(BNK)과 일부 접촉하면서 유기막 패턴(OLP)과 접촉하게 된다. 따라서, 접착력이 우수한 뱅크층(BNK)에 제2 전극(CAT)을 일부 접촉시키고, 유기막 패턴(OLP)의 측면과 상면에 제2 전극(CAT)을 접촉시켜 유효 접촉면적을 증가시킴으로써, 제2 전극(CAT)의 접착력이 향상될 수 있다.

[0073] 전술한 바와 같이, 본 발명의 실시예들에 따른 유기발광표시장치는 데이터 패드부의 장축 방향과 나란한 복수의 행으로 유기막층을 형성함으로써, 휘어지는 방향으로 작용하는 스트레스에 의해 유기막층이 박리되는 것을 방지할 수 있는 이점이 있다. 또한, 본 발명은 유기막층의 복수의 행이 이격됨으로써, 제2 전극과 뱅크층을 접촉시켜 제2 전극의 접착력을 향상시킬 수 있다. 그러므로, 본 발명의 유기발광표시장치는 구동불량을 방지할 수 있는 이점이 있다.

[0074] 이하, 본 발명의 비교예 및 실시예에 따른 유기막층의 특성에 대해 실험한 데이터를 살펴보기로 한다.

[0075] <비교예>

[0076] 20 μ m의 두께로 PI 기판 상에 TFT 어레이를 형성하고, 1 μ m의 두께로 유기막층과 제2 전극을 형성하고, 20 μ m의 두께로 인캡슐레이션하여 유기발광표시장치를 설계하였다.

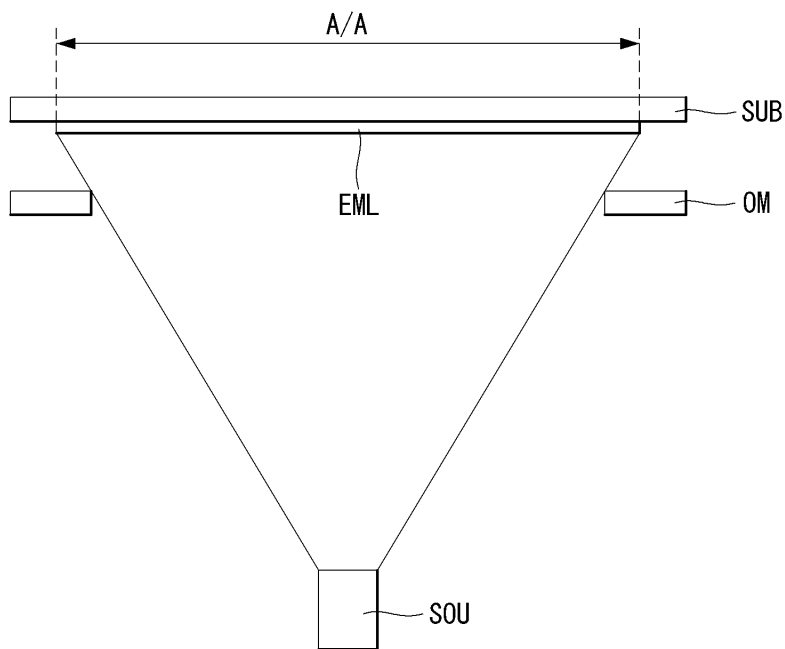
- [0077] <실시예1>
- [0078] 전술한 비교예와 동일한 공정 조건 하에, 유기막층을 복수의 패턴으로 형성한 것만을 달리하여 유기발광표시장치를 설계하였다.
- [0079] 전술한 비교예 및 실시예1에 따른 유기발광표시장치를 제한요소분석(FEM) 시뮬레이션을 통해 일정 곡률로 유기발광표시장치를 휘어 스트레스를 측정하였다. 비교예 및 실시예1의 유기발광표시장치의 구조, 센터 영역의 스트레스 값 및 FEM 시뮬레이션 이미지를 도 16에 나타내었다.
- [0080] 도 16을 참조하면, 단일 패턴 구조의 유기막층이 형성된 비교예는 유기막층의 전 영역에서 강한 스트레스가 나타났고, 센터 영역의 스트레스 값이 7.7Mpa로 나타났다. 반면, 복수의 패턴 구조의 유기막층이 형성된 실시예1은 유기막층의 전 영역에서 현저하게 낮은 스트레스가 나타났고, 센터 영역의 스트레스 값이 0.3~1.1Mpa로 나타났다.
- [0081] 이 결과를 통해, 유기막층이 단일 패턴 구조보다 복수의 패턴 구조로 이루어짐으로써 휘어짐에 따른 스트레스를 현저히 줄일 수 있다는 것을 알 수 있다. 따라서, 본 발명은 복수의 행으로 유기막층을 형성하여 휘어짐에 따른 스트레스를 현저히 줄일 수 있음을 확인할 수 있었다.
- [0082] <실시예2>
- [0083] 전술한 도 9의 유기발광표시장치를 제조하였다. 이때, 유기막층의 행들이 이격된 거리를 20 μ m로 하여 10개의 서브픽셀에서 100개의 서브픽셀로 주기를 점점 늘려가면서 유기막층의 접착력의 증가율을 측정하여 도 17에 나타내었다. 이때, 접착력의 증가율은 유기막층이 하나의 패턴으로 이루어진 구조(비교예의 구조)에 대비한 증가율이다.
- [0084] 도 17을 참조하면, 유기막층의 행들이 10개의 서브픽셀에서 100개의 서브픽셀로 주기가 늘어날수록 유기막층의 접착력의 증가율이 비례적으로 향상되는 것으로 나타났다. 특히, 100개의 서브픽셀을 주기로 유기막층의 행들이 형성된 경우, 접착력의 증가율이 57.3%로 나타났다.
- [0085] 이 결과를 통해, 유기막층을 복수의 이격된 행으로 형성함으로써, 유기막층의 접착력이 현저하게 향상될 수 있음을 확인할 수 있었다.
- [0086] 전술한 바와 같이, 본 발명의 실시예들에 따른 유기발광표시장치는 데이터 패드부의 장축 방향과 나란한 복수의 행으로 유기막층을 형성함으로써, 휘어지는 방향으로 작용하는 스트레스에 의해 유기막층이 박리되는 것을 방지할 수 있는 이점이 있다. 또한, 본 발명은 유기막층의 복수의 행이 이격됨으로써, 제2 전극과 बैं크층을 접촉시켜 제2 전극의 접착력을 향상시킬 수 있다. 그러므로, 본 발명의 유기발광표시장치는 구동불량을 방지할 수 있는 이점이 있다.
- [0087] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경과 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

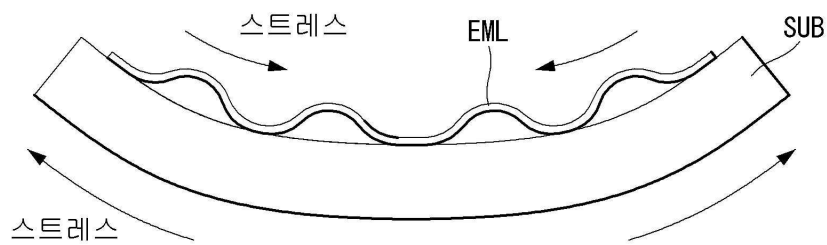
- [0088] PI : 플라스틱 기판 A/A : 표시부
 OLE : 유기막층 OLE1~OLEn : 유기막층의 제1 내지 제n 행
 SP : 서브픽셀 LEP : 발광부
 DRP : 구동부 GAP : 이격 영역

도면

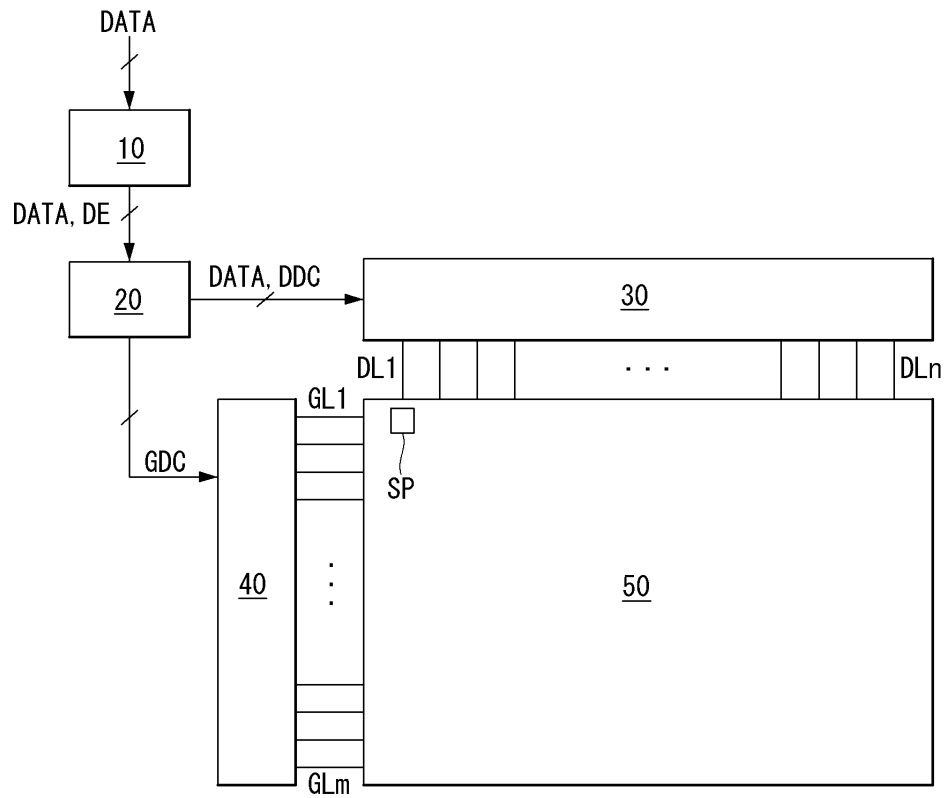
도면1



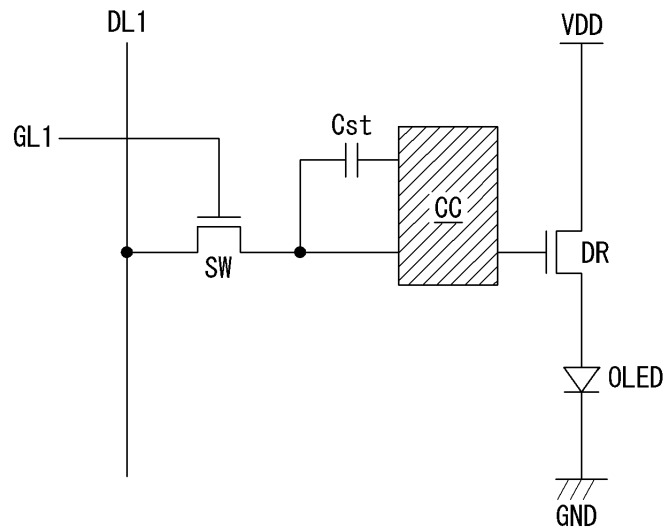
도면2



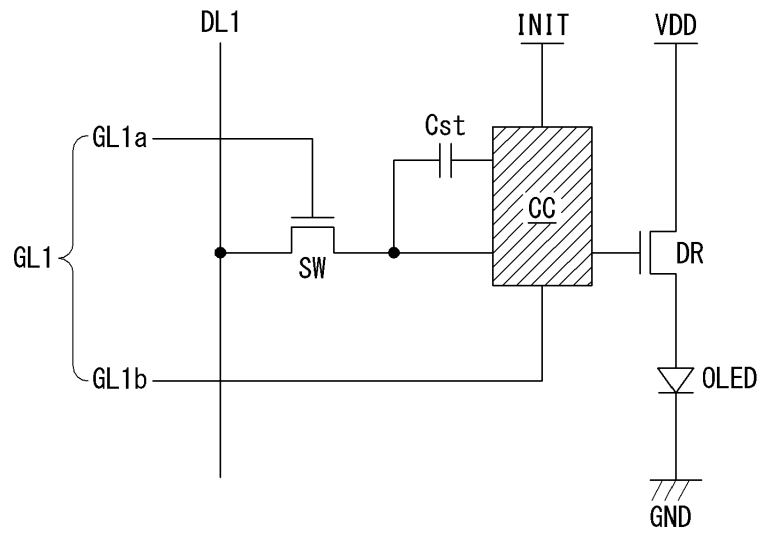
도면3



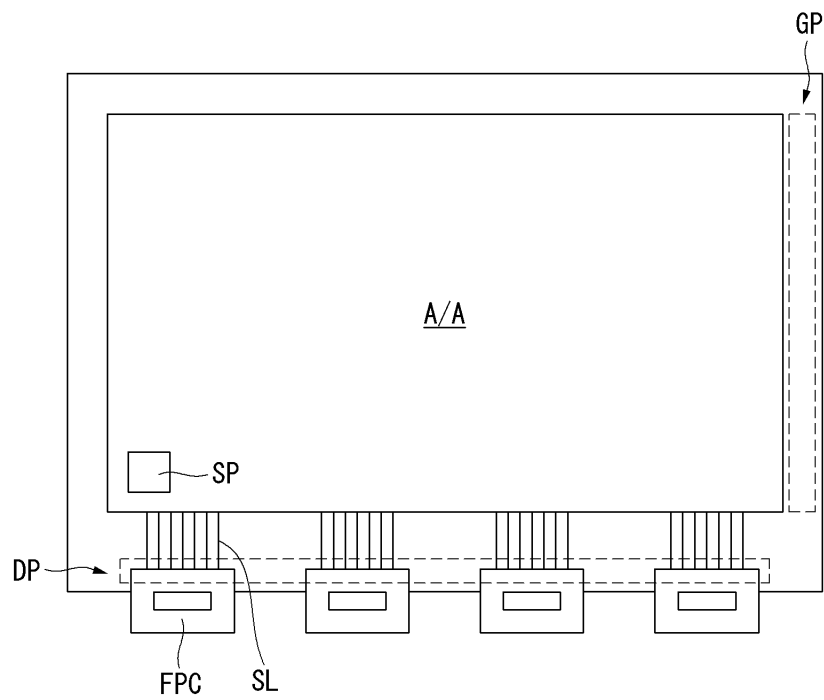
도면4



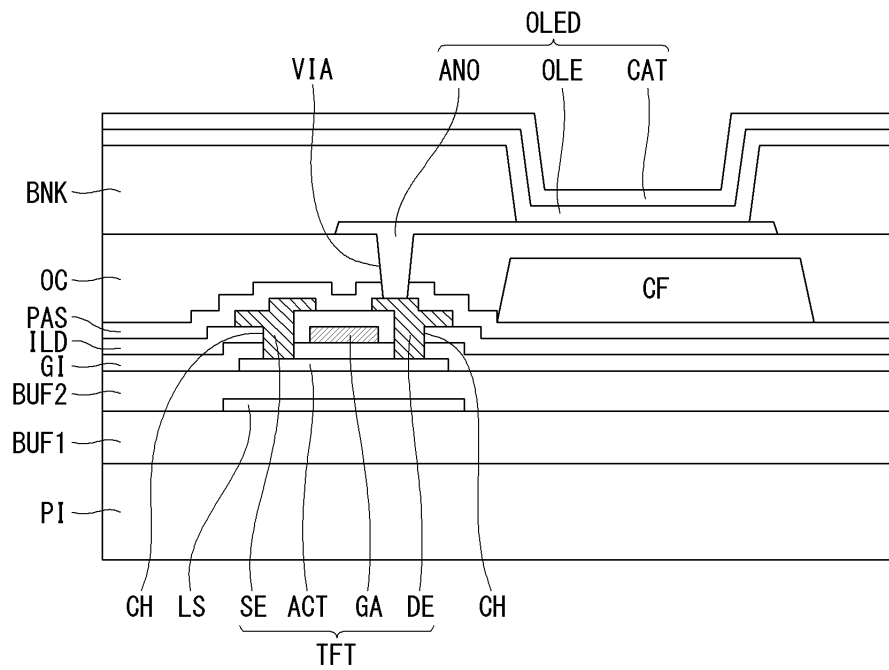
도면5



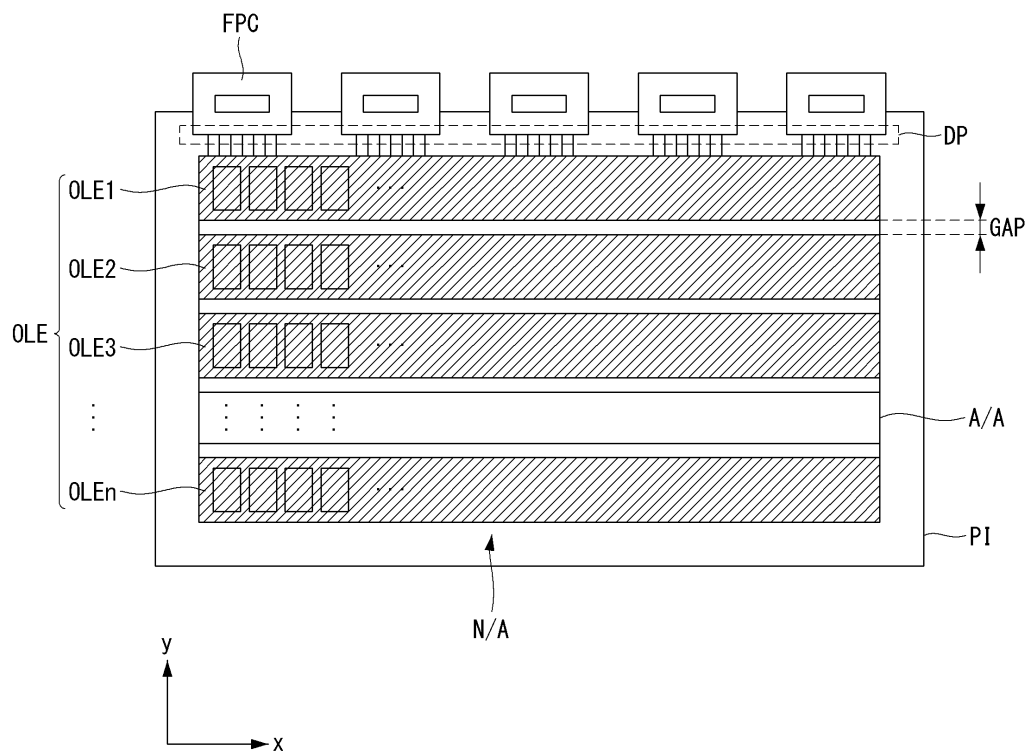
도면6



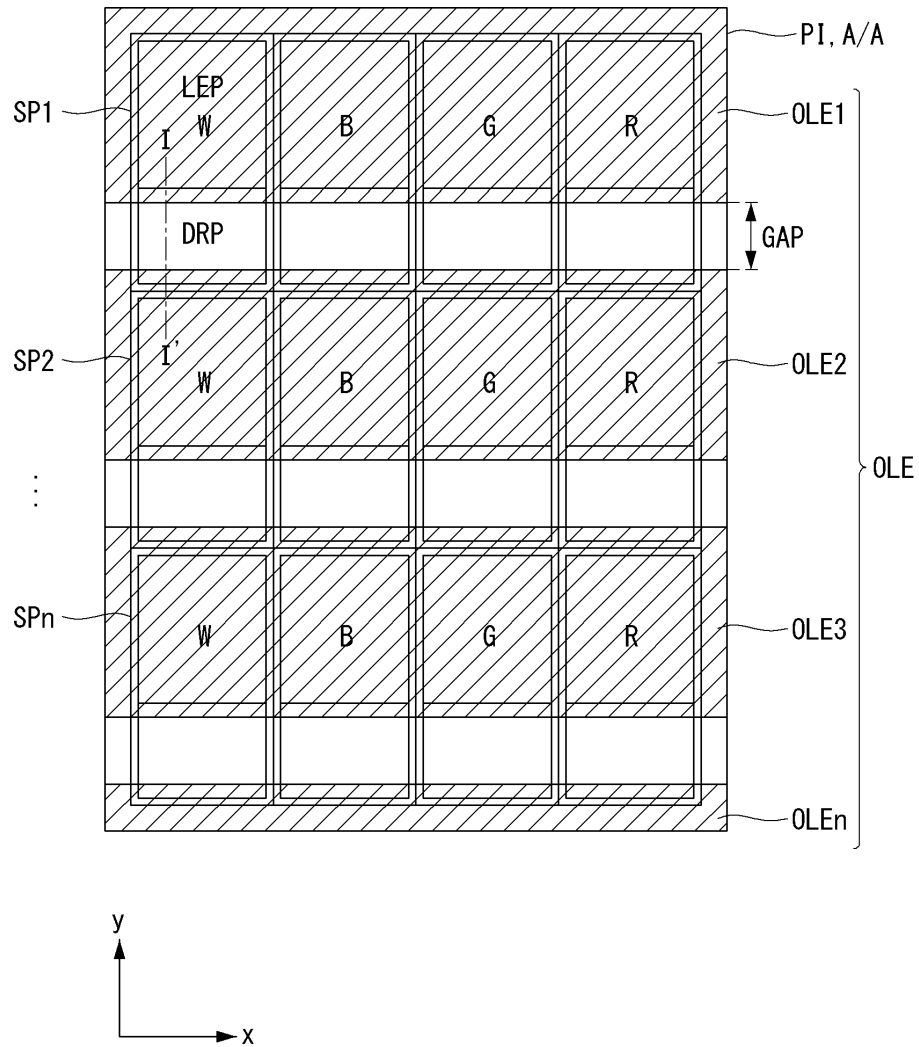
도면7



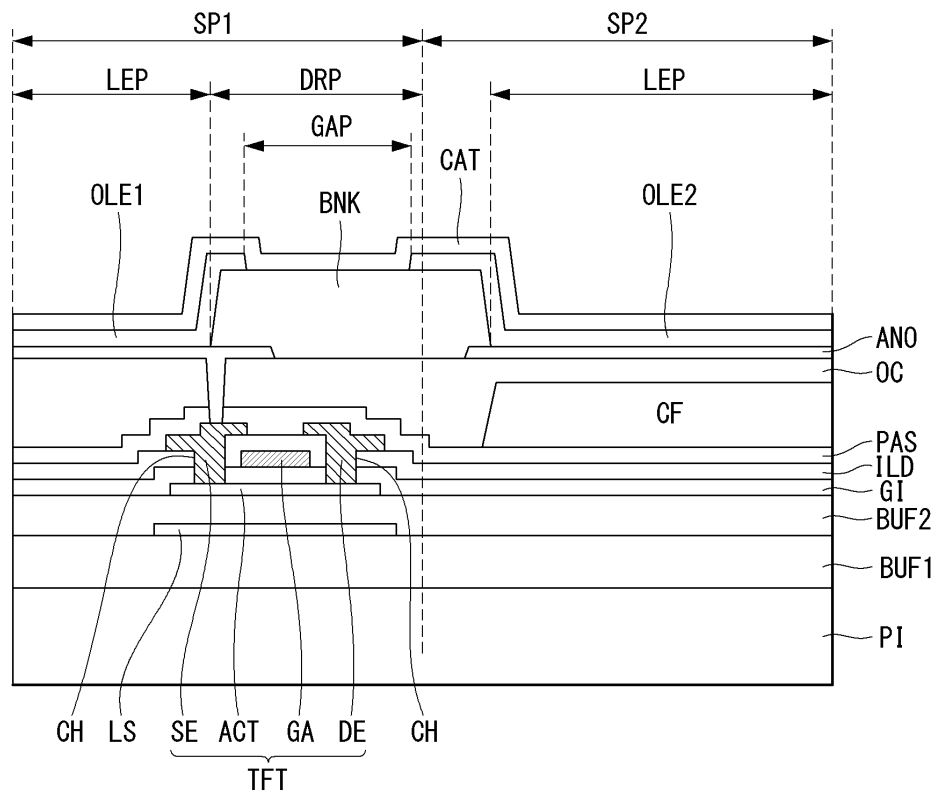
도면8



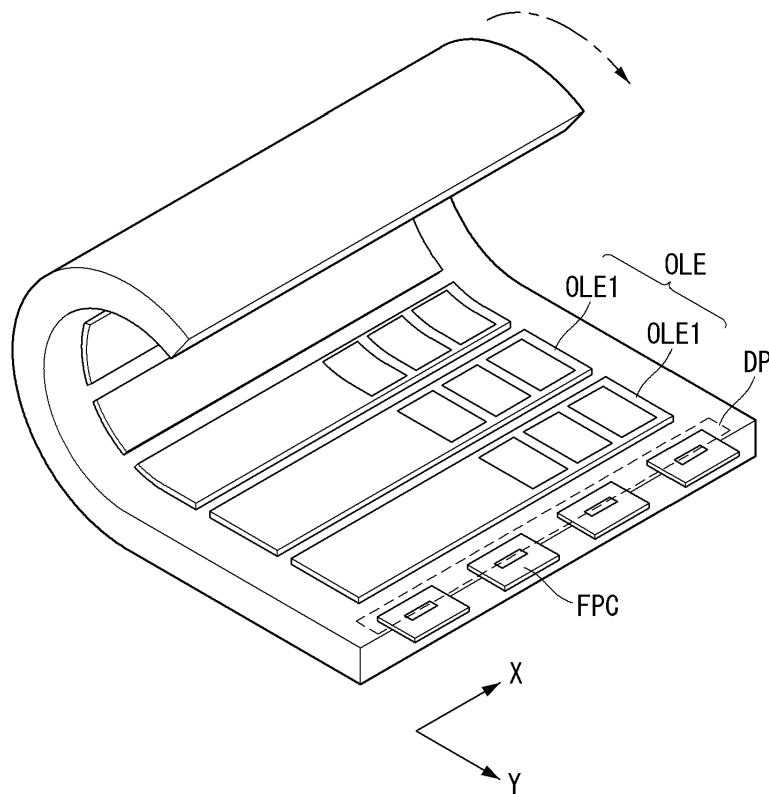
도면9



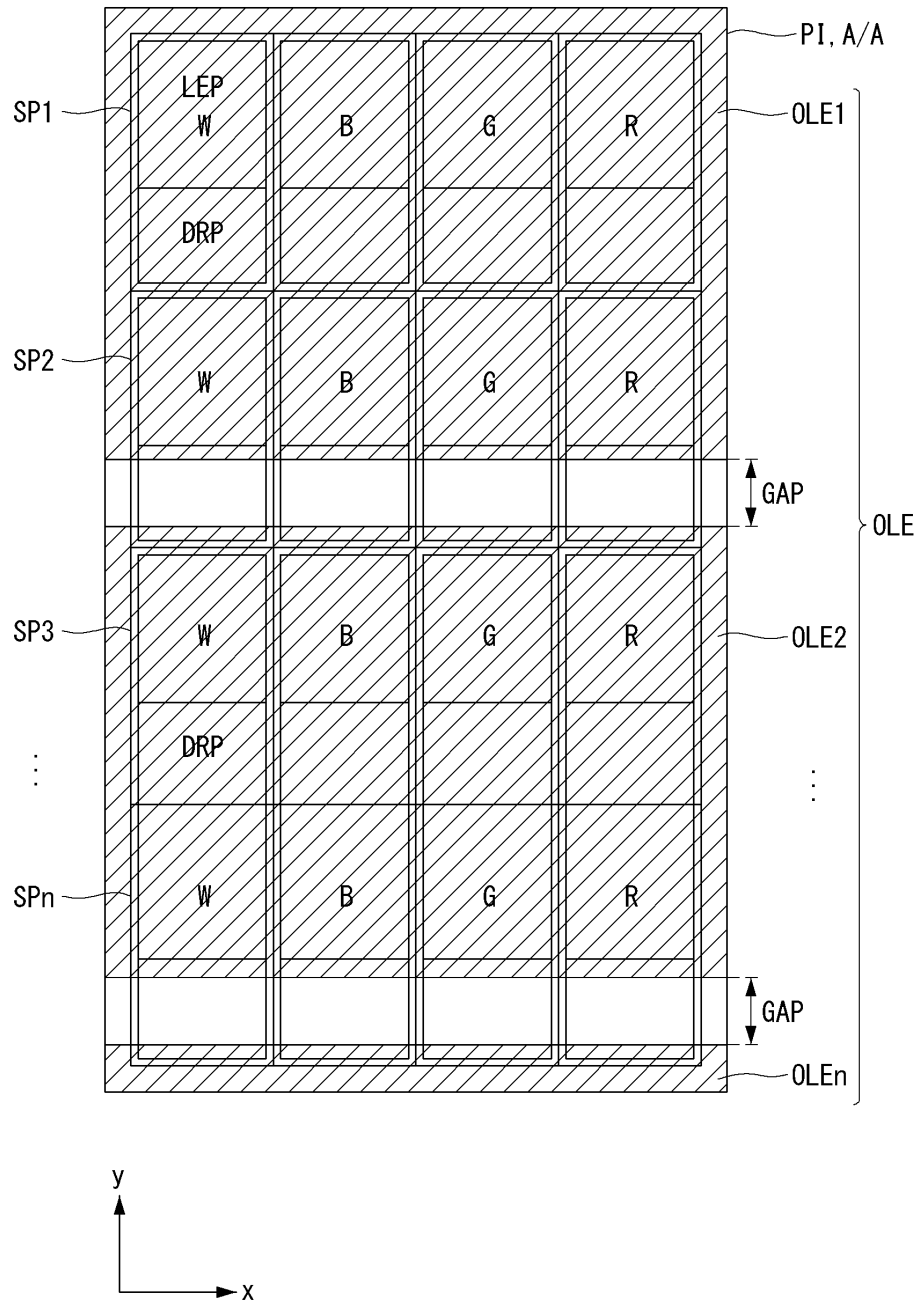
도면10



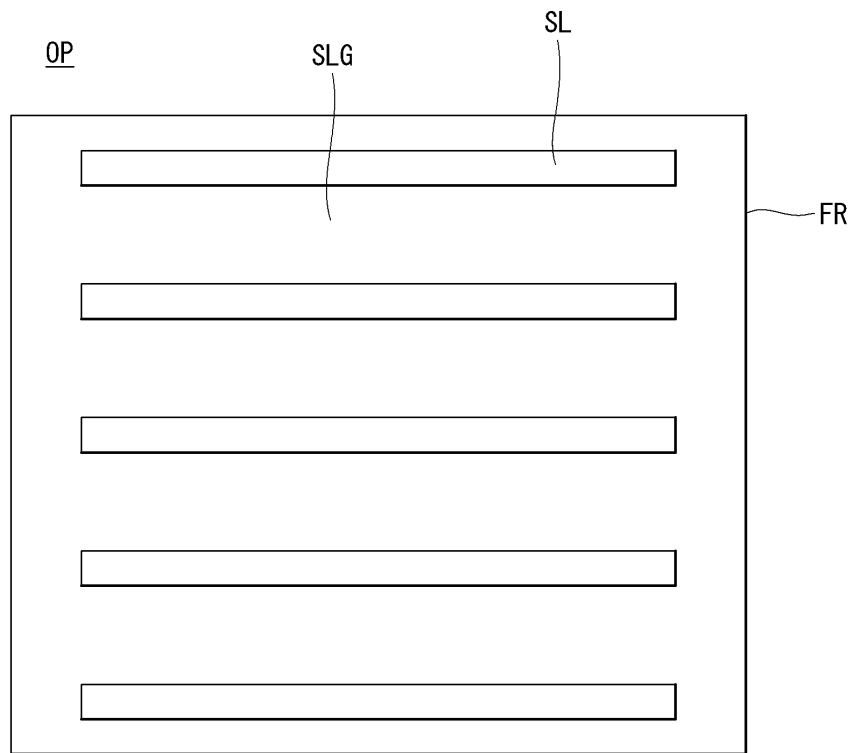
도면11



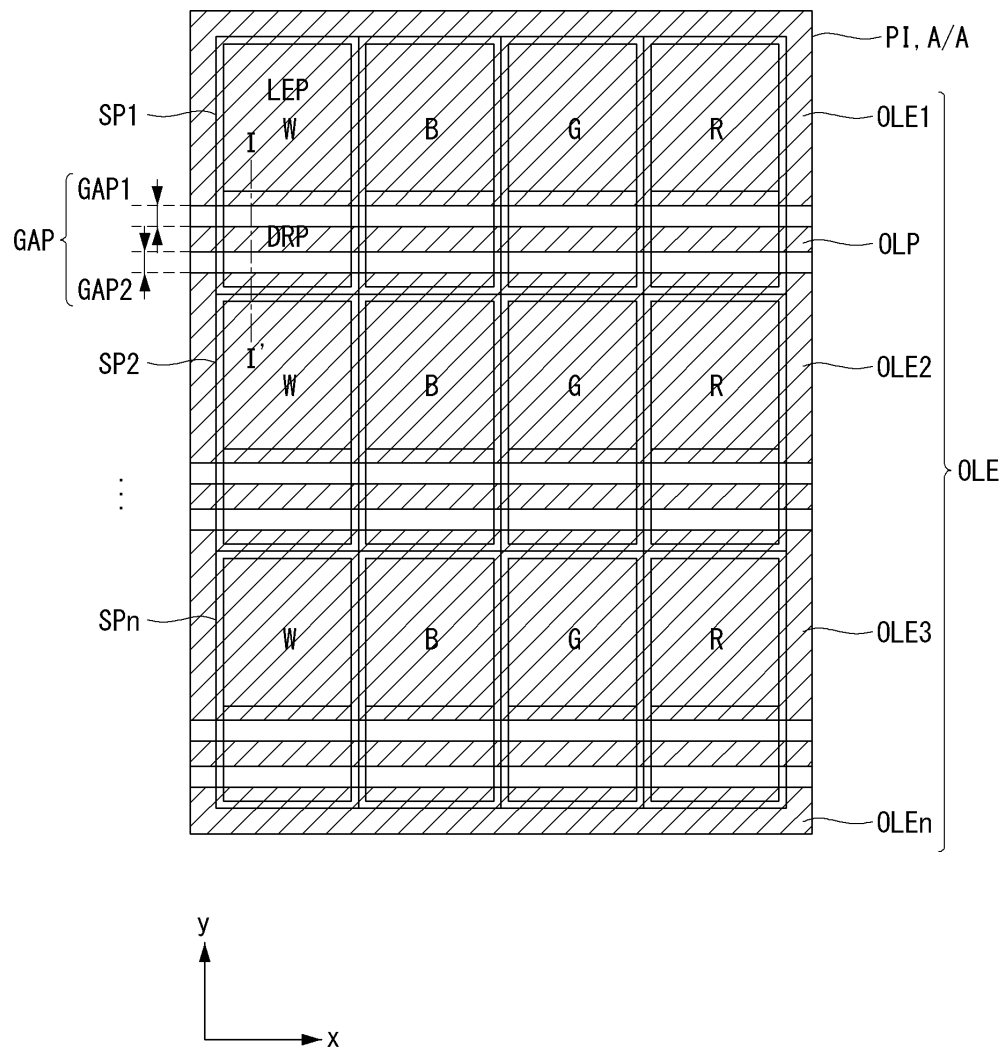
도면12



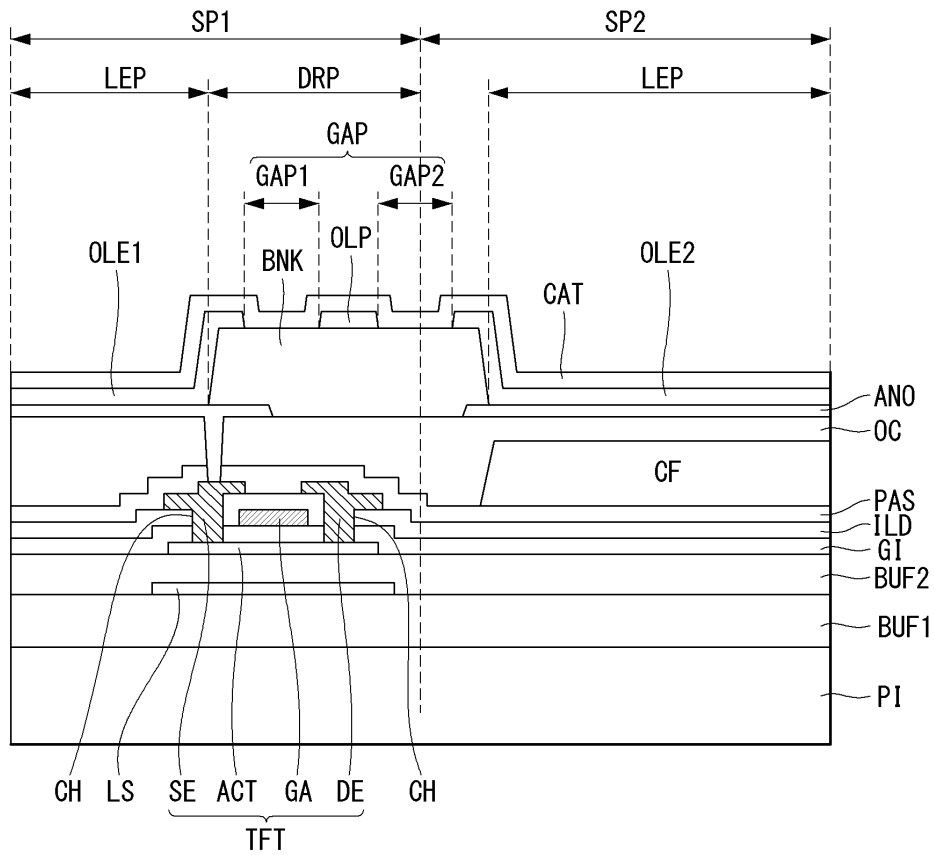
도면13



도면14



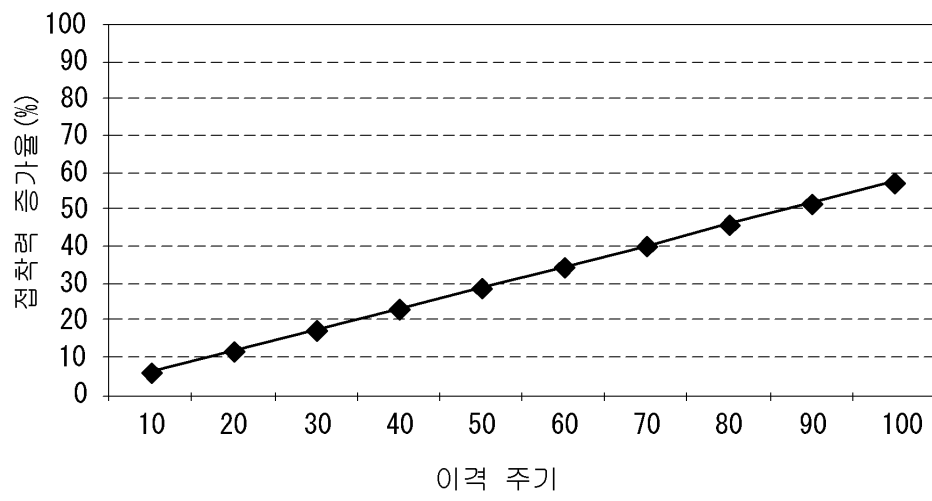
도면15



도면16

	적층 구조	센터 영역 stress (Mpa)	FEM simulation
비교예	 1mm 1mm	TFT/PI 20 μ m, Cathode/EL 1 μ m, Encap. 20 μ m	7.7
실시예1	 300 μ m 10 μ m 40 μ m	상동	0.3~1.1

도면17



专利名称(译)	显示设备		
公开(公告)号	KR1020180024095A	公开(公告)日	2018-03-08
申请号	KR1020160109133	申请日	2016-08-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM EUN AH 김은아 YOUN SANG CHEON 윤상천 LEE SAEMLEENURI 이샘이누리		
发明人	김은아 윤상천 이샘이누리		
IPC分类号	H01L27/32 H01L51/00		
CPC分类号	H01L27/3276 H01L27/3213 H01L27/3246 H01L51/0097 H01L27/322 H01L2251/5338 H01L27/326 H01L51/5225 H01L27/3272		
其他公开文献	KR101857868B1		
外部链接	Espacenet		

摘要(译)

本发明的显示装置用于防止由于翘曲引起的有缺陷的驱动，并且包括塑料基板和数据焊盘部分。塑料基板包括显示部分和除显示部分之外的非显示部分。数据焊盘部分设置在非显示部分的一侧，并且附接有柔性电路板。显示单元设置在显示单元上并包括多个子像素，每个子像素至少具有包括有机膜层的有机发光二极管。有机膜层从显示单元的一侧连续布置到另一侧，并且多个行与数据焊盘部分并排布置。

