



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0071245  
(43) 공개일자 2017년06월23일

(51) 국제특허분류(Int. Cl.)  
H01L 51/52 (2006.01) H01L 27/32 (2006.01)  
H01L 51/50 (2006.01)  
(52) CPC특허분류  
H01L 51/5212 (2013.01)  
H01L 27/3262 (2013.01)  
(21) 출원번호 10-2015-0179338  
(22) 출원일자 2015년12월15일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
한준수  
경기도 고양시 일산동구 하늘마을1로 25, 507동  
1504호(중산동, 하늘마을5단지아파트)  
최정현  
서울특별시 은평구 증산로3길 26-1, 102동 705호  
(중산동, 우방아파트)  
(74) 대리인  
특허법인천문

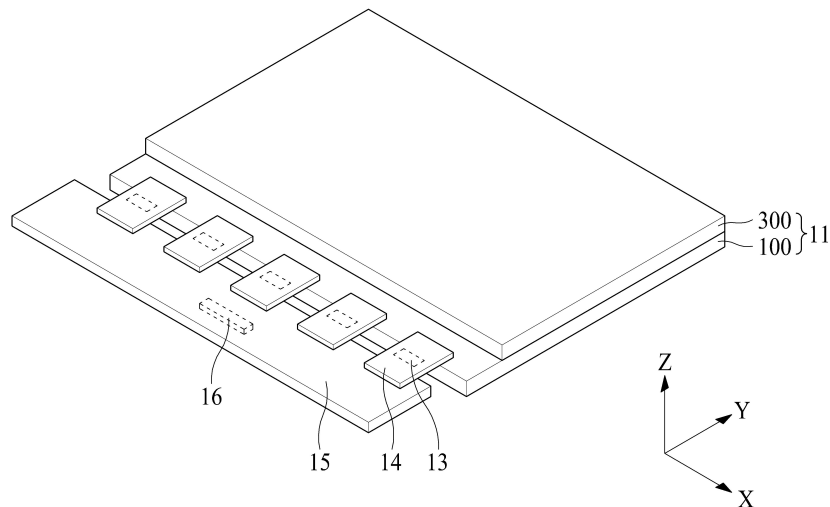
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명은 제1 기판과 상기 제1 기판 상에 배치되며, 게이트 전극과 소스 및 드레인 전극을 포함하는 박막 트랜지스터와 상기 소스 및 드레인 전극과 동일한 층에 배치되며, 제1 전원 전압이 공급되는 제1 전원 배선들 및 상기 게이트 전극과 동일한 층에 배치되며, 상기 제1 전원 배선들과 전기적으로 연결되는 제1 보조 전극을 포함한다.

대표도 - 도1



(52) CPC특허분류

*H01L 27/3276* (2013.01)

*H01L 51/5012* (2013.01)

*H01L 51/5209* (2013.01)

*H01L 51/5215* (2013.01)

*H01L 2227/32* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

제1 기관;

상기 제1 기관 상에 배치되며, 게이트 전극과 소스 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 소스 및 드레인 전극과 동일한 층에 배치되며, 제1 전원 전압이 공급되는 제1 전원 배선들; 및

상기 게이트 전극과 동일한 층에 배치되며, 상기 제1 전원 배선들과 전기적으로 연결되는 제1 보조 전극을 포함하는, 유기 발광 표시 장치.

#### 청구항 2

제 1 항에 있어서,

상기 소스 및 드레인 전극 상에 배치되며, 상기 제1 보조 전극과 중첩되는 제2 보조 전극을 더 포함하는, 유기 발광 표시 장치.

#### 청구항 3

제 2 항에 있어서,

상기 게이트 전극과 상기 제1 보조 전극을 덮는 층간 절연층;

상기 소스 및 드레인 전극을 덮는 보호층; 및

상기 보호층 상에 제1 평탄화층을 더 포함하고,

상기 제1 보조 전극과 상기 제2 보조 전극 사이에는 상기 층간 절연층, 상기 보호층, 및 상기 제1 평탄화층이 배치되는, 유기 발광 표시 장치.

#### 청구항 4

제 2 항에 있어서,

상기 제2 보조 전극으로부터 연장되며, 상기 제1 전원 배선과 나란하게 배치되고, 제1 전원 전압보다 낮은 제2 전원 전압이 공급되는 제2 전원 배선을 더 포함하는, 유기 발광 표시 장치.

#### 청구항 5

제 4 항에 있어서,

상기 제1 전원 배선들은 상기 제2 전원 배선 및 상기 제2 보조 전극과 중첩되지 않는, 유기 발광 표시 장치.

#### 청구항 6

제 1 항에 있어서,

상기 제1 기관의 외곽을 둘러싸는 프레임 형태의 댄이 배치되고,

상기 제1 보조 전극은 상기 댄과 중첩되도록 배치되는, 유기 발광 표시 장치.

#### 청구항 7

제 3 항에 있어서,

상기 제2 보조 전극을 덮는 제2 평탄화층 상에 배치되는 애노드 전극;

상기 애노드 전극 상에 배치되는 유기 발광층; 및

상기 유기 발광층을 덮는 캐소드 전극을 더 포함하는, 유기 발광 표시 장치.

## 청구항 8

제 1 항에 있어서,

상기 게이트 전극과 상기 제1 보조 전극은 동일한 물질로 이루어진, 유기 발광 표시 장치.

## 청구항 9

제 1 항에 있어서,

상기 제1 전원 배선들 각각은 상기 제1 보조 전극을 덮는 적어도 하나의 절연층을 관통하여 상기 제1 보조 전극을 노출시키는 콘택홀을 통해 상기 제1 보조 전극과 접속되는, 유기 발광 표시 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

### 배경 기술

[0002] 유기 발광 표시 장치(OLED)는 애노드(Anode) 전극과 캐소드(Cathode) 전극 사이의 유기 발광층에 의해서 자체적으로 발광하는 자발광 소자로서, 소비전력이 낮고, 고속의 응답 속도, 높은 발광 효율, 높은 휘도 및 광시야각을 가지고 있다.

[0003] 유기 발광 표시 장치는 유기 발광 소자를 통해 발광된 광의 투과 방향에 따라 상부 발광 방식(top emission type)과 하부 발광 방식(bottom emission type)으로 나뉜다. 상기 하부 발광 방식은 발광층과 화상 표시면 사이에 회로 소자가 위치하기 때문에 상기 회로 소자로 인해서 개구율이 저하되는 단점이 있는 반면에, 상기 상부 발광 방식은 발광층과 화상 표시면 사이에 회로 소자가 위치하지 않기 때문에 개구율이 향상되는 장점이 있다.

[0004] 이러한 종래의 유기 발광 표시 장치는 제1 기판, 박막 트랜지스터(Thin Film Transistor, TFT), 애노드 전극, 유기 발광층, 및 캐소드 전극을 포함한다.

[0005] 상기 제1 기판 상에는 게이트 라인 및 데이터 라인이 서로 교차하도록 배치되어 화소 영역을 정의하고, 각 화소 영역에는 박막 트랜지스터가 마련된다.

[0006] 상기 애노드 전극은 박막 트랜지스터와 연결되고, 유기 발광층은 애노드 전극 상에 배치된다.

[0007] 상기 캐소드 전극은 유기 발광층 상의 제1 기판 전면에 배치된다.

[0008] 제1 전원배선들은 박막 트랜지스터의 소스 및 드레인 전극과 동일한 층에 마련되어, 외부의 전압 공급부로부터 공급되는 제1 전원 전압(EVDD)을 각 화소로 인가한다. 제2 전원배선들은 캐소드 전극과 연결되어 캐소드 전극으로 제2 전원 전압(EVSS)을 인가한다. 이때, 캐소드 전극의 저항을 낮추기 위해서 상기 캐소드 전극과 전기적으로 연결되는 보조 전극을 형성하는데, 상기 보조 전극과 제1 전원 배선의 간격이 가깝게 배치된다. 따라서, 제1 전원 배선들의 일부에 전류가 쏠리는 경우, 보조 전극과 제1 전원 배선 사이에서 번트(burnt)가 발생하여 보조 전극과 제1 전원 배선 사이의 절연층들이 파괴될 수 있다. 이 경우, 유기 발광 표시 장치의 불량률의 원인이 되고 신뢰성이 감소할 수 있다.

## 발명의 내용

### 해결하려는 과제

[0009] 본 발명은 전술한 문제점을 해결하고자 안출된 것으로, 신뢰성이 향상된 유기 발광 디스플레이 장치를 제공하는 것을 기술적 과제로 한다.

### 과제의 해결 수단

[0010] 상술한 기술적 과제를 달성하기 위한 본 발명은 제1 기판과 상기 제1 기판 상에 배치되며, 게이트 전극과 소스 및 드레인 전극을 포함하는 박막 트랜지스터와 상기 소스 및 드레인 전극과 동일한 층에 배치되며, 제1 전원 전

압이 공급되는 제1 전원 배선들 및 상기 게이트 전극과 동일한 층에 배치되며, 상기 제1 전원 배선들과 전기적으로 연결되는 제1 보조 전극을 포함하는 유기 발광 표시 장치를 제공한다.

### 발명의 효과

- [0011] 본 발명의 일 예에 따른 유기 발광 표시 장치는 제1 전원 전압이 인가되는 제1 보조 전극과 제2 전원 전압이 인가되는 제2 보조 전극이 멀리 이격되도록 배치함으로써, 번트가 발생하는 것을 방지하고 유기 발광 표시 장치의 신뢰성이 감소되는 것을 방지할 수 있다.
- [0012] 또한, 본 발명의 일 예에 따른 유기 발광 표시 장치는 제1 보조 전극을 충분한 면적을 갖도록 형성하여, 제1 전원 전압이 공급되는 제1 전원 배선의 저항을 낮출 수 있으며 따라서, 제1 전원 전압이 안정적으로 공급될 수 있다.
- [0013] 본 발명에서 얻을 수 있는 효과는 이상에서 언급한 효과로 제한되지 않으며, 언급하지 않은 또 다른 효과들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

### 도면의 간단한 설명

- [0014] 도 1은 본 발명의 일 예에 따른 유기 발광 표시 장치를 보여주는 사시도이다.
- 도 2는 도 1의 제1 기관의 표시영역과 비 표시영역, 게이트 구동부, 소스 드라이브 IC, 연성 필름, 회로 보드, 및 타이밍 제어부를 보여주는 평면도이다.
- 도 3은 본 발명의 일 예에 따른 유기 발광 표시 장치의 화소 단면도이다.
- 도 4는 본 발명의 일 예에 따른 유기 발광 표시 장치의 평면도로서, 도 2의 A영역을 확대한 도면이다.
- 도 5는 본 발명의 일 예에 따른 유기 발광 표시 장치의 단면도로서, 도 4의 I-I' 선에 따른 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

- [0015] 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.
- [0016] 단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. "포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제1 항목, 제2 항목 및 제3 항목 중에서 적어도 하나"의 의미는 제1 항목, 제2 항목 또는 제3 항목 각각 뿐만 아니라 제1 항목, 제2 항목 및 제3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미한다. "상에"라는 용어는 어떤 구성이 다른 구성의 바로 상면에 형성되는 경우뿐만 아니라 이들 구성들 사이에 제3의 구성이 개재되는 경우까지 포함하는 것을 의미한다.
- [0017] 이하에서는 본 발명에 따른 유기 발광 표시 장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
- [0018] 도 1은 본 발명의 일 예에 따른 유기 발광 표시 장치를 보여주는 사시도이고, 도 2는 도 1의 제1 기관의 표시영역과 비 표시영역, 게이트 구동부, 소스 드라이브 IC, 연성 필름, 회로 보드, 및 타이밍 제어부를 보여주는 평면도이다.
- [0019] 도 1을 참조하면, 본 발명의 일 예에 따른 유기 발광 표시 장치는 표시 패널(11), 게이트 구동부(12), 소스 드라이브 집적회로(integrated circuit, 이하 "IC"라 칭함)(13), 연성 필름(14), 회로 보드(15), 및 타이밍 제어부(16)를 포함한다. 도 1의 사시도와 도 2의 평면도에서 보이지 않는 구성은 점선으로 도시하였다.
- [0020] 상기 표시 패널(11)의 표시영역(DA)에는 게이트 라인들, 데이터 라인들, 게이트 라인들과 데이터 라인들의 교차

영역들에 배치되는 화소(P)들이 형성된다. 표시영역(DA)의 화소(P)들은 화상을 표시할 수 있다.

- [0021] 상기 게이트 구동부(12)는 타이밍 제어부(16)로부터 입력되는 게이트 제어신호에 따라 게이트 라인들에 게이트 신호들을 공급한다. 이러한, 게이트 구동부(12)는 표시 패널(11)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비 표시영역(DA)에 GIP(gate driver in panel) 방식으로 형성되거나, 구동 칩으로 제작되어 연성필름에 실장되고 TAB(tape automated bonding) 방식으로 표시 패널(11)의 표시영역(DA)의 일측 또는 양측 바깥쪽의 비 표시영역(DA)에 부착될 수도 있다.
- [0022] 상기 소스 드라이브 IC(13)는 타이밍 제어부(16)로부터 디지털 비디오 데이터와 소스 제어신호를 입력받는다. 이러한, 소스 드라이브 IC(13)는 소스 제어신호에 따라 디지털 비디오 데이터를 아날로그 데이터전압들로 변환하여 데이터 라인들에 공급한다. 소스 드라이브 IC(13)가 구동 칩으로 제작되는 경우, COF(chip on film) 또는 COP(chip on plastic) 방식으로 연성 필름(14)에 실장될 수 있다.
- [0023] 상기 제1 기판(100)의 크기는 제2 기판(300)의 크기보다 크기 때문에, 제1 기판(100)의 일부는 제2 기판(300)에 의해 덮이지 않고 노출될 수 있다. 이와 같이 제2 기판(300)에 의해 덮이지 않고 노출된 제1 기판(100)의 일부에는 데이터 패드들과 같은 패드들이 마련된다.
- [0024] 상기 연성 필름(14)에는 패드들과 소스 드라이브 IC(13)를 연결하는 배선들, 패드들과 회로 보드(15)의 배선들을 연결하는 배선들이 형성될 수 있다. 연성 필름(14)은 이방성 도전 필름(antistropic conducting film)을 이용하여 패드들 상에 부착되며, 이로 인해 패드들과 연성 필름(14)의 배선들이 연결될 수 있다.
- [0025] 상기 회로 보드(15)는 연성 필름(14)들에 부착될 수 있다. 이러한, 회로 보드(15)는 구동 칩들로 구현된 다수의 회로들이 실장될 수 있다. 예를 들어, 회로 보드(15)에는 타이밍 제어부(16)가 실장될 수 있다. 이때, 회로 보드(15)는 인쇄회로보드(printed circuit board) 또는 연성 인쇄회로보드(flexible printed circuit board)일 수 있다.
- [0026] 상기 타이밍 제어부(16)는 외부의 시스템 보드(미도시)로부터 디지털 비디오 데이터와 타이밍 신호를 입력 받는다. 이때, 타이밍 제어부(16)는 타이밍 신호에 기초하여 게이트 구동부(12)의 동작 타이밍을 제어하기 위한 게이트 제어신호와 소스 드라이브 IC(13)들을 제어하기 위한 소스 제어신호를 발생한다. 이러한, 타이밍 제어부(16)는 게이트 제어신호를 게이트 구동부(12)에 공급하고, 소스 제어신호를 소스 드라이브 IC(13)들에 공급한다.
- [0027] 도 3은 본 발명의 일 예에 따른 유기 발광 표시 장치의 화소 단면도이다.
- [0028] 도 3을 참조하면, 본 발명의 일 예에 따른 유기 발광 표시 장치의 화소는 제1 기판(100), 버퍼층(110), 박막 트랜지스터(T), 보호층(170), 제1 평탄화층(180), 제2 평탄화층(200), 제1 애노드 전극(210), 뱅크(220), 유기 발광층(230), 캐소드 전극(240), 봉지층(250), 차광층(270), 컬러 필터(280), 및 제2 기판(300)을 포함한다.
- [0029] 상기 제1 기판(100)은 유리가 주로 이용되지만, 구부러지거나 휘 수 있는 투명한 플라스틱, 예로서, 폴리이미드가 이용될 수 있다. 상기 폴리이미드를 제1 기판(100)의 재료로 이용할 경우에는, 상기 제1 기판(100) 상에서 고온의 증착 공정이 이루어짐을 감안할 때, 고온에서 견딜 수 있는 내열성이 우수한 폴리이미드가 이용될 수 있다.
- [0030] 상기 버퍼층(110)은 제1 기판(100) 상에 배치된다. 이러한, 버퍼층(110)은 외부의 수분이나 습기가 유기 발광 표시 장치의 내부로 침투하는 것을 방지한다. 이때, 버퍼층(110)은 실리콘 산화물 또는 실리콘 질화물로 이루어질 수 있다.
- [0031] 상기 박막 트랜지스터(T)는 버퍼층(110) 상에 배치된다. 이러한, 박막 트랜지스터(T)는 액티브층(120), 게이트 절연층(130), 게이트 전극(140), 층간 절연층(150), 소스 전극(160a) 및 드레인 전극(160b)을 포함한다.
- [0032] 상기 액티브층(120)은 게이트 전극(140)과 중첩되도록, 버퍼층(110) 상에 배치된다.
- [0033] 상기 게이트 절연층(130)은 액티브층(120) 상에 배치된다. 이러한, 게이트 절연층(130)은 액티브층(120)과 게이트 전극(140)을 절연시킨다. 이때, 게이트 절연층(130)은 무기 절연 물질 예를 들어, 실리콘 산화막(SiO<sub>2</sub>), 실리콘 질화막(SiN<sub>x</sub>), 또는 이들의 다중층으로 이루어 질 수 있으나, 이에 한정되지 않는다.
- [0034] 상기 게이트 전극(140)은 게이트 절연층(130) 상에 배치된다. 이때, 게이트 전극(140)은 게이트 절연층(130)을 사이에 두고, 액티브층(120)과 중첩되도록 배치된다. 이러한, 게이트 전극(140)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로

로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다.

- [0035] 상기 층간 절연층(150)은 게이트 전극(140) 상에 배치된다. 이러한, 층간 절연층(150)은 게이트 절연층(130)과 동일한 무기 절연 물질 예를 들어, 실리콘 산화막(SiO<sub>2</sub>), 실리콘 질화막(SiN<sub>x</sub>), 또는 이들의 다중막으로 형성될 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0036] 상기 소스 전극(160a) 및 드레인 전극(160b)은 층간 절연층(150) 상에서 서로 마주하면서 이격되어 배치된다. 이때, 소스 전극(160a) 및 드레인 전극(160b) 각각은 층간 절연층(150)에 형성된 콘택홀을 통해 액티브층(120)과 연결된다. 이러한 소스 전극(160a) 및 드레인 전극(160b)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뮴(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있지만, 이에 한정되지 않는다.
- [0037] 상기한 바와 같이 구성되는 박막 트랜지스터(T)는 제1 기판(100) 상에서 각각의 화소 영역마다 형성될 수 있다. 또한, 박막 트랜지스터(T)의 구성은 앞서 설명한 예에 한정되지 않고, 당업자가 용이하게 실시할 수 있는 공지된 구성으로 다양하게 변형 가능하다.
- [0038] 상기 보호층(170)은 층간 절연층(150), 소스 전극(160a), 및 드레인 전극(160b) 상에 전체적으로 배치된다. 이러한, 보호층(170)은 실리콘 산화물 또는 실리콘 질화물과 같은 무기계 절연물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수도 있다.
- [0039] 상기 제1 평탄화층(180)은 보호층(170) 상에 배치되고, 제2 평탄화층(200)은 제1 평탄화층(180) 상에 배치된다. 이러한 제1 평탄화층(180)은 보호층(170)의 상부를 평탄화하고, 제2 평탄화층(200)은 상기 제1 평탄화층(180) 상부를 평탄화한다. 이때, 제1 및 제2 평탄화층(180, 200)은 예를 들어, 아크릴계 수지(acryl resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin)등으로 이루어질 수 있다.
- [0040] 상기 제1 애노드 전극(210)은 제2 평탄화층(200) 상에 배치된다. 이러한, 제1 애노드 전극(210)은 콘택홀을 통해서 노출된 드레인 전극(160b)과 연결된다.
- [0041] 상기 बैं크(220)는 제2 평탄화층(200) 상에 배치된다. 이때, बैं크(220)는 제1 애노드 전극(210)의 일측 및 타측과 중첩될 수 있다. 이러한, बैं크(220)는 화소(P)의 영역을 정의하는 역할을 할 수 있다. 이와 같은 बैं크(220)는 폴리이미드계 수지(polyimides resin), 아크릴계 수지(acryl resin), 벤조사이클로부텐(BCB) 등과 같은 유기막으로 이루어질 수 있다.
- [0042] 상기 유기 발광층(230)은 제1 애노드 전극(210) 상에 배치된다. 이러한, 유기 발광층(230)은 정공 주입층(Hole Injecting Layer), 정공 수송층(Hole Transporting Layer), 발광층(Emitting Layer), 전자 수송층(Electron Transporting Layer), 및 전자 주입층(Electron Injecting Layer)의 조합으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 당업계에 공지된 다양한 구조로 변경될 수 있다.
- [0043] 상기 캐소드 전극(240)은 유기 발광층(230) 상에 배치된다. 이때, 캐소드 전극(240)은 유기 발광층(230)에서부터 연장되어 बैं크(200) 상에도 배치될 수 있다. 이러한, 캐소드 전극(240)은 상부 발광 방식의 유기 발광 표시 장치에서 투명 전도성 금속으로 형성된다. 이와 같은 투명 전도성 금속은 저항이 크기 때문에 후술되는 제2 애노드 전극(215)을 통해 제2 보조 전극(190)과 전기적으로 연결하여 저항을 낮춘다.
- [0044] 상기 봉지층(encapsulation layer; 250)은 캐소드 전극(240) 상에 전체적으로 배치된다. 이러한 봉지층(250)은 외부에서 유입될 수 있는 수분 등의 침투를 막아 유기 발광층(230)의 열화를 방지한다. 이때, 봉지층(250)은 구리(Cu) 및 알루미늄(Al) 등의 금속 또는 그들의 합금으로 이루어질 수 있으나, 반드시 그러한 것은 아니고 당업계에 공지된 다양한 재료가 이용될 수 있다.
- [0045] 상기 차광층(270)은 봉지층(250)과 제2 기판(300) 사이에 배치된다. 이러한 차광층(270)은 유기 발광층(230)과 중첩되지 않도록 컬러 필터(280) 측면에 배치되어, 광이 비 표시영역으로 새어나가는 것을 방지한다.
- [0046] 상기 컬러 필터(280)는 봉지층(250)과 제2 기판(300) 사이에 배치된다. 이러한, 컬러 필터(280)는 유기 발광층(230) 상에 배치되어, 상기 유기 발광층(230)에서 발광하는 광의 색을 변환시킨다. 이때, 컬러 필터(280)는 적색 컬러 필터, 녹색 컬러 필터, 및 청색 컬러 필터로 이루어질 수 있다.
- [0047] 도 4는 본 발명의 일 예에 따른 유기 발광 표시 장치의 평면도로서, 도 2의 A영역을 확대한 도면이고, 도 5는



본 발명의 일 예에 따른 유기 발광 표시 장치의 단면도로서, 도 4의 I-I' 선에 따른 단면도이다.

- [0048] 도 4 및 도 5를 참조하면, 본 발명의 일 예에 따른 유기 발광 표시 장치는 제1 기판(100), 버퍼층(110), 제1 보조 전극(145), 보호층(170), 제1 전원 배선(165), 제1 평탄화층(180), 제2 보조 전극(190), 제2 전원 배선(195), 제2 평탄화층(200), 제2 애노드 전극(215), 하부 댐(225a, 225b), 캐소드 전극(240), 봉지층(250), 실런트(260), 차광층(270), 상부 댐(290a, 290b), 및 제2 기판(300)을 포함한다. 이때, 전술한 도 3과 같은 구성에 대해서는 중복 설명은 생략하기로 한다.
- [0049] 상기 제1 기판(100)상에 버퍼층(110)이 배치되고, 제1 보조 전극(145)은 버퍼층(110) 상에 배치된다. 이러한, 제1 보조 전극(145)은 게이트 전극(140)과 동일한 공정을 통하여 동시에 마련되며, 제1 보조 전극(145)은 게이트 전극(140)과 동일한 물질로 마련될 수 있다. 예를 들어, 게이트 전극(140)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있으나, 이에 한정되지 않는다. 따라서, 본 발명의 일 예에 따른 유기 발광 표시 장치는 하나의 공정으로 제1 보조 전극(145)과 게이트 전극(140)을 형성할 수 있다.
- [0050] 이와 같은 제1 보조 전극(145)의 일측은 후술되는 제1 전원 배선(165)과 전기적으로 연결되며, 타측은 후술되는 실런트(260) 및 하부 댐(215b)의 하부까지 연장되어 배치될 수 있다. 따라서, 제1 보조 전극(145)은 넓은 면적으로 형성되어, 제1 전원 배선(165)의 저항을 낮출 수 있다. 또한, 제1 보조 전극(145)은 후술되는 제2 보조 전극(190)과 멀리 이격되어 배치되기 때문에, 상기 제2 보조 전극(190) 또는 제1 보조 전극(145)의 한쪽으로 전류가 쏠리는 경우에도 번트(burnt)가 발생하지 않는다. 따라서, 본 발명의 일 예에 따른 유기 발광 표시 장치는 제2 보조 전극(190)과 멀리 이격되도록 제1 보조 전극(145)을 배치함으로써, 번트가 발생하는 것을 방지하고 유기 발광 표시 장치의 신뢰성이 감소되는 것을 방지할 수 있다. 또한, 본 발명의 일 예에 따른 유기 발광 표시 장치는 제1 보조 전극(145)을 충분한 면적을 갖도록 형성하여, 제1 전원 전압(EVDD)이 저항의 영향을 받지 않고 안정적으로 공급될 수 있다.
- [0051] 상기 층간 절연층(150)은 제1 보조 전극(145) 상에 배치되어, 제1 보조 전극(145)과 제2 보조 전극(190) 사이를 이격시킨다.
- [0052] 상기 제1 전원 배선(165)은 층간 절연층(150) 상에 배치된다. 이러한, 제1 전원 배선(165)은 외부의 전압 공급부로 공급되는 제1 전원 전압(EVDD)을 각 화소(P)로 인가한다. 이때, 제1 전원 배선(165)은 소스 및 드레인 전극(160a, 160b)과 동일한 층에 이격되어 배치된다. 이와 같은 제1 전원 배선(165)은 소스 및 드레인 전극(160a, 160b)과 동일한 공정을 통하여 동시에 마련되며, 제1 전원 배선(165)은 소스 및 드레인 전극(160a, 160b)과 동일한 물질로 마련될 수 있다. 예를 들어, 제1 전원 배선(165)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어진 단일층 또는 다중층일 수 있지만, 이에 한정되지 않는다. 이때, 제1 전원 배선(165)은 제2 전원 전압(EVSS)이 인가되는 제2 보조 전극(190) 및 제2 전원 배선(195)과 중첩되지 않도록 배치할 수 있다. 따라서, 본 발명의 일 예에 따른 유기 발광 표시 장치는 제1 전원 배선(165) 또는 제2 전원 배선(195)의 한쪽으로 전류가 쏠리는 경우에도 번트가 발생하지 않는다. 또한, 제1 전원 배선(165)의 일측은 제1 보조 전극(145)을 덮는 층간 절연층(150)을 관통하여 상기 제1 보조 전극(145)과 콘택홀을 통해서 연결된다. 따라서, 제1 전원 배선(165)의 한쪽으로 전류가 쏠리는 경우에도, 제1 보조 전극(145)을 통해서 저항을 낮출 수 있다.
- [0053] 상기 제1 평탄화층(180)은 층간 절연층(150)과 제1 전원 배선(165) 상에 배치되어, 상기 제1 전원 배선(165) 상부를 평탄화하고, 제1 보조 전극(145)과 제2 보조 전극(190) 사이를 이격시킨다.
- [0054] 상기 제2 보조 전극(190)은 제1 평탄화층(180) 상에 배치된다. 이러한, 제2 보조 전극(190)은 제2 전원 전압(EVSS)이 인가되는 캐소드 전극(240)과 전기적으로 연결되며, 상기 캐소드 전극(240)의 저항을 낮춘다. 이때, 제2 보조 전극(190)은 제1 전원 전압(EVDD)이 흐르는 제1 전원 배선(165)과 중첩되지 않도록 배치할 수 있다. 또한, 제2 보조 전극(190)은 층간 절연층(150), 보호층(170), 및 제1 평탄화층(180)을 사이에 두고 제1 보조 전극(145)과 중첩된다. 따라서, 본 발명의 일 예에 따른 유기 발광 표시 장치는 제2 보조 전극(190)과 제1 보조 전극(145)이 층간 절연층(150), 보호층(170), 및 제1 평탄화층(180)을 사이에 두고 충분히 이격되어 배치되기 때문에, 제1 전원 배선(165) 또는 제2 보조 전극(190)의 한쪽으로 전류가 쏠리는 경우에도 번트가 발생하지 않으며 따라서, 유기 발광 표시 장치의 신뢰성이 감소하는 것을 방지할 수 있다.
- [0055] 상기 제2 전원 배선(195)은 제2 보조 전극(190)으로부터 연장되며, 제1 전원 배선(165)과 나란하게 배치된다. 이때, 제2 전원 배선(195)은 제1 전원 배선(165)과 중첩되지 않는다. 따라서, 본 발명의 일 예에 따른 유기 발





210, 215: 제1 및 제2 애노드 전극

220: बैं크

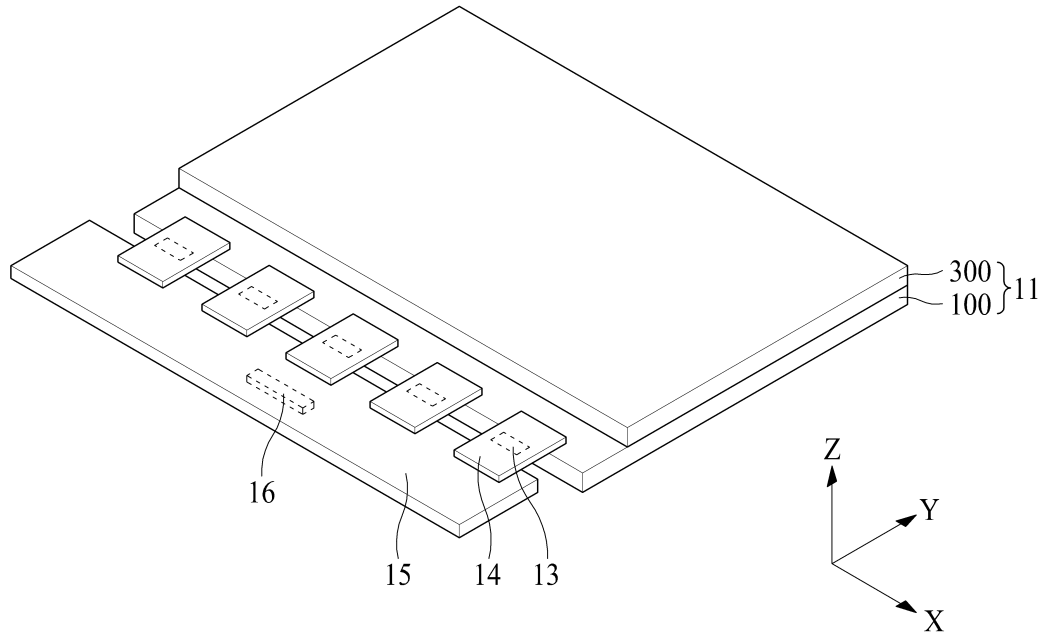
230: 유기 발광층

240: 캐소드 전극

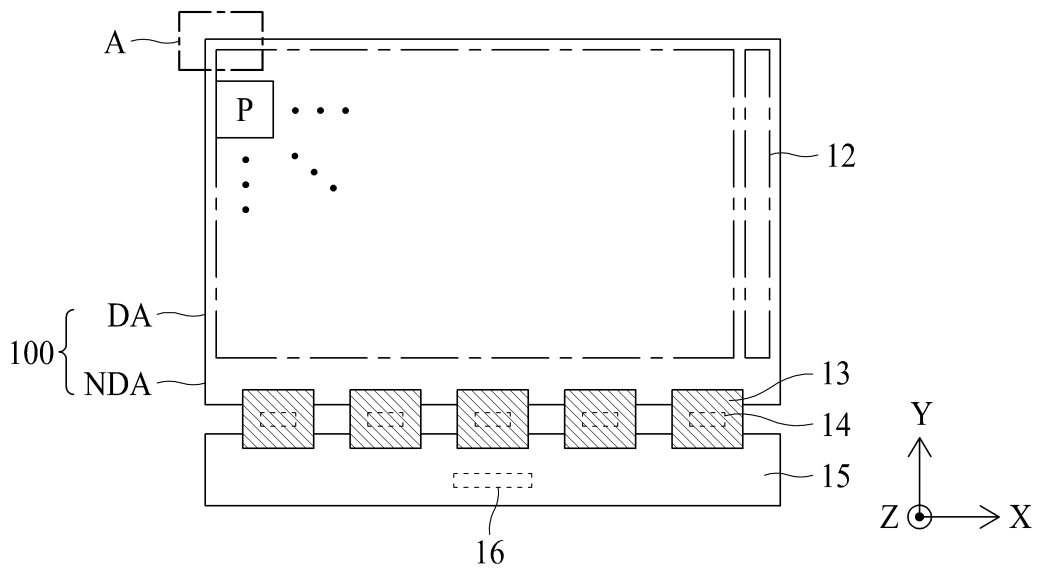
250: 봉지층

## 도면

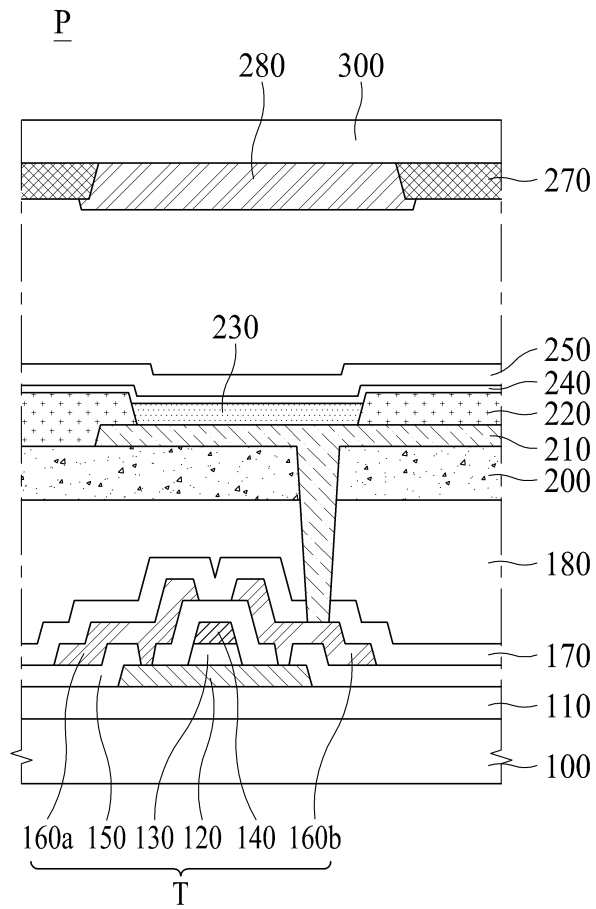
### 도면1



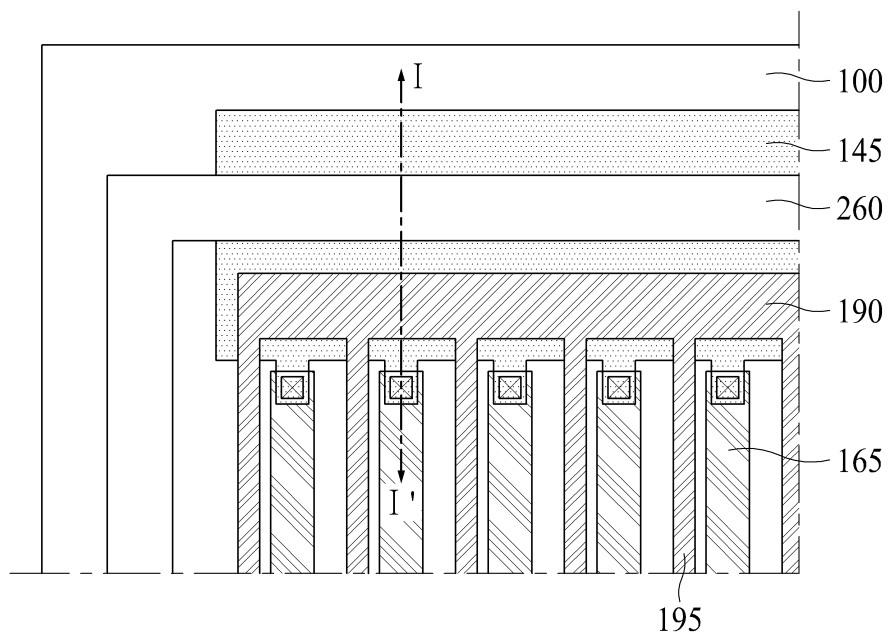
### 도면2



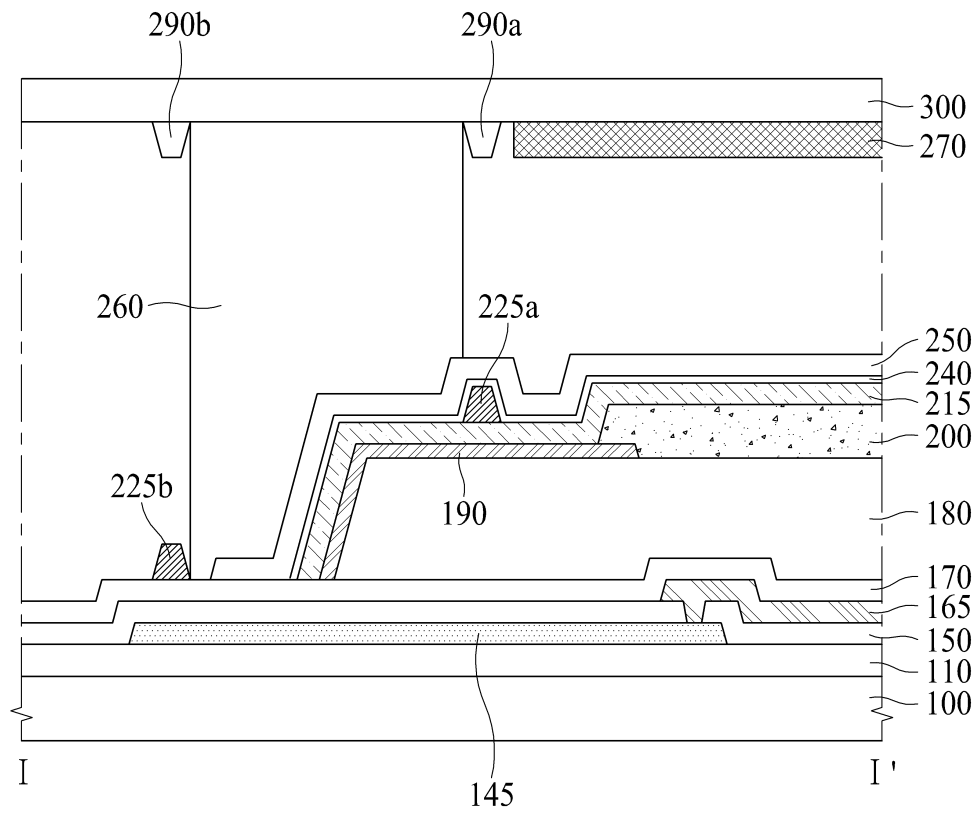
도면3



도면4



도면5



专利名称(译)	相关技术的描述		
公开(公告)号	<a href="#">KR1020170071245A</a>	公开(公告)日	2017-06-23
申请号	KR1020150179338	申请日	2015-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JOONSOO HAN 한준수 JEONGHYEON CHOI 최정현		
发明人	한준수 최정현		
IPC分类号	H01L51/52 H01L27/32 H01L51/50		
CPC分类号	H01L51/5212 H01L27/3262 H01L27/3276 H01L51/5215 H01L51/5209 H01L51/5012 H01L2227/32		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

薄膜晶体管包括第一基板和设置在第一基板上的薄膜晶体管，薄膜晶体管包括栅电极，源电极和漏电极，以及设置在与源电极和漏电极相同的层上的第二薄膜晶体管，并且第一辅助电极设置在与栅电极相同的层上并且电连接到第一电源线。

