



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0041487
(43) 공개일자 2017년04월17일

(51) 국제특허분류(Int. Cl.)
H01L 51/56 (2006.01) *H01L 27/32* (2006.01)
H01L 51/52 (2006.01)

(52) CPC특허분류
H01L 51/56 (2013.01)
H01L 27/3258 (2013.01)

(21) 출원번호 10-2015-0140965
(22) 출원일자 2015년10월07일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
이지수
인천광역시 연수구 벚꽃로 130-3, 101동 3101호(연수동, 연수푸르지오1단지)
이종균
경기도 고양시 일산서구 일현로 97-11, 102동 907호(탄현동, 일산 위브더제니스)
유세종
경기도 파주시 책향기로 441, 1015동 902호 (동파동, 책향기마을동문굿모닝힐아파트)

(74) 대리인
박영복

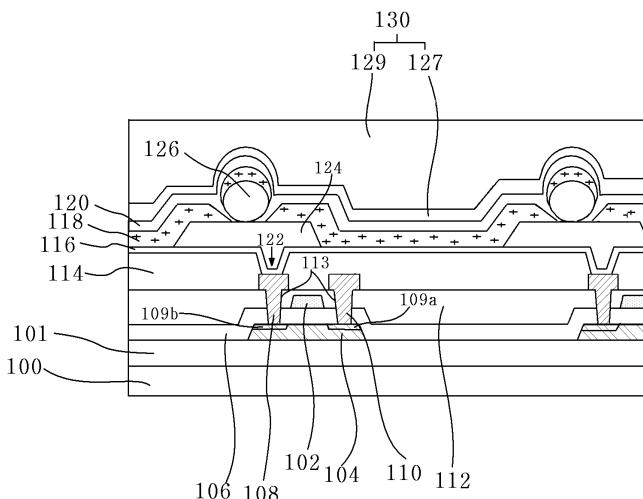
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **발광 표시 패널**

(57) 요 약

본 발명은 구형 스페이서를 적용하여 구형 스페이서와 뱅크층과의 접촉면에서 유기층이 형성되지 않도록 함으로써 폴더블 디스플레이 구현시 발생하는 유기층이 박리 현상을 해결함과 동시에 FMM과 스페이서와의 접촉면에서 발생하는 이물을 최소화시킨 발광 표시 패널에 관한 것으로, 본 발명에 의한 발광 표시 패널은, 기판 상에 위치하는 제1 전극과 제2 전극 사이에 발광층이 포함된 유기층을 포함하는 구성을 가지며, 제1 전극 상에는 발광 영역을 정의하는 유기홀이 포함된 뱅크 절연막을 더 구비하고, 뱅크 절연막의 상부에 소수성 고분자 물질로 이루어지거나, 소수성 고분자 물질이 코팅된 전도성 나노 입자로 이루어진 구형의 스페이서를 포함한다.

대 표 도 - 도2



(52) CPC특허분류

H01L 27/3274 (2013.01)

H01L 51/525 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

기판 상에 위치하는 제 1 전극과,

상기 제 1 전극이 구비된 기판상에 제 1 전극을 노출시키는 유기홀이 포함된 뱅크 절연막과,

상기 뱅크 절연막 상에 위치하는 구형 스페이서와,

상기 유기홀을 통해 노출된 제 1 전극과, 상기 뱅크 절연막 및 상기 구형 스페이서의 상부에 위치하는 발광층을 포함하는 유기층과,

상기 뱅크 절연막 및 상기 유기층을 포함하는 기판 전면에 위치하는 제 2 전극을 포함하는 유기 발광 표시 패널.

청구항 2

제 1 항에 있어서,

상기 유기층 및 제 2 전극을 포함하는 기판 전면에 위치하는 배리어층을 더 포함하는 유기 발광 표시 패널.

청구항 3

제 1 항에 있어서,

상기 뱅크 절연막 및 상기 구형 스페이서는 소수성의 열경화성 수지로 이루어지는 유기 발광 표시 패널.

청구항 4

제 1 항에 있어서,

상기 구형 스페이서는, 소수성 고분자 화합물로 코팅된 전도성 나노 입자로 이루어지고, 상기 뱅크 절연막은 소수성의 열경화성 수지로 이루어진 유기 발광 표시 패널.

청구항 5

제 1 항에 있어서,

상기 구형 스페이서가 위치하는 영역과 동일 평면상의 다른 영역인 상기 뱅크 절연막의 상부에 위치하는 정 스페이서를 더 포함하는 유기 발광 표시 패널.

청구항 6

제 5 항에 있어서,

상기 정 스페이서의 높이는 상기 구형 스페이서보다 높은 유기 발광 표시 패널.

발명의 설명

기술 분야

[0001] 본 발명은 발광 표시 패널에 관한 것으로, 특히 구형 스페이서를 구비하여 유기층 박리를 방지함과 동시에 유기층 중착 공정 중 유기층이 손상되지 않도록 제조할 수 있는 발광 표시 패널에 관한 것이다.

배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는

평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기 전계 발광 표시 장치(OLED) 등이 각광 받고 있다. OLED는 전극 사이의 얇은 발광층을 이용한 자발광 소자로 종이와 같이 박막화가 가능하다는 장점을 갖고 있다.

- [0003] 액티브 매트릭스 OLED(AMOLED)는 3색(R, G, B) 서브 화소로 구성된 화소들이 매트릭스 형태로 배열되어 화상을 표시하게 된다. 각 서브 화소는 유기 전계 발광(OEL) 셀과, 그 OEL 셀을 독립적으로 구동하는 셀 구동부를 구비한다.
- [0004] OEL 셀은 셀 구동부와 접속된 제 1 전극과, 제 1 전극을 노출시키는 유기홀이 형성된 뱅크 절연막과, 제 1 전극의 상부에 위치하는 발광층을 포함하는 유기층과, 유기층 위에 형성된 제 2 전극으로 구성된다. 이 때 뱅크 절연막의 상부에는 스페이서가 구비된다.
- [0005] 셀 구동부는 스캔 신호를 공급하는 게이트 라인과, 비디오 데이터 신호를 공급하는 데이터 라인과, 공통 전원 신호를 공급하는 공통 전원 라인 사이에 접속된 적어도 2개의 박막 트랜지스터와 스토리지 캐패시터로 구성되어 OEL 셀을 구동한다.
- [0006] 근래에는 OLED를 이용한 다양한 형태의 폴더블 디스플레이가 제안되고 있다. 그런데, 종래의 OLED의 경우 발광층을 포함하는 유기층의 점착력이 약하여, 폴딩되는 영역 부근에서의 유기층의 박리가 일어나는 문제가 발생하였다.
- [0007] 상기 문제점을 해결하기 위해 출원인은 스페이서의 형태를 역 사다리꼴 형태로 개선한 역 스페이서를 구비한 OLED 장치를 출원한 바 있다.
- [0008] 그러나, 역 스페이서를 구비한 OLED 장치는, 상부 접촉 면적이 증가하여 OLED를 형성할 때 사용하는 FMM(Fine Metal Mask)과 역 스페이서와의 접촉 면적이 넓어지고, FMM과 역 스페이서와의 접촉면에서 발생한 이물로 인해 OLED 장치의 불량을 초래하였다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로, 구형 스페이서를 적용하여 구형 스페이서와 뱅크층과의 접촉면에서 유기층이 형성되지 않도록 함으로써 폴더블 디스플레이 구현시 발생하는 유기층이 박리 현상을 해결함과 동시에 FMM과 스페이서와의 접촉면에서 발생하는 이물을 최소화시킨 OLED 장치를 제공하는 것을 해결하고자 하는 과제로 한다.

과제의 해결 수단

- [0010] 상기 과제를 해결하기 위하여 본 발명에 의한 유기 발광 표시 패널은, 기판 상에 위치하는 제 1 전극과 제 2 전극 사이에 발광층이 포함된 유기층을 포함하는 구성을 가지며, 제 1 전극 상에는 발광 영역을 정의하는 유기홀이 포함된 뱅크 절연막을 더 구비하고, 뱅크 절연막의 상부에 소수성 고분자 물질로 이루어지거나, 소수성 고분자 물질이 코팅된 전도성 나노 입자로 이루어진 구형의 스페이서를 포함한다.
- [0011] 본 발명에 의한 유기 발광 표시 패널은 상기 뱅크 절연막 상에 상기 구형 스페이서와 정 스페이서를 모두 구비할 수도 있으며, 이 때 정 스페이서의 높이는 구형 스페이서의 높이보다 더 높다.

발명의 효과

- [0012] 본 발명에 의한 유기 발광 표시 패널은, 유기층 형성시 FMM이 구형 스페이서의 상부와 접촉됨으로써, 폴더블 디스플레이에서 발생하는 유기층의 박리 현상을 개선함과 동시에 역 스페이서를 이용하는 경우보다 FMM과 구형 스페이서간의 접촉 면적이 작으므로, FMM과 스페이서 사이의 접촉으로 인해 발생하는 이물 현상도 개선할 수 있다. 또한, 본 발명에 의한 유기 발광 표시 패널에 구형 스페이서만 형성된 경우, 정 스페이서를 형성하기 위한 포토 리소그래피 공정 및 식각 공정을 생략할 수 있으므로, 공정 절감의 효과를 가질 수 있다.
- [0013] 한편, 정 스페이서와 구형 스페이서가 모두 형성된 유기 발광 패널은, 정 스페이서와 FMM이 접촉되고, 구형 스페이서와 FMM은 접촉되지 않으므로, FMM과 스페이서 사이의 접촉 면적을 최소화할 수 있으며, 그와 동시에 폴더블 디스플레이에서 발생하는 유기층의 박리 현상을 개선할 수 있다.

도면의 간단한 설명

[0014]

도 1은 본 발명에 따른 발광 표시 패널의 한 화소에 대한 등가 회로도이다.

도 2는 본 발명에 의한 발광 표시 패널의 구조를 설명하기 위한 단면도이다.

도 3은 정 스페이서와 구형 스페이서가 모두 구비된 발광 표시 패널을 설명하기 위한 단면도이다.

도 4a 내지 도 4k는 본 발명에 의한 발광 표시 패널을 형성하는 방법을 설명하기 위한 예시도이다.

발명을 실시하기 위한 구체적인 내용

[0015]

이하, 첨부된 도면 및 실시 예를 통해 본 발명의 실시 예를 구체적으로 살펴보면 다음과 같다.

[0016]

도 1은 본 발명에 따른 발광 표시 패널의 한 화소에 대한 등가 회로도이다.

[0017]

도 1에 도시된 발광 표시 패널의 한 화소는 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 스위치 박막 트랜지스터(T1)와, 스위치 박막 트랜지스터(T1) 및 전원 라인(PL)과 OEL 셀과 접속된 구동 박막 트랜지스터(T2)와, 전원 라인(PL)과 스위치 박막 트랜지스터(T1)의 드레인 전극 사이에 접속된 스토리지 커패시터(C)와, 구동 박막 트랜지스터(T2)와 접속된 OEL 셀을 포함한다.

[0018]

스위치 박막 트랜지스터(T1)의 게이트 전극은 게이트 라인(GL)과 접속되고 소스 전극은 데이터 라인(DL)과 접속되며 드레인 전극은 구동 박막 트랜지스터(T2)의 게이트 전극 및 스토리지 캐퍼시터(C)와 접속된다. 구동 박막 트랜지스터(T2)의 소스 전극은 전원 라인(PL)과 접속되고 드레인 전극은 OEL 셀의 전극 중 어느 하나와 접속된다. 스토리지 캐퍼시터(C)는 전원 라인(PL)과 구동 박막 트랜지스터(T2)의 게이트 전극 사이에 접속된다.

[0019]

스위치 박막 트랜지스터(T1)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된 데이터 신호를 스토리지 캐퍼시터(C) 및 구동 박막 트랜지스터(T2)의 게이트 전극으로 공급한다. 구동 박막 트랜지스터(T2)는 게이트 전극으로 공급되는 데이터 신호에 응답하여 전원 라인(PL)으로부터 OEL 셀로 공급되는 전류(I)을 제어함으로써 OEL 셀의 발광량을 조절하게 된다. 그리고, 스위치 박막 트랜지스터(T1)가 턴-오프되더라도 스토리지 캐퍼시터(C)에 충전된 전압에 의해 구동 박막 트랜지스터(T2)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 OEL 셀이 발광을 유지하게 한다.

[0020]

구동 박막 트랜지스터(T2)는 도 2에 도시된 바와 같이 기판(100) 및 베퍼층(101)상에 형성되고, 양 측면에 소스 영역(109a) 및 드레인 영역(109b)을 포함하는 반도체층(104)과, 반도체층(104)을 덮는 게이트 절연막(106)과, 반도체층(104)에 대응되는 게이트 절연막(106)의 상부에 위치하는 게이트 전극(102)과, 게이트 전극(102)을 포함하는 기판(100)을 덮으며, 상기 반도체층(104)의 양측면에 위치하는 소스/드레인 영역(109a, 109b)을 노출하는 콘택홀(113)들을 포함하는 제 1 보호층(112)과, 콘택홀(113)을 통해 소스/드레인 영역(109a, 109b)과 접속하는 소스 전극(110) 및 드레인 전극(108)을 포함한다.

[0021]

OEL 셀은 구동 박막 트랜지스터를 덮는 제 1 보호막(112) 및 제 2 보호막(114) 상에 제 1 전극(116)과, 제 1 전극(116)을 노출시키는 유기홀이 형성된 뱅크 절연막(124)과, 뱅크 절연막(124)상에 위치하는 구형 스페이서(126)와, 유기홀을 통해 노출된 제 1 전극(116) 위에 형성된 발광층을 포함하는 유기층(118)과, 유기층(118) 위에 형성된 제 2 전극(120)으로 구성된다.

[0022]

이 때 구형 스페이서(126)는 소수성의 열경화성 수지로 형성되거나, 소수성 고분자 화합물로 코팅된 전도성 나노 입자로 형성될 수 있다.

[0023]

이 때 제 1 보호막(112)은 드레인 전극(108)을 노출하는 콘택홀(122)을 포함하고, 제 1 전극(116)은 콘택홀(122)을 통해 박막 트랜지스터의 드레인 전극(108)과 접속된다.

[0024]

이 때 기판(100)은 플렉서블한 유리 또는 폴리머 기판으로서, 본 발명에 의한 발광 표시 패널은 플렉서블 디스플레이 또는 폴더블 디스플레이로서 제조될 수 있다.

[0025]

유기층(118)은 전자 주입층(Electron Injection layer; EIL), 전자 수송층(Electron Transport Layer; ETL), 발광층(206), 정공 수송층(Hole Transport Layer; HTL), 정공 주입층(Hole Injection Layer; HIL)으로 구분된다. 발광층은 음극으로부터의 전자와 양극으로부터의 정공이 재결합되어 생성된 여기자가 바닥상태로 되돌아가면서 특정 파장의 빛을 발광하게 된다.

[0026]

이 때 제 1 전극(116)이 음극인 경우 제 2 전극(120)은 양극이며, 제 1 전극(116)이 양극인 경우 제 2 전극

(120)은 음극이 된다.

[0027] 한편, 유기층(118) 및 제 2 전극(120)은 구형 스페이서의 상부에도 위치한다.

[0028] 뱅크 절연막(124) 상에 형성된 유기층(118) 및 제 2 전극(120)은, 구형 스페이서(126)와 뱅크 절연막(124)이 접하는 지점에는 형성되지 않으며, 구형 스페이서(126)의 측면의 일부 영역에도 유기층(118)은 형성되지 않는다. 그에 따라 구형 스페이서(126)의 상부에 형성된 유기층(118)과 유기홀 및 뱅크 절연막(124)에 형성된 유기층(118)은 구형 스페이서(126)와 뱅크 절연막(124)이 접하는 지점에서 분리되어 있다.

[0029] 이와 같이 구형 스페이서(126)를 뱅크 절연막(124) 상에 형성할 경우, 구형 스페이서(126)과 뱅크 절연막(124)이 접하는 지점과 구형 스페이서(126)의 측면에는 유기층(118)이 중착이 되지 않으므로, 부분적으로 유기층(118)의 연속성이 끊어진다. 그에 더하여, 유기층(118)의 연속성이 끊어지는 영역에도 배리어층(130)이 형성되며, 배리어층(130)은 구형 스페이서(126)와 뱅크 절연막(124)이 접하는 지점과 구형 스페이서(126)의 측면에 접착되는 접착력이 우수하여 배리어층(130)의 하부에 위치하는 유기층(118)을 고정시키는 효과를 가진다.

[0030] 따라서, 본 발명에 의한 발광 표시 패널은 유기층(118)의 접착력이 향상되며, 특히 폴더블 패널을 구현할 때 폴딩 영역에서의 유기층(118)의 박리를 방지할 수 있다.

[0031] 또한, 본 발명에 의한 발광 표시 패널은 구형 스페이서(126)를 사용하므로, 역 스페이서를 사용하는 경우와 비교하여 유기층(118)을 형성하기 위해 사용하는 FMM(Fine Metal Mask)과 스페이서간의 접촉 면적이 작다. 그에 따라 본 발명과 같이 구형 스페이서(126)를 사용하는 경우 폴더블 디스플레이에서 발생하는 유기층의 박리 현상을 개선함과 동시에 역 스페이서와 FMM간의 접촉에 의해 발생하는 이물을 최소화할 수 있다.

[0032] 도 3은 정 스페이서와 구형 스페이서가 모두 구비된 발광 표시 패널을 설명하기 위한 단면도이다.

[0033] 도 3에 도시된 것과 같이, 본 발명에 의한 발광 표시 패널은 뱅크 절연막(124)의 상부 서로 다른 영역에 종래에 사용되던 스페이서(128) 및 구형 스페이서(126)가 모두 형성될 수 있다. 종래의 스페이서는 하부 영역보다 상부 영역의 폭이 더 좁은 형태로 형성되며, 이를 편의상 '정 스페이서(128)'라고 칭한다.

[0034] 이 때 정 스페이서(128)의 높이는 구형 스페이서(126)의 높이보다 더 높다. 따라서 유기층(118)을 형성할 때 이 용되는 FMM은 정 스페이서(128)와 접촉된다.

[0035] 다시 말하면, 본 발명에 의한 발광 표시 패널은 정 스페이서(128)를 이용하여 발광 표시 패널과 FMM간의 간격을 유지하고, 구형 스페이서(126)를 이용하여 폴더블 디스플레이를 구현할 때 발생하는 유기층(118)의 박리 현상을 방지한다.

[0036] 도 4a 내지 도 4k는 본 발명에 의한 발광 표시 패널을 형성하는 방법을 설명하기 위한 예시도이다.

[0037] 도 4a를 참조하면, 기판(100) 상에 벼파층(101)이 형성되고, 그 상부에 반도체층(104)이 형성된다. 이 때 벼파층(101) 및 반도체층(104)은 PECVD(Plasma Vapor Deposition)등의 증착 방법을 이용하여 형성된다. 그리고 반도체층(104)은 포토리소그래피 공정 및 식각 공정을 통해 패터닝된다.

[0038] 도 4b를 참조하면, 반도체층(104)을 포함하는 기판(100) 상에 무기 절연 물질이 PECVD 등의 증착 방법을 통해 증착됨으로써 게이트 절연막(106)이 형성된다. 그 상부에는 금속층이 스퍼터링(Sputtering) 등의 방법을 통해 증착되고, 포토 리소그래피 및 식각 공정에 의해 패터닝되어 게이트 전극(102)이 형성된다.

[0039] 상기 게이트 전극(102)을 마스크로 하고, 반도체층(104)의 양 측면에 이온 주입법(Ion Implantation)등을 통해 불순물이 주입됨으로써 소스 드레인 영역(109a, 109b)이 형성된다.

[0040] 도 4c를 참조하면, 게이트 전극(102) 및 반도체층(104)을 포함하는 기판(100)상에는 PECVD 등의 증착 방법을 통해 제 1 보호막(112)이 형성된다. 제 1 보호막(112)에는 포토 리소그래피 공정 및 식각 공정을 통해 소스/드레인 영역(109a, 109b)을 노출하도록 콘택홀(113)이 형성된다.

[0041] 도 4d를 참조하면, 스퍼터링 등의 방법을 통해 소스 전극(110) 및 드레인 전극(108)을 형성하는 금속층이 증착된다. 소스/드레인 금속층으로는 몰리브덴(Mo), 몰리브덴 텉스텐(MoW), 구리(Cu) 등으로 이용된다. 이 소스/드레인 금속층이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 소스 전극(110), 드레인 전극(108)을 포함하는 소스/드레인 전극 패턴이 형성된다.

[0042] 도 4e를 참조하면, 소스 전극(110) 및 드레인 전극(108)을 포함하는 제 1 보호막(112) 상에는 콘택홀(122)을 포함하는 제 2 보호막(114)이 증착된다. 이 때 제 2 보호막(114)은 아크릴 등과 같은 유기 절연 물질이 스펀 코

팅(Spin Coating), 스판리스 코팅(Spinless Coating) 등의 방법을 통해 형성될 수 있다. 그리고 제 2 보호막(114)에는 포토 리소그래피 공정 및 식각 공정에 의해 드레인 전극(108)을 노출하는 컨택홀(122)이 형성된다.

[0043] 도 4f를 참조하면, 제 2 보호막(114) 상에는 제 1 전극(116)이 형성된다.

[0044] 구체적으로, 제 1 전극(116)은 제 2 보호막(114) 상에 알루미늄(Al)과 같은 불투명한 도전 물질 또는 ITO와 같은 투명 도전 물질이 스퍼터링 등과 같은 증착 방법으로 형성될 수 있다. 제 1 전극(116)은 박막 트랜지스터의 드레인 전극(108)과 컨택홀(122)을 통해 접속된다.

[0045] 도 4g를 참조하면, 제 1 전극(116) 상에는 제 1 전극(122)이 형성된 기판(101) 상에 유기홀(140)이 포함된 뱅크 절연막(124)이 형성된다.

[0046] 뱅크 절연막(124) 및 유기홀(140) 상에는 뱅크 절연막(124)과 동일하게 스판리스 또는 스판 코팅 등의 코팅 방법을 통해 감광성 유기 절연 물질이 전면 도포되어 스페이서를 형성하기 위한 유기 절연층이 형성된다. 상기 유기 절연층을 포토리소그래피 공정 및 패터닝 공정으로 패터닝함으로써 정 스페이서(128)을 형성한다.

[0047] 구형 스페이서(126)만 형성하는 경우, 상기 정 스페이서(128)를 형성하는 공정은 생략될 수 있다. 즉, 구형 스페이서(126)만 형성하는 경우 정 스페이서(128)를 형성하기 위한 포토 리소그래피 공정 및 식각 공정을 생략할 수 있으므로, 제조공정이 절감되는 효과를 가진다.

[0048] 구형 스페이서(126)를 형성하는 공정은 도 4h 및 도 4i를 참조하여 상세히 설명한다.

[0049] 구형 스페이서(126)는 도 4h와 같이 마스크(150)를 이용하여 뱅크 절연막(124)만을 노출한 상태에서 구형 스페이서(126)를 형성할 수 있는 소수성 열경화 수지를 분사시킨 후, 이를 경화시켜 형성한다.

[0050] 이 때 뱅크 절연막(124)은 소수성 물질로 이루어지며, 제 1 전극(122)을 이루는 금속은 친수성으로 이루어진다. 그에 따라, 구형 스페이서(126)은 친수성인 제 1 전극(122) 상에는 형성되지 않고, 뱅크 절연막(124)의 상부에만 형성될 수 있다.

[0051] 한편, 구형 스페이서(126)는 도 4i와 같이 전계를 이용하여 형성할 수 있다. 이를 위하여 구형 스페이서(126)는 소수성 고분자 화합물(132)로 코팅된 전도성 나노 입자(132)를 이용하여 형성한다.

[0052] 이 때, 마스크(150)는 금속 마스크이며, 마스크(150)에 전계를 가하여 마스크(150)가 대전되도록 하고, 소수성 고분자 화합물(134)로 코팅된 전도성 나노 입자(132)를 마스크(150)에 뿌림으로써, 상기 나노 입자(132)가 마스크(150)에 부착되도록 한다.

[0053] 그 후 마스크(150)를 뒤집어 기판(100)에 균접시킨 뒤 마스크(150)에 가하던 전계를 제거하면, 상기 나노 입자(132)는 뱅크 절연막(124)의 상부에 위치하여 구형 스페이서(126)가 형성된다.

[0054] 구형 스페이서(126)는 소수성 고분자 화합물(134)로 코팅되므로, 구형 스페이서(126)은 친수성인 제 1 전극(122)상에는 형성되지 않고, 뱅크 절연막(124)의 상부에만 형성된다.

[0055] 상기와 같이 구형 스페이서(126)를 형성한 다음, 도 4j와 같이 유기홀(140)이 포함된 뱅크 절연막(124)이 형성된 기판(101) 상에 유기층(126), 제 2 전극(128)이 순차적으로 형성된다.

[0056] 구체적으로, 제 1 전극(116) 상에는 전자 주입층(EIL), 전자 수송층(ETL), 발광층, 정공 수송층(HTL), 정공 주입층(HIL)이 포함된 유기층(118)이 열증착 방법, 스퍼터링 방법 또는 그의 조합 방법으로 형성된다. 유기층(118)을 형성할 때에는 FMM이 이용되며, FMM은 정 스페이서(128), 또는 구형 스페이서(126)에 의해 고정, 지지된다.

[0057] 이 때 FMM은 정 스페이서(128)에 접촉되거나, 구형 스페이서(126)의 상부 일부 영역에만 부분적으로 접촉되므로, 역 스페이서를 이용한 경우에 비하여 이물의 발생이 현저히 감소한다.

[0058] 이후, 유기층(118)이 형성된 기판(100) 상에 제 2 전극(120)이 형성된다.

[0059] 제 2 전극(120)은 유기층(118)과 동일한 방법으로 투명 도전 물질이나 금속 물질을 이용하여 적어도 1층 구조로 형성되거나 투명 도전 물질 및 금속 물질을 이용하여 다층 구조로 형성될 수 있다.

[0060] 도 4k를 참조하면, 제 2 전극(120)의 상부에는 배리어층(130)이 형성된다. 배리어층(130)은 적어도 하나의 무기 막(127)과 유기막(129)이 교차되어 적층되는 구조를 가지며, ALD(Atomic Layer Deposition) 등의 방법에 의해 형성될 수 있다.

[0061] 배리어층(130)상부에는 상부 기판(미도시)이 더 포함될 수 있으나, 상부 기판이 구비되지 않아도 무방하다.

[0062] 이같이, 본 발명에 의한 유기 발광 표시 패널은 구형 스페이서(126)를 형성하거나, 정 스페이서(128)과 구형 스페이서(126)를 형성하고, 유기층(118) 형성시 FMM이 정 스페이서(128) 또는 구형 스페이서(126)의 상부와 접촉됨으로써, 폴더블 디스플레이에서 발생하는 유기층(118)의 박리 현상을 개선함과 동시에 역 스페이서를 이용하는 경우보다 FMM과 정 스페이서(128) 또는 구형 스페이서(126)간의 접촉 면적이 작으므로, FMM과 스페이서 사이의 접촉으로 인해 발생하는 이물 현상도 개선할 수 있다.

[0063] 한편, 정 스페이서(128)와 구형 스페이서(126)를 모두 형성할 경우, FMM과의 접촉은 정 스페이서(128)에서만 발생하므로, 이물 현상을 최소화할 수 있으면서도 유기층(118)의 박리 현상을 개선할 수 있다.

[0064] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 종래의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

[0065] 100: 기판 101: 벼파층

102: 게이트 전극 104: 반도체층

106: 게이트 절연막 109a, 109b : 소스/드레인 영역

108: 드레인 전극 110: 소스 전극

112: 제 1 보호막 113, 122: 콘택홀

114: 제 2 보호막 116: 제 1 전극

118: 유기층 120: 제 2 전극

124: 뱅크 절연막 126: 구형 스페이서

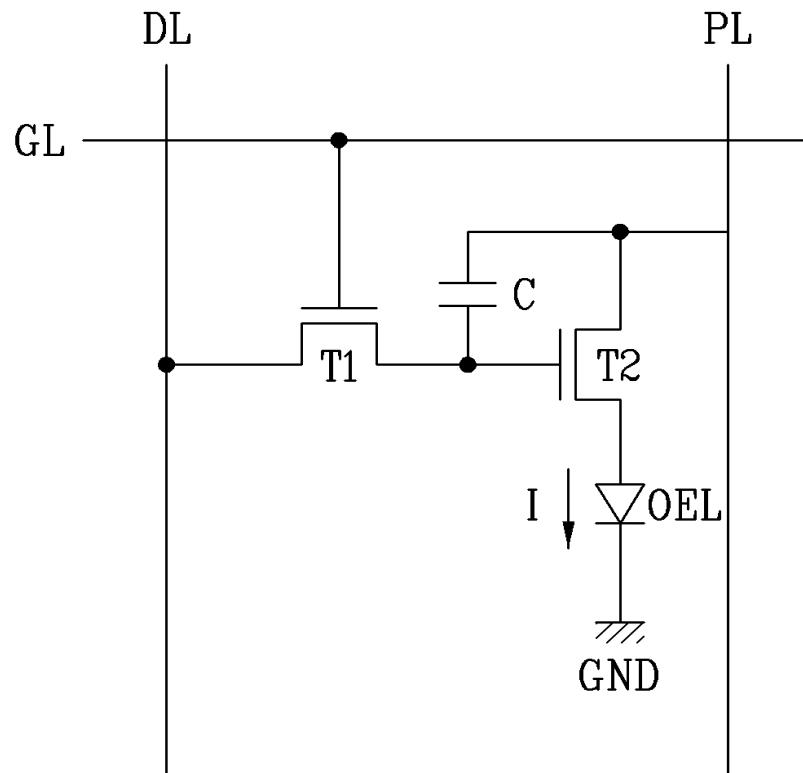
127: 무기막 128: 정 스페이서

129: 유기막 130: 배리어층

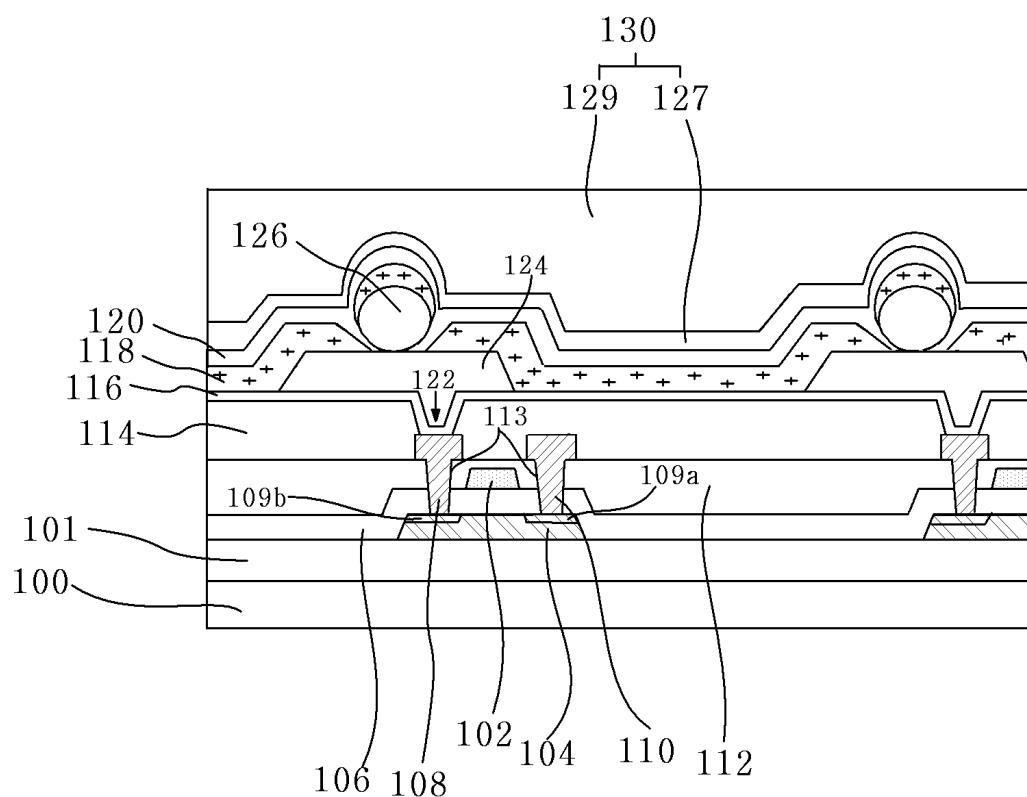
132: 전도성 나노 입자 134: 소수성 고분자 화합물

도면

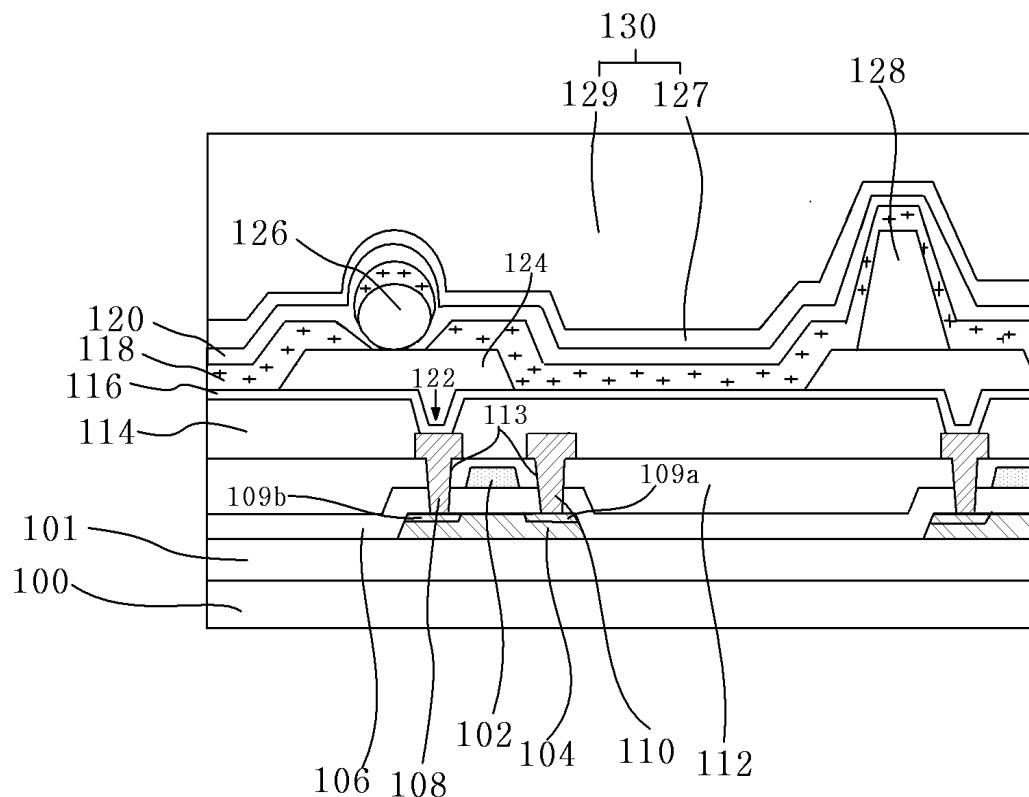
도면1



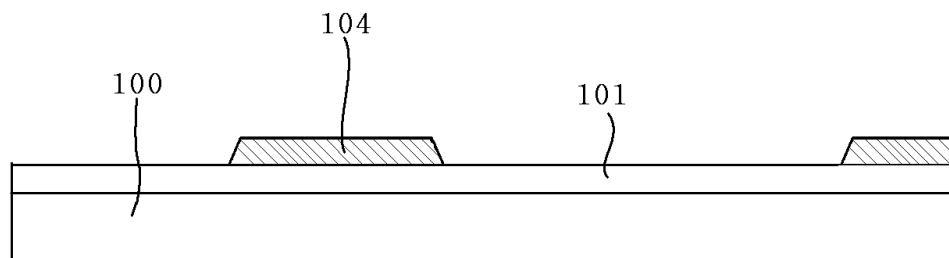
도면2



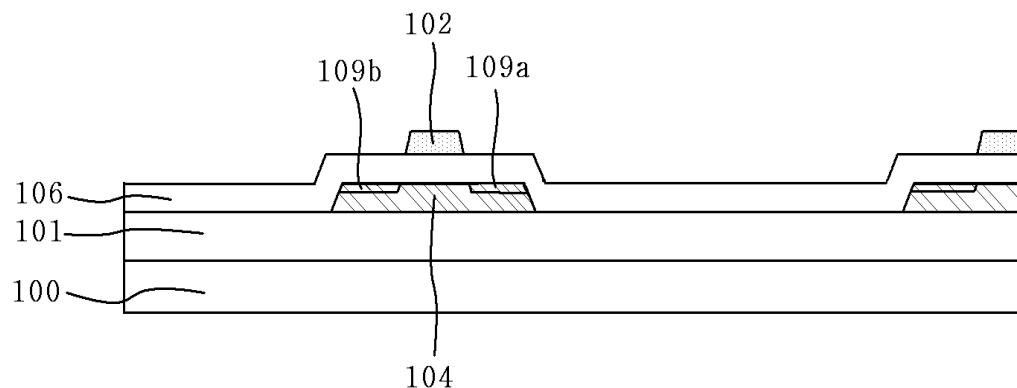
도면3



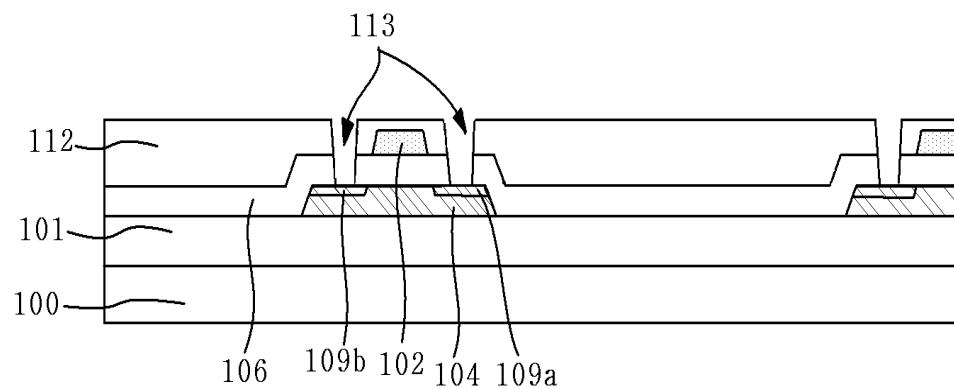
도면4a



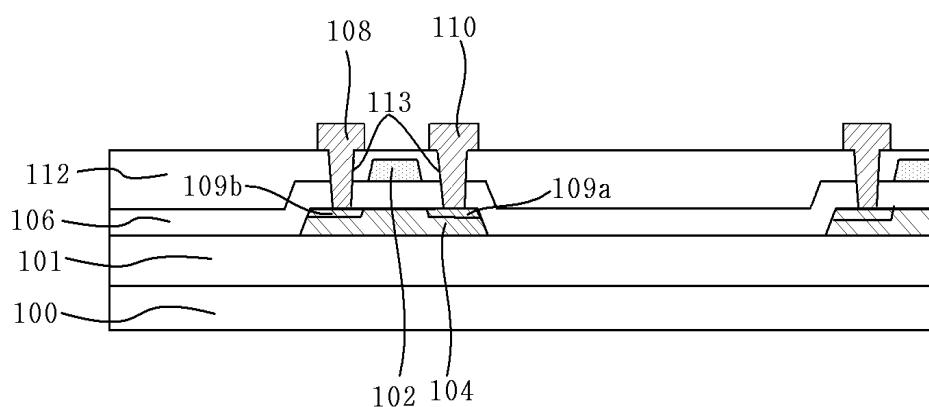
도면4b



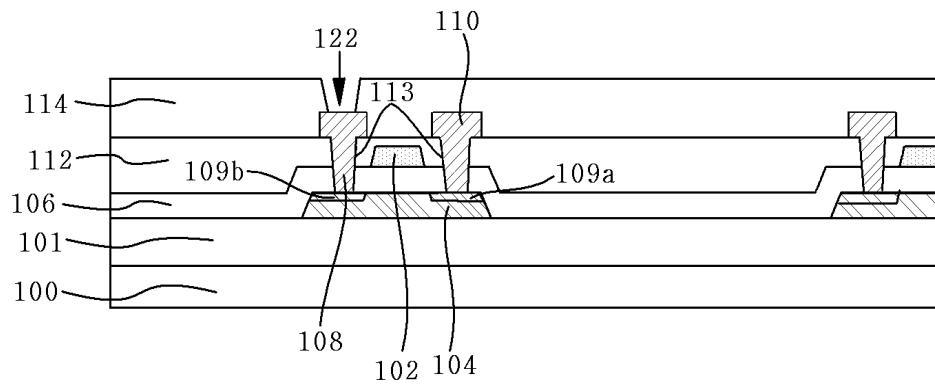
도면4c



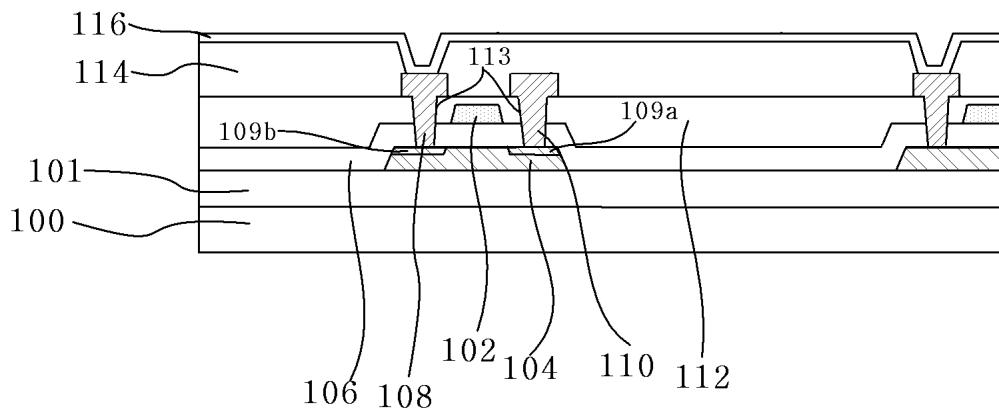
도면4d



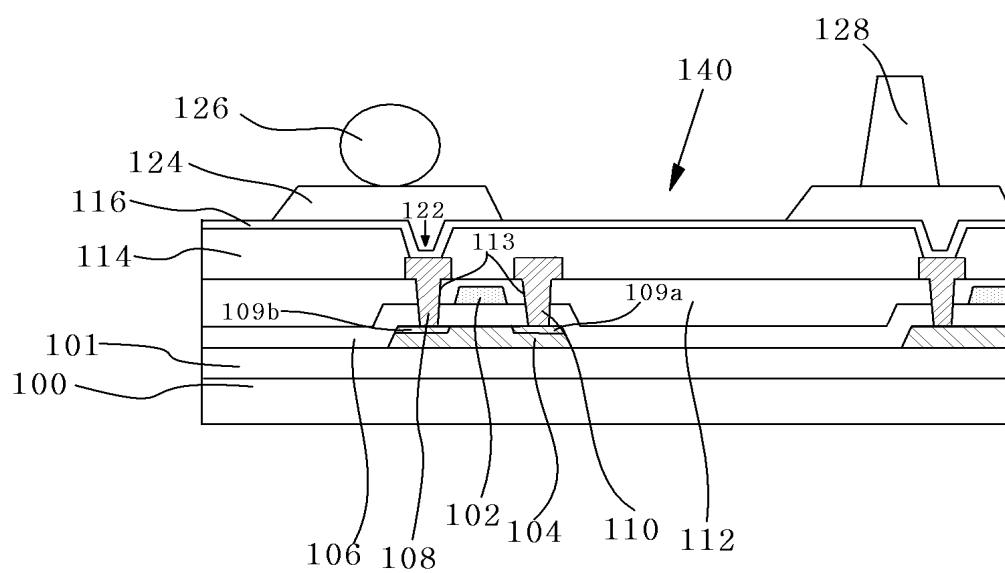
도면4e



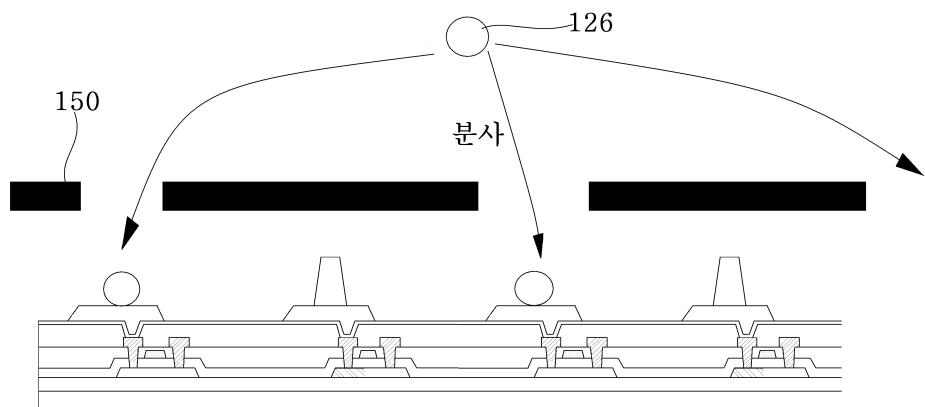
도면4f



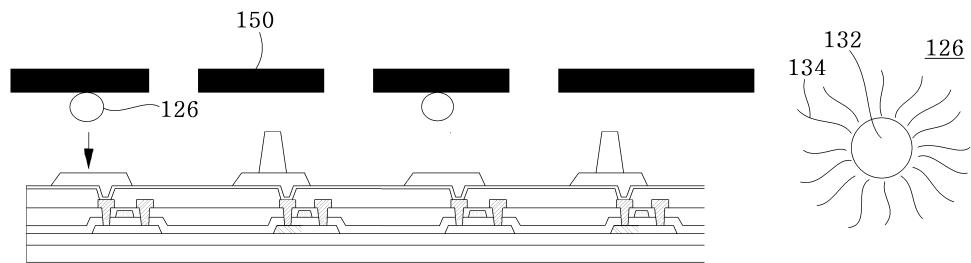
도면4g



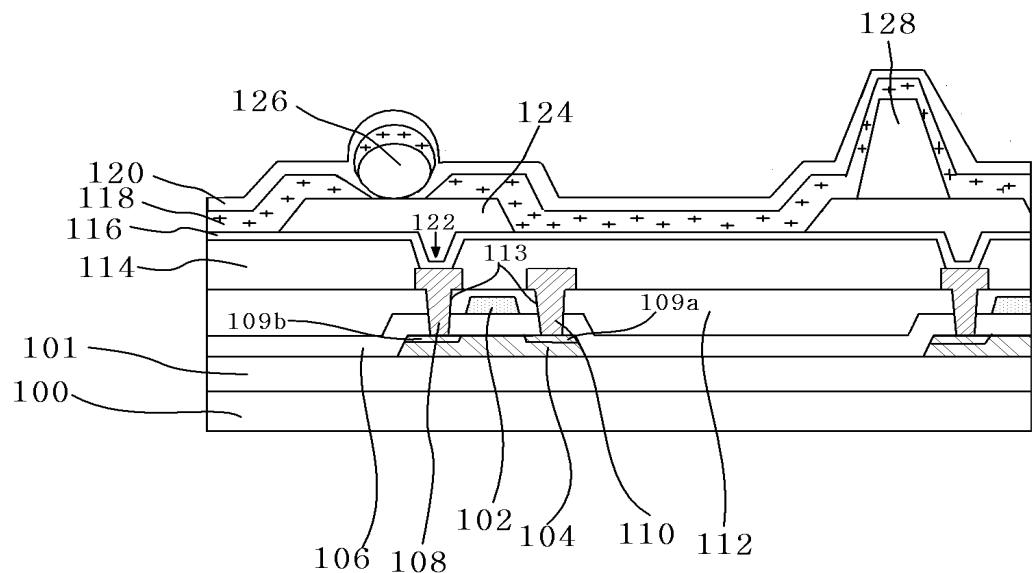
도면4h



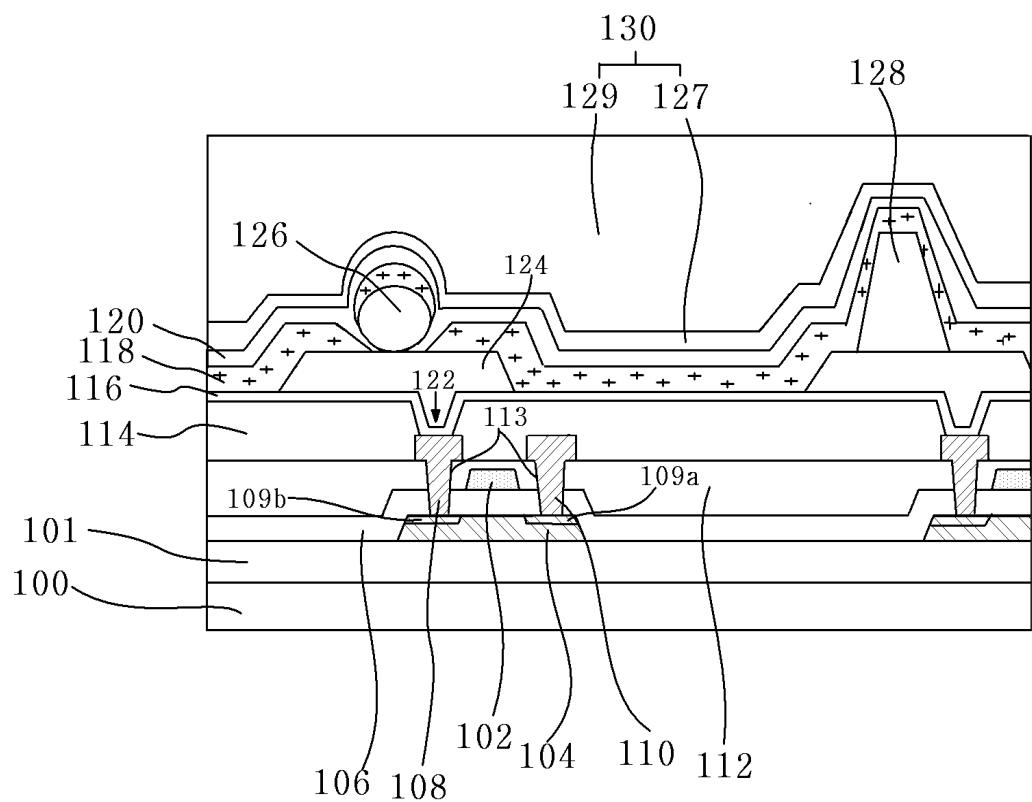
도면4i



도면4j



도면4k



专利名称(译)	发光显示面板		
公开(公告)号	KR1020170041487A	公开(公告)日	2017-04-17
申请号	KR1020150140965	申请日	2015-10-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JI SOO 이지수 LEE JONG KYUN 이종균 YOO SE JONG 유세종		
发明人	이지수 이종균 유세종		
IPC分类号	H01L51/56 H01L27/32 H01L51/52		
CPC分类号	H01L51/56 H01L51/525 H01L27/3258 H01L27/3274 H01L2227/32		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

发光显示面板技术领域本发明涉及一种发光显示面板，其通过应用球形间隔物并且不在球形间隔物和堤层之间的接触表面上形成有机层来防止有机层在可执行显示器期间剥落。同时，最小化FMM和间隔物之间的接触表面上产生的异物。本发明的发光显示板包括有机层，该有机层包括位于基板上的第一电极和第二电极之间的发光层，并且还包括堤绝缘膜，该堤绝缘膜包括用于限定发光区域的有机孔。第一电极。发光显示面板还包括由疏水聚合物材料制成的球形间隔物或在堤绝缘膜的上部涂覆有疏水聚合物材料的导电纳米颗粒。

