



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0060454  
(43) 공개일자 2015년06월03일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) H01L 51/52 (2006.01)  
(21) 출원번호 10-2013-0144882  
(22) 출원일자 2013년11월26일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
성기영  
서울 도봉구 도당로27길 24, (방학동)  
(74) 대리인  
특허법인네이트

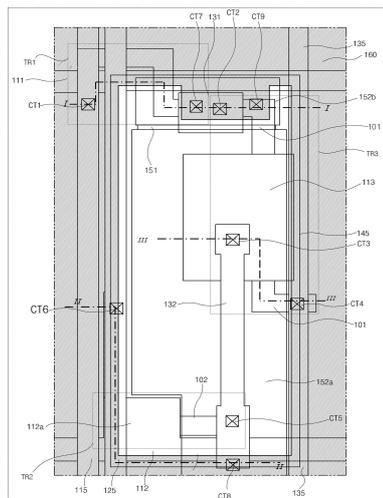
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 유기 발광 다이오드 디스플레이 장치 및 이의 제조 방법

(57) 요약

본 발명은, 복수의 박막 트랜지스터가 형성된 어레이 기관과; 상기 복수의 박막 트랜지스터가 형성된 어레이 기관의 상부에 형성된 제 1 보호막과; 상기 제 1 보호막의 상부에 위치하는 하부 커패시터 전극과, 상기 하부 커패시터 전극의 상부에 형성된 제 2 보호막과, 상기 제 2 보호막의 상부에 형성된 복수의 상부 커패시터 전극을 포함하는 커패시터와; 상기 커패시터의 상부에 형성되는 평탄화층과; 상기 평탄화층의 상부에 형성되는 어노드 전극과; 상기 평탄화층의 상부와 상기 어노드 전극의 경계 및 복수의 콘택홀이 증착되는 위치에 형성되는 बैं크를 포함하는 유기 발광 디스플레이 장치를 제공한다.

대표도 - 도2a



## 명세서

### 청구범위

#### 청구항 1

복수의 박막 트랜지스터가 형성된 어레이 기관과;

상기 복수의 박막 트랜지스터가 형성된 어레이 기관의 상부에 형성된 제 1 보호막과;

상기 제 1 보호막의 상부에 위치하는 하부 커패시터 전극과, 상기 하부 커패시터 전극의 상부에 형성된 제 2 보호막과, 상기 제 2 보호막의 상부에 형성된 복수의 상부 커패시터 전극을 포함하는 커패시터와;

상기 커패시터의 상부에 형성되는 평탄화층과;

상기 평탄화층의 상부에 형성되는 어노드 전극과;

상기 평탄화층의 상부와 상기 어노드 전극의 경계 및 복수의 콘택홀이 중첩되는 위치에 형성되는 배크를 포함하는 유기 발광 디스플레이 장치.

#### 청구항 2

제 1 항에 있어서,

상기 복수의 박막 트랜지스터는,

제 1 액티브 패턴과, 제 1 게이트 배선과, 데이터 배선과, 제 1 연결 패턴으로 형성된 제 1 박막 트랜지스터와;

제 2 액티브 패턴과, 제 2 게이트 배선과, 기준 전압 배선과, 제 2 연결 패턴으로 형성된 제 2 박막 트랜지스터와;

상기 제 1 액티브 패턴과, 상기 제 2 연결 패턴부와 연결된 게이트 패턴부와, 공통 전압 배선과, 상기 제 1 연결 패턴으로 형성된 제 3 박막 트랜지스터

로 형성되고, 상기 커패시터는,

상기 하부 커패시터 전극과;

서로 이격된 제 1 및 제 2 상부 커패시터 전극 패턴으로 구성되는 상기 상부 커패시터 전극

으로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

#### 청구항 3

제 2 항에 있어서,

상기 제 1 박막 트랜지스터는 상기 제 1 액티브 패턴의 상부에 형성된 게이트 절연막과, 상기 게이트 절연막의 상부에 위치하는 상기 제 1 게이트 배선과, 상기 제 1 게이트 배선의 상부에 형성되는 절연막과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 1 콘택홀을 통해 상기 제 1 액티브 패턴과 연결되는 상기 데이터 배선과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 2 콘택홀을 통해 상기 제 1 액티브 패턴과 연결되는 상기 제 1 연결 패턴으로 형성되고,

상기 제 2 박막 트랜지스터는 상기 제 2 액티브 패턴의 상부에 형성된 상기 게이트 절연막과, 상기 게이트 절연막의 상부에 위치하는 상기 제 2 게이트 배선과, 상기 제 2 게이트 배선의 상부에 형성되는 상기 절연막과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 3 콘택홀을 통해 상기 제 2 액티브 패턴과 연결되는 상기 기준 전압 배선과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 4 콘택홀을 통해 상기 제 2 액티브 패턴과 연결되는 상기 제 2 연결 패턴으로 형성되고,

상기 제 3 박막 트랜지스터는 상기 제 1 액티브 패턴의 상부에 형성된 상기 게이트 절연막과, 상기 게이트 절연막의 상부에 위치하는 상기 게이트 패턴부와, 상기 게이트 패턴부의 상부에 형성되는 상기 절연막과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 5 콘택홀을 통해 상기 제 1 액티브 패턴과 연결되는 상기 공통 전압 배선과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 6 콘택홀을 통해 상기 제 1 액티브 패턴과 연결되는 상기 제 1 연결 패턴으로 형성되는 것

을 포함하는 유기 발광 디스플레이 장치.

#### 청구항 4

제 2 항에 있어서,

상기 제 1 상부 커패시터 전극 패턴은 제 7 콘택홀을 통해 상기 제 2 연결 패턴과 연결되고,

상기 제 2 상부 커패시터 전극 패턴은 제 8 콘택홀을 통해 상기 제 1 연결 패턴과 상기 제 1 보호막의 상부에 위치한 하부 커패시터 전극에 연결되는 것

을 포함하는 유기 발광 디스플레이 장치.

#### 청구항 5

제 4 항에 있어서,

상기 बैं크는 상기 제 7 콘택홀과 상기 제 8 콘택홀에 대응하는 위치에 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

#### 청구항 6

복수의 박막 트랜지스터가 형성된 어레이 기판과, 상기 복수의 박막 트랜지스터가 형성된 어레이 기판의 상부에 형성된 제 1 보호막과, 상기 제 1 보호막의 상부에 위치하는 하부 커패시터 전극과, 상기 하부 커패시터 전극의 상부에 형성된 제 2 보호막과, 상기 제 2 보호막의 상부에 형성된 복수의 상부 커패시터 전극 패턴을 포함하는 커패시터와, 상기 커패시터의 상부에 형성되는 평탄화층과, 상기 평탄화층의 상부에 형성되는 어노드 전극과, 상기 평탄화층의 상부와 상기 어노드 전극의 경계 및 복수의 콘택홀이 중첩되는 위치에 형성되는 बैं크를 포함하는 유기 발광 디스플레이 장치의 제조 방법에 있어서,

상기 복수의 박막 트랜지스터가 형성된 어레이 기판을 준비하는 단계와;

상기 어레이 기판의 상부에 상기 제 1 보호막을 형성하는 단계와;

상기 제 1 보호막의 상부에 상기 하부 커패시터 전극을 형성하는 단계와;

상기 하부 커패시터 전극의 상부에 상기 제 2 보호막을 형성하는 단계와;

상기 제 2 보호막의 상부에 상기 하부 커패시터 전극 및 상기 박막 트랜지스터의 일부를 노출하는 제 1 콘택홀 및 상기 박막 트랜지스터를 노출하는 제 2 콘택홀을 형성하는 단계와;

상기 제 1 콘택홀을 통해 노출된 상기 하부 커패시터 전극 및 상기 박막 트랜지스터와 연결되고, 상기 제 2 콘택홀을 통해 노출된 상기 박막 트랜지스터와 연결되는 상기 복수의 상부 커패시터 전극 패턴을 서로 이격되도록 형성하는 단계와;

상기 커패시터가 형성된 상기 어레이 기판의 상부에 상기 평탄화층을 형성하는 단계와;

상기 평탄화층의 상부에 어노드 전극을 형성하는 단계와;

상기 어노드 전극의 경계면과, 상기 제 1 및 제 2 콘택홀이 형성된 영역에 बैं크를 형성하는 단계

를 포함하는 유기 발광 디스플레이 장치의 제조 방법.

**청구항 7**

제 6 항에 있어서,

상기 복수의 박막 트랜지스터는,

제 1 액티브 패턴과, 제 1 게이트 배선과, 데이터 배선과, 제 1 연결 패턴으로 형성된 제 1 박막 트랜지스터와;

제 2 액티브 패턴과, 제 2 게이트 배선과, 기준 전압 배선과, 제 2 연결 패턴으로 형성된 제 2 박막 트랜지스터와;

상기 제 1 액티브 패턴과, 상기 제 2 연결 패턴부와 연결된 게이트 패턴부와, 공통 전압 배선과, 상기 제 1 연결 패턴으로 형성된 제 3 박막 트랜지스터

로 형성된 것이고, 상기 커패시터는,

상기 하부 커패시터 전극과;

서로 이격된 제 1 및 제 2 상부 커패시터 전극 패턴으로 구성되는 상기 상부 커패시터 전극

으로 형성되는 것을 특징으로 하는 유기 발광 디스플레이 장치의 제조 방법.

**청구항 8**

제 7 항에 있어서,

상기 제 1 콘택홀은 상기 제 1 연결 패턴과 상기 하부 커패시터 전극을 노출시키고, 상기 제 2 콘택홀은 상기 제 2 연결 패턴을 노출시키는 것이 특징인 유기 발광 디스플레이 장치의 제조 방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기 발광 다이오드 디스플레이 장치의 평탄도를 증가시키는 구조 및 이를 제조하는 제조 방법에 관한 것이다.

**배경 기술**

[0002] 종래에 주로 브라운관을 사용하던 디스플레이 장치는 기술의 발전에 따라 액정 패널을 활용한 장치에서 현재는 유기 발광 다이오드(Organic Light Emitting Diode) 패널을 사용하는 유기 발광 디스플레이 장치로 발전했다.

[0003] 유기 발광 디스플레이 장치는 유기물층에서 전자와 정공의 재결합이 발생할 때 발생하는 빛으로 화상을 표현하는 것으로, 유기물이 증착된 상태에 따라 발생하는 빛의 균일도와 수명이 결정된다.

[0004] 이러한 유기 발광 디스플레이 장치는 인가받은 전압을 안정적으로 유지할 수 있도록 형성되어야 하는데, 근래에 들어 높은 해상도를 나타내는 디스플레이 장치가 요구됨에 따라 화소의 영역이 점차 감소하고, 이에 따라 전압을 안정적으로 유지하는 커패시터의 영역이 감소하여 이의 영역을 유지하기 위한 연구가 진행되고 있다.

[0005] 진행된 연구 중 하나인 탑 커패시터 구조는 종래에 커패시터 전극이 게이트 전극 및 소스 전극과 동일한 위치에 형성되던 것을 박막 트랜지스터의 상부에 위치하도록 형성하는 것으로, 이는 아래 도 1을 참조하여 설명하도록 한다.

- [0006] 도 1은 종래의 탑 커패시터 구조를 갖는 어레이 기판을 나타낸 단면도이다.
- [0007] 도 1에 도시된 바와 같이, 종래의 탑 커패시터 구조를 갖는 어레이 기판(10)은 제 1 보호막(42)의 상부에 제 1 및 제 2 커패시터 전극(51, 52)이 형성되는 것으로, 도 1에는 드레인 전극(31)과 커패시터 전극(51)을 어노드 전극(미도시)과 연결하기 위한 커패시터 연결 전극(52)이 도시되어 있다.
- [0008] 이때, 커패시터 연결 전극(52)은 전압을 유지하기 위한 전극이 아니며, 도면에는 도시되어 있지 않으나 커패시터 연결 전극(52)과 동일한 층에 도면에 도시되지 않은 다른 박막 트랜지스터의 드레인 전극과 연결되어 있는 커패시터 전극이 별도로 위치한다.
- [0009] 도 1에 도시된 커패시터는 박막 트랜지스터의 소스 전극(15)이나 드레인 전극(35) 등 종래에 화소 영역을 차지 하던 박막 트랜지스터와 중복되지 않는 층에서 형성되기 때문에 종래에 비해 화소 영역을 더욱 효율적으로 사용할 수 있는 장점을 나타낸다.
- [0010] 그러나, 박막 트랜지스터와 중복되지 않는 층에 형성되기 때문에 각각의 커패시터 전극(51)을 드레인 전극(31)에 연결하기 위한 콘택홀(CT)을 형성하여 드레인 전극(31)과 연결되어야 하고, 커패시터를 구성하는 커패시터 전극(51)이 각각 서로 다른 층에 위치해야하므로 제 1 및 제 2 보호막(42, 43)과 같이 보호막이 추가로 적용되며, 상기 보호막마다 박막 트랜지스터, 또는 다른 전극과 연결하기 위한 다수의 콘택홀을 형성해야 하는 공정을 필요로 한다.
- [0011] 이때, 상기 다수의 콘택홀에 의해 발생한 단차는 유기물의 균일한 증착을 방해하기 때문에 증착된 유기물에서 발생하는 빛의 균일도와 유기 발광 디스플레이 장치의 수명에 영향을 미치게 된다.
- [0012] 이를 방지하기 위하여, 탑 커패시터 구조의 유기 발광 디스플레이 장치는 박막 트랜지스터와 커패시터 전극(51) 형성에 따라 발생한 콘택홀(CT)의 단차를 보상하기 위해 약 23000Å의 두께를 나타내는 평탄화층(44)을 더욱 구비한다.
- [0013] 그러나, 다수의 보호막(42, 43)이 적층되는 탑 커패시터 구조상 보호막마다 콘택홀(CT)을 형성할 경우 커패시터 전극(51)과 커패시터 연결 전극(52), 드레인 전극(31)이 중첩된 영역에 형성된 콘택홀(CT)에 의해 발생하는 단차의 높이는 최대 13300Å까지 증가할 수 있어 상기 평탄화층(44)에 의한 단차 보상이 부족한 경우가 발생하게 된다.
- [0014] 상기와 같은 높이를 나타내는 콘택홀(CT)의 단차에 의해 정상적으로 보상이 되지 않은 유기 발광 디스플레이 장치는 단차에 의한 증착 불균형이 발생하여 빛의 균일도가 낮아지게 되고, 소자의 불균형으로 인해 수명이 단축되어 신뢰도 및 불량률이 증가하게 되는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

- [0015] 본 발명에 따른 유기 발광 디스플레이 장치 및 이의 제조 방법은 콘택홀에 의해 발생하는 단차로 인한 불균일 증착과, 이로 인한 휘도 균일도 저하 및 소자의 수명 저하를 해결하고자 한다.

**과제의 해결 수단**

- [0016] 본 발명은, 상기한 문제를 해결하기 위하여, 복수의 박막 트랜지스터가 형성된 어레이 기판과; 상기 복수의 박막 트랜지스터가 형성된 어레이 기판의 상부에 형성된 제 1 보호막과; 상기 제 1 보호막의 상부에 위치하는 하부 커패시터 전극과, 상기 하부 커패시터 전극의 상부에 형성된 제 2 보호막과, 상기 제 2 보호막의 상부에 형성된 복수의 상부 커패시터 전극을 포함하는 커패시터와; 상기 커패시터의 상부에 형성되는 평탄화층과; 상기 평탄화층의 상부에 형성되는 어노드 전극과; 상기 평탄화층의 상부와 상기 어노드 전극의 경계 및 복수의 콘택홀이 중첩되는 위치에 형성되는 बैं크를 포함한다.
- [0017] 그리고, 상기 복수의 박막 트랜지스터는, 제 1 액티브 패턴과, 제 1 게이트 배선과, 데이터 배선과, 제 1 연결 패턴으로 형성된 제 1 박막 트랜지스터와; 제 2 액티브 패턴과, 제 2 게이트 배선과, 기준 전압 배선과, 제 2 연결 패턴으로 형성된 제 2 박막 트랜지스터와; 상기 제 1 액티브 패턴과, 상기 제 2 연결 패턴부와 연결된 게

이트 패턴부와, 공통 전압 배선과, 상기 제 1 연결 패턴으로 형성된 제 3 박막 트랜지스터로 형성되고, 상기 커패시터는, 상기 하부 커패시터 전극과; 서로 이격된 제 1 및 제 2 상부 커패시터 전극 패턴으로 구성되는 상기 상부 커패시터 전극으로 형성되는 것을 특징으로 한다.

[0018] 그리고, 상기 제 1 박막 트랜지스터는 상기 제 1 액티브 패턴의 상부에 형성된 게이트 절연막과, 상기 게이트 절연막의 상부에 위치하는 상기 제 1 게이트 배선과, 상기 제 1 게이트 배선의 상부에 형성되는 절연막과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 1 콘택홀을 통해 상기 제 1 액티브 패턴과 연결되는 상기 데이터 배선과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 2 콘택홀을 통해 상기 제 1 액티브 패턴과 연결되는 상기 제 1 연결 패턴으로 형성되고, 상기 제 2 박막 트랜지스터는 상기 제 2 액티브 패턴의 상부에 형성된 상기 게이트 절연막과, 상기 게이트 절연막의 상부에 위치하는 상기 제 2 게이트 배선과, 상기 제 2 게이트 배선의 상부에 형성되는 상기 절연막과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 3 콘택홀을 통해 상기 제 2 액티브 패턴과 연결되는 상기 기준 전압 배선과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 4 콘택홀을 통해 상기 제 2 액티브 패턴과 연결되는 상기 제 2 연결 패턴으로 형성되고, 상기 제 3 박막 트랜지스터는 상기 제 1 액티브 패턴의 상부에 형성된 상기 게이트 절연막과, 상기 게이트 절연막의 상부에 위치하는 상기 게이트 패턴부와, 상기 게이트 패턴부의 상부에 형성되는 상기 절연막과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 5 콘택홀을 통해 상기 제 1 액티브 패턴과 연결되는 상기 공통 전압 배선과, 상기 게이트 절연막 및 상기 절연막에 형성된 제 6 콘택홀을 통해 상기 제 1 액티브 패턴과 연결되는 상기 제 1 연결 패턴으로 형성되는 것을 포함한다.

[0019] 그리고, 상기 제 1 상부 커패시터 전극 패턴은 제 7 콘택홀을 통해 상기 제 2 연결 패턴과 연결되고, 상기 제 2 상부 커패시터 전극 패턴은 제 8 콘택홀을 통해 상기 제 1 연결 패턴과 상기 제 1 보호막의 상부에 위치한 하부 커패시터 전극에 연결되는 것을 포함한다.

[0020] 그리고, 상기 बैं크는 상기 제 7 콘택홀과 상기 제 8 콘택홀에 대응하는 위치에 형성되는 것을 특징으로 한다.

[0021] 한편, 본 발명은, 복수의 박막 트랜지스터가 형성된 어레이 기관과, 상기 복수의 박막 트랜지스터가 형성된 어레이 기관의 상부에 형성된 제 1 보호막과, 상기 제 1 보호막의 상부에 위치하는 하부 커패시터 전극과, 상기 하부 커패시터 전극의 상부에 형성된 제 2 보호막과, 상기 제 2 보호막의 상부에 형성된 복수의 상부 커패시터 전극 패턴을 포함하는 커패시터와, 상기 커패시터의 상부에 형성되는 평탄화층과, 상기 평탄화층의 상부에 형성되는 어노드 전극과, 상기 평탄화층의 상부와 상기 어노드 전극의 경계 및 복수의 콘택홀이 중첩되는 위치에 형성되는 बैं크를 포함하는 유기 발광 디스플레이 장치의 제조 방법에 있어서, 상기 복수의 박막 트랜지스터가 형성된 어레이 기관을 준비하는 단계와; 상기 어레이 기관의 상부에 상기 제 1 보호막을 형성하는 단계와; 상기 제 1 보호막의 상부에 상기 하부 커패시터 전극을 형성하는 단계와; 상기 하부 커패시터 전극의 상부에 상기 제 2 보호막을 형성하는 단계와; 상기 제 2 보호막의 상부에 상기 하부 커패시터 전극 및 상기 박막 트랜지스터의 일부를 노출하는 제 1 콘택홀 및 상기 박막 트랜지스터를 노출하는 제 2 콘택홀을 형성하는 단계와; 상기 제 1 콘택홀을 통해 노출된 상기 하부 커패시터 전극 및 상기 박막 트랜지스터와 연결되고, 상기 제 2 콘택홀을 통해 노출된 상기 박막 트랜지스터와 연결되는 상기 복수의 상부 커패시터 전극 패턴을 서로 이격되도록 형성하는 단계와; 상기 커패시터가 형성된 상기 어레이 기관의 상부에 상기 평탄화층을 형성하는 단계와; 상기 평탄화층의 상부에 어노드 전극을 형성하는 단계와; 상기 어노드 전극의 경계면과, 상기 제 1 및 제 2 콘택홀이 형성된 영역에 बैं크를 형성하는 단계를 포함한다.

[0022] 그리고, 상기 복수의 박막 트랜지스터는, 제 1 액티브 패턴과, 제 1 게이트 배선과, 데이터 배선과, 제 1 연결 패턴으로 형성된 제 1 박막 트랜지스터와; 제 2 액티브 패턴과, 제 2 게이트 배선과, 기준 전압 배선과, 제 2 연결 패턴으로 형성된 제 2 박막 트랜지스터와; 상기 제 1 액티브 패턴과, 상기 제 2 연결 패턴부와 연결된 게이트 패턴부와, 공통 전압 배선과, 상기 제 1 연결 패턴으로 형성된 제 3 박막 트랜지스터로 형성된 것이고, 상기 커패시터는, 상기 하부 커패시터 전극과; 서로 이격된 제 1 및 제 2 상부 커패시터 전극 패턴으로 구성되는 상기 상부 커패시터 전극으로 형성되는 것을 특징으로 한다.

[0023] 그리고, 상기 제 1 콘택홀은 상기 제 1 연결 패턴과 상기 하부 커패시터 전극을 노출시키고, 상기 제 2 콘택홀은 상기 제 2 연결 패턴을 노출시키는 것이 특징이다.

**발명의 효과**

[0024] 본 발명에 따른 유기 발광 디스플레이 장치 및 이의 제조 방법은 콘택홀과 대응하는 위치에 유기물층이 증착되

지 않도록 뱅크를 형성하여 균일 증착이 가능하여 발광되는 빛의 휘도가 균일하고, 소자의 신뢰성 및 수명을 더욱 연장시킬 수 있는 효과를 나타낸다.

**도면의 간단한 설명**

- [0025] 도 1은 종래의 탑 커패시터 구조를 갖는 어레이 기판을 나타낸 단면도이다.
- 도 2는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판을 나타낸 평면도이다.
- 도 2a는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판을 나타낸 평면도이고, 도 2b 내지 도 2d는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판을 선 I, II III를 따라 잘라 나타낸 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0026] 이하, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치 및 이의 제조 방법은 아래에 도면을 참조하여 상세하게 설명하도록 한다.
- [0027] 도 2a는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판을 나타낸 평면도이고, 도 2b 내지 도 2d는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판을 선 I, II III를 따라 잘라 나타낸 단면도이다.
- [0028] 도 2a 내지 도 2d에 도시된 바와 같이, 본 발명의 실시예에 따른 유기 발광 디스플레이 어레이 기판은 제 1 내지 제 3 박막 트랜지스터(TR1~TR3)와 커패시터, 어노드 전극을 포함하는 것이다.
- [0029] 제 1 내지 제 3 박막 트랜지스터(TR1~TR3)는 소스 전극으로부터 인가받은 신호에 따라 드레인 전극으로 전압을 인가하는 소자로, 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 어레이 기판은 데이터 배선(115)과 제 1 및 제 2 게이트 배선(111, 112)으로 정의되는 하나의 단위 화소 영역마다 3 개의 박막 트랜지스터를 구비하는 것이다.
- [0030] 제 1 박막 트랜지스터(TR1)는 제 1 액티브 패턴(101)과, 제 1 콘택홀(CT1)을 통해 제 1 액티브 패턴(101)과 연결된 데이터 배선(115)과, 제 2 콘택홀(CT2)을 통해 제 1 액티브 패턴(101)과 연결된 제 1 연결 패턴(131)과, 제 1 액티브 패턴(101)의 상부에 게이트 전극의 역할을 하는 제 1 게이트 배선(111)이 위치함으로써 형성된 것이다.
- [0031] 이때, 제 1 박막 트랜지스터(TR1)는 스위칭 박막 트랜지스터로, 데이터 배선(115)에 인가되는 전압에 따라 제 2 콘택홀(CT2)을 통해 연결된 제 1 연결 패턴(131)에 전압을 인가하여, 제 7 콘택홀(CT7)을 통해 제 1 연결 패턴(131)에 연결된 제 2 상부 커패시터 전극(152b) 및 하부 커패시터 전극(151)과, 제 9 콘택홀(CT9)를 통해 제 1 연결 패턴(131)에 연결된 어노드 전극(145)에 전압을 인가한다.
- [0032] 제 2 박막 트랜지스터(TR2)는 제 2 액티브 패턴(102)과, 제 5 콘택홀(CT5)을 통해 제 2 액티브 패턴(102)과 연결되는 제 2 연결 패턴(132)과, 제 6 콘택홀(CT6)을 통해 제 2 액티브 패턴(102)과 연결되는 기준 전압 배선(125)과, 제 2 액티브 패턴(102)의 상부에 게이트 전극(112a)이 위치함으로써 형성된 것이다.
- [0033] 이때, 제 2 박막 트랜지스터(TR2)는 스위칭 박막 트랜지스터로, 기준 전압 배선(125)과 게이트 전극(112a)으로 인가되는 전압에 따라 제 3 박막 트랜지스터(TR3)의 게이트 패턴부(113)로 전압을 인가하는 스위칭 박막 트랜지스터의 역할을 수행하는 것이며, 게이트 패턴부(113) 뿐만 아니라 제 8 콘택홀(CT8)에 연결된 제 1 상부 커패시터 전극 패턴(152a)으로 전압을 인가하여 커패시터 차징을 수행한다.
- [0034] 제 3 박막 트랜지스터(TR3)는 제 1 액티브 패턴(101)과, 제 2 콘택홀(CT2)을 통해 제 1 액티브 패턴(101)과 연결된 제 1 연결 패턴(131)과, 제 4 콘택홀(CT4)을 통해 제 1 액티브 패턴(101)과 연결된 공통 전압 배선(135)과, 제 1 액티브 패턴(101)의 상부에 제 3 콘택홀(CT3)과 연결된 게이트 패턴부(113)가 위치함으로써 형성된 것이다.
- [0035] 이때, 제 3 박막 트랜지스터(TR3)는 드라이빙 박막 트랜지스터로, 공통 전압 배선(135)과 게이트 패턴부(113)으로 인가되는 전압에 따라 제 1 연결 패턴(131)에 연결된 하부 커패시터 전극(151)으로 전압을 인가하는 역할을

수행하는 것이다.

- [0036] 또한, 제 3 박막 트랜지스터(TR3)에 사용되는 제 1 연결 패턴(131)은 제 1 박막 트랜지스터(TR1)에 연결된 것과 동일한 것으로, 제 1 박막 트랜지스터(TR1)와 더불어 제 2 콘택홀(CT2)을 통해 연결된 제 1 연결 패턴(131)에 전압을 인가하여, 제 7 콘택홀(CT7)을 통해 제 1 연결 패턴(131)에 연결된 제 2 상부 커패시터 전극 패턴(125b) 및 하부 커패시터 전극(151)과, 제 9 콘택홀(CT9)를 통해 제 1 연결 패턴(131)에 연결된 어노드 전극(145)에 전압을 인가한다.
- [0037] 상기 제 1 내지 제 3 박막 트랜지스터(TR1~TR3)는 각각에 연결된 제 1 및 제 2 게이트 배선(111, 112)과 데이터 배선(115), 기준 전압 배선(125), 공통 전압 배선(135)과 가까운 위치에 형성되는 것이 바람직하며, 화소 영역의 상측과 하측, 또는 일 측면에만 형성될 수도 있다.
- [0038] 이와 같이 형성되는 제 1 내지 제 3 박막 트랜지스터(TR1~TR3)의 상부에는 안정적인 전압 유지를 위한 커패시터가 형성된다.
- [0039] 커패시터는 하부 커패시터 전극(151)과 제 1 및 제 2 상부 커패시터 전극 패턴(152a, 152b)으로 형성되는 것으로, 제 1 보호막(미도시)과, 제 7 콘택홀(CT7)을 통해 제 1 연결 패턴(131)에 연결된 제 2 상부 커패시터 전극 패턴(152b) 및 하부 커패시터 전극(151)과, 제 2 보호막(미도시)과, 제 8 콘택홀(CT8)을 통해 제 2 연결 패턴(132)에 연결된 제 1 상부 커패시터 전극 패턴(151a)을 포함하는 것이다.
- [0040] 평탄화층(미도시)은 제 1 내지 제 3 박막 트랜지스터(TR1~TR3)와 커패시터를 연결하기 위해 형성된 제 1 내지 제 8 콘택홀(CT1~CT8)에 의한 단차를 보상하기 위한 것으로, 절연성이 있는 물질을 커패시터 전극의 상부에 적층하여 이의 상부에 위치하는 어노드 전극(145)의 면을 평탄하게 함으로써 어노드 전극(145)의 상부에 유기물층(미도시)을 안정적으로 증착하기 위한 것이다.
- [0041] 그러나, 평탄화층(미도시)은 종래와 같이 하부 커패시터 전극(CT7)과 제 1 및 제 2 상부 커패시터 전극 패턴(152a, 152b)에 대응하는 위치에 형성된 제 7 콘택홀(CT7)과 제 8 콘택홀(CT8)에 의한 단차를 보상할 수 없다.
- [0042] 이에 따라, 제 7 및 제 8 콘택홀(CT7)에 대응하는 위치의 어노드 전극(145) 상부에는 뱅크(160)가 위치하게 된다.
- [0043] 이때, 뱅크(160)는 절연성 물질로 형성된 것으로, 어노드 전극(145)의 상부에 적층되는 유기물층(미도시)이 제 7 및 제 8 콘택홀(CT7, CT8)에 대응하는 위치의 어노드 전극(145)에 적층되는 것을 막아 유기물층(미도시)이 어노드 전극(145)의 평탄한 면에만 증착되도록 하기 때문에 증착 균일성이 향상되어 빛의 얼룩 저하 및 소자 수명의 신뢰성을 더욱 향상시킬 수 있다.
- [0044] 상기와 같은 구조의 유기 발광 디스플레이 장치는 제 7 및 제 8 콘택홀(CT7, CT8)이 형성된 위치에 뱅크(160)를 형성하는 것이 특징인 것으로, 이의 제조 방법은 아래 도 3a 내지 도 3g와 도 4a 내지 도 4f를 들어 설명하도록 한다.
- [0045] 도 3a 내지 도 3g는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 제조 공정을 순차적으로 나타낸 평면도이고, 도 4a 내지 도 4f는 본 발명의 실시예에 따른 유기 발광 디스플레이 장치의 제조 공정을 순차적으로 나타내기 위해 선 I를 따라 잘라낸 단면도이다.
- [0046] 본 발명의 실시예에 따른 유기 발광 디스플레이 장치를 제조하기 위하여, 도 3a와 도 4a에 도시된 바와 같이 어레이 기판(100)의 상부에 제 1 및 제 2 액티브 패턴(101, 102)을 형성한다.
- [0047] 이때, 제 1 및 제 2 액티브 패턴(101, 102)이 형성되는 것은 코플레이너(Coplanar) 구조의 박막 트랜지스터를 형성하기 위한 것으로, 다른 형태의 박막 트랜지스터를 형성할 경우 공정의 순서는 변동될 수 있다.
- [0048] 이후, 도 3b와 도 4b에 도시된 바와 같이, 어레이 기판(100)의 상부에 게이트 절연막(105)을 형성하고, 게이트

절연막(105)의 상부에 제 1 및 제 2 게이트 배선(111, 112)과 게이트 패턴부(113)를 형성한다.

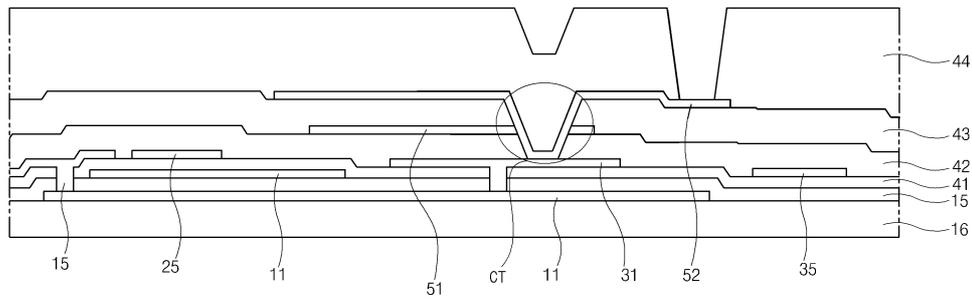
- [0049] 이때, 제 1 게이트 배선(111)과 게이트 패턴부(113)는 각각 제 1 액티브 패턴(101)에 일부 중첩되는 위치에 형성되는 것이고, 제 2 게이트 배선(112)은 제 2 액티브 패턴(102)에 일부 중첩되는 위치에 중첩하는 게이트 전극(112a)을 포함하는 것이다.
- [0050] 이후, 도 3c와 도 4c에 도시된 바와 같이, 어레이 기관(100)의 상부에 절연막(141)을 형성하고, 절연막(141)의 상부에 데이터 배선(115)과 기준 전압 배선(125), 공통 전압 배선(135), 제 1 및 제 2 연결 패턴(131, 132)을 형성한다.
- [0051] 이때, 절연막(141)은 데이터 배선(115)과 제 1 액티브 패턴(101)이 중첩되는 위치에 형성된 제 1 콘택홀(CT1)과, 제 1 연결 패턴(131)과 제 1 액티브 패턴(101)이 중첩되는 위치에 형성된 제 2 콘택홀(CT2)과, 게이트 패턴부(113)와 제 2 연결 패턴(132)이 중첩되는 위치에 형성된 제 3 콘택홀(CT3)과, 공통 전압 배선(135)과 제 1 액티브 패턴(101)이 중첩되는 위치에 형성된 제 4 콘택홀(CT4)과, 제 2 연결 패턴(132)과 제 2 액티브 패턴(102)이 중첩되는 위치에 형성된 제 5 콘택홀(CT5)과, 제 2 액티브 패턴(102)과 기준 전압 배선(125)이 중첩되는 위치에 형성된 제 6 콘택홀(CT6)을 포함하는 것으로, 제 1 내지 제 6 콘택홀(CT6)의 상부와 하부에 위치한 패턴, 또는 배선이 서로 연결되도록 한다.
- [0052] 이후, 도 3d와 도 4d에 도시된 바와 같이, 제 1 보호층(142)을 적층한 후, 이의 상부에 하부 커패시터 전극(151)을 형성한 후 제 2 보호층(143)을 적층한다.
- [0053] 이후, 도 3e와 도 4e에 도시된 바와 같이, 제 1 및 제 2 상부 커패시터 전극 패턴(152a, 152b)을 형성한다.
- [0054] 이때, 제 1 및 제 2 상부 커패시터 전극(152a, 152b)은 서로 이격된 것으로, 제 1 상부 커패시터 전극 패턴(152a)은 제 8 콘택홀(CT8)을 통하여 제 2 연결 패턴(132)과 연결되고, 제 2 상부 커패시터 전극 패턴(152b)은 제 7 콘택홀(CT7)을 통하여 제 1 연결 패턴(131)과 하부 커패시터 전극(151)에 연결되는 것이다.
- [0055] 또한, 제 2 상부 커패시터 전극 패턴(152b)을 하부 커패시터 전극(151)과 제 1 연결 패턴(131)에 안정적으로 연결하기 위하여, 제 7 콘택홀(CT7)은 제 1 연결 패턴(131)을 노출시키는 콘택홀과 하부 커패시터 전극(151)을 노출시키는 콘택홀로 형성될 수 있다.
- [0056] 이후, 도 3f와 도 4f에 도시된 바와 같이 평탄화막(144)을 형성하여 제 1 내지 8 콘택홀(CT1~CT8)로 인한 단차를 보상한 후, 평탄화막(144)의 상부에 어노드 전극(145)을 형성한다.
- [0057] 이때, 어노드 전극(145)은 평탄화막(144)에 형성된 제 9 콘택홀(CT9)을 통해 제 2 상부 커패시터 전극 패턴(152b)과 연결된다.
- [0058] 이후, 도 3g에 도시된 바와 같이 어노드 전극(145)의 경계를 따라 बैं크(160)를 형성한다.
- [0059] 이때, बैं크(160)는 제 1 내지 제 9 콘택홀(CT9)에 대응하는 영역 전체에 형성되어 유기물층(미도시)이 어노드 전극(145)의 평탄한 면에만 형성될 수 있도록 할 수 있으나, 평탄화막(144)에 의한 각 콘택홀의 단차 보상이 이뤄지기 때문에 단차가 큰 제 7 내지 제 9 콘택홀(CT7~CT9)에 대응하는 영역을 가리도록 형성되는 것이 바람직하다.
- [0060] 상기와 같은 공정에 의해 제조된 유기 발광 디스플레이 장치의 어레이 기관(100)은 박막 트랜지스터가 형성되는 층에 커패시터 전극을 동시에 형성하지 않아 커패시터의 면적을 넓힐 수 있어 더욱 안정적인 전압 유지가 가능한 구조를 갖게 되고, 유기물층(미도시)이 보상되지 않은 면에 증착되지 않고, 보상에 의해 평탄해진 어노드 전극(145)의 상부에 연결되어 증착 균일성이 향상되므로 빛의 얼룩 저하 및 소자 수명의 신뢰성을 더욱 향상시킬 수 있다.
- [0061] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**부호의 설명**

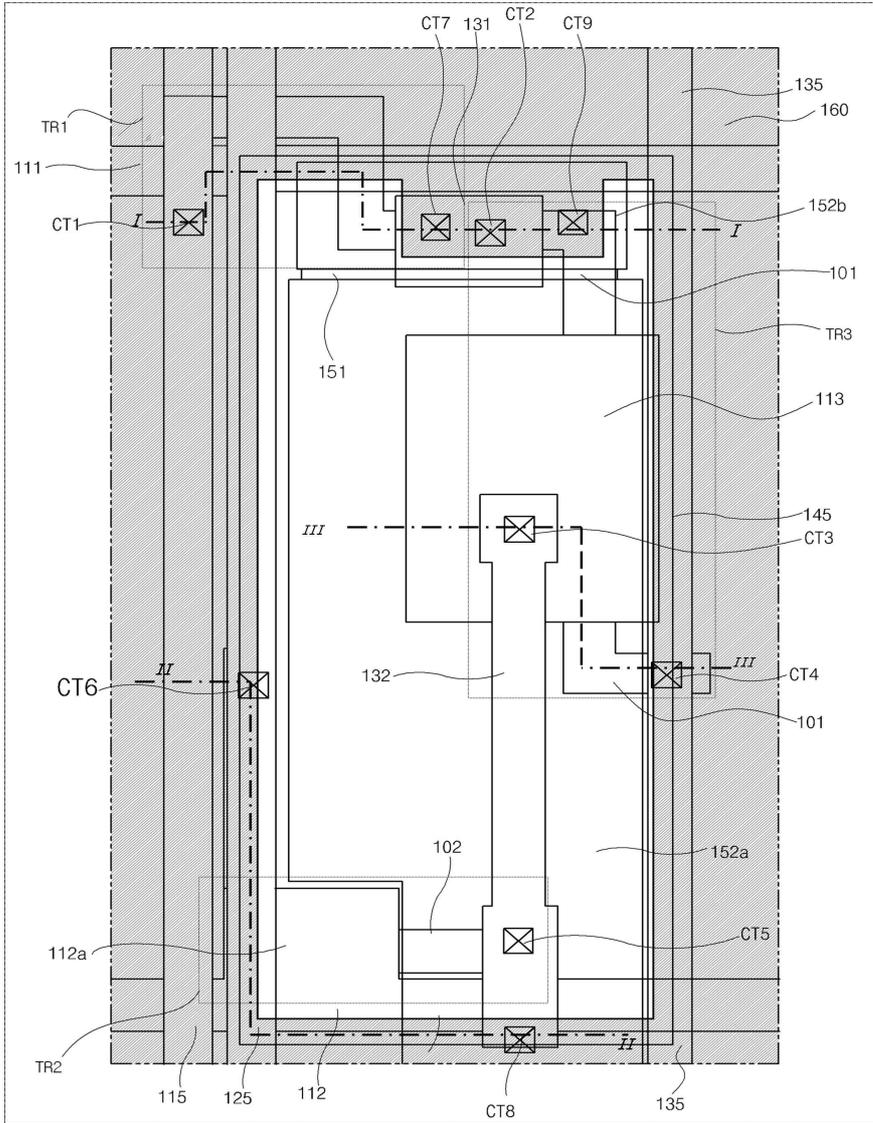
- [0062] CTn : 제 n 콘택홀 101 : 제 1 액티브 패턴  
 102 : 제 2 액티브 패턴 115 : 데이터 배선  
 125 : 기준 전압 배선 135 : 공통 전압 배선  
 111 : 제 1 게이트 배선 112 : 제 2 게이트 배선  
 113 : 게이트 패턴부 131 : 제 1 연결 패턴  
 132 : 제 2 연결 패턴 151 : 하부 커패시터 전극  
 152a, 152b : 제 1 및 제 2 상부 커패시터 전극 패턴  
 145 : 어노드 전극

**도면**

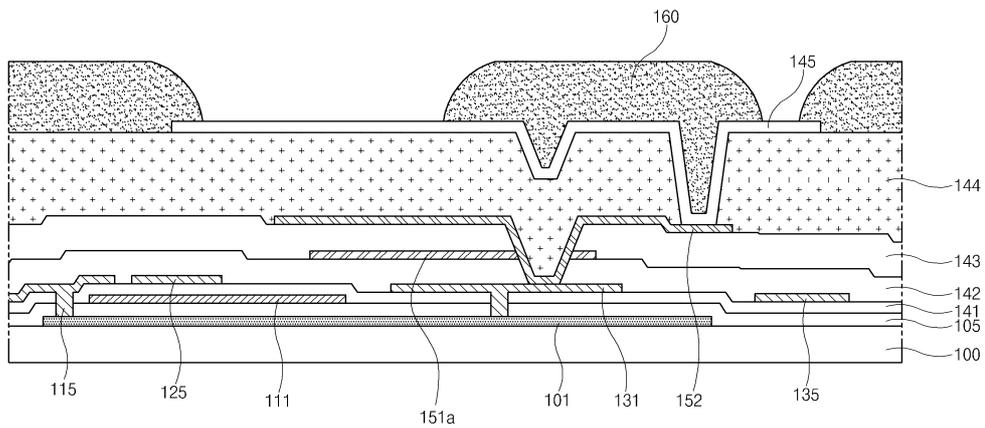
**도면1**



도면2a

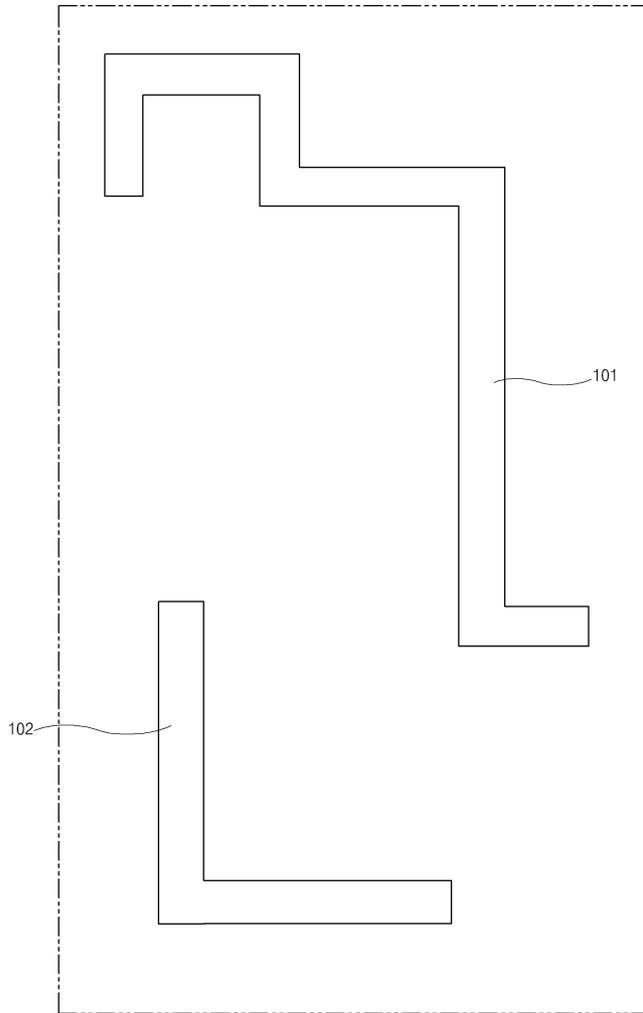


도면2b

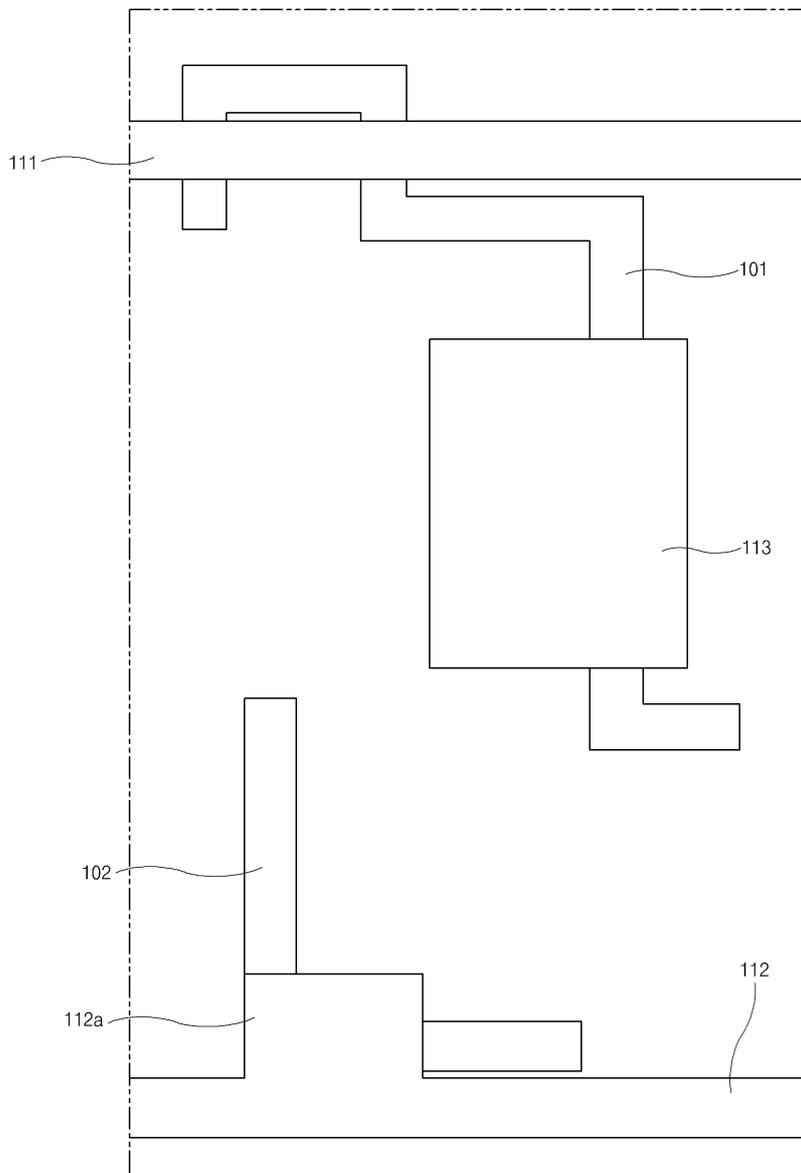




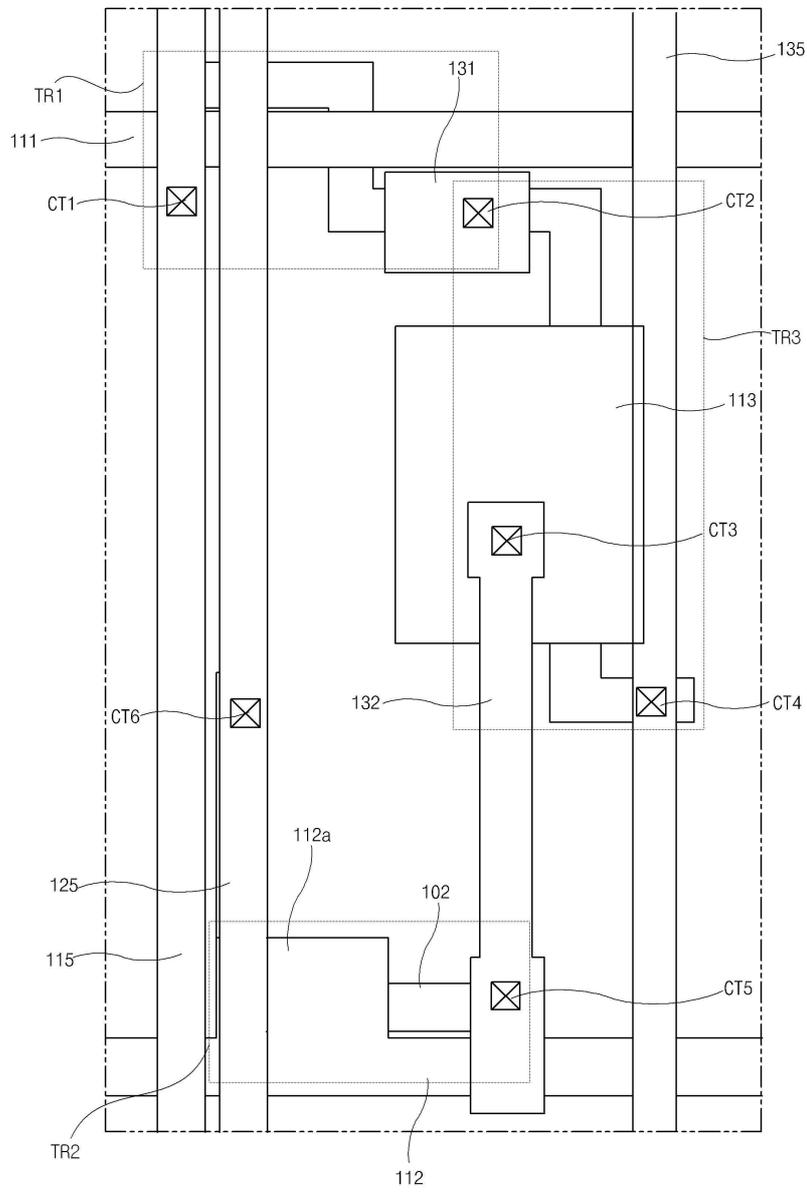
도면3a



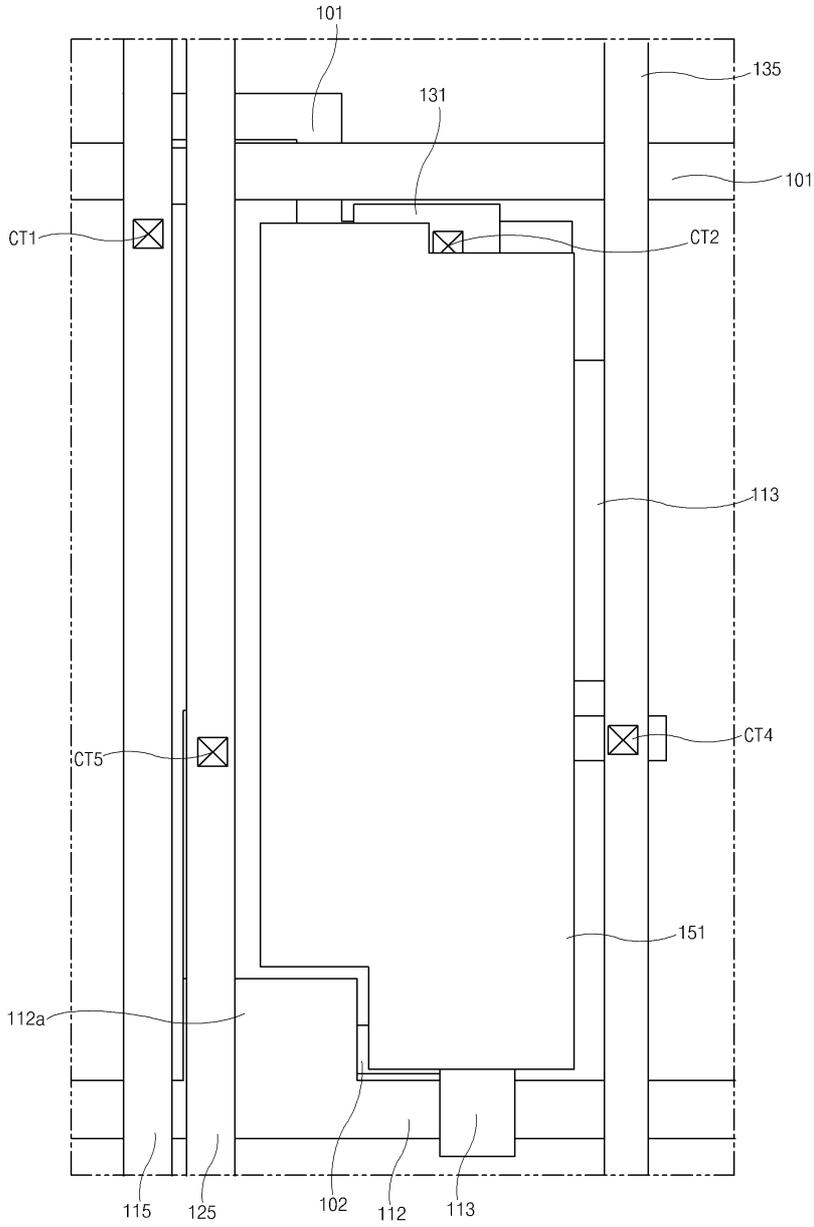
도면3b



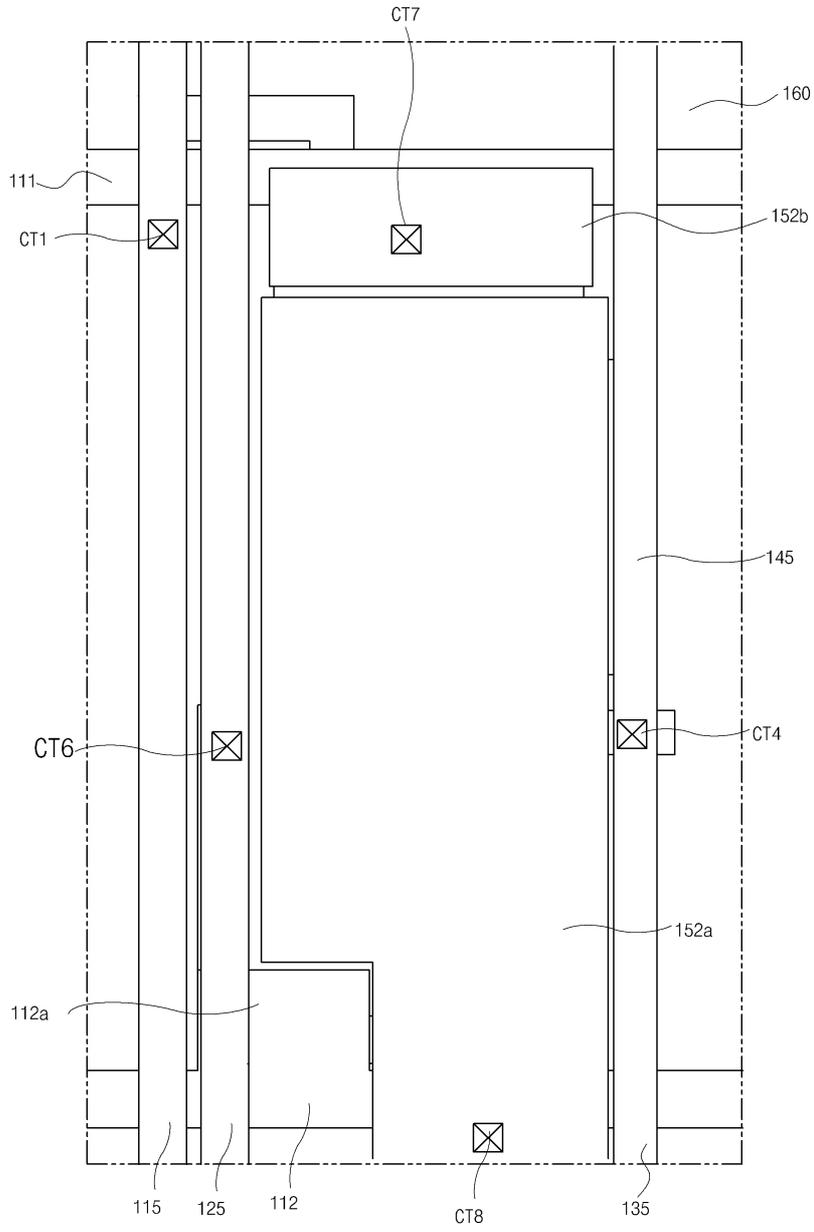
도면3c



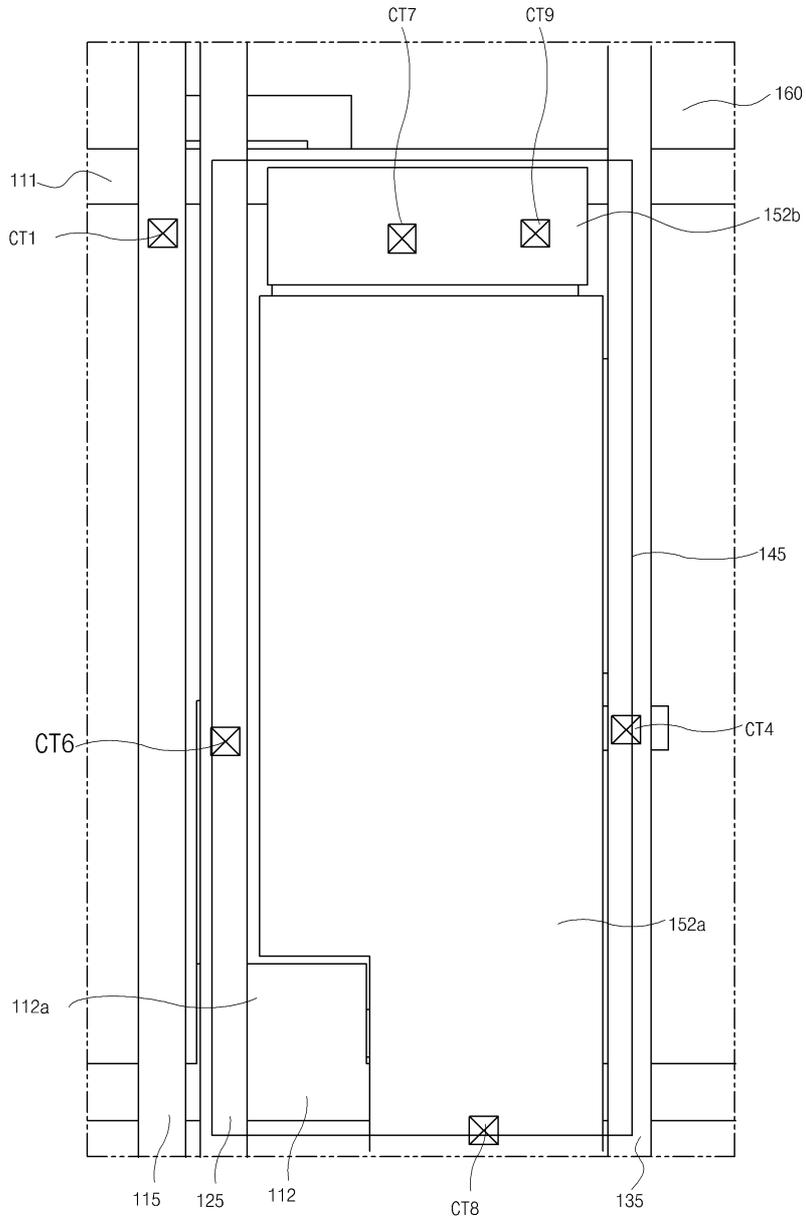
도면3d



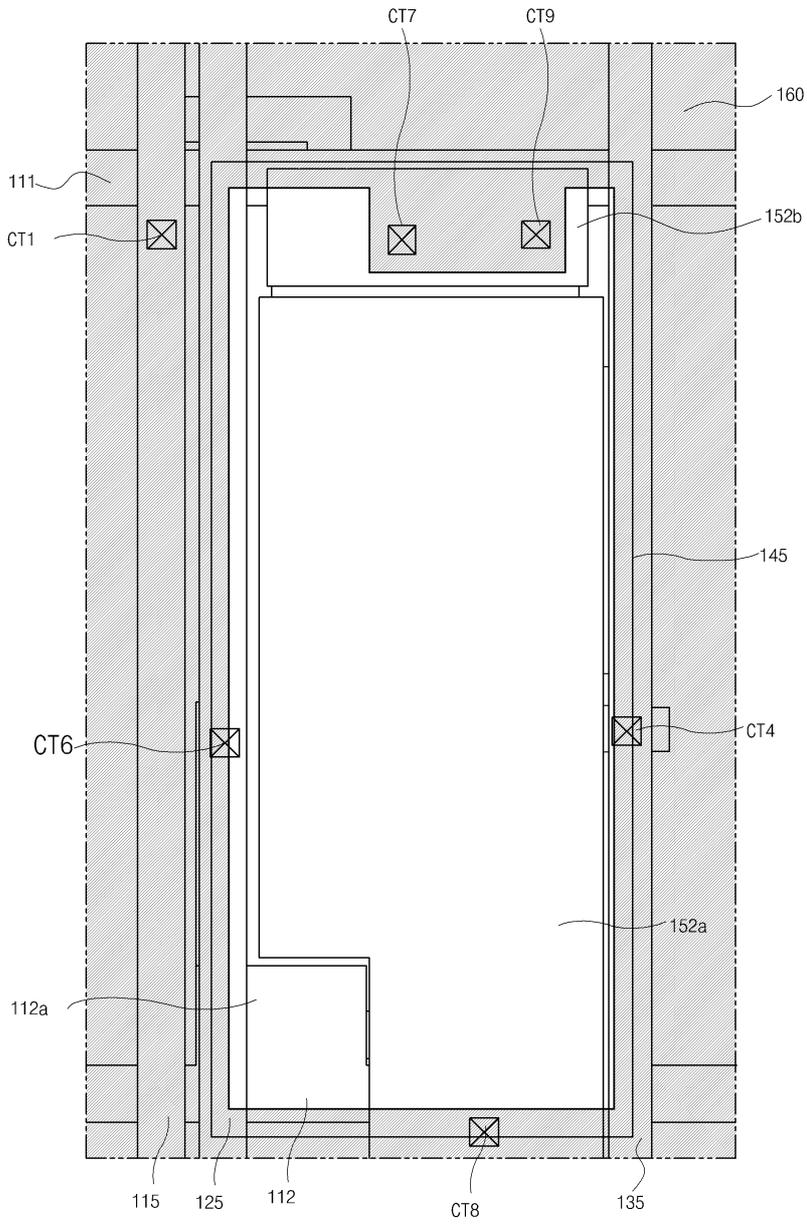
도면3e



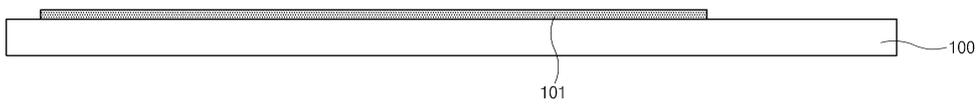
도면3f



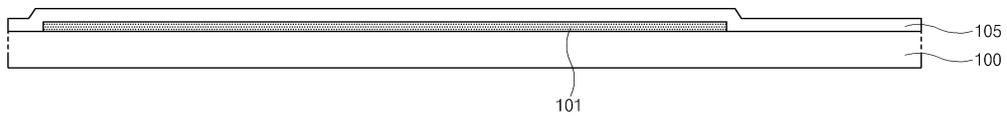
도면3g



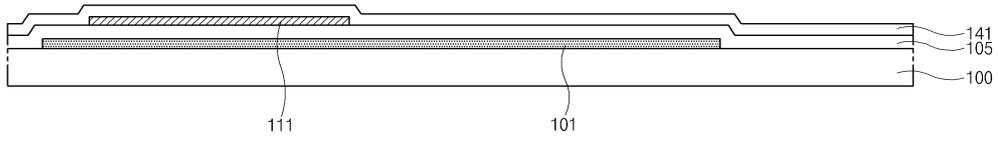
도면4a



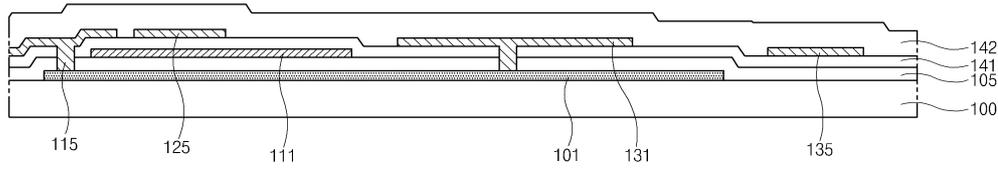
도면4b



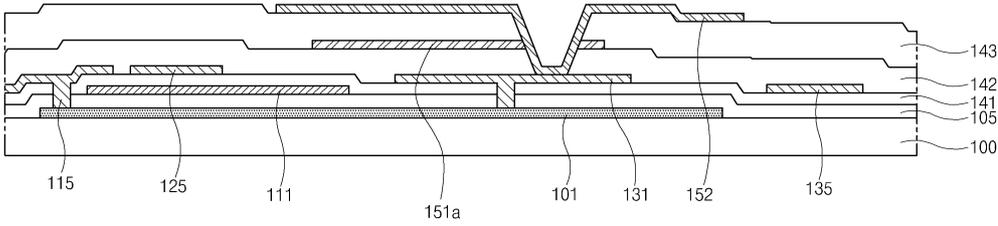
도면4c



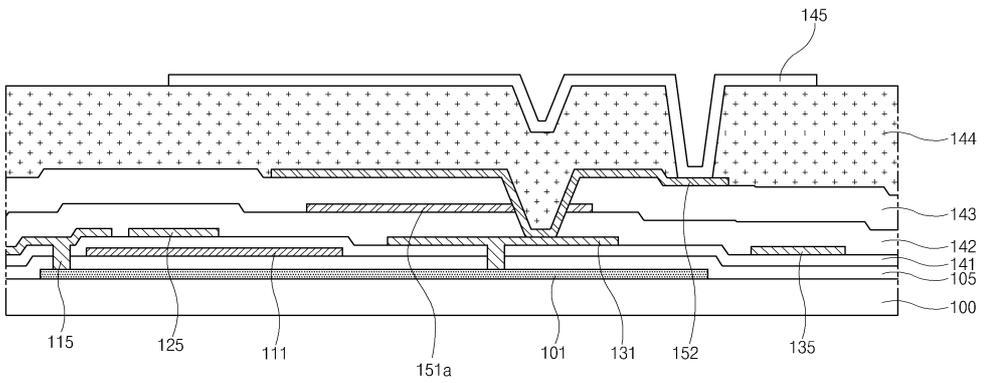
도면4d



도면4e



도면4f



专利名称(译)	标题 : OLED显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020150060454A</a>	公开(公告)日	2015-06-03
申请号	KR1020130144882	申请日	2013-11-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SUNG KI YOUNG 성기영		
发明人	성기영		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3258 H01L27/1255 H01L27/3248 H01L27/3265 H01L27/3276		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

该摘要目前正在准备中。更新的KPA将于2015年9月10日之后提供。\*本标题 ( 54 ) 和代表图显示为申请人提交的。

