



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0091954
(43) 공개일자 2014년07월23일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 51/56 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2013-0004035
(22) 출원일자 2013년01월14일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김광해
경기도 용인시 기흥구 삼성2로 95(농서동)
김동규
경기도 용인시 기흥구 삼성2로 95(농서동)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

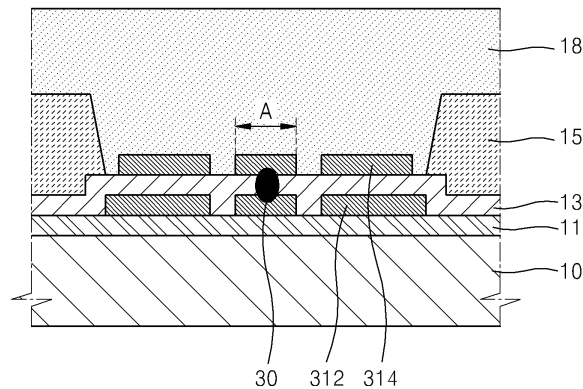
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 쇼트 불량 리페어 방법, 상기 리페어 방법에 의해 제조된 표시 장치 및 유기 발광 표시 장치

(57) 요약

본 발명의 일 측면에 의하면, 제 1 전극과, 상기 제 1 전극에 대향하는 제 2 전극으로 구성된 캐패시터를 포함하는 표시장치에서, 상기 제 1 전극 상의 이물질에 의한 쇼트 불량이 발생할 수 있는 불량 화소를 리페어 하는 방법에 관한 것으로서, 상기 제 1 전극에 제 1 레지스트층을 형성하는 단계; 상기 제 1 레지스트층을 상기 이물질을 포함하는 영역과 나머지 영역으로 분리하여 패터닝시키는 단계; 상기 제 1 레지스트층에 대해 상기 제 1 전극을 에칭하는 단계; 및 상기 제 1 레지스트층을 제거하는 단계;를 포함하는 표시 장치의 쇼트 불량 리페어 방법을 제공한다.

대표도 - 도7n



(72) 발명자

정관욱

경기도 용인시 기흥구 삼성2로 95(농서동)

김성준

경기도 용인시 기흥구 삼성2로 95(농서동)

김무진

경기도 용인시 기흥구 삼성2로 95(농서동)

특허청구의 범위

청구항 1

제 1 전극과, 상기 제 1 전극에 대향하는 제 2 전극으로 구성된 캐패시터를 포함하는 표시장치에서, 상기 제 1 전극 상의 이물질에 의한 쇼트 불량 발생될 수 있는 불량 화소를 리페어 하는 방법에 관한 것으로서,

상기 제 1 전극에 제 1 레지스트층을 형성하는 단계;

상기 제 1 레지스트층을 상기 이물질을 포함하는 영역과 나머지 영역으로 분리하여 패턴화시키는 단계;

상기 제 1 레지스트층에 대해 상기 제 1 전극을 에칭하는 단계; 및

상기 제 1 레지스트층을 제거하는 단계;를 포함하는 표시 장치의 쇼트 불량 리페어 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 전극 상에 제 1 절연층을 형성하는 단계; 및

상기 제 1 절연층 상에 제 2 전극을 형성하는 단계;를 더 포함하는 표시 장치의 쇼트 불량 리페어 방법

청구항 3

제 2 항에 있어서,

상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 제 2 절연층을 형성하는 단계;를 더 포함하는 표시 장치의 쇼트 불량 리페어 방법.

청구항 4

제 3 항에 있어서,

상기 제 2 전극 상에 제 3 절연층을 형성하는 단계;를 더 포함하는 표시 장치의 쇼트 불량 리페어 방법.

청구항 5

제 2 항에 있어서,

상기 제 2 전극에 제 2 레지스트층을 형성하는 단계;

상기 제 2 레지스트층을 상기 이물질이 형성된 영역과 나머지 영역으로 분리하여 패턴화시키는 단계;

상기 제 2 레지스트층에 대해 상기 제 2 전극을 에칭하는 단계; 및

상기 제 2 레지스트층을 제거하는 단계;를 더 포함하는 표시 장치의 쇼트 불량 리페어 방법.

청구항 6

제 5 항에 있어서,

상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 제 2 절연층을 형성하는 단계;를 더 포함하는 표시 장치의 쇼트 불량 리페어 방법.

청구항 7

제 6 항에 있어서,

상기 제 2 전극 상에 제 3 절연층을 형성하는 단계;를 더 포함하는 표시 장치의 쇼트 불량 리페어 방법.

청구항 8

제 1 전극과, 상기 제 1 전극에 대향하는 제 2 전극으로 구성된 캐패시터를 포함하는 표시장치에서, 상기 제 1

전극 상의 이물질에 의한 쇼트 불량 발생될 수 있는 불량 화소를 리페어한 표시 장치에 관한 것으로서,
 상기 쇼트 불량이 리페어 된 화소는,
 상기 이물질이 형성된 영역과 나머지 영역으로 분리된 제 1 전극;
 상기 제 1 전극 상에 형성된 제 1 절연층; 및
 상기 제 1 절연층 상에 형성된 제 2 전극;을 포함하는 표시 장치.

청구항 9

제 8 항에 있어서,
 상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 형성되는 제 2 절연층;을 더 포함하는 표시 장치.

청구항 10

제 9 항에 있어서,
 상기 제 2 전극 상에 형성되는 제 3 절연층을 더 포함하는 표시 장치.

청구항 11

제 8 항에 있어서,
 상기 제 2 전극은 상기 이물질이 형성된 영역과 나머지 영역으로 분리된 것을 특징으로 하는 표시 장치.

청구항 12

제 11 항에 있어서,
 상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 형성되는 제 2 절연층;을 더 포함하는 표시 장치.

청구항 13

제 12 항에 있어서,
 상기 제 2 전극 상에 형성되는 제 3 절연층을 더 포함하는 표시 장치.

청구항 14

제 1 전극과, 상기 제 1 전극에 대향하는 제 2 전극으로 구성된 캐패시터를 포함하는 유기 발광 표시장치에서,
 상기 제 1 전극 상의 이물질에 의한 쇼트 불량 발생될 수 있는 불량 화소를 리페어한 표시 장치에 관한 것으로서,
 상기 쇼트 불량이 리페어 된 화소는,
 상기 이물질이 형성된 영역과 나머지 영역으로 분리된 제 1 전극;
 상기 제 1 전극 상에 형성된 제 1 절연층; 및
 상기 제 1 절연층 상에 형성된 제 2 전극;을 포함하는 유기 발광 표시 장치.

청구항 15

제 14 항에 있어서,
 상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 형성되는 제 2 절연층;을 더 포함하는 유기 발광 표시 장치.

청구항 16

제 15 항에 있어서,
 상기 제 2 전극 상에 형성되는 제 3 절연층을 더 포함하는 유기 발광 표시 장치.

청구항 17

제 14 항에 있어서,

상기 제 2 전극은 상기 이물질이 형성된 영역과 나머지 영역으로 분리된 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 17 항에 있어서,

상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 형성되는 제 2 절연층;을 더 포함하는 유기 발광 표시 장치.

청구항 19

제 18 항에 있어서,

상기 제 2 전극 상에 형성되는 제 3 절연층을 더 포함하는 유기 발광 표시 장치.

청구항 20

제 14 항에 있어서,

상기 유기 발광 표시 장치는 적어도 하나의 박막트랜지스터를 포함하고,

상기 제 1 전극 및 제 2 전극은 각각 상기 박막트랜지스터의 활성층 및 게이트 전극과 동일층에 형성된 유기 발광 표시 장치.

명세서

기술 분야

[0001] 본 발명은 쇼트 불량 리페어 방법, 상기 리페어 방법에 의해 제조된 표시 장치 및 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 근래에 표시 장치는 휴대가 가능한 박형의 평판 표시 장치로 대체되는 추세이다. 평판 표시 장치 중에서도 유기 발광 표시 장치는 자발광형 표시 장치로서 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점을 가져서 차세대 디스플레이 장치로 주목받고 있다.

[0003] 유기 발광 표시 장치는 박막트랜지스터(Thin Film Transistor)와, 그 박막트랜지스터에 의해 구동되어 화상을 구현하는 유기EL소자 등을 구비하고 있다. 즉, 박막트랜지스터를 통해 유기EL소자에 전류가 공급되면, 유기EL소자 내에서 발광 동작이 일어나면서 화상이 구현되는 것이다.

[0004] 상기 박막트랜지스터와 연결된 캐패시터에서 쇼트 불량이 발생하면 이를 리페어할 필요가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 배선의 쇼트 불량을 리페어하는 방법 및 상기 리페어 방법에 의해 제조된 표시 장치, 및 유기 발광 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명의 일 측면에 의하면, 제 1 전극과, 상기 제 1 전극에 대향하는 제 2 전극으로 구성된 캐패시터를 포함하는 표시장치에서, 상기 제 1 전극 상의 이물질에 의한 쇼트 불량이 발생될 수 있는 불량 화소를 리페어 하는 방법에 관한 것으로서, 상기 제 1 전극에 제 1 레지스트층을 형성하는 단계; 상기 제 1 레지스트층을 상기 이물질을 포함하는 영역과 나머지 영역으로 분리하여 패터닝시키는 단계; 상기 제 1 레지스트층에 대해 상기 제 1

전극을 에칭하는 단계; 및 상기 제 1 레지스트층을 제거하는 단계;를 포함하는 표시 장치의 쇼트 불량 리페어 방법을 제공한다.

- [0007] 여기서, 상기 제 1 전극 상에 제 1 절연층을 형성하는 단계; 및 상기 제 1 절연층 상에 제 2 전극을 형성하는 단계;를 더 포함할 수 있다.
- [0008] 여기서, 상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 제 2 절연층을 형성하는 단계;를 더 포함할 수 있다.
- [0009] 여기서, 상기 제 2 전극 상에 제 3 절연층을 형성하는 단계;를 더 포함할 수 있다.
- [0010] 여기서, 상기 제 2 전극에 제 2 레지스트층을 형성하는 단계; 상기 제 2 레지스트층을 상기 이물질이 형성된 영역과 나머지 영역으로 분리하여 패턴화시키는 단계; 상기 제 2 레지스트층에 대해 상기 제 2 전극을 에칭하는 단계; 및 상기 제 2 레지스트층을 제거하는 단계;를 더 포함할 수 있다.
- [0011] 여기서, 상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 제 2 절연층을 형성하는 단계;를 더 포함할 수 있다.
- [0012] 여기서, 상기 제 2 전극 상에 제 3 절연층을 형성하는 단계;를 더 포함할 수 있다.
- [0013] 본 발명의 다른 측면에 의하면, 제 1 전극과, 상기 제 1 전극에 대향하는 제 2 전극으로 구성된 캐패시터를 포함하는 표시장치에서, 상기 제 1 전극 상의 이물질에 의한 쇼트 불량이 발생할 수 있는 불량 화소를 리페어한 표시 장치에 관한 것으로서, 상기 쇼트 불량이 리페어 된 화소는, 상기 이물질이 형성된 영역과 나머지 영역으로 분리된 제 1 전극; 상기 제 1 전극 상에 형성된 제 1 절연층; 및 상기 제 1 절연층 상에 형성된 제 2 전극;을 포함하는 표시 장치를 제공한다.
- [0014] 여기서, 상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 형성되는 제 2 절연층;을 더 포함할 수 있다.
- [0015] 여기서, 상기 제 2 전극 상에 형성되는 제 3 절연층을 더 포함할 수 있다.
- [0016] 여기서, 상기 제 2 전극은 상기 이물질이 형성된 영역과 나머지 영역으로 분리될 수 있다.
- [0017] 여기서, 상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 형성되는 제 2 절연층;을 더 포함할 수 있다.
- [0018] 여기서, 상기 제 2 전극 상에 형성되는 제 3 절연층을 더 포함할 수 있다.
- [0019] 본 발명의 다른 측면에 의하면, 제 1 전극과, 상기 제 1 전극에 대향하는 제 2 전극으로 구성된 캐패시터를 포함하는 유기 발광 표시장치에서, 상기 제 1 전극 상의 이물질에 의한 쇼트 불량이 발생할 수 있는 불량 화소를 리페어한 표시 장치에 관한 것으로서, 상기 쇼트 불량이 리페어 된 화소는, 상기 이물질이 형성된 영역과 나머지 영역으로 분리된 제 1 전극; 상기 제 1 전극 상에 형성된 제 1 절연층; 및 상기 제 1 절연층 상에 형성된 제 2 전극;을 포함하는 유기 발광 표시 장치를 제공한다.
- [0020] 여기서, 상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 형성되는 제 2 절연층;을 더 포함할 수 있다.
- [0021] 여기서, 상기 제 2 전극 상에 형성되는 제 3 절연층을 더 포함할 수 있다.
- [0022] 여기서, 상기 제 2 전극은 상기 이물질이 형성된 영역과 나머지 영역으로 분리될 수 있다.
- [0023] 여기서, 상기 제 1 절연층 상에서, 상기 제 2 전극을 제외한 영역에 형성되는 제 2 절연층;을 더 포함할 수 있다.
- [0024] 여기서, 상기 제 2 전극 상에 형성되는 제 3 절연층을 더 포함할 수 있다.
- [0025] 여기서, 상기 유기 발광 표시 장치는 적어도 하나의 박막트랜지스터를 포함하고, 상기 제 1 전극 및 제 2 전극은 각각 상기 박막트랜지스터의 활성층 및 게이트 전극과 동일층에 형성될 수 있다.

발명의 효과

- [0026] 본 발명의 일 측면에 따르면, 캐패시터에서 이물질에 의한 쇼트 불량을 예방할 수 있는 효과가 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 평면도이다.
- 도 2는 도 1의 II영역의 배선 구조를 개략적으로 도시한 도면이다.
- 도 3은 도 2의 하나의 화소에 대한 회로도이다.
- 도 4는 도 2의 화소의 일부 구성요소를 개략적으로 도시한 단면도이다.
- 도 5a 내지 도 5e는 도 4의 제조 공정을 개략적으로 도시한 단면도들이다.
- 도 6은 유기 발광 표시 장치의 캐패시터 영역에서 쇼트 불량 발생을 개략적으로 도시한 단면도이다.
- 도 7a 내지 도 7n은 캐패시터 영역에 이물질이 형성된 경우의 리페어 과정을 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0029] 제 1, 제 2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.
- [0030] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0031] 이하, 첨부된 도면을 참조로 본 발명의 바람직한 실시예들에 대하여 보다 상세히 설명한다.
- [0032] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 평면도이고, 도 2는 도 1의 II영역의 배선 구조를 개략적으로 도시한 도면이다.
- [0033] 도 1 및 도 2를 참조하면, 본 실시예에 관한 유기 발광 표시 장치(1)는 기판(10)상에 표시 영역(A1) 및 비표시 영역(A2)이 형성된다.
- [0034] 표시 영역(A1)은 영상을 표시하는 영역으로서 기판(10)의 중앙을 포함하는 영역에 형성되고, 비표시 영역(A2)은 표시 영역(A1)의 주변에 배치될 수 있다.
- [0035] 표시 영역(A1)에는 영상이 구현되는 복수의 화소(P)가 포함된다.
- [0036] 각 화소(P)는 제 1 방향(X)으로 연장된 스캔 라인(SL)과, 제 1 방향(X)에 직교하는 제 2 방향(Y)으로 연장된 데이터 라인(DL)으로 정의될 수 있다. 데이터 라인(DL)은 비표시 영역(A2)에 구비된 데이터 구동부(미도시)가 제공하는 데이터 신호를 각 화소(P)에 인가하고, 스캔 라인(SL)은 비표시 영역(A2)에 구비된 스캔 구동부(미도시)가 제공하는 스캔 신호를 각 화소(P)에 인가한다. 도 2에는 데이터 라인(DL)이 제 2 방향(Y)으로 연장되고, 스캔 라인(SL)이 제 1 방향(X)으로 연장된 것으로 도시되어 있으나, 본 발명은 이에 한정되지 않는다. 즉, 데이터 라인(DL)과 스캔 라인(SL)의 연장 방향은 서로 바뀔 수도 있다.
- [0037] 각 화소(P)는 제 2 방향(Y)으로 연장된 전원공급 라인(VL)에 연결된다. 전원공급 라인(VL)은 비표시 영역(A2)에 구비된 전원 구동부(미도시)가 제공하는 제 1 전원을 각 화소(P)에 인가한다. 각 화소(P)는 데이터 신호에 대응하여 전원으로부터 유기EL소자(OLED, 도 3 참조)를 경유하여 제 2 전원(ELVSS(t), 도 3참조)으로 공급되는 전류량을 제어한다. 그러면, 유기EL소자에서 소정 휘도의 빛이 생성된다.
- [0038] 도 3은 도 2의 하나의 화소에 대한 회로도이다.
- [0039] 도 3을 참조하면, 화소는 유기EL소자(OLED)와, 유기EL소자(OLED)로 전류를 공급하기 위한 화소회로(C)를 구비한

다.

- [0040] 유기EL소자(OLED)의 화소 전극은 화소 회로(C)에 접속되고, 대향 전극은 제 2전원(ELVSS(t))에 접속된다. 유기EL소자(OLED)는 화소 회로(C)로부터 공급되는 전류에 대응하여 소정 휘도의 빛을 생성한다.
- [0041] 액티브 매트릭스 방식의 유기 발광 표시 장치는, 적어도 2개의 트랜지스터 및 적어도 1개의 캐패시터를 구비하는데, 구체적으로 데이터 신호를 전달하기 위한 스위칭 트랜지스터, 데이터 신호에 따라 유기 발광 소자를 구동시키기 위한 구동 트랜지스터 및 데이터 전압을 유지시키기 위한 하나의 캐패시터를 포함한다.
- [0042] 제 1 트랜지스터(TR1)의 게이트 전극은 스캔 라인(SL, 도 2 참조)에 접속되고, 제 1 트랜지스터(TR1)의 제 1 전극은 데이터 라인(DL, 도 2 참조)에 접속되고, 제 1 트랜지스터(TR1)의 제 2 전극은 제 1 노드(N1)에 접속된다. 즉, 상기 제 1 트랜지스터(TR1)의 게이트 전극에는 스캔신호가 입력되고, 제 1 트랜지스터(TR1)의 제 1 전극으로는 데이터신호가 입력된다.
- [0043] 제 2 트랜지스터(TR2)의 게이트 전극은 제 1 노드(N1)에 접속되고, 제 2 트랜지스터(TR2)의 제 1 전극은 제 1 전원(ELVDD(t))에 접속되고, 제 2 트랜지스터(TR2)의 제 2 전극은 유기EL소자(OLED)의 화소 전극에 접속된다. 여기서, 상기 제 2 트랜지스터(TR2)는 구동 트랜지스터로서의 역할을 수행한다.
- [0044] 제 1 노드(N1) 및 제 2 트랜지스터(TR2)의 제 1 전극 사이에 제 1 캐패시터(C1)가 접속된다.
- [0045] 도 4는 도 2의 화소의 일부 구성요소를 개략적으로 도시한 단면도이다. 도 4를 참조하면, 기판(10) 상에 구동용 박막트랜지스터인 제 2 트랜지스터(TR2), 캐패시터(Cst) 및 유기EL소자(OELD)가 구비되어 있다.
- [0046] 기판(10)은 SiO₂를 주성분으로 하는 투명한 유리 재질로 이루어질 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재료 형성할 수도 있다.
- [0047] 기판(10) 상에 버퍼층(11)이 더 형성될 수 있다. 버퍼층(11)은 기판(10)의 상부에 평탄한 면을 제공하고 수분 및 이물이 침투하는 것을 방지한다.
- [0048] 버퍼층(11)상에 소스영역(212b), 드레인영역(212a) 및 채널영역(212c)을 포함하는 제 2 트랜지스터(TR2)의 활성층(212)이 형성된다. 활성층(212)은 다결정 실리콘을 포함할 수 있고, 소스영역(212b)과 드레인영역(212a)에는 N⁺ 또는 P⁺ 타입의 이온 불순물이 도핑될 수 있다.
- [0049] 상기 활성층(212)은 다결정 실리콘으로 형성될 수 있는 데, 반드시 이에 한정되는 것은 아니며, 산화물 반도체로 형성될 수 있다. 예를 들어, 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn) 카드뮴(Cd), 게르마늄(Ge), 또는 하프늄(Hf)과 같은 12, 13, 14족 금속 원소 및 이들의 조합에서 선택된 물질의 산화물을 포함할 수 있다. 예를 들면 반도체 활성층(212)은 G-I-Z-O[(In₂O₃)_a(Ga₂O₃)_b(ZnO)_c](a, b, c는 각각 a≥0, b≥0, c>0의 조건을 만족시키는 실수)을 포함할 수 있다.
- [0050] 활성층(212) 상에는 실리콘 산화물(SiO₂) 및/또는 실리콘 질화물(SiN_x)을 포함하는 게이트 절연막으로 기능하는 제 1 절연층(13)이 형성되고, 제 1 절연층(13)상에 활성층(212)의 채널영역(212c)에 대응되는 위치에 게이트 전극(214, 215)이 구비된다. 게이트 전극의 제 1층(214)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상의 투명도전성 산화물을 포함하고, 게이트 전극의 제 2층(215)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성된 저저항 금속을 포함할 수 있다. 이때, 전술한 스캔 라인(SL, 도 2 참조)은 게이트 전극(214, 215)과 동일층에 동일물질로 형성될 수 있다.
- [0051] 게이트 전극 제 2층(215) 상에는 층간 절연막인 제 2 절연층(15)을 사이에 두고 활성층(212)의 소스영역(212b) 및 드레인영역(212a)에 각각 접속하는 소스 전극(216b) 및 드레인 전극(216a)이 형성된다. 제 2 절연층(15)은 실리콘 산화물(SiO₂) 및/또는 실리콘 질화물(SiN_x)을 포함할 수 있다. 소스 전극(216b) 및 드레인 전극(216a)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성된 저저항 금속을 포함할 수 있다. 이때, 데이터 라인(DL, 도 2 참조)은 소스 전극(216b) 및 드레인 전극(216a)과 동일층에 형성될 수 있다.

- [0052] 제 2 절연층(15) 상에는 소스 전극(216b) 및 드레인 전극(216a)을 덮으며, 화소 전극(114, 115)의 상부를 개구시켜 발광영역을 정의하는 화소 정의막(pixel define layer)인 제3절연층(18)이 구비된다. 제3절연층(18)은 유기 절연막을 포함할 수 있다.
- [0053] 소스 전극(216b) 및 드레인 전극(216a) 중 하나는 게이트 전극(214, 215)과 동일층에 형성된 화소 전극(114, 115)에 연결된다. 화소 전극의 제 1층(114)은 전술한 게이트 전극의 제 1층(214)과 동일한 투명도전성 산화물을 포함할 수 있고, 화소 전극 제 1층(115)의 상부 가장자리에 잔존하는 화소 전극의 제 2층(115)은 전술한 게이트 전극의 제 2층(215)과 동일한 저저항 금속을 포함할 수 있다. 도 4에는 화소 전극 제 1층(114)의 가장자리에 화소 전극 제 2층(115)이 일부 형성되어, 제 2 절연층(15)이 화소 전극 제 2층(115)의 일부를 커버하는 형상을 도시하고 있으나, 본 발명은 이에 한정되는 것은 아니다. 즉, 소스 전극(216b) 및 드레인 전극(216a) 중 하나와 접속하는 부분을 제외하고는 화소 전극의 제 2층(215)은 화소 전극 제 1층(214) 위에 잔존하지 않을 수 있다.
- [0054] 화소 전극의 제 1층(114) 상에는 유기 발광층(119)을 포함하는 중간층(19)이 형성된다. 중간층(19) 상에는 공통 전극으로 대향 전극(20)이 형성된다.
- [0055] 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소 전극(114, 115)은 애노드로 사용되고, 대향 전극(20)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다. 한편, 도 4에 도시하지 않았으나, 대향 전극(20)의 상부에 밀봉 부재(미도시)가 배치될 수 있다.
- [0056] 커패시터(Cst) 영역에는, 활성층(212)과 동일층에 형성된 커패시터(Cst)의 제 1 전극(312)과, 화소 전극의 제 1층(114) 및 게이트 전극의 제 1층(214)과 동일층에 형성된 커패시터(Cst)의 제 2 전극(314)이 구비된다.
- [0057] 커패시터(Cst)의 제 1 전극(312)은 활성층(212)의 소스영역(212b) 및 드레인영역(212a)과 같이 N+ 또는 P+ 타입의 이온 불순물이 도핑될 수 있고, 커패시터(Cst)의 제 2 전극(314)은 투명도전성 산화물을 포함할 수 있다.
- [0058] 커패시터(Cst)의 제 1 전극(312)과 활성층(212)이 동일층에 형성되고, 커패시터(Cst)의 제 2 전극(314)과 게이트 전극(214, 215) 및 화소 전극(114, 115)이 동일층에 형성됨으로써, 마스크 공정을 줄일 수 있다. 또한, 소스 전극(216b)과 드레인 전극(216a)의 패터닝 시, 화소 전극의 제 2층(115)과, 도면에 도시되지 않은 커패시터(Cst)의 제 2 전극(314) 상의 저저항 금속층을 함께 식각함으로써 마스크 공정을 줄일 수 있다.
- [0059] 상술한 실시예에서는 유기 발광층(119)이 개구 내부에 형성되어 각 픽셀별로 별도의 발광 물질이 형성된 경우를 예로 설명하였으나, 본 발명은 이에 한정되지 않는다. 유기 발광층(119)은 픽셀의 위치에 관계 없이 제 3 절연층(18) 전체에 공통으로 형성될 수 있다. 이때, 유기 발광층은 예를 들어, 적색, 녹색 및 청색의 빛을 방출하는 발광 물질을 포함하는 층이 수직으로 적층되거나 혼합되어 형성될 수 있다. 물론, 백색광을 방출할 수 있다면 다른 색의 조합이 가능함은 물론이다. 또한, 상기 방출된 백색광을 소정의 컬러로 변환하는 색변환층이나, 컬러 필터를 더 구비할 수 있다.
- [0060] 도 5a 내지 도 5e는 도 4의 제조 공정을 개략적으로 도시한 단면도들이다.
- [0061] 도 5a를 참조하면, 기판(10) 상에 버퍼층(11)을 형성하고, 버퍼층(11) 상에 반도체층(미도시)을 형성하여 이를 패터닝하여 활성층(212)과 커패시터(Cst)의 제 1 전극(312)을 형성한다. 반도체층(미도시)을 패터닝하는 공정은 일반적인 포토리소그래피 공정을 이용한다. 즉, 반도체층(미도시) 상에 포토레지스트(미도시)를 형성하고, 포토마스크(미도시)를 이용하여 일련의 노광, 현상, 식각, 스트립 공정을 이용하여 활성층(212)과 커패시터(Cst)의 제 1 전극(312)을 형성한다.
- [0062] 도 5b를 참조하면, 도 5a의 결과물 상에 제 1 절연층(13), 투명도전성 산화물을 포함하는 층(미도시) 및 저저항 금속을 포함하는 층(미도시)을 형성하고, 투명도전성 산화물을 포함하는 층(미도시) 및 저저항 금속을 포함하는 층(미도시)을 포토리소그래피 공정으로 패터닝하여 화소 전극(114, 115), 게이트 전극(214, 215) 및 커패시터의 제 2 전극(313)을 형성한다. 그리고 1차 도핑(D1)으로 소스 영역(212b)과 드레인 영역(212a)을 이온 불순물로 도핑한다. 전술한 스캔 라인(SL)은 게이트 전극(214, 215)과 동일한 포토마스크 공정에서 형성될 수 있다.
- [0063] 도 5c를 참조하면, 도 5b의 결과물 상에 제 2 절연층(15)을 형성하고, 포토리소그래피 공정으로 이를 패터닝하여 화소 전극(114, 115)을 노출시키는 개구(C1), 화소 전극(114, 115)과 소스 전극(216b) 또는 드레인 전극(216a)과 접속시키는 개구(C2), 소스 영역(212b) 및 드레인 영역(212a)을 노출시키는 개구(C3), 및 커패시터의 제 2 전극(313)을 노출시키는 개구(C4)를 형성한다.
- [0064] 도 5d를 참조하면, 도 5c의 결과물 상에 저저항 금속(미도시)을 형성하고 포토리소그래피 공정으로 이를 패터닝하여 소스 전극(216b) 및 드레인 전극(216a)을 형성한다. 이때, 소스 전극(216b) 및 드레인 전극(216a)을 식각

하는 공정에서, 화소 전극의 제 2 층(115)과 커패시터의 제 2 전극의 제 2 층(315)을 함께 식각한 후, 2차 도핑(D2)한다. 2차 도핑(D2)에 의해 커패시터의 제 1 전극(312)이 이온 불순물에 의해 도핑되어 커패시터의 정전용량이 증가하게 된다. 전술한 데이터 라인(DL)은 소스 전극(216b) 및 드레인 전극(216a)과 동일한 포토마스크 공정에서 형성될 수 있다.

- [0065] 도 5e를 참조하면, 도 5의 결과물 상에 제 3 절연층(18)을 형성하고, 이를 패터닝하여 화소 전극의 제 1 층(114)의 상부를 노출시키는 개구(C5)를 형성한다.
- [0066] 이로써, 유기 발광 표시 장치의 백플레인(backplane)을 만드는 공정을 완료한다. 백플레인을 형성하는 공정은 전술한 바와 같이 일반적인 포토리소그래피 공정에서 진행된다. 포토리소그래피 공정에 의한 백플레인의 완성 후, 유기 발광층을 포함하는 중간층 및 대향전극을 형성하는 후속 공정이 진행된다.
- [0067] 도 6은 유기 발광 표시 장치의 캐패시터(Cst) 영역에서 쇼트 불량이 발생한 경우를 도시한 단면도이다.
- [0068] 도 6을 참조하면, 제 1 전극(312)과 제 2 전극(314) 사이에 이물질(30)이 형성되어 있다. 이물질(30)에 의해 제 1 전극(312)과 제 2 전극(314)이 쇼트가 일어날 수 있다. 이러한 경우 캐패시터(Cst)가 제 기능을 수행하지 못하게 됨으로써, 결국 화소 영역의 암점 불량이 발생할 수 있다.
- [0069] 한편, 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 과정에서, 전술한 바와 같이 이물질(30) 등에 의해 제 1 전극(312)과 제 2 전극(314) 사이에 쇼트 불량이 발생할 수 있으므로, 제 1 전극(312) 상에 이물질(30) 등이 형성되는 경우 리페어 공정을 수행한다.
- [0070] 이하 도 7a 내지 도 7n을 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 리페어 공정을 상세히 설명한다.
- [0071] 도 7a 내지 도 7n은 캐패시터 영역에 이물질이 형성된 경우의 리페어 과정을 개략적으로 도시한 단면도이다.
- [0072] 도 7a를 참조하면, 기판(10) 상의 버퍼층(11)이 형성되고, 버퍼층(11) 상에 제 1 전극(312)이 형성되어 있다. 또한 제 1 전극(312) 상에 쇼트 불량을 발생시킬 수 있는 이물질(30)이 형성되어 있다.
- [0073] 도 7b를 참조하면, 제 1 전극(312) 상에 제 1 레지스트층(410)을 형성한다. 제 1 레지스트층(410)으로는 드라이 필름 레지스트(Dry film resist, DFR)나, 액상 레지스트를 사용할 수 있으며, 이 외에 통상적인 패널 공정에 사용되는 레지스트 소재라면 어느 하나에 한정되는 것은 아니다.
- [0074] 다음으로, 도 7c에 도시된 바와 같이, 제 1 레지스트층(410)을 선택적으로 노광 및 현상하는 것에 의하여 제 1 레지스트층(410)을 패터닝시킨다. 바람직하게는, 제 1 레지스트층(410)을 이물질(30)을 포함하는 영역(A)과 나머지 영역으로 분리하여 패터닝시킨다.
- [0075] 다음으로, 도 7d에 도시된 바와 같이, 제 1 레지스트층(410)에 대해 제 1 전극(312)을 에칭(etching)한다. 에칭(etching)은 분사(spray) 방식, 디핑(dipping) 방식 등을 사용할 수 있으며, 이 외에 통상적인 패널 공정에 사용되는 에칭 방법이라면 어느 하나에 한정되는 것은 아니다.
- [0076] 다음으로, 도 7e에 도시된 바와 같이, 제 1 레지스트층(410)을 제거한다.
- [0077] 다음으로, 도 7f에 도시된 바와 같이, 제 1 전극(312) 상에 제 1 절연층(13)을 형성한다.
- [0078] 다음으로, 도 7g에 도시된 바와 같이, 제 1 절연층(13) 상에 제 2 전극(313)을 형성한다. 결국 제 1 전극(312)이 이물질(30)이 형성된 영역(A)과 나머지 영역으로 분리됨에 따라, 제 1 전극(312) 중 이물질(30)이 형성된 영역의 나머지 영역과 제 2 전극(313)에 의해 캐패시터(Cst)가 동작할 수 있다. 또한 제 1 전극(312) 중 이물질(30)이 형성된 영역(A)과 제 2 전극(313)이 이물질(30)에 의해 쇼트될 수 있으나, 제 1 전극(312) 중 이물질(30)이 형성된 영역(A)은 이미 제 1 전극(312)의 이물질(30)이 형성된 영역의 나머지 영역과 분리되어 있으므로, 제 1 전극(312) 중 이물질(30)이 형성된 영역(A)과 제 2 전극(313)이 이물질(30)에 의해 쇼트되더라도 캐패시터(Cst)는 정상적으로 동작할 수 있다.
- [0079] 또한 이물질(30)이 형성된 영역(A)을 보다 더 완벽하게 격리시키기 위해서는, 이하 설명하는바와 같이, 제 2 전극(313) 또한 이물질(30)이 형성된 영역(A)과 나머지 영역으로 분리시키는 것이 바람직하다.
- [0080] 도 7h를 참조하면, 제 2 전극(313) 상에 제 2 레지스트층(420)을 형성한다. 제 2 레지스트층(420)은 제 1 레지스트층(410)과 동일한 방법에 의해 동일한 재료로 형성될 수 있다.
- [0081] 다음으로, 도 7i에 도시된 바와 같이, 제 2 레지스트층(420)을 선택적으로 노광 및 현상하는 것에 의하여 제 1

레지스트층(420)을 패턴화시킨다. 바람직하게는, 제 1 레지스트층(420)을 이물질(30)을 포함하는 영역(A)과 나머지 영역으로 분리하여 패턴화시킨다.

[0082] 다음으로, 도 7j에 도시된 바와 같이, 제 2 레지스트층(420)에 대해 제 2 전극(313)을 에칭(etching)한다. 이때, 제 1 레지스트층(410)을 에칭하는 방법과 동일한 방법을 사용할 수 있다.

[0083] 다음으로, 도 7k에 도시된 바와 같이, 제 2 레지스트층(420)을 제거한다. 이로써, 제 1 전극(312)와 마찬가지로, 제 2 전극(313) 또한 이물질(30)이 형성된 영역(A)과 나머지 영역으로 분리될 수 있다. 따라서, 캐패시터(Cst) 구조에서 이물질(30)이 형성된 영역은 완벽하게 분리될 수 있으며, 캐패시터(Cst)는 제 1 전극(312) 및 제 2 전극(313)의 이물질(30)이 형성된 영역(A)의 나머지 영역에 의해 정상적으로 동작할 수 있다.

[0084] 다음으로, 도 7l에 도시된 바와 같이, 제 1 절연층(13) 상에서, 제 2 전극(313)을 제외한 영역에 제 2 절연층(15)을 형성한다. 즉, 제 2 절연층(15)에 의해 제 2 전극(313)을 노출시키는 개구(C4)가 형성될 수 있다.

[0085] 다음으로, 도 7m에 도시된 바와 같이, 커패시터의 제 2 전극의 제 2 층(315)을 식각한 후, 도핑(D2)한다. 도핑(D2)에 의해 커패시터의 제 1 전극(312)이 이온 불순물에 의해 도핑되어 커패시터의 정전용량이 증가할 수 있다.

[0086] 다음으로, 도 7n에 도시된 바와 같이, 제 2 전극(314) 상에 제 3 절연층(18)을 형성한다.

[0087] 도 7n을 참조하면, 상기한 쇼트 불량이 리페어된 캐패시터(Cst)는 이물질(30)이 형성된 영역(A)과 나머지 영역으로 분리된 제 1 전극(312) 및 이물질(30)이 형성된 영역(A)과 나머지 영역으로 분리된 제 2 전극(314)를 포함할 수 있다. 결국 캐패시터(Cst) 구조에서 이물질(30)이 형성된 영역은 완벽하게 분리되며, 캐패시터(Cst)는 제 1 전극(312) 및 제 2 전극(313)의 이물질(30)이 형성된 영역(A)의 나머지 영역에 의해 정상적으로 동작할 수 있다.

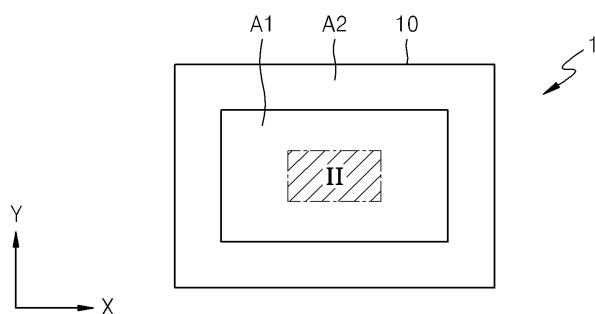
[0088] 상기 도면들에 도시된 구성요소들은 설명의 편의상 확대 또는 축소되어 표시될 수 있으므로, 도면에 도시된 구성요소들의 크기나 형상에 본 발명이 구속되는 것은 아니며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

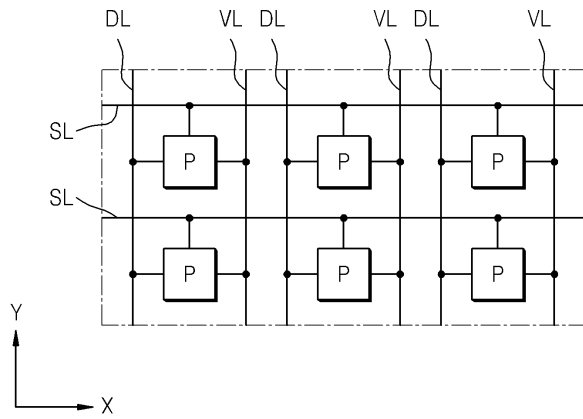
[0089] 10: 기판	11: 버퍼층
312: 제 1 전극	30: 이물질
13: 제 1 절연층	313, 314, 315: 제 2 전극
15: 제 2 절연층	18: 제 3 절연층
410: 제 1 레지스트층	420: 제 2 레지스트층

도면

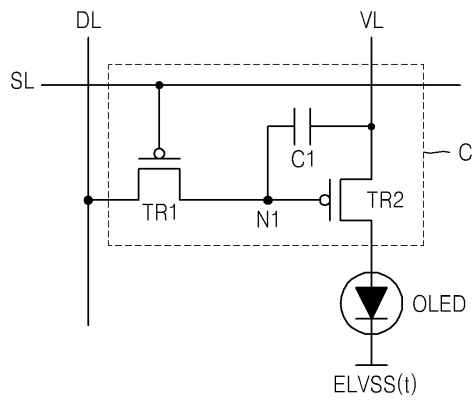
도면1



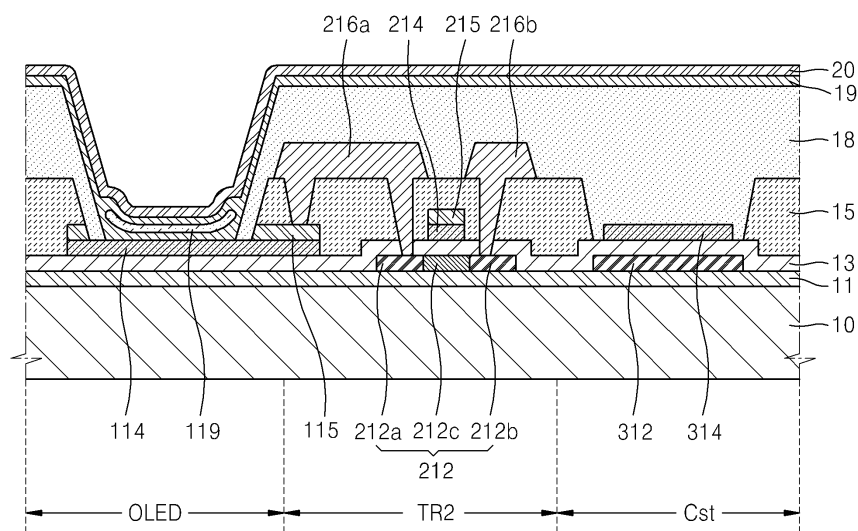
도면2



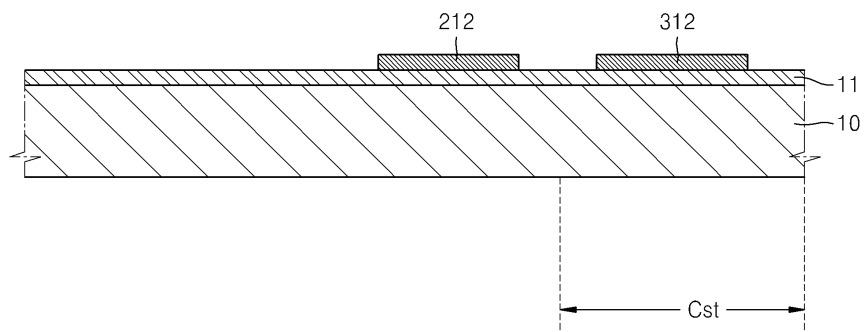
도면3



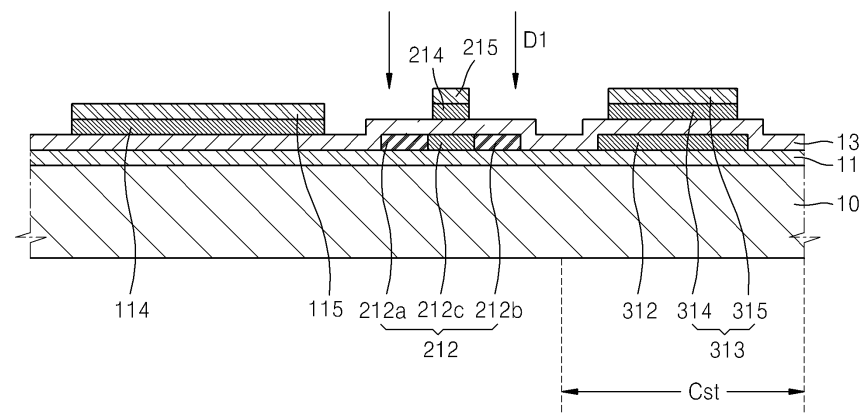
도면4



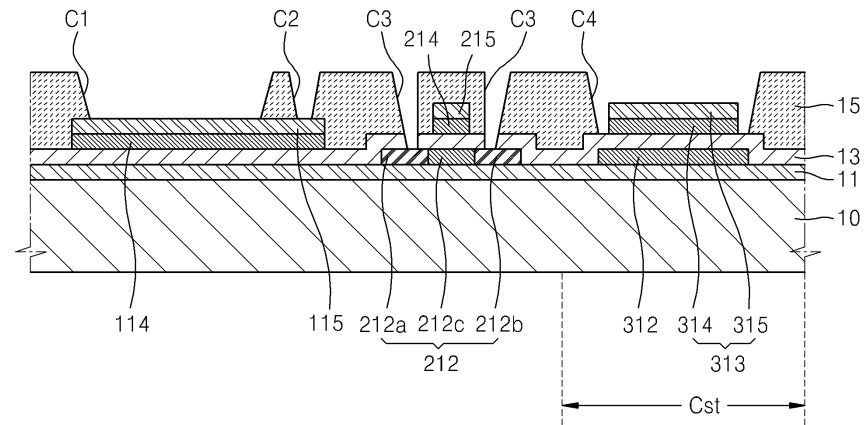
도면5a



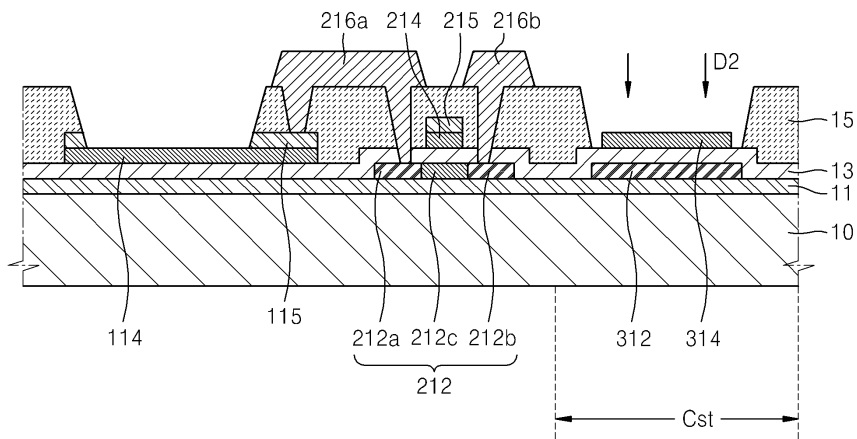
도면5b



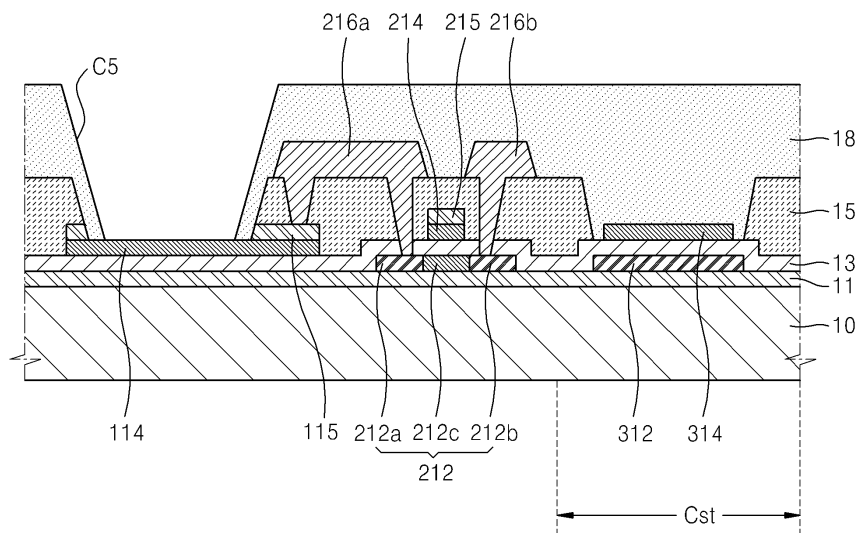
도면5c



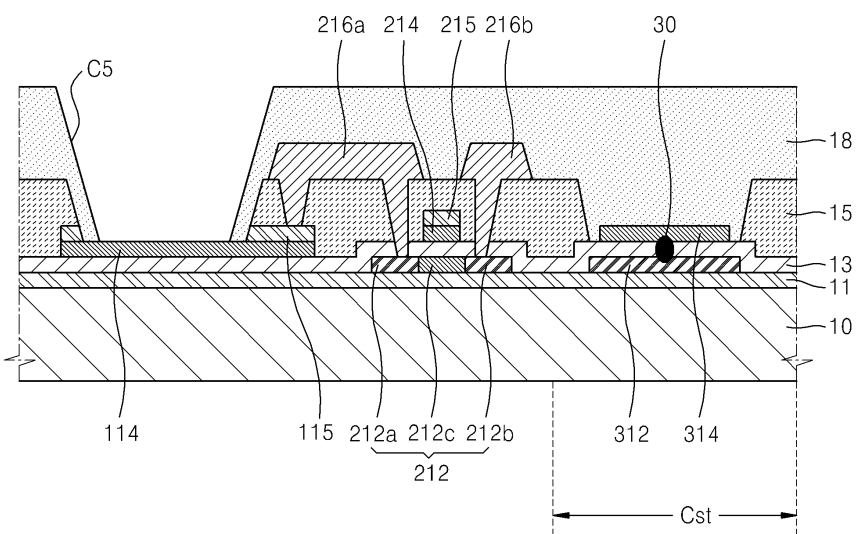
도면5d



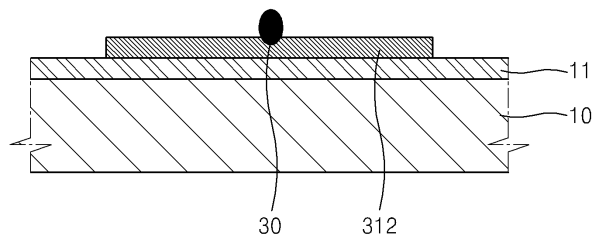
도면5e



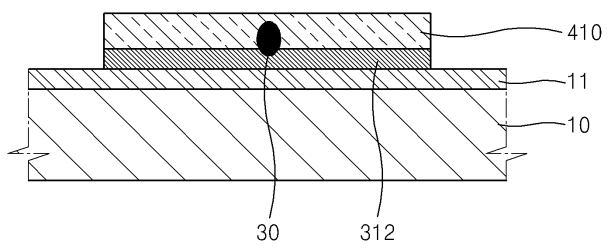
도면6



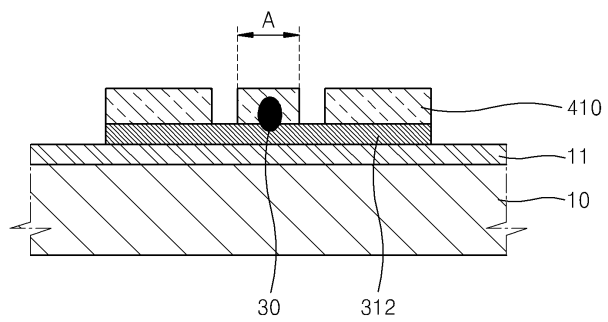
도면7a



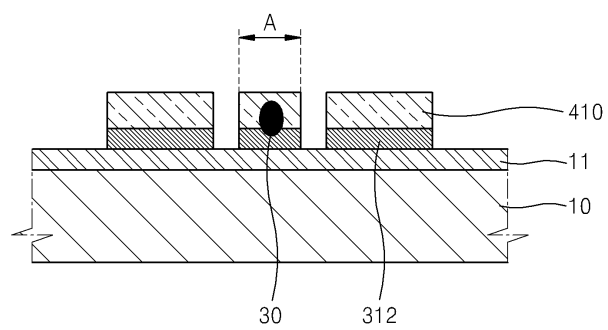
도면7b



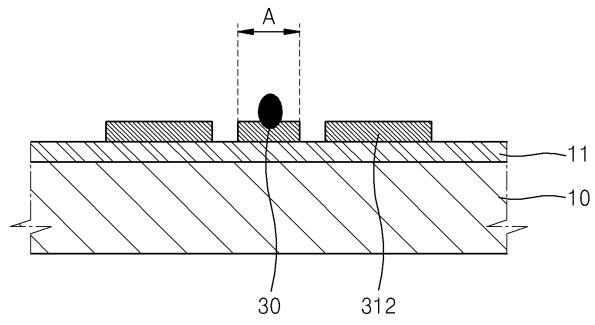
도면7c



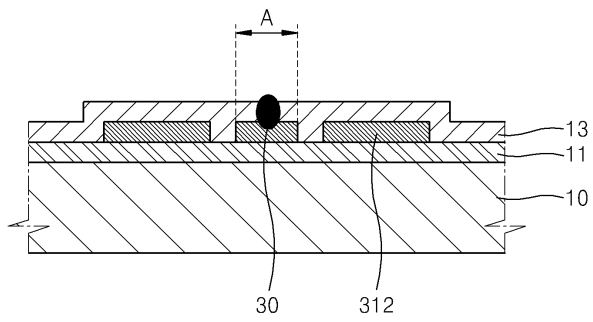
도면7d



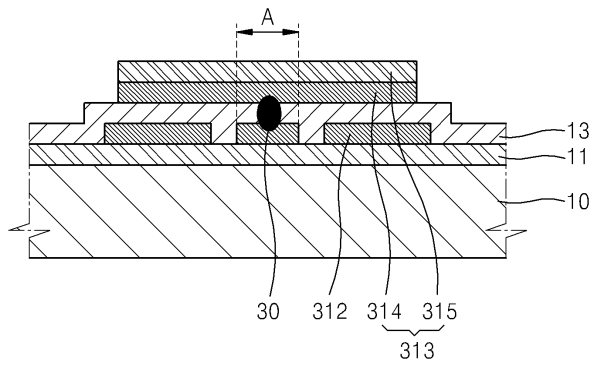
도면7e



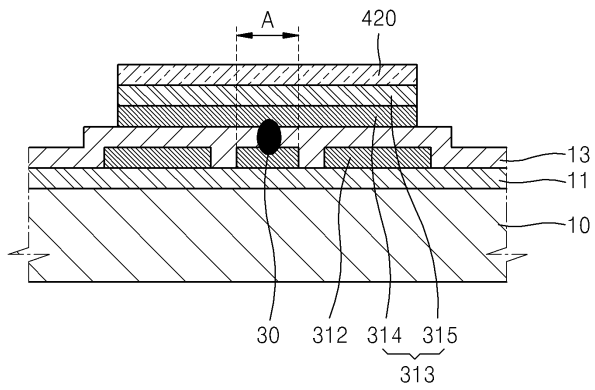
도면7f



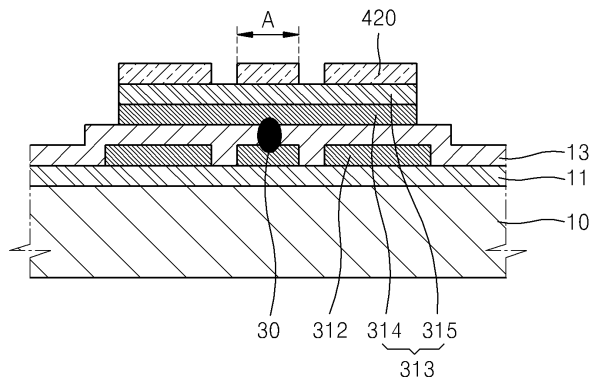
도면7g



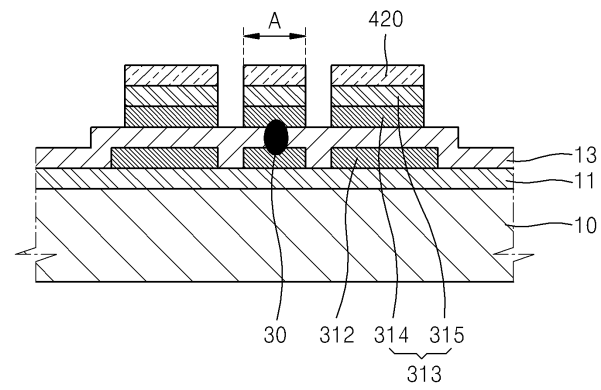
도면7h



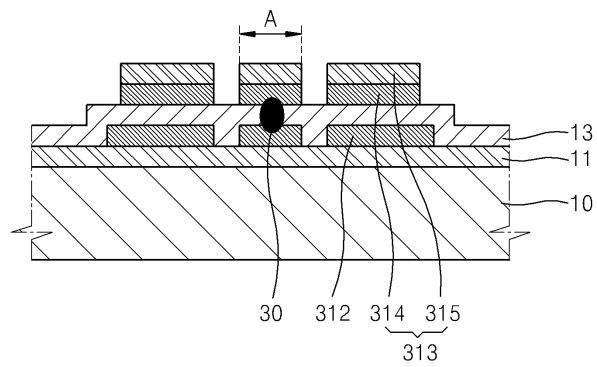
도면7i



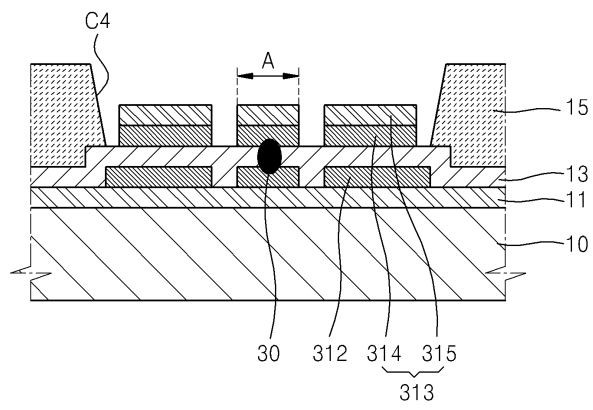
도면7j



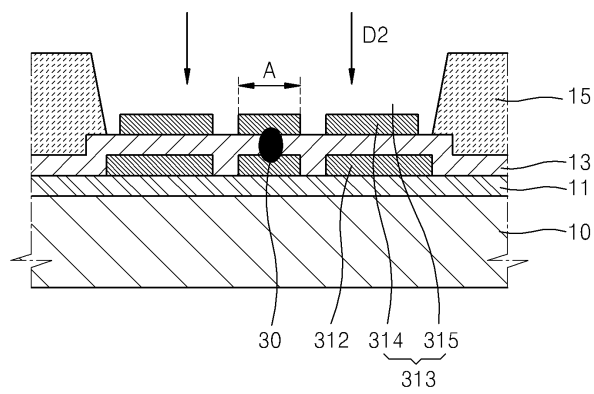
도면7k



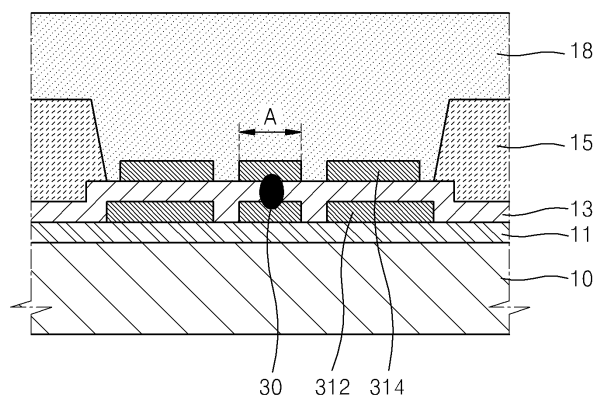
도면71



도면 7m



도면 7n



专利名称(译) 一种短缺陷修复方法，由修复方法制造的显示器，以及有机发光显示器

公开(公告)号 [KR1020140091954A](#) 公开(公告)日 2014-07-23

申请号 KR1020130004035 申请日 2013-01-14

[标]申请(专利权)人(译) 三星显示有限公司

申请(专利权)人(译) 三星显示器有限公司

当前申请(专利权)人(译) 三星显示器有限公司

[标]发明人
JIN GUANG HAI
김광해
KIM DONG GYU
김동규
JUNG KWAN WOOK
정관욱
KIM SEONG JUN
김성준
KIM MOO JIN
김무진

发明人
김광해
김동규
정관욱
김성준
김무진

IPC分类号 H01L51/52 H01L51/56 H05B33/10

CPC分类号 H01L27/3241 H01L27/3258 H01L27/3248 H01L27/3262 H01L27/3276 H01L51/56 H05B33/10
H01L2251/566

其他公开文献 KR101981252B1

外部链接 [Espacenet](#)

摘要(译)

本发明的一个方面涉及一种用于修复缺陷像素的方法，该缺陷像素在包括具有第一电极和面对第一电极的第二电极的电容器的显示装置中引起由于第一电极上的异物引起的短路检测。修复显示装置的短路缺陷的方法包括以下步骤：在第一电极上形成第一抗蚀剂层；将第一抗蚀剂层分离成包括异物和剩余区域的区域并将其图案化；蚀刻第一抗蚀剂层上的第一电极；并消除第一抗蚀剂层。

