



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0045146
(43) 공개일자 2014년04월16일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2012-0111331

(22) 출원일자 2012년10월08일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김현욱

서울 강서구 등촌로35가길 26, (등촌동)

(74) 대리인

특허법인로얄

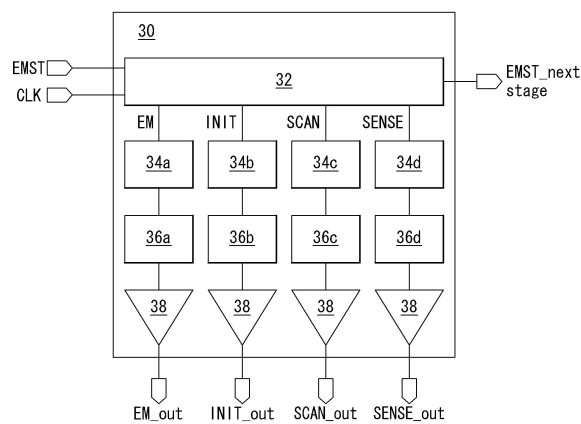
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 유기발광 표시장치와 그 게이트 신호 생성방법

(57) 요약

본 발명은 유기발광 표시장치와 그 게이트 신호 생성방법에 관한 것으로, 그 게이트 신호 생성방법은 게이트 신호들 중에서 가장 먼저 발생되는 제1 게이트 신호의 스타트 타이밍을 제어하는 단일 게이트 스타트 타이밍 신호를 발생하는 단계; 및 상기 단일 게이트 스타트 펄스를 기준으로 상기 게이트 신호들을 발생하는 단계를 포함한다.

대표도 - 도5



특허청구의 범위

청구항 1

서로 직교하는 데이터 라인들과 게이트 라인들, 및 유기발광다이오드를 포함한 픽셀들이 형성된 표시패널;

상기 데이터 라인들에 데이터전압을 공급하는 데이터 구동회로; 및

상기 게이트 라인들에 게이트 신호들을 공급하는 게이트 구동회로를 포함하고,

상기 게이트 구동회로에는 상기 게이트 신호들 중에서 가장 먼저 발생하는 제1 게이트 신호의 스타트 타이밍을 제어하는 단일 게이트 스타트 타이밍 신호가 입력되고,

상기 게이트 구동회로는 상기 단일 게이트 스타트 펄스를 기준으로 상기 게이트 신호들을 발생하는 것을 특징으로 하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 구동회로는,

상기 단일 게이트 스타트 펄스를 카운트하여 제1 내지 제N(N은 2 이상의 양의 정수) 게이트 신호들을 출력하는 신호 발생부;

상기 게이트 신호들 각각을 시프트시키는 시프트 레지스터;

상기 시프트 레지스터의 출력 스윙폭을 크게 하는 레벨 시프터; 및

상기 레벨 시프터의 출력을 상기 게이트 라인들에 공급하는 버퍼를 포함하는 것을 특징으로 하는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 신호들은 상기 픽셀들 각각에 공급되며,

소정의 시간차를 갖는 제1 및 제2 펄스를 포함하여 상기 픽셀들의 초기화와 발광 타이밍을 제어하는 발광제어신호, 상기 픽셀들을 초기화하는 초기화신호, 상기 픽셀들의 구동소자 문턱전압을 센싱하기 위한 센싱신호, 상기 데이터전압에 동기되는 스캔신호를 포함하고,

상기 제1 게이트신호는 상기 발광제어신호의 제1 펄스이고,

상기 센싱신호, 상기 스캔신호 및 상기 발광제어신호의 제2 펄스는 상기 발광제어신호의 제1 펄스와 상기 초기화 신호 이후에 발생하는 것을 특징으로 하는 유기발광 표시장치.

청구항 4

서로 직교하는 데이터 라인들과 게이트 라인들, 및 유기발광다이오드를 포함한 픽셀들이 형성된 표시패널, 상기 데이터 라인들에 데이터전압을 공급하는 데이터 구동회로, 및 상기 게이트 라인들에 게이트 신호들을 공급하는 게이트 구동회로를 포함하는 유기발광 표시장치의 게이트 신호 생성방법에 있어서,

상기 게이트 신호들 중에서 가장 먼저 발생하는 제1 게이트 신호의 스타트 타이밍을 제어하는 단일 게이트 스타트 타이밍 신호를 발생하는 단계; 및

상기 게이트 구동회로에서 상기 단일 게이트 스타트 펄스를 기준으로 상기 게이트 신호들을 발생하는 단계를 포함하는 것을 특징으로 하는 유기발광 표시장치의 게이트 신호 생성방법.

명세서

기술 분야

[0001] 본 발명은 유기발광 표시장치와 그 게이트 신호 생성방법에 관한 것이다.

배경 기술

[0002] 유기발광 표시장치의 픽셀들은 자발광 소자인 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함한다. OLED는 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL) 등의 유기 화합물층이 적층된다. OLED는 형광 또는 인광 유기물 박막에 전류를 흐르게 하여 전자와 정공이 유기물층에서 결합할 때 발광한다.

[0003] 액티브 매트릭스 타입의 유기발광 표시장치는 픽셀들의 구동 TFT 문턱 전압 보상, 전원 배선의 전압 강하, 패널 간 분균일 보상 등을 위하여 픽셀들에 보상 회로가 내장되고 있다. 픽셀들의 보상 회로를 동작시키기 위하여, 픽셀들 각각에 3 개 이상의 게이트 신호들이 인가되어야 한다. 게이트 드라이브 IC들(integrated circuit)은 타이밍 컨트롤러로부터 발생하는 게이트 타이밍 제어신호들에 응답하여 게이트 신호들을 발생한다. 게이트 타이밍 신호들은 게이트 신호들 각각의 스타트 타이밍을 제어하기 위한 게이트 스타트 신호, 게이트 신호들 각각의 시프트(shift) 타이밍을 제어하기 위한 게이트 시프트 클럭 등을 포함한다. 이러한 게이트 타이밍 신호들은 타이밍 컨트롤러가 실장된 컨트롤 보드(Control board)의 라인 저항으로 인한 신호 손실(signal loss)을 줄이기 위하여 버퍼(buffer)를 통해 게이트 드라이브 IC들로 전송된다. 게이트 타이밍 신호들은 컨트롤 보드와 표시패널을 연결하는 플렉서블 플랫 케이블(Flexible Flat Circuit, 이하 "FFC"라 함)를 통해 표시패널 상에 접착된 게이트 드라이브 IC들로 전송된다.

[0004] 픽셀들 각각에 인가되는 게이트 신호들이 4 개이면, 도 1과 같이 4 개의 게이트 스타트 신호들(GSP, ASP, BSP, CSP)이 필요하다. 게이트 스타트 신호들 각각은 매 프레임 기간마다 1회 발생된다. 게이트 스타트 신호들 각각은 버퍼를 통해 게이트 드라이브 IC들로 전송되므로, 컨트롤 보드에는 4 개의 게이트 스타트 신호들이 전송되는 배선들에 4 개의 버퍼들이 연결된다. 도 1의 예에서 게이트 드라이브 IC들(GIC) 중에서 첫 번째 출력을 발생하는 제1 게이트 드라이브 IC에는 표시패널(PNL)의 양측 베젤 영역(Bezel, BZ) 내에 형성되는 4 개의 배선들을 통해 4 개의 스타트 신호들(GSP, ASP, BSP, CSP)이 인가된다. 도 1의 예에서, 베젤 영역(BZ)에는 스타트 신호들이 전송되는 배선들 이외에 게이트 시프트 클럭 등 다른 게이트 타이밍 제어신호들을 전송하기 위한 배선들이 생략되어 있다. 한편, 액정표시장치는 일반적으로 픽셀들 각각에 하나의 게이트신호 즉, 스캔신호가 인가되므로 게이트 드라이브 IC에 하나의 게이트 스타트 신호만 인가된다.

[0005] 종래의 유기발광 표시장치는 도 1과 같이 많은 개수의 게이트 스타트 신호 배선들로 인하여 베젤 영역(BZ)을 좁히기 어렵다. 또한, 종래의 유기발광 표시장치는 많은 수의 게이트 스타트 신호 배선들로 인하여 컨트롤 보드 상에 많은 개수의 버퍼들이 형성되어 비용이 높아지고 큰 FFC를 필요로 한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 게이트 스타트 신호를 줄이고 컨트롤 보드에 형성되는 버퍼들의 개수를 줄일 수 있는 유기발광 표시장치와 그 게이트 신호 생성방법을 제공한다.

과제의 해결 수단

[0007] 본 발명의 유기발광 표시장치는 서로 직교하는 데이터 라인들과 게이트 라인들, 및 유기발광다이오드를 포함한 픽셀들이 형성된 표시패널; 상기 데이터 라인들에 데이터전압을 공급하는 데이터 구동회로; 및 상기 게이트 라인들에 게이트 신호들을 공급하는 게이트 구동회로를 포함한다.

[0008] 상기 게이트 구동회로에는 상기 게이트 신호들 중에서 가장 먼저 발생하는 제1 게이트 신호의 스타트 타이밍을

제어하는 단일 게이트 스타트 타이밍 신호가 입력된다.

[0009] 상기 게이트 구동회로는 상기 단일 게이트 스타트 펄스를 기준으로 상기 게이트 신호들을 발생한다.

[0010] 상기 유기발광 표시장치의 게이트 신호 생성방법은 상기 게이트 신호들 중에서 가장 먼저 발생되는 제1 게이트 신호의 스타트 타이밍을 제어하는 단일 게이트 스타트 타이밍 신호를 발생하는 단계; 및 상기 게이트 구동회로에서 상기 단일 게이트 스타트 펄스를 기준으로 상기 게이트 신호들을 발생하는 단계를 포함한다.

발명의 효과

[0011] 본 발명은 게이트 신호들 중에서 가장 먼저 발생되는 제1 게이트 신호의 스타트 타이밍을 제어하는 단일 게이트 스타트 타이밍 신호를 기준으로 모든 게이트 신호들을 발생하는 회로를 게이트 구동회로에 내장한다. 그 결과, 본 발명은 유기발광 표시장치에서 픽셀들 각각에 서로 다른 타이밍으로 발생되는 다수의 게이트 신호들을 공급 하되, 게이트 스타트 신호를 하나로 줄이고 콘트롤 보드에 형성되는 버퍼들의 개수를 줄일 수 있다.

도면의 간단한 설명

[0012] 도 1은 종래의 유기발광 표시장치에서 베젤 영역에 형성되는 게이트 스타트 신호 배선들을 보여 주는 도면들이다.

도 2는 본 발명의 실시예에 따른 유기발광 표시장치를 보여 주는 블록도이다.

도 3은 도 2에 도시된 픽셀의 등가 회로도이다.

도 4는 게이트 신호들의 일 예를 보여 주는 파형도이다.

도 5는 본 발명의 실시예에 따른 게이트 드라이브 IC의 회로 구성을 보여 주는 블록도이다.

도 6은 도 5에 도시된 신호 발생부를 보여 주는 블록도이다.

도 7은 도 5에 도시된 신호 발생부의 동작을 보여 주는 입출력 신호의 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소자들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0014] 도 2 내지 도 4를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널(10), 표시패널(10)에 데이터를 기입하기 위한 패널 구동회로 등을 포함한다.

[0015] 표시패널(10)에는 서로 직교하는 데이터 라인들(14) 및 게이트 라인들(15)이 형성되고, 픽셀들(P)이 매트릭스 형태로 배치된 픽셀 어레이가 형성된다. 픽셀들(P) 각각에는 N 개(N은 2 이상의 양의 정수) 개의 게이트 신호들이 인가된다. 픽셀들(P)은 OLED, 구동소자(DT), 보상 회로(20) 등을 포함한다. OLED는 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등의 유기 화합물층이 적층되는 구조로 구현되나 공지된 어떠한 구조의 OLED로도 구현될 수 있으므로 특정 구조로 한정되지 않는다. 보상 회로(20)는 둘 이상의 스위치소자들과 하나 이상의 커패시터를 포함하며, 공지의 어떠한 보상 회로로도 구현될 수 있으므로 특정 회로로 한정되지 않는다. 구동소자(DT)와 스위치소자들은 TFT(Thin Film Transistor)로 구현된다. 보상 회로(20)에는 N 개의 게이트 신호들이 인가된다. 게이트 신호들은 도 3 및 도 4와 같이 발광제어신호(EM), 초기화신호(INIT), 센싱신호(SENSE), 스캔신호(SCAN)를 포함할 수 있다. 이 게이트 신호들 중에서 도 4와 같이 발광제어신호(EM)가 가장 먼저 발생될 수 있고, 도 7과 같이 발광제어신호(EM)와 초기화신호(INIT)가 가장 먼저 발생될 수도 있다. 본 발명은 게이트 신호들 중에서 가장 먼저 발생되는 신호나 신호들 중에서 어느 하나의 스타트 신호를 기준으로 다른 게이트 신호들을 발생한다.

[0016] 게이트 라인들(15)은 픽셀들에 N 개의 게이트신호들이 인가되는 경우에 N 개의 게이트 라인 그룹으로 나뉘어질 수 있다. 게이트 신호들이 도 3 및 도 4와 같이 4 개의 신호들을 포함한다면, 게이트 라인들(15)은 4 개의 그

룹으로 나뉘어진다. 예를 들어, 게이트 라인들(15)은 발광제어신호(EM)가 순차적으로 시프트되는 제1 게이트 라인 그룹, 초기화신호(INIT)가 순차적으로 시프트되는 제2 게이트 라인 그룹, 센싱신호(SENSE)가 순차적으로 시프트되는 제3 게이트 라인 그룹, 및 스캔신호(SCAN)가 순차적으로 시프트되는 제4 게이트 라인 그룹으로 나뉘어진다. 게이트 라인 그룹들 각각은 2 개 이상의 게이트라인들을 포함한다.

[0017] 패널 구동회로는 데이터 구동회로(12), 게이트 구동회로(13), 타이밍 콘트롤러(11) 등을 이용하여 입력 영상 데이터를 픽셀들(P)에 기입한다.

[0018] 타이밍 콘트롤러(11)는 도시하지 않은 콘트롤 보드에 실장되어 외부의 호스트 시스템(host system)으로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(10)의 픽셀 배치에 맞게 재정렬하여 데이터 구동회로(12)에 공급한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템은 입력 영상의 디지털 비디오 데이터와 함께 그 데이터와 동기되는 타이밍 신호들(Vsync, Hsync, CLK, DE)을 타이밍 콘트롤러(11)로 전송한다.

[0019] 타이밍 콘트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭신호(CLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)를 발생한다. 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스와 게이트 시프트 클럭 등을 포함한다. 게이트 스타트 펄스는 게이트 신호들 중에서 가장 먼저 발생하는 게이트 신호의 스타트 타이밍을 제어하는 하나의 게이트 스타트 펄스만으로 발생된다. 따라서, 게이트 스타트 펄스가 전송되는 콘트롤 보드의 배선에는 하나의 버퍼만 연결된다. 게이트 스타트 펄스는 매 프레임기간마다 프레임 기간의 초기에 1회 발생되어 게이트 신호들 중에서 가장 먼저 발생하는 게이트 신호의 스타트 타이밍을 제어한다.

[0020] 데이터 구동회로(12)는 타이밍 콘트롤러(11)로부터 입력되는 디지털 비디오 데이터(RGB)를 감마보상전압으로 변환하여 아날로그 데이터전압을 발생하고, 그 데이터전압을 데이터 라인들(14)에 공급한다. 데이터 구동회로(12)는 다수의 소스 드라이브 IC들을 포함할 수 있다.

[0021] 게이트 구동회로(13)는 타이밍 콘트롤러(11)의 제어 하에 도 3 및 도 4와 같은 게이트 신호들을 발생하고 그 게이트 신호들을 픽셀 어레이의 로우 라인 단위로 순차적으로 시프트한다. 게이트 구동회로(13)는 도 5와 같은 회로 구성을 갖는 다수의 게이트 드라이브 IC들(30)을 포함한다. 게이트 드라이브 IC들(30)은 픽셀 어레이의 게이트 라인들(15)과 연결되도록 도 1과 같이 COG(Chip on glass) 공정으로 표시패널(10)의 기판 가장자리에 접착될 수 있다. 게이트 드라이브 IC들(30) 각각은 게이트 신호들 중에서 가장 먼저 발생하는 제1 게이트 신호의 스타트 타이밍을 제어하는 단일 게이트 스타트 펄스를 입력 받아 그 게이트 스타트 펄스를 기준으로 픽셀들(P)에 인가되는 모든 게이트 신호들을 발생한다. 게이트 드라이브 IC들(30)로부터 출력되는 스캔신호(SCAN)는 데이터 구동회로(12)로부터 출력되는 데이터전압(도 4, DATA)에 동기된다. 게이트 드라이브 IC들(30)로부터 출력되는 게이트 신호들은 픽셀들(P) 각각에 공급된다. 게이트 신호들은 도 4의 예에서 소정의 시간차를 갖는 제1 및 제2 펄스를 포함하여 픽셀들(P)의 초기화와 발광 타이밍을 제어하는 발광제어신호(EM), 픽셀들을 초기화하는 초기화신호(INIT), 구동소자(DT)의 문턱전압을 센싱하기 위한 센싱신호(SENSE), 데이터전압에 동기되는 스캔신호(SCAN)를 포함한다. 센싱신호(SENSE), 스캔신호(SCAN) 및 발광제어신호(EM)의 제2 펄스는 발광제어신호(EM)의 제1 펄스와 초기화 신호(INIT) 이후에 발생된다. 도 4의 예에서 제1 게이트신호는 발광제어신호(EM)의 제1 펄스이나 이에 한정되지 않는다. 예를 들어, 도 4에서 초기화신호(INIT)가 발광제어신호(EM)의 제1 펄스 보다 먼저 발생되거나 그 제1 펄스와 동시에 발생할 수 있는데, 이 경우에, 제1 게이트 신호는 초기화신호(INIT)일 수 있다.

[0022] 픽셀들(P)에는 도 3과 같이 고전위 전원 전압(ELVDD), 저전위 전원 전압(ELVSS), 기준전압(도시하지 않음, Vref), 초기화전압(도시하지 않음, Vinit) 등의 픽셀 구동 전원이 공급된다. 기준전압(Vref)과 초기화전압(Vinit)은 저전위 전원 전압(ELVSS)보다 낮게 설정될 수 있다. 기준전압(Vref)은 초기화전압(Vinit)보다 높게 설정될 수 있다. 기준전압(Vref)과 초기화전압(Vinit) 간의 차는 구동소자(DT)의 문턱전압보다 더 크도록 설정될 수 있다. 이러한 픽셀들(P)은 초기화기간(t1), 문턱전압 센싱기간(t2), 프로그래밍 기간(t3), 발광기간(t4)으로 나뉘어 구동된다.

[0023] 보상 회로(20)는 초기화기간(t1) 동안 발광제어신호(EM)의 제1 펄스(도 4의 좌측 펄스)와 초기화신호(INIT)에 응답하여 초기화전압(Vinit)과 기준전압(Vref)으로 구동소자(DT)의 게이트 전압과 OLED의 애노드 전압을 초기화한다. 이어서, 보상 회로(20)는 문턱전압 센싱 기간(t2) 동안 센싱신호(SENSE)에 응답하여 구동소자(DT)의 문

터전압을 센싱하여 구동소자(DT)의 게이트에 연결된 커패시터에 저장한다. 이어서, 보상 회로(20)는 프로그래밍 기간(t3) 동안, 스캔신호(SCAN)에 응답하여 구동소자(DT)의 게이트에 데이터전압을 공급한 후, 발광기간(t4) 동안 발광제어신호(EM)의 제2 펄스(도 4의 우측 펄스)에 응답하여 구동소자(DT)를 통해 흐르는 전류를 OLED에 공급하여 OLED를 발광시킨다.

[0024] 도 5는 본 발명의 실시예에 따른 게이트 드라이브 IC(30)의 회로 구성을 보여 주는 블록도이다. 도 6은 도 5에 도시된 신호 발생부를 보여 주는 블록도이다. 도 7은 도 5에 도시된 신호 발생부의 동작을 보여 주는 입출력 신호의 파형도이다.

[0025] 도 5 내지 도 7을 참조하면, 게이트 드라이브 IC들(30) 각각은 신호 발생부(Signal generating block, 32), 시프트 레지스터(shift register, 34a~34d), 레벨 시프터(Level shifter, 36a~36d), 및 버퍼(38) 등을 포함한다.

[0026] 신호 발생부(32)는 게이트 신호들 중에서 가장 먼저 발생되는 게이트 신호의 게이트 스타트 신호, 클럭신호, 리셋신호 등을 입력 받아 그 게이트 스타트 신호를 카운트하여 픽셀들(P)에 인가되는 모든 게이트 신호들(EM, INIT, SCAN, SENSE)을 발생한다. 게이트 신호들이 도 4의 예와 같을 때, 신호 발생부(32)에 입력되는 게이트 스타트 신호(EMST)는 발광제어신호(EM)의 스타트 타이밍을 제어하는 게이트 스타트 신호이다. 타이밍 콘트롤러(11)로부터 발생된 단일 게이트 스타트 신호(EMST)는 첫 번째 게이트 신호를 출력하는 제1 게이트 드라이브 IC에 입력된다. 게이트 IC들은 도 1과 같이 종속적(cascade)으로 접속되어 있다. 따라서, 제1 게이트 드라이브 IC에 종속적으로 연결된 다른 게이트 드라이브 IC들에 입력되는 게이트 스타트 펄스는 앞단의 게이트 드라이브 IC의 신호 발생부로부터 출력되는 게이트 신호를 게이트 스타트 펄스로 입력 받는다. 예를 들어, 제N(N은 2 이상의 양의 정수) 게이트 드라이브 IC의 게이트 스타트 펄스 입력단자에는 제N-1 게이트 드라이브 IC로부터 순차적으로 시프트되는 발광제어신호(EM)의 마지막 신호가 입력된다.

[0027] 시프트 레지스터(34a~34d)는 신호 발생부(32)로부터 입력된 게이트 신호들을 게이트 시프트 클럭 타이밍에 맞추어 시프트시킨다. 발광제어신호(EM)는 제1 시프트 레지스터(34a)의 시프트 동작에 의해 제1 게이트 라인 그룹에 속한 게이트 라인들(도 2, 15a)에 순차적으로 공급된다. 초기화신호(INIT)는 제2 시프트 레지스터(34b)의 시프트 동작에 의해 제2 게이트 라인 그룹에 속한 게이트 라인들(도 2, 15b)에 순차적으로 공급된다. 스캔신호(SCAN)는 제3 시프트 레지스터(34c)의 시프트 동작에 의해 제3 게이트 라인 그룹에 속한 게이트 라인들(도 2, 15c)에 순차적으로 공급된다. 센싱신호(SENSE)는 제4 시프트 레지스터(34d)의 시프트 동작에 의해 제4 게이트 라인 그룹에 속한 게이트 라인들(도 2, 15d)에 순차적으로 공급된다.

[0028] 레벨 시프터(36a~36d)는 시프트 레지스터(34a~34d)로부터 입력되는 게이트 신호들(EM, INIT, SCAN, SENSE)의 스윙폭을 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 크게 변환한다. 게이트 하이 전압(VGH)은 픽셀들(P) 내의 스위치 소자의 문턱전압 이상의 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 픽셀들(P) 내의 스위치 소자의 문턱전압 보다 낮은 전압으로 설정된다. 레벨 시프터(36a~36d)의 출력은 버퍼(38)를 통해 게이트 라인들(15)에 공급된다.

[0029] 신호 발생부(32)는 도 6과 같이 D 플립 플롭들(42, 48a~48d), AND 게이트(44), 신호 발생기(Signal generator, 46) 등을 포함한다.

[0030] 제1 D 플립 플롭(42)은 단일 게이트 스타트 신호(EMST)를 1 클럭(CLK) 만큼 지연시켜 AND 게이트(44)에 입력한다. 제1 D 플립 플롭(42)은 CRLN 단자에 리셋신호(RST)가 입력될 때 리셋된다. 제1 D 플립 플롭(42)으로부터 출력된 지연된 단일 게이트 스타트 신호(EMST)는 AND 게이트(44)의 비반전 입력단자에 인가된다.

[0031] AND 게이트(44)의 비반전 입력 단자에는 지연되지 않은 단일 게이트 스타트 신호(EMST)가 입력되고, AND 게이트(44)의 반전 입력 단자에는 지연된 단일 게이트 스타트 신호(/EM_delayed)가 입력된다. AND 게이트(44)는 두 입력 신호들을 논리곱 연산한 결과를 신호 발생기(46)에 입력한다.

[0032] 신호 발생기(46)는 AND 게이트(44)의 출력이 하이 로직 레벨의 펄스로 입력된 후에 1 주기 동안 인에이블되어 AND 게이트(44)의 로우 로직 구간을 클럭으로 카운트한다. 도 7에서 "CNT_EN"은 신호 발생기(46)의 카운트 인에이블 신호로서 AND 게이트(44)의 출력을 바탕으로 신호 발생기(46)의 내부에서 발생된다. 카운트 인에이블 신호(CNT_EN)는 픽셀들(P) 각각에 1 프레임 기간 내에 1 회 공급되도록 유효 카운트 기간을 정의한다. "CNT"는 AND 게이트(44)의 출력에서 로우 로직 구간을 카운트하는 카운터의 카운트값이다. 카운터는 AND 게이트(44)의 출력 펄스의 폴링 에지에서 리셋된다.

[0033] 신호 발생기(46)는 AND 게이트(44)의 출력에서 로우 로직 구간을 카운트하고 그 카운트값을 미리 설정된 파형

정보와 비교하여 가장 먼저 발생하는 게이트 신호 이외의 다른 게이트 신호들(도 7, INT, SENSE, SCAN)을 발생한다. 파형 정보는 카운트값으로 환산된 파형의 라이징 타이밍 정보와 하이 로직 구간 정보를 포함한다. 신호 발생기(46)는 제2 내지 제5 D 플립 플롭(48a~48d)를 동기시키기 위한 클럭과 제2 내지 제5 D 플립 플롭(48a~48d)를 리셋시키기 위한 리셋신호를 출력한다.

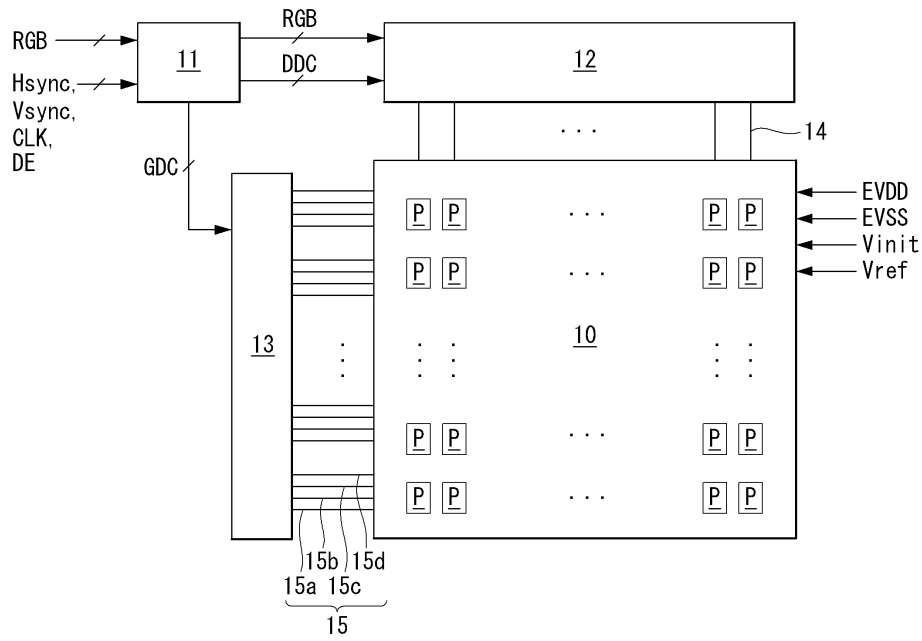
[0034] 제2 D 플립 플롭(48a)은 단일 게이트 스타트 신호(EMST)를 1 클럭 만큼 지연시켜 게이트 신호들 중에서 가장 먼저 발생하는 게이트 신호를 출력한다. 가장 먼저 발생하는 게이트 신호는 도 4의 예에서 발광제어신호(EM)이다. 제2 내지 제5 D 플립 플롭들(48b~48d)은 게이트 신호들(EM, INIT, SCAN, SENSE)을 동기시킨다.

[0035] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

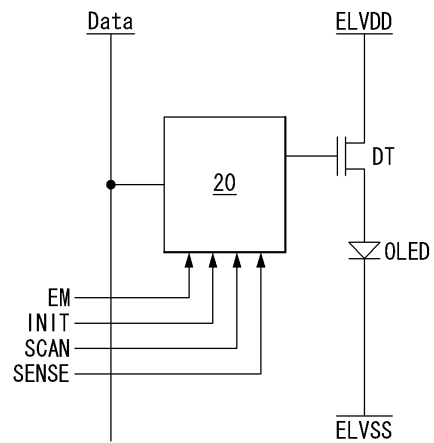
부호의 설명

[0036]	10 : 표시패널	11 : 타이밍 컨트롤러
	12 : 데이터 구동회로	13 : 게이트 구동회로
	14 : 데이터 라인	15 : 게이트 라인
	30 : 게이트 드라이브 IC	32 : 신호 발생부
	34a~34d : 시프트 레지스터	36a~36d : 레벨 시프터

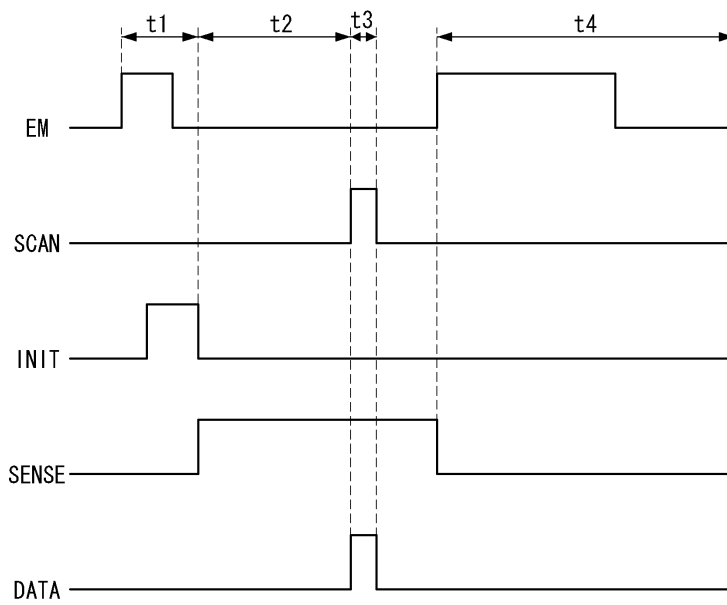
도면2



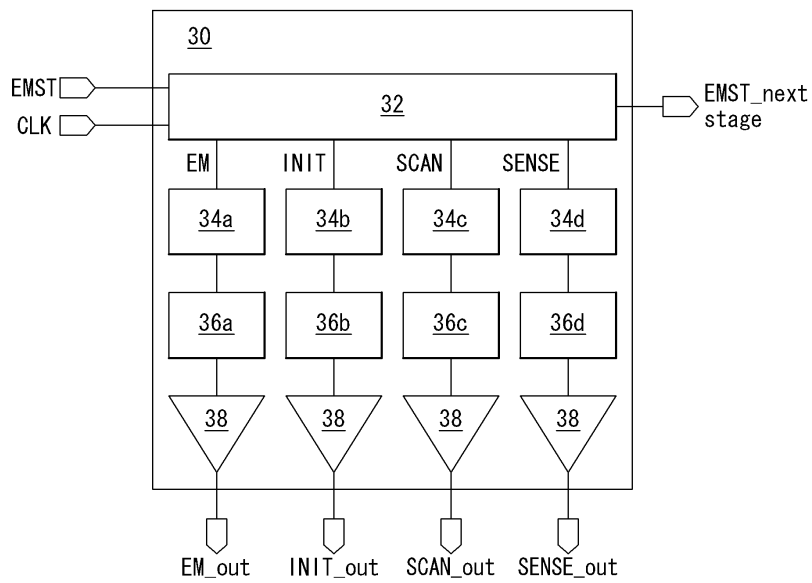
도면3



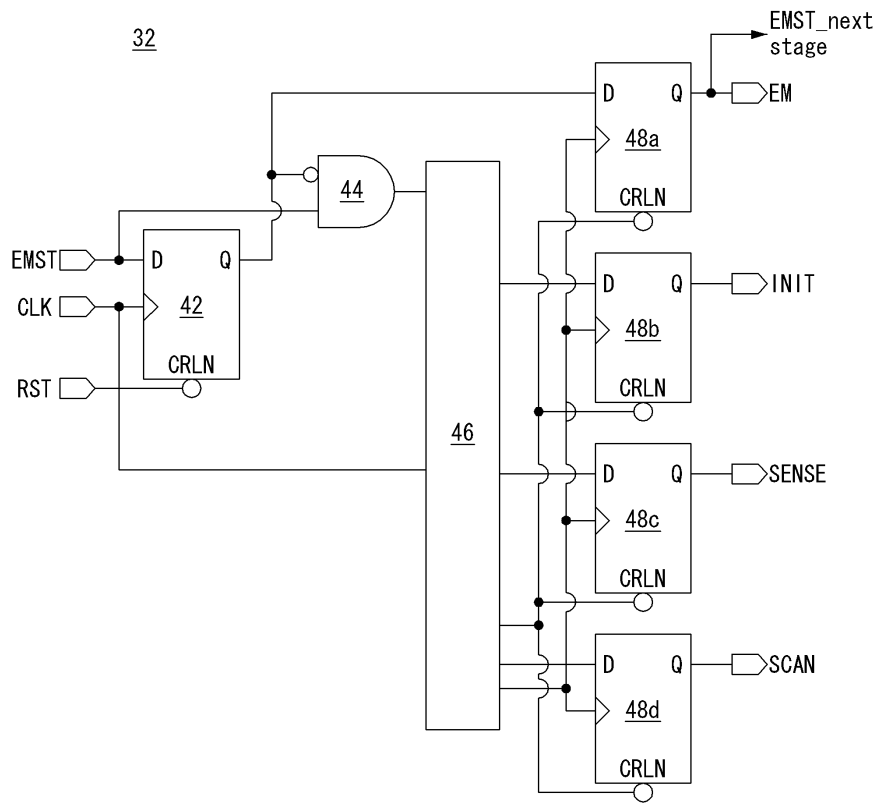
도면4



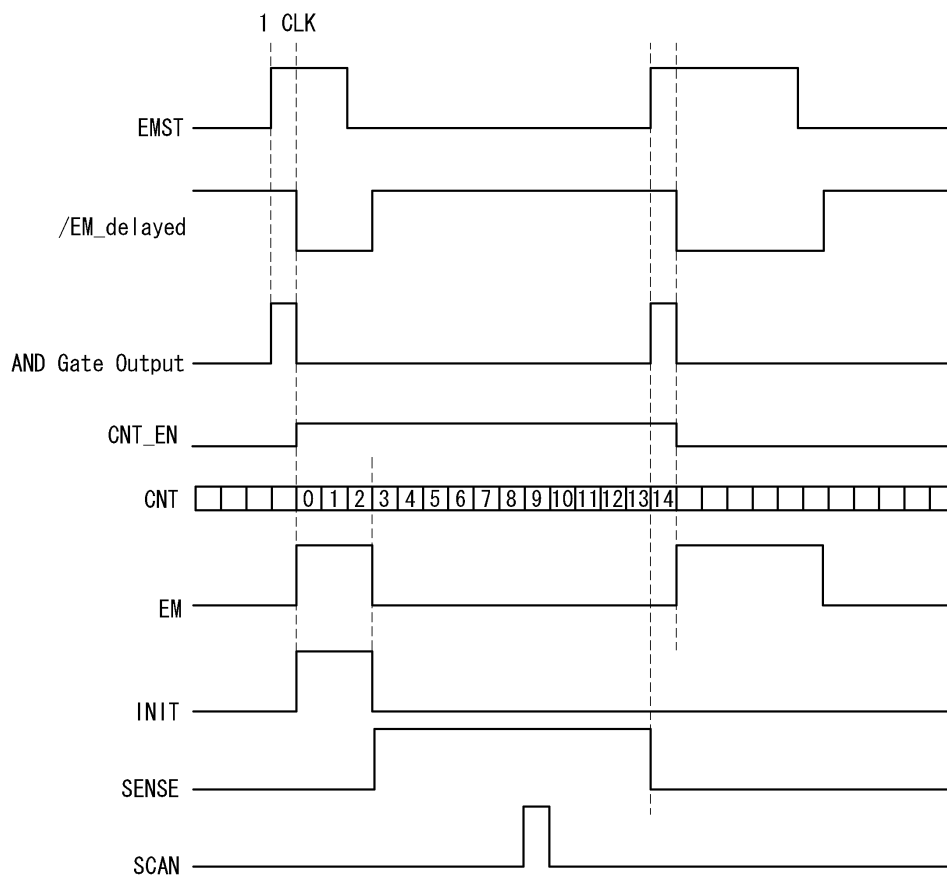
도면5



도면6



도면7



专利名称(译)	OLED显示器和栅极信号产生方法		
公开(公告)号	KR1020140045146A	公开(公告)日	2014-04-16
申请号	KR1020120111331	申请日	2012-10-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HYUN WOOK 김현욱		
发明人	김현욱		
IPC分类号	G09G3/3225 G09G3/00 G09G3/30		
CPC分类号	G09G2310/0286 G09G2310/0291 G09G3/007 G09G2320/0295 G09G3/3225 G09G2310/0289		
其他公开文献	KR102018762B1		
外部链接	Espacenet		

摘要(译)

本发明涉及有机发光显示装置和产生栅极信号的方法，该方法包括产生单个栅极开始定时信号，用于控制在栅极信号中首先产生的第一栅极信号的开始定时。。并且基于单个栅极起始脉冲产生栅极信号。 专利公开 10-2014-0045146

