



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0023488
(43) 공개일자 2013년03월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01)

(21) 출원번호 10-2011-0086279

(22) 출원일자 2011년08월29일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박혜민

경상남도 창원시 성산구 대암로 8, 한림 엘리시온 아파트 102동 604호 (남양동)

유상호

경기 과천시 교하읍 동패리 1711번지 책향기마을 우남퍼스트빌 1401동 302호

김현욱

서울특별시 강서구 등촌로35가길 26 (등촌동)

(74) 대리인

특허법인로알

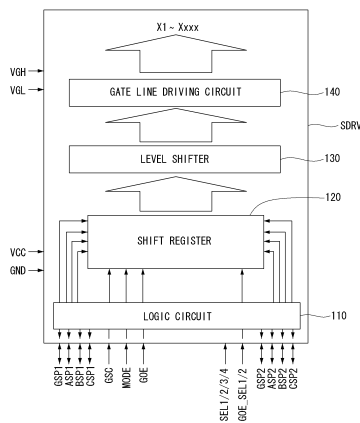
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 스캔구동부와 이를 이용한 유기전계발광표시장치

(57) 요약

본 발명의 실시예는, 선택신호의 논리값에 따라 1 수평시간 내에 로직하이와 로직로우 순으로 형성된 제1클록과 제1클록을 반전한 제2클록 중 하나를 출력하는 클록선택부들; 클록선택부들로부터 공급된 제1클록 및 제2클록 중 하나와 위상이 다른 제1 내지 제N개(N은 4 이상 정수)의 스타트 펄스들을 이용하여 펄스신호들을 생성하는 시프트레지스터들; 및 시프트레지스터들로부터 공급된 펄스신호들의 레벨을 상승시켜 스캔신호들로 출력하는 레벨시프터들을 포함하며, 시프트레지스터들 중 선택된 시프트레지스터는 제I펄스신호로부터 1/2 수평시간의 지연 간격을 갖는 제J펄스신호를 생성하는 것을 특징으로 하는 스캔구동부를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

선택신호의 논리값에 따라 1 수평시간 내에 로직하이와 로직로우 순으로 형성된 제1클록과 상기 제1클록을 반전한 제2클록 중 하나를 출력하는 클록선택부들;

상기 클록선택부들로부터 공급된 상기 제1클록 및 제2클록 중 하나와 위상이 다른 제1 내지 제N개(N은 4 이상 정수)의 스타트 펄스들을 이용하여 펄스신호들을 생성하는 시프트레지스터들; 및

상기 시프트레지스터들로부터 공급된 상기 펄스신호들의 레벨을 상승시켜 스캔신호들로 출력하는 레벨시프터들을 포함하며,

상기 시프트레지스터들 중 선택된 시프트레지스터는 제I펄스신호로부터 1/2 수평시간의 지연 간격을 갖는 제J펄스신호를 생성하는 것을 특징으로 하는 스캔구동부.

청구항 2

제1항에 있어서,

상기 시프트레지스터들은

상기 클록선택부들로부터 상기 제1클록이 공급되면 상기 제1클록의 폴링엣지에 동기화되어 펄스신호를 출력하고,

상기 클록선택부들로부터 상기 제2클록이 공급되면 상기 제2클록의 라이징엣지에 동기화되어 펄스신호를 출력하는 것을 특징으로 하는 스캔구동부.

청구항 3

제1항에 있어서,

상기 시프트레지스터들은

클록단자에 입력된 상기 제1클록과 상기 제2클록 중 하나에 따라 데이터단자에 입력된 상기 제1 내지 제N개의 스타트 펄스들을 지연하여 상기 펄스신호들로 출력하는 D플립플롭들로 이루어진 것을 특징으로 하는 스캔구동부.

청구항 4

제1항에 있어서,

상기 제1클록 및 상기 제2클록은

상기 1 수평시간 내에 상기 로직하이의 듀티와 상기 로직로우의 듀티가 다르며,

상기 시프트레지스터들 중 선택된 시프트레지스터는 상기 제I펄스신호로부터 1/K(K는 3 이상 정수) 수평시간의 지연 간격을 갖는 상기 제J펄스신호를 생성하는 것을 특징으로 하는 스캔구동부.

청구항 5

제1항에 있어서,

상기 시프트레지스터들 중 상기 선택된 시프트레지스터는 상기 선택신호의 논리값이 로직하이를 가지며,

상기 시프트레지스터들 중 비선택된 시프트레지스터는 상기 선택신호의 논리값이 로직로우를 가지며,

상기 선택된 시프트레지스터의 개수는 M개(M은 1 이상 정수)인 것을 특징으로 하는 스캔구동부.

청구항 6

제1항에 있어서,

상기 클록선택부들은

상기 제1클록을 공급받는 제1입력단자와, 상기 제1클록을 반전하여 인버터를 통해 출력된 상기 제2클록을 공급받는 제2입력단자와, 상기 선택신호를 공급받는 선택단자와, 상기 선택단자에 공급된 상기 선택신호의 논리값에 따라 상기 제1클록과 상기 제2클록 중 하나를 출력하는 출력단자를 갖는 2:1 믹스들로 이루어진 것을 특징으로 하는 스캔구동부.

청구항 7

표시패널;

상기 표시패널에 데이터신호들을 공급하는 데이터구동부; 및

상기 표시패널에 스캔신호들을 공급하며, 선택신호의 논리값에 따라 1 수평시간 내에 로직하이와 로직로우 순으로 형성된 제1클록과 상기 제1클록을 반전한 제2클록 중 하나를 출력하는 클록선택부들과, 상기 클록선택부들로부터 공급된 상기 제1클록 및 제2클록 중 하나와 위상이 다른 제1 내지 제N개(N은 4 이상 정수)의 스타트 펄스들을 이용하여 펄스신호들을 생성하는 시프트레지스터들과, 상기 시프트레지스터들로부터 공급된 상기 펄스신호들의 레벨을 상승시켜 상기 스캔신호들로 출력하는 레벨시프터들을 포함하며,

상기 시프트레지스터들 중 선택된 시프트레지스터는 제I펄스신호로부터 1/2 수평시간의 지연 간격을 갖는 제J펄스신호를 생성하는 스캔구동부를 포함하는 유기전계발광표시장치.

청구항 8

제7항에 있어서,

상기 시프트레지스터들은

상기 클록선택부들로부터 상기 제1클록이 공급되면 상기 제1클록의 폴링엣지에 동기화되어 펄스신호를 출력하고,

상기 클록선택부들로부터 상기 제2클록이 공급되면 상기 제2클록의 라이징엣지에 동기화되어 펄스신호를 출력하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 9

제7항에 있어서,

상기 시프트레지스터들은

클록단자에 입력된 상기 제1클록과 상기 제2클록 중 하나에 따라 데이터단자에 입력된 상기 제1 내지 제N개의 스타트 펄스들을 지연하여 상기 펄스신호들로 출력하는 D플립플롭들로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

제7항에 있어서,

상기 제1클록 및 상기 제2클록은

상기 1 수평시간 내에 상기 로직하이의 듀티와 상기 로직로우의 듀티가 다르며,

상기 시프트레지스터들 중 선택된 시프트레지스터는 상기 제I펄스신호로부터 1/K(K는 3 이상 정수) 수평시간의 지연 간격을 갖는 상기 제J펄스신호를 생성하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 11

제7항에 있어서,

상기 시프트레지스터들 중 상기 선택된 시프트레지스터는 상기 선택신호의 논리값이 로직하이를 가지며,

상기 시프트레지스터들 중 비선택된 시프트레지스터는 상기 선택신호의 논리값이 로직로우를 가지며,

상기 선택된 시프트레지스터의 개수는 M개(M은 1 이상 정수)인 것을 특징으로 하는 유기전계발광표시장치.

청구항 12

제7항에 있어서,

상기 클록선택부들은

상기 제1클록을 공급받는 제1입력단자와, 상기 제1클록을 반전하여 인버터를 통해 출력된 상기 제2클록을 공급받는 제2입력단자와, 상기 선택신호를 공급받는 선택단자와, 상기 선택단자에 공급된 상기 선택신호의 논리값에 따라 상기 제1클록과 상기 제2클록 중 하나를 출력하는 출력단자를 갖는 2:1 믹스들로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

명세서

기술분야

[0001] 본 발명의 실시예는 스캔구동부와 이를 이용한 유기전계발광표시장치에 관한 것이다.

배경기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 이와 같은 표시장치는 텔레비전(TV)이나 비디오 등의 가전분야에서 노트북(Note book)과 같은 컴퓨터나 핸드폰과 등과 같은 산업분야 등에서 다양한 용도로 사용되고 있다.

[0004] 앞서 설명한 표시장치 중 일부 예컨대, 액정표시장치나 유기전계발광표시장치에는 매트릭스 형태로 배치된 복수의 서브 픽셀을 포함하는 패널과 패널을 구동하는 구동부가 포함된다. 구동부에는 외부로부터 공급된 영상신호를 제어하는 타이밍구동부, 패널에 게이트신호를 공급하는 스캔구동부 및 패널에 데이터신호를 공급하는 데이터구동부 등이 포함된다.

[0005] 종래 스캔구동부는 스캔신호를 1 수평시간(Horizontal Time, 이하 HT로 약기함) 간격의 파형으로 출력한다. 유기전계발광표시장치와 같이 서브 픽셀에 포함된 트랜지스터를 보상하기 위한 보상회로가 포함된 경우, 이를 구동하기 위해서는 1/2 HT 간격의 스캔신호가 요구되는 경우가 있다. 그런데, 종래 스캔구동부는 1/2 HT 간격의 스캔신호를 용이하게 생성하여 출력할 수 없어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 실시예는, 특정 스캔신호를 1 수평시간에서 1/2 이하의 수평시간 간격으로 생성하여 출력하는 스캔구동부 및 이를 이용한 유기전계발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명의 실시예는, 선택신호의 논리값에 따라 1 수평시간 내에 로직하이와 로직로우 순으로 형성된 제1클록과 제1클록을 반전한 제2클록 중 하나를 출력하는 클록선택부들; 클록선택부들로부터 공급된 제1클록 및 제2클록 중 하나와 위상이 다른 제1 내지 제N개(N은 4 이상 정수)의 스타트 펄스들을 이용하여 펄스신호들을 생성하는 시프트레지스터들; 및 시프트레지스터들로부터 공급된 펄스신호들의 레벨을 상승시켜 스캔신호들로 출력하는 레벨시프터들을 포함하며, 시프트레지스터들 중 선택된 시프트레지스터는 제I펄스신호로부터 1/2 수평시간의 지연 간격을 갖는 제J펄스신호를 생성하는 것을 특징으로 하는 스캔구동부를 제공한다.

[0008] 시프트레지스터들은 클록선택부들로부터 제1클록이 공급되면 제1클록의 폴링엣지에 동기화되어 펄스신호를 출력하고, 클록선택부들로부터 제2클록이 공급되면 제2클록의 라이징엣지에 동기화되어 펄스신호를 출력할 수 있다.

[0009] 시프트레지스터들은 클록단자에 입력된 제1클록과 제2클록 중 하나에 따라 데이터단자에 입력된 제1 내지 제N개의 스타트 펄스들을 지연하여 펄스신호들로 출력하는 D플립플롭들로 이루어질 수 있다.

- [0010] 제1클록 및 제2클록은 1 수평시간 내에 로직하이와 로직로우의 듀티비가 다르며, 시프트레지스터들 중 선택된 시프트레지스터는 제I펄스신호로부터 $1/K$ (K 는 3 이상 정수) 수평시간의 지연 간격을 갖는 제J펄스신호를 생성할 수 있다.
- [0011] 시프트레지스터들 중 선택된 시프트레지스터는 선택신호의 논리값이 로직하이를 가지며, 시프트레지스터들 중 비선택된 시프트레지스터는 선택신호의 논리값이 로직로우를 가지며, 선택된 시프트레지스터의 개수는 M개(M은 1 이상 정수)일 수 있다.
- [0012] 클록선택부들은 제1클록을 공급받는 제1입력단자와, 제1클록을 반전하여 인버터를 통해 출력된 제2클록을 공급받는 제2입력단자와, 선택신호를 공급받는 선택단자와, 선택단자에 공급된 선택신호의 논리값에 따라 제1클록과 제2클록 중 하나를 출력하는 출력단자를 갖는 2:1 믹스들로 이루어질 수 있다.
- [0013] 다른 측면에서 본 발명의 실시예는, 표시패널; 표시패널에 데이터신호들을 공급하는 데이터구동부; 및 표시패널에 스캔신호들을 공급하며, 선택신호의 논리값에 따라 1 수평시간 내에 로직하이와 로직로우 순으로 형성된 제1클록과 제1클록을 반전한 제2클록 중 하나를 출력하는 클록선택부들과, 클록선택부들로부터 공급된 제1클록 및 제2클록 중 하나와 위상이 다른 제1 내지 제N개(N은 4 이상 정수)의 스타트 펄스들을 이용하여 펄스신호들을 생성하는 시프트레지스터들과, 시프트레지스터들로부터 공급된 펄스신호들의 레벨을 상승시켜 스캔신호들로 출력하는 레벨시프터들을 포함하며, 시프트레지스터들 중 선택된 시프트레지스터는 제I펄스신호로부터 $1/2$ 수평시간의 지연 간격을 갖는 제J펄스신호를 생성하는 스캔구동부를 포함하는 유기전계발광표시장치를 제공한다.
- [0014] 시프트레지스터들은 클록선택부들로부터 제1클록이 공급되면 제1클록의 폴링엣지에 동기화되어 펄스신호를 출력하고, 클록선택부들로부터 제2클록이 공급되면 제2클록의 라이징엣지에 동기화되어 펄스신호를 출력할 수 있다.
- [0015] 시프트레지스터들은 클록단자에 입력된 제1클록과 제2클록 중 하나에 따라 데이터단자에 입력된 제1 내지 제N개의 스타트 펄스들을 지연하여 펄스신호들로 출력하는 D플립플롭들로 이루어질 수 있다.
- [0016] 제1클록 및 제2클록은 1 수평시간 내에 로직하이와 로직로우의 듀티비가 다르며, 시프트레지스터들 중 선택된 시프트레지스터는 제I펄스신호로부터 $1/K$ (K 는 3 이상 정수) 수평시간의 지연 간격을 갖는 제J펄스신호를 생성할 수 있다.
- [0017] 시프트레지스터들 중 선택된 시프트레지스터는 선택신호의 논리값이 로직하이를 가지며, 시프트레지스터들 중 비선택된 시프트레지스터는 선택신호의 논리값이 로직로우를 가지며, 선택된 시프트레지스터의 개수는 M개(M은 1 이상 정수)일 수 있다.
- [0018] 클록선택부들은 제1클록을 공급받는 제1입력단자와, 제1클록을 반전하여 인버터를 통해 출력된 제2클록을 공급받는 제2입력단자와, 선택신호를 공급받는 선택단자와, 선택단자에 공급된 선택신호의 논리값에 따라 제1클록과 제2클록 중 하나를 출력하는 출력단자를 갖는 2:1 믹스들로 이루어질 수 있다.

발명의 효과

- [0019] 본 발명의 실시예는 특정 스캔신호를 1 수평시간에서 $1/2$ 수평시간 간격으로 생성하여 출력하는 스캔구동부 및 이를 이용한 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명의 실시예는 클록의 온/오프 듀티비를 달리하여 특정 스캔신호를 1 수평시간에서 $1/K$ (K 는 3 이상 정수) 수평시간 간격으로 생성하여 출력하는 스캔구동부 및 이를 이용한 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명의 실시예는 보상회로를 갖는 서브 픽셀에서 요구하는 스캔신호를 $1/2$ 이하의 수평시간 간격으로 생성하여 출력하는 스캔구동부 및 이를 이용한 유기전계발광표시장치를 제공하는 효과가 있다.

도면의 간단한 설명

- [0020] 도 1은 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 본 발명의 실시예에 따른 스캔구동부의 개략적인 구성도.
- 도 3은 도 2에 도시된 스캔구동부의 요부를 나타낸 블록도.
- 도 4는 도 3에 도시된 스캔구동부에 공급되는 클록과 스타트 펄스의 파형 예시도.
- 도 5는 도 3에 도시된 스캔구동부의 일부를 나타낸 블록도.

- 도 6은 선택신호의 논리값에 따른 클럭과 펄스신호의 동기화 관계를 설명하기 위한 도면.
- 도 7은 클럭의 온 듀티 조절에 따른 수평시간의 간격 변화를 설명하기 위한 도면.
- 도 8은 보상회로가 포함된 7T1C 구조를 갖는 서브 픽셀의 예시도.
- 도 9는 도 8에 도시된 서브 픽셀의 구동 파형 예시도.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0022] 도 1은 유기전계발광표시장치의 개략적인 블록도이다.
- [0023] 도 1에 도시된 바와 같이 유기전계발광표시장치에는 타이밍구동부(TCN), 표시패널(PNL), 스캔구동부(SDRV) 및 데이터구동부(DDRV)가 포함된다.
- [0024] 타이밍구동부(TCN)는 외부로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK), 데이터신호(RGB)를 공급받는다. 타이밍구동부(TCN)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터 구동부(DDRV)와 스캔구동부(SDRV)의 동작 타이밍을 제어한다. 타이밍구동부(TCN)는 1 수평시간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍구동부(TCN)에서 생성되는 제어신호들에는 스캔구동부(SDRV)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(DDRV)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함된다.
- [0025] 표시패널(PNL)은 매트릭스형태로 배치된 서브 픽셀(SP)을 갖는 표시부를 포함한다. 서브 픽셀들(SP)은 스위칭 트랜지스터, 구동 트랜지스터, 커패시터 및 유기 발광다이오드를 포함하는 2T(Transistor)1C(Capacitor) 구조에 트랜지스터 및 커패시터를 포함하는 보상회로가 더 추가된 구조를 갖는다. 보상회로가 추가된 서브 픽셀들(SP)은 3개 이상의 트랜지스터들과 1개 이상의 커패시터들을 갖는 구조로 구성된다. 위와 같은 구성을 갖는 서브 픽셀들(SP)은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성될 수 있다.
- [0026] 스캔구동부(SDRV)는 타이밍구동부(TCN)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 표시패널(PNL)에 포함된 서브 픽셀들(SP)의 트랜지스터들이 동작 가능한 스윙폭으로 스캔신호를 순차적으로 생성한다. 스캔구동부(SDRV)는 서브 픽셀들(SP)에 연결된 스캔라인들(SL1~SLm)을 통해 스캔신호들을 공급한다.
- [0027] 데이터구동부(DDRV)는 타이밍구동부(TCN)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍구동부(TCN)로부터 공급되는 디지털 형태의 데이터신호(RGB)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(DDRV)는 병렬 데이터 체계의 데이터로 변환할 때, 디지털 형태의 데이터신호(RGB)를 감마 기준전압으로 변환하여 아날로그 형태의 데이터신호로 변환한다. 데이터구동부(DDRV)는 서브 픽셀들(SP)에 연결된 데이터라인들(DL1~DLn)을 통해 데이터신호를 공급한다.
- [0028] 이하, 본 발명의 실시예에 따른 스캔구동부(SDRV)에 대해 더욱 자세히 설명한다.
- [0029] 도 2는 본 발명의 실시예에 따른 스캔구동부의 개략적인 구성도이고, 도 3은 도 2에 도시된 스캔구동부의 요부를 나타낸 블록도이며, 도 4는 도 3에 도시된 스캔구동부에 공급되는 클럭과 스타트 펄스의 파형 예시도이고, 도 5는 도 3에 도시된 스캔구동부의 일부를 나타낸 블록도이며, 도 6은 선택신호의 논리값에 따른 클럭과 펄스신호의 동기화 관계를 설명하기 위한 도면이고, 도 7은 클럭의 온 듀티 조절에 따른 수평시간의 간격 변화를 설명하기 위한 도면이다.
- [0030] 도 2에 도시된 바와 같이, 본 발명의 실시예에 따른 스캔구동부(SDRV)에는 로직회로부들(110), 시프트레지스터들(120), 레벨시프터들(130) 및 라인구동부들(140)이 포함된다. 스캔구동부(SDRV)에 포함된 회로들과 각 단자들에 공급되는 신호들을 간략히 설명하면 다음과 같다.
- [0031] 스캔구동부(SDRV)에는 스타트 펄스들(GSP1, GSP2, ASP1, ASP2, BSP1, BSP2, CSP1, CSP2)을 공급받는 단자, 데이터시프트클럭(GSC)을 공급받는 단자, 모드신호(MODE)를 공급받는 단자, 게이트출력인에이블신호(GOE)를 공급받는 단자, 선택신호(SEL 1/2/3/4)를 공급받는 단자, 게이트출력인에이블신호를 마스킹하는 마스킹선택신호(GOE_SEL 1/2)를 공급받는 단자, 제1전원전압(VCC)을 공급받는 단자, 제2전원전압(GND)을 공급받는 단자, 게이

트하이전압(VGH)을 공급받는 단자 및 게이트로우전압(VGL)을 공급받는 단자 등이 포함된다.

- [0032] 스캔구동부(SDRV)는 데이터시프트클록(GSC)과 스타트 펄스들(GSP1, GSP2, ASP1, ASP2, BSP1, BSP2, CSP1, CSP2)을 이용하여 스캔신호를 생성한다. 스캔구동부(SDRV)는 모드신호(MODE)에 따라 4 시프트 출력 모드와 3 시프트 출력 모드로 스캔 형태 및 출력 선택 비트들을 달리한다. 스캔구동부(SDRV)는 게이트출력인에이블신호(GOE)를 이용하여 라인구동부들(140)을 제어한다. 스캔구동부(SDRV)는 선택신호(SEL 1/2/3/4)에 따라 데이터시프트클록(GSC)을 1 수평시간 내에 로직하이와 로직로우 순으로 형성된 제1클록과 제1클록을 반전한 제2클록 중 하나를 출력한다. 스캔구동부(SDRV)는 마스크선택신호(GOE_SEL 1/2)에 따라 게이트출력인에이블신호(GOE)를 마스크한다. 스캔구동부(SDRV)는 제1전원전압(VCC) 및 제2전원전압(GND)을 기반으로 구동한다. 스캔구동부(SDRV)는 게이트하이전압(VGH) 및 게이트로우전압(VGL)을 이용하여 시프트레지스터들(120)에 의해 생성된 펄스신호들의 레벨을 상승시킨다.
- [0033] 로직회로부들(110)은 외부로부터 공급된 각종 신호들을 이용하여 스캔구동부(SDRV)의 구동 조건을 설정한다. 로직회로부들(110)에는 스캔구동부(SDRV)의 구동 조건을 설정하기 위한 회로들과 클록선택부들(115)이 포함된다.
- [0034] 시프트레지스터들(120)은 데이터시프트클록(GSC)과 스타트 펄스들(GSP1, GSP2, ASP1, ASP2, BSP1, BSP2, CSP1, CSP2)을 이용하여 펄스신호들을 생성한다. 시프트레지스터들(120)은 스테이지별로 구분되어 형성된 플립플롭들이 포함된다. 스타트 펄스들(GSP1, GSP2, ASP1, ASP2, BSP1, BSP2, CSP1, CSP2)은 위상이 다른 제1 내지 제N개(N은 4 이상 정수)의 스타트 펄스들을 포함한다. 이하, 데이터시프트클록(GSC)은 클록(clk 또는 clkb)으로 약기한다.
- [0035] 레벨시프터들(130)은 시프트레지스터들(120)로부터 공급된 펄스신호의 레벨을 상승시켜 스캔신호들로 출력한다.
- [0036] 라인구동부들(140)은 출력단자(X1 ~ Xxxx)를 통해 출력되는 스캔신호를 구동한다. 출력단자(X1 ~ Xxxx)의 개수를 의미하는 "xxx"는 표시패널의 스캔라인의 개수에 대응된다.
- [0037] 도 3 및 도 4에 도시된 바와 같이, 스캔구동부(SDRV)에 포함된 하나의 스테이지의 요부에는 클록선택부들(115), 시프트레지스터들(120) 및 레벨시프터(130)가 포함된다.
- [0038] 클록선택부들(115) 및 시프트레지스터들(120)에 대해 설명하면 다음과 같다.
- [0039] 클록선택부들(115)은 선택신호(SEL 1/2/3/4)의 논리값에 따라 1 수평시간 내에 로직하이와 로직로우 순으로 형성된 제1클록(clk)과 제1클록(clk)을 반전한 제2클록(clkb) 중 하나를 출력한다.
- [0040] 클록선택부들(115)은 제1클록(clk)을 공급받는 제1입력단자와 제1클록(clk)을 반전하여 제1인버터(INV1)를 통해 출력된 제2클록(clkb)을 공급받는 제2입력단자와, 선택신호(SEL 1/2/3/4)를 공급받는 선택단자와, 선택단자에 공급된 선택신호(SEL 1/2/3/4)의 논리값에 따라 제1클록(clk)과 제2클록(clkb) 중 하나를 출력하는 출력단자를 갖는 4개의 2:1 멀크들(MUX1 ~ MUX4)로 이루어진다.
- [0041] 시프트레지스터들(120)은 클록선택부들(115)로부터 공급된 제1클록(clk) 및 제2클록(clkb) 중 하나와 위상이 다른 제1 내지 제4개의 스타트 펄스들(GSP1, ASP1, BSP1, CSP1)을 이용하여 펄스신호들을 생성한다. 시프트레지스터들(120) 중 선택된 시프트레지스터는 제I펄스신호로부터 1/2 수평시간의 지연 간격을 갖는 제J펄스신호를 생성한다.
- [0042] 시프트레지스터들(120)은 클록단자에 입력된 제1클록(clk)과 제2클록(clkb) 중 하나에 따라 데이터단자(GSP1 또는 ASP1 또는 BSP1 또는 CSP1)에 입력된 제1 내지 제4개의 스타트 펄스들(GSP1, ASP1, BSP1, CSP1)을 지연하여 펄스신호들로 출력하는 4개의 D플립플롭들(DFF1 ~ DFF4)로 이루어진다.
- [0043] 시프트레지스터들(120)은 클록선택부들(115)로부터 제1클록(clk)이 공급되면 제1클록(clk)의 폴링엣지에 동기화되어 펄스신호를 출력하고, 클록선택부들(115)로부터 제2클록(clkb)이 공급되면 제2클록(clkb)의 라이징엣지에 동기화되어 펄스신호를 출력한다. 즉, 스캔구동부(SDRV)는 클록선택부들(115)을 통해 출력되는 클록의 상태에 따라 다르게 동기화되어 출력된다.
- [0044] 클록선택부들(115)에 공급되는 선택신호(SEL 1/2/3/4)의 논리값은 다음의 표 1과 같이 설정된다. 그리고 선택신호(SEL 1/2/3/4)의 논리값에 따른 레벨시프터들(130)의 출력 동기화에 대해 설명하면 다음의 표 2와 같다.

표 1

[0045]

SEL1	1	0	1	1
SEL2	1	0	0	1
SEL3	1	0	1	0
SEL4	1	0	0	0

표 2

[0046]

	상태	출력	설명
선택신호 SEL 1/2/3/4	로직하이	clk	출력 X가 clk의 폴링엣지에 동기화 됨
	로직로우	clkb	출력 X clkb의 라이징엣지에 동기화 됨

[0047]

도 5에 도시된 바와 같이, 제1클록선택부(MUX1)의 출력단에는 제1D플립플롭(DFF1)이 연결되고, 제1D플립플롭(DFF1)의 출력단에는 제1레벨시프터(LS1)가 연결된다. 제1D플립플롭(DFF1)의 진리표는 다음의 표 3과 같다.

표 3

[0048]

	Q (현재 출력)	Q+1 (다음 출력)
0	0	0
0	1	0
1	0	1
1	1	1

[0049]

제1D플립플롭(DFF1)에는 제1 내지 제4트랜지스터(T1 ~ T4)와 제2 내지 제6인버터(INV2 ~ INV6)가 포함된다. 제1D플립플롭(DFF1)은 하기와 같은 구성으로 형성된 것을 일례로 도시 및 설명하나 이에 한정되지 않는다. 그리고, 도 3의 제2 내지 제4D플립플롭(DFF2 ~ DFF4) 또한 제1D플립플롭(DFF1)과 같은 형태로 구성될 수 있다. 여기서, 제1 내지 제4D플립플롭(DFF1 ~ DFF4)의 구성은 시프트레지스터들의 이해를 돕기 위한 것일 뿐 이에 한정되지 않고 다른 어떠한 형태로도 구성될 수 있다.

[0050]

제1트랜지스터(T1)는 N형이며, 제1클록(clk) 또는 제2클록(clkb)이 공급되는 클록단자에 게이트전극이 연결되고 제1스타트 펄스들(GSP1)가 공급되는 데이터단자에 제1전극이 연결되며 제3인버터(INV3)의 입력단에 제2전극이 연결된다. 제2트랜지스터(T2)는 P형이며, 제2인버터(INV2)의 출력단에 게이트전극이 연결되고 데이터단자에 제1전극이 연결되며 제3인버터(INV3)의 입력단에 제2전극이 연결된다. 제3트랜지스터(T3)는 P형이며, 클록단자에 게이트전극이 연결되고 제3인버터(INV3)의 출력단에 제1전극이 연결되며 제5인버터(INV5)의 입력단에 제2전극이 연결된다. 제4트랜지스터(T4)는 N형이며, 제2인버터(INV2)의 출력단에 게이트전극이 연결되고 제3인버터(INV3)의 출력단에 제1전극이 연결되며 제5인버터(INV5)의 입력단에 제2전극이 연결된다.

[0051]

제2인버터(INV2)는 클록단자에 입력단이 연결되고 제2트랜지스터(T2)의 게이트전극에 출력단이 연결된다. 제3인버터(INV3)는 제1트랜지스터(T1)의 제2전극에 입력단이 연결되고 제3트랜지스터(T3)의 제1전극에 출력단이 연결된다. 제4인버터(INV4)는 제3인버터(INV3)의 입력단에 출력단이 연결되고 제3인버터(INV3)의 출력단에 입력단이 연결된다. 제5인버터(INV5)는 제3트랜지스터(T3)의 제2전극에 입력단이 연결되고 제1D플립플롭(DFF1)의 출력단에 출력단이 연결된다. 제6인버터(INV6)는 제1D플립플롭(DFF1)의 출력단에 입력단이 연결되고 제5인버터(INV5)의 입력단에 출력단이 연결된다.

[0052]

도 3, 도 5 및 도 6에 도시된 바와 같이, 제1 및 제2클록선택부(MUX1, MUX2), 제1 및 제2D플립플롭(DFF1, DFF2) 및 제1 및 제2레벨시프터(LS1, LS2)는 선택신호에 따라 하기와 같은 파형을 출력하게 된다.

[0053]

먼저, 제1클록선택부(MUX1)의 선택단자에 로직로우에 해당하는 선택신호(SEL1 = 0)가 공급되면, 제1클록선택부(MUX1)는 출력단을 통해 제2클록(clkb)을 출력한다.

[0054]

그러면, 제1D플립플롭(DFF1)은 클록단자에 공급된 제2클록(clkb)과 데이터단자에 공급된 제1스타트 펄스(GSP1)를 래치하고, 제2클록(clkb)의 라이징엣지에 동기화된 제1펄스신호를 출력한다. 그리고 제1레벨시프터(LS1)는 제1펄스신호의 레벨을 상승시켜 제1스캔신호(X1)로 출력한다. 이와 같은 과정에서, 제1D플립플롭(DFF1)은 "A"지

점과 "B"지점의 파형과 같이 제1펄스신호를 지연하여 출력한다.

- [0055] 다음, 제2클록선택부(MUX2)의 선택단자에 로직하이에 해당하는 선택신호(SEL2 = 1)가 공급되면, 제2클록선택부(MUX2)는 출력단을 통해 제1클록(c1k)을 출력한다.
- [0056] 그러면, 제2D플립플롭(DFF2)은 클록단자에 공급된 제1클록(c1k)과 데이터단자에 공급된 제2스타트 펄스(ASP1)를 래치하고, 제1클록(c1k)의 폴링엣지에 동기화된 제2펄스신호를 출력한다. 그리고 제2레벨시프터(LS2)는 제2펄스신호의 레벨을 상승시켜 제2스캔신호(X2)로 출력한다. 이와 같은 과정에서, 제2D플립플롭(DFF2)은 "A"지점과 "B"지점의 파형과 같이 제2펄스신호를 지연하여 출력한다.
- [0057] 위의 설명에서 알 수 있듯이, 실시예의 스캔구동부(SDRV)는 D플립플롭의 클록단자에 공급되는 클록의 상태에 따라 데이터단자에 공급되는 스타트펄스는 라이징엣지에 동기화되거나 폴링엣지에 동기화된다. 이에 따라, 실시예의 스캔구동부(SDRV)는 클록선택부들(MUX1 ~ MUX4)을 통해 출력되는 클록의 상태를 가변하는 방식으로 제1스캔신호(X1) 대비 1/2 수평시간 지연된 제2스캔신호(X2)를 출력할 수 있게 된다. 여기서, 제1스캔신호(X1) 및 제1스캔신호(X1) 대비 1/2 수평시간 지연된 제2스캔신호(X2)가 출력되는 단자는 제1레벨시프터(LS1) 및 제2레벨시프터(LS2)에 한정되지 않는다.
- [0058] 달리 설명하면, 실시예의 스캔구동부(SDRV)에 포함된 제1 내지 제4D플립플롭들(DFF1 ~ DFF4) 중 선택된 D플립플롭은 선택신호의 논리값이 로직하이를 갖는다. 반면, 제1 내지 제4D플립플롭들(DFF1 ~ DFF4) 중 비선택된 D플립플롭은 선택신호의 논리값이 로직로우를 갖는다. 그리고 제1 내지 제4D플립플롭들(DFF1 ~ DFF4) 중 선택된 D플립플롭의 개수는 M개(M은 1 이상 정수)일 수 있다. 즉, M = 1이면, 특정 스캔신호 대비 1/2 수평시간 지연된 스캔신호는 1개이고, M = 2이면, 특정 스캔신호 대비 1/2 수평시간 지연된 스캔신호는 2개가 된다.
- [0059] 한편, 위의 설명에서는 제1클록(c1k) 및 제2클록(c1kb)이 1 수평시간 내에 로직하이와 로직로우의 듀티비가 동일한 온/오프 시간을 갖는 것을 일례로 설명하였다. 그러나, 제1클록(c1k) 및 제2클록(c1kb)은 1 수평시간 내에 로직하이와 로직로우의 듀티비가 다를 수 있다. 이 경우, 제1 내지 제4D플립플롭들(DFF1 ~ DFF4) 중 선택된 D플립플롭은 제I펄스신호로부터 1/K(K는 3 이상 정수)수평시간의 지연 간격을 갖는 제J펄스신호를 생성할 수 있다.
- [0060] 예컨대, 도 7과 같이 제1클록(c1k)의 온 듀티를 오프 듀티 대비 짧게 형성하면, 제2스캔신호(X2)는 제1스캔신호(X1) 대비 1/3 수평시간의 지연 간격을 갖게 된다. 여기서, 제1스캔신호(X1)는 라이징엣지에 동기화되어 출력된 것이고, 제2스캔신호(X2)는 폴링엣지에 동기화되어 출력된 것임은 위의 설명을 통해서 알 수 있을 것이다.
- [0061] 제1클록(c1k)의 온/오프 듀티비가 도 7에 한정되지 않고 온 듀티를 더 짧게 형성하면, 제2스캔신호(X2)는 1/4 수평시간 등의 지연 간격을 갖게 된다. 따라서, 실시예의 스캔구동부(SDRV)는 스캔신호의 수평시간이 더 미세한 지연 간격을 갖도록 조절할 수도 있다.
- [0062] 이하, 본 발명의 실시예에 따른 스캔구동부를 이용한 유기전계발광표시장치에 대해 설명한다.
- [0063] 도 8은 보상회로가 포함된 7T1C 구조를 갖는 서브 픽셀의 예시도이고, 도 9는 도 8에 도시된 서브 픽셀의 구동 파형 예시도이다.
- [0064] 도 8 및 도 9에 도시된 바와 같이, 보상회로가 포함된 7T1C 구조를 갖는 서브 픽셀에는 제1트랜지스터(S1), 제2트랜지스터(S2), 제3트랜지스터(S3), 제4트랜지스터(S4), 제5트랜지스터(S5), 제6트랜지스터(S6), 구동트랜지스터(T1), 커패시터(CST) 및 유기 발광다이오드(D)가 포함된다. 도시된 바와 같이, 제1 내지 제6트랜지스터 및 구동트랜지스터(S1~S6, T1)는 N-Type 아몰폴스 실리콘(nA-Si) 트랜지스터로 형성된다.
- [0065] 서브 픽셀에 포함된 소자들은 다음과 같이 연결된다.
- [0066] 제1트랜지스터(S1)는 제1스캔신호(init)가 공급되는 제1스캔배선(INIT)에 게이트 단자가 연결되고 고 전위의 전원이 공급되는 제1전원배선(VDD)에 제1단자가 연결되며 커패시터(CST)의 일측 단자에 제2단자가 연결된다. 제2트랜지스터(S2)는 제1스캔배선(INIT)에 게이트 단자가 연결되고 구동트랜지스터(T1)의 제2단자에 제1단자가 연결되며 커패시터(CST)의 타측 단자에 제2단자가 연결된다. 제3트랜지스터(S3)는 제2스캔신호(scan[n])가 공급되는 제2스캔배선(SCAN[n])에 게이트 단자가 연결되고 구동트랜지스터(T1)의 제1단자에 제1단자가 연결되며 구동트랜지스터(T1)의 게이트 단자에 제2단자가 연결된다. 제4트랜지스터(S4)는 제2스캔배선(SCAN[n])에 게이트 단자가 연결되고 데이터전압(V_{DATA})이 공급되는 데이터배선(DATA)에 제1단자가 연결되며 커패시터(CST)의 타측 단자에 제2단자가 연결된다. 제5트랜지스터(S5)는 제3스캔신호(em)가 공급되는 제3스캔배선(EM)에 게이트 단자가 연결되고 레퍼런스전압(V_{REF})이 공급되는 레퍼런스배선(VREF)에 제1단자가 연결되며 커패시터(CST)의 타측 단자

에 제2단자가 연결된다. 제6트랜지스터(S6)는 제3스캔배선(EM)에 게이트 단자가 연결되고 제1전원배선(VDD)에 제1단자가 연결되며 구동트랜지스터(T1)의 제1단자에 제2단자가 연결된다. 유기 발광다이오드(D)는 구동트랜지스터(T1)의 제2단자에 애노드가 연결되고 저 전위의 전원이 공급되는 제2전원배선(VSS)에 캐소드가 연결된다.

- [0067] 위와 같은 보상회로를 갖는 서브 픽셀은 다음과 같이 초기화구간, 문턱전압 감지 및 프로그래밍구간, 발광구간의 순으로 동작한다.
- [0068] 초기화구간 동안 제2 및 제3스캔배선(SCAN[n], EM)에는 로직로우의 제2 및 제3스캔신호(scan[n], em)가 공급되고, 제1스캔배선(INIT)에는 로직하이의 제1스캔신호(init)가 공급된다.
- [0069] 문턱전압감지 및 프로그래밍구간 동안 제1 및 제3스캔배선(INIT, EM)에는 로직로우의 제1 및 제3스캔신호(init, em)가 공급되고, 제2스캔배선(SCAN[n])에는 로직하이의 제2스캔신호(scan[n])가 공급된다.
- [0070] 발광구간 동안 제1 및 제2스캔배선(INIT, SCAN[n])에는 로직로우의 제1 및 제2스캔신호(init, scan[n])가 공급되고, 제3스캔배선(EM)에는 로직하이의 제3스캔신호(em)가 공급된다.
- [0071] 초기화구간, 문턱전압 감지 및 프로그래밍구간, 발광구간 동안 제1 내지 제3스캔배선(INIT, SCAN[n], EM)을 통해 공급된 스캔신호들(init, scan[n], em)에 의해 서브 픽셀에 포함된 소자들은 하기와 같이 동작하게 된다.
- [0072] 제1트랜지스터(S1)는 제1스캔신호(init)에 따라 턴온 되어 고 전위의 전원을 구동트랜지스터(D1)의 게이트 단자와 커패시터(CST)의 일측 단자에 공급하고 구동트랜지스터(D1)의 문턱전압(V_{TH})을 초기화한다. 제2트랜지스터(S2)는 제1스캔신호(init)에 따라 턴온 되어 커패시터(CST)의 타측 단자와 구동트랜지스터(T1)의 제2단자를 연결한다. 제3트랜지스터(S3)는 제2스캔신호(SCAN[n])에 따라 턴온 되어 구동트랜지스터(T1)의 게이트 단자와 제1단자를 연결하고 구동트랜지스터(T1)의 문턱전압(V_{TH})을 설정한다. 제4트랜지스터(S4)는 제2스캔신호(SCAN[n])에 따라 턴온 되어 커패시터(CST)의 타측 단자에 데이터전압(V_{DATA})을 공급한다. 제5트랜지스터(S5)는 제3스캔신호(em)에 따라 턴온 되어 커패시터(CST)의 타측 단자에 레퍼런스전압(V_{REF})을 공급한다. 제6트랜지스터(S6)는 제3스캔신호(em)에 따라 턴온 되어 제1단자로 공급된 고 전위의 전원을 제2단자로 전달한다. 구동트랜지스터(T1)는 데이터전압(V_{DATA})을 기반으로 턴온 되어 구동전류를 생성한다. 유기 발광다이오드(D)는 구동트랜지스터(T1)를 통해 공급된 구동전류를 기반으로 발광을 한다.
- [0073] 한편, 앞서 설명된 서브 픽셀의 구동방법을 살펴보면 제1스캔배선(INIT)을 통해 공급되는 제1스캔신호(init)의 경우, 제3스캔배선(EM)을 통해 공급되는 제3스캔신호(em) 대비 1/2 수평시간(1/2H) 지연된 간격이 요구된다.
- [0074] 이 경우, 스캔구동부(SDRV)는 도 2 내지 도 6을 참조하여 설명한 바와 같이 클록선택부들(MUX1 ~ MUX3)을 통해 출력되는 클록의 상태를 가변하는 방식으로 제3스캔신호(em) 대비 1/2 수평시간 지연된 제1스캔신호(init)를 출력할 수 있게 된다.
- [0075] 한편, 본 발명의 실시예에서는 보상회로가 포함된 7T1C 구조를 갖는 서브 픽셀을 일례로 스캔구동부를 이용한 유기전계발광표시장치를 설명하였으나, 보상회로가 포함된 서브 픽셀의 구조는 이에 한정되지 않는다. 그리고 본 발명의 실시예에서는 유기전계발광표시장치를 구동하는 스캔구동부(SDRV)가 3개의 스캔신호를 출력하는 것을 일례로 하였으나, 이는 보상회로를 갖는 서브 픽셀의 구성에 따라 2개, 3개, 4개 및 F개(F는 5 이상)와 같이 다양하게 출력될 수 있다.
- [0076] 이상 본 발명의 실시예는 특정 스캔신호를 1 수평시간에서 1/2 수평시간 간격으로 생성하여 출력하는 스캔구동부 및 이를 이용한 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명의 실시예는 클록의 온/오프 듀티비를 달리하여 특정 스캔신호를 1 수평시간에서 1/K(K는 3 이상 정수) 수평시간 간격으로 생성하여 출력하는 스캔구동부 및 이를 이용한 유기전계발광표시장치를 제공하는 효과가 있다. 또한, 본 발명의 실시예는 보상회로를 갖는 서브 픽셀에서 요구하는 스캔신호를 1/2 이하의 수평시간 간격으로 생성하여 출력하는 스캔구동부 및 이를 이용한 유기전계발광표시장치를 제공하는 효과가 있다. 한편, 실시예에서는 스캔구동부가 유기전계발광표시장치에 적용된 것을 일례로 하였지만 이에 한정되지 않고 다른 형태의 표시장치에도 적용될 수 있음은 물론이다.
- [0077] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태

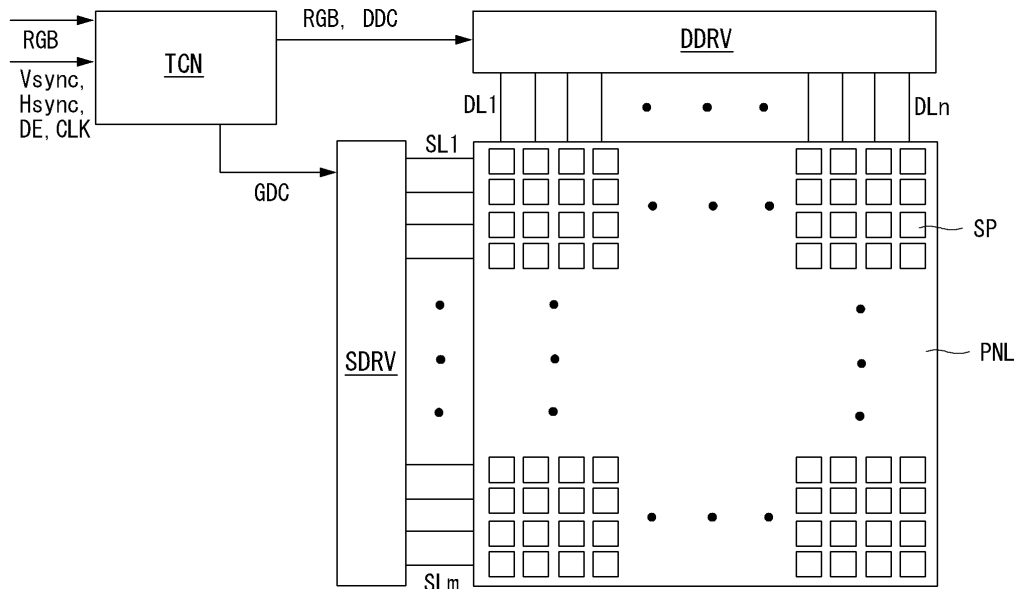
로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

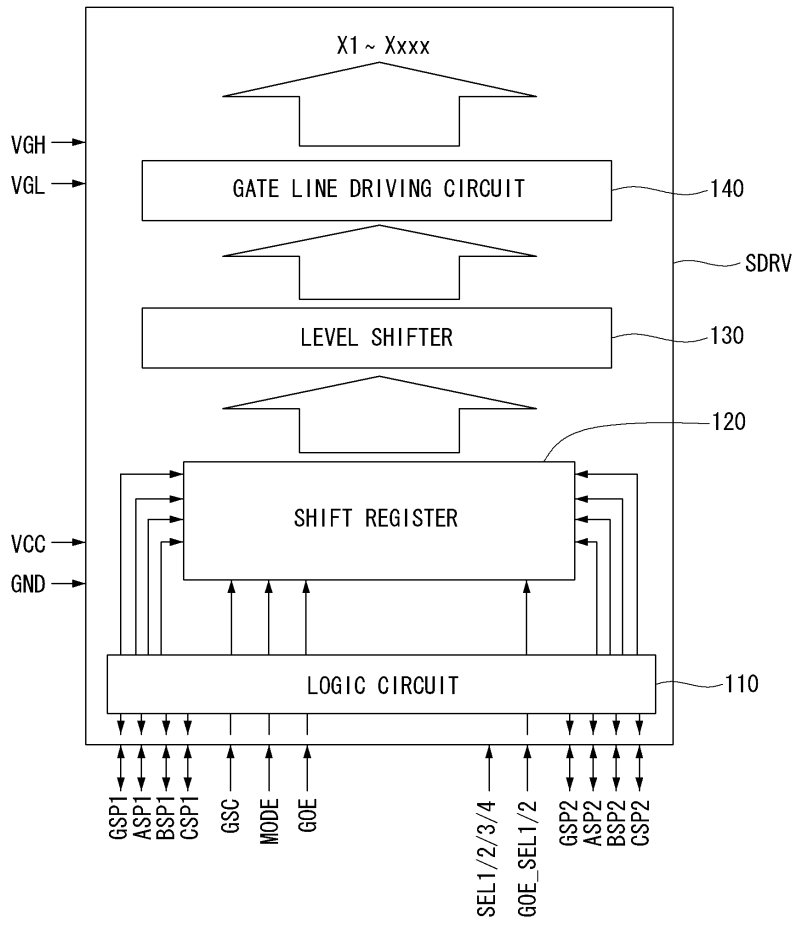
- [0078]
- | | |
|-----------------------------|-------------------|
| TCN: 타이밍구동부 | PNL: 표시패널 |
| SDRV: 스캔구동부 | DDRV: 데이터구동부 |
| 110: 로직회로부들 | 120: 시프트레지스터들 |
| 130: 레벨시프터들 | 140: 라인구동부들 |
| 115: 클록선택부들 | SEL 1/2/3/4: 선택신호 |
| DFF1 ~ DFF4: 제1 내지 제4D플립플롭들 | |
| LS1 ~ LS4: 제1 내지 제4레벨시프터들 | |

도면

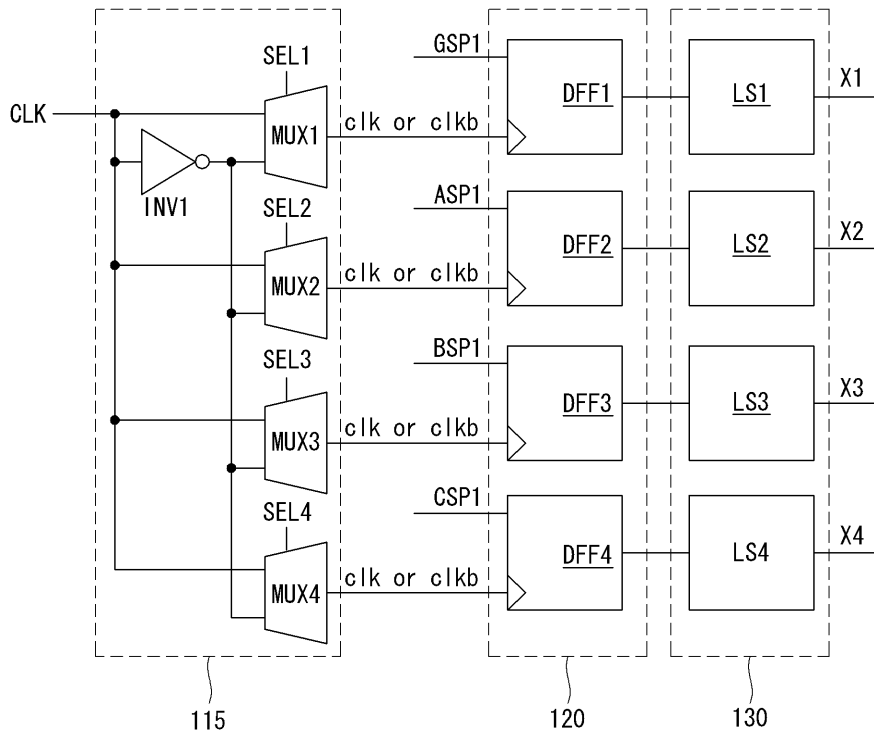
도면1



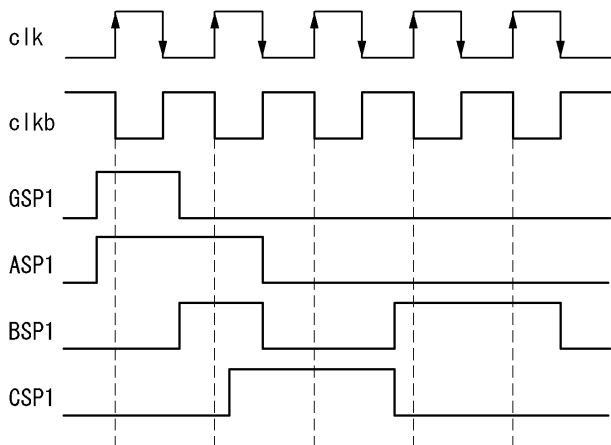
도면2



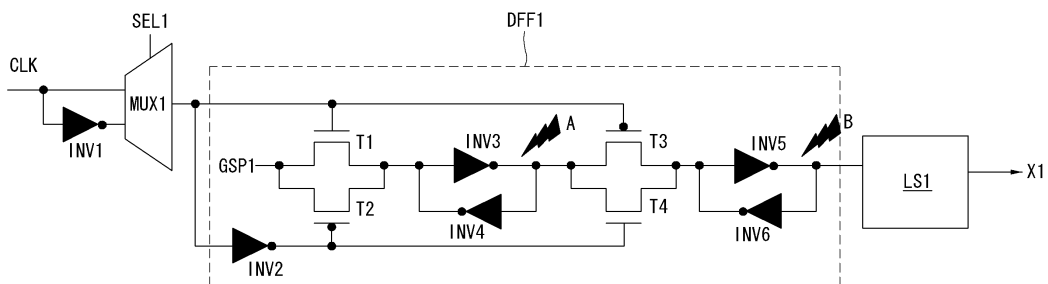
도면3



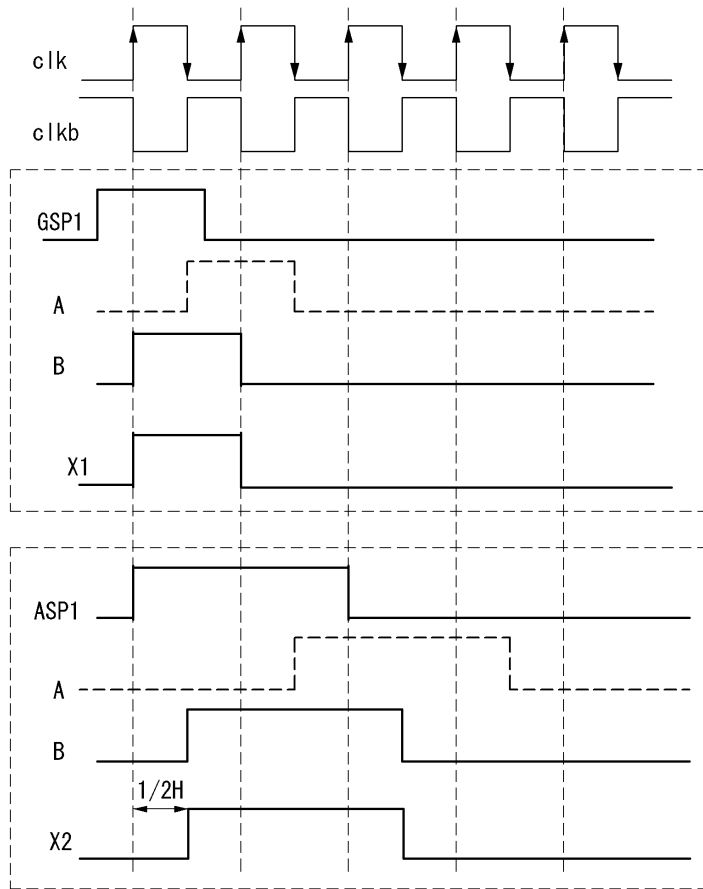
도면4



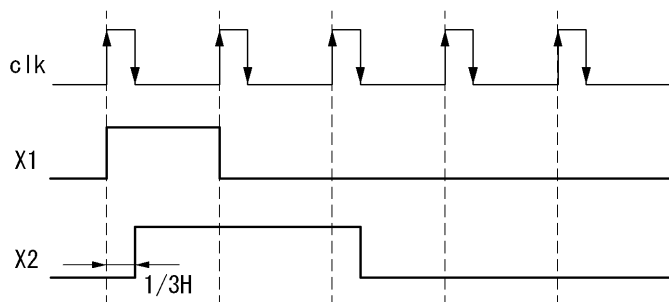
도면5



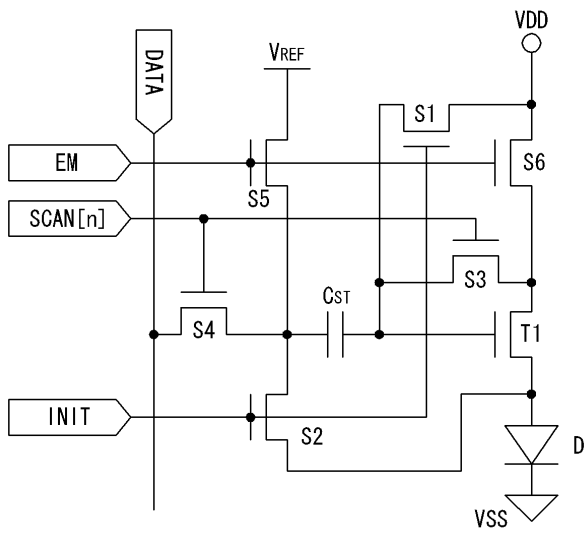
도면6



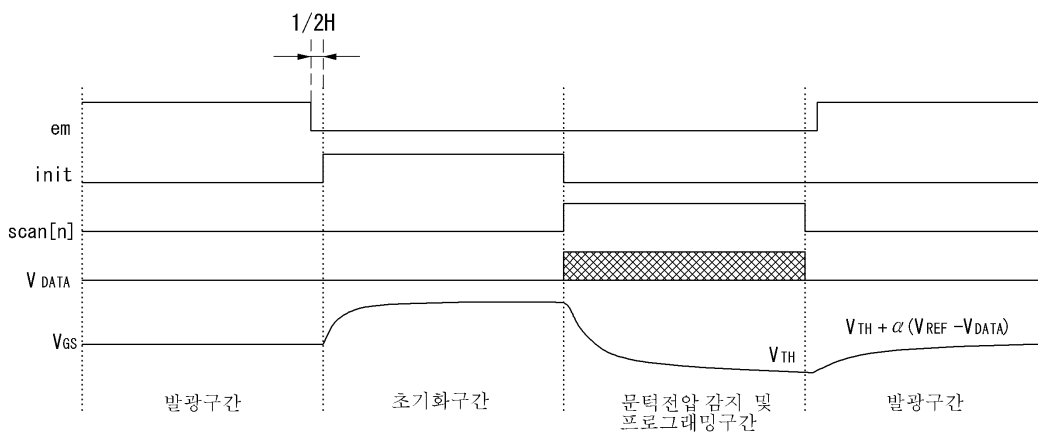
도면7



도면8



도면9



专利名称(译)	扫描驱动器和使用其的有机发光显示器		
公开(公告)号	KR1020130023488A	公开(公告)日	2013-03-08
申请号	KR1020110086279	申请日	2011-08-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK HYE MIN 박혜민 YU SANG HO 유상호 KIM HYUN WOOK 김현욱		
发明人	박혜민 유상호 김현욱		
IPC分类号	G09G3/30		
CPC分类号	G09G3/30 G09G5/00 G09G3/3266 G09G2310/0286 G09G2310/0289 G09G2310/08		
其他公开文献	KR101857808B1		
外部链接	Espacenet		

摘要(译)

本发明实施例还可以包括时钟选择器，用于根据选择信号的逻辑值，输出由一个水平时间内逻辑高和逻辑低形成的第一时钟任务反转的第一时钟任务之一；移位寄存器用于产生脉冲信号，使用第一到第N（N是4或更大的整数）的起始脉冲，其相位与从时钟选择器提供的第一和第二时钟的相位不同；以及电平移位器，用于增加从移位寄存器提供的脉冲信号的电平，并将得到的信号作为扫描信号输出，其中所选择的一个移位寄存器包括：产生J脉冲信号。 专利文献10-2013-0023488

