



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월29일
(11) 등록번호 10-2070148
(24) 등록일자 2020년01월20일

- (51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
H01L 51/56 (2006.01)
- (52) CPC특허분류
H01L 51/5203 (2013.01)
H01L 27/32 (2013.01)
- (21) 출원번호 10-2018-0127504
- (22) 출원일자 2018년10월24일
심사청구일자 2019년01월11일
- (56) 선행기술조사문헌
KR100778442 B1*
(뒷면에 계속)

- (73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
- (72) 발명자
김영대
서울특별시 강남구 삼성로 150(대치동, 한보미도맨션), 208동 710호
김진석
경기도 성남시 분당구 판교로 430(이매동, 아름마을건영한성태영아파트), 104동 502호
(뒷면에 계속)
- (74) 대리인
박영우

전체 청구항 수 : 총 11 항

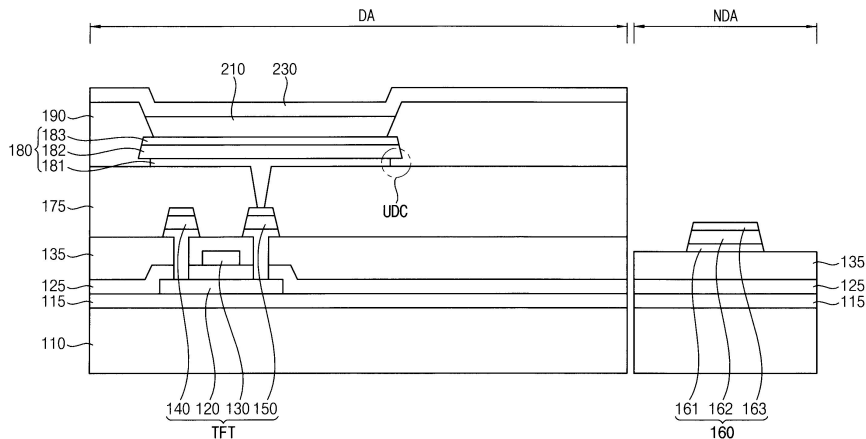
심사관 : 이옥우

(54) 발명의 명칭 표시 장치 및 이의 제조 방법

(57) 요약

표시 장치는 기판의 표시 영역에 배치된 절연층, 상기 절연층 상에 순차적으로 적층된 제1 도전층, 제2 도전층 및 제3 도전층을 포함하고, 상기 제1 도전층의 길이는 상기 제2 도전층의 길이보다 작은 화소 전극, 상기 화소 전극을 커버하고 상기 화소 전극의 일부분을 노출하는 개구가 형성된 화소 정의막, 상기 화소 정의막의 개구 내에 배치된 유기 발광층 및 상기 유기 발광층 상에 배치되어 상기 화소 전극과 중첩하는 대향 전극을 포함한다. 이에 따르면, ITO/Ag/ITO의 적층 구조를 갖는 화소 전극층의 식각 공정을 상부 ITO 층을 먼저 제1 식각 공정으로 식각하고 Ag층 및 하부 ITO 층을 이어 제2 식각 공정으로 식각하는 2 단계 식각 공정을 통해서 은-파티클의 발생을 억제할 수 있다.

대표도



(52) CPC특허분류

H01L 51/56 (2013.01)

H01L 2251/56 (2013.01)

(72) 발명자

김기태

경기도 오산시 오산로 47(갈곶동), 104동 703호

박중희

경기도 화성시 동탄대로1길 32(장지동, 금호어울림
레이크2차), 2902동 1603호

(56) 선행기술조사문헌

KR1020120032904 A*

KR1020130009137 A*

KR1020170031023 A*

KR1020060023063 A

KR101750430 B1

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

기판의 표시 영역에 절연층을 형성하는 단계;

상기 기판 상의 상기 표시 영역을 둘러싸는 비표시 영역에 패드 전극을 형성하는 단계;

상기 절연층 및 상기 패드 전극 상에 순차적으로 적층된 제1 도전층, 제2 도전층 및 제3 도전층을 포함하는 화소 전극층을 형성하는 단계;

상기 제3 도전층을 제1 식각액으로 제1 식각하여 제3 전극을 형성하는 단계;

상기 제2 도전층 및 상기 제1 도전층을 제2 식각액으로 제2 식각한 후, 제2 전극 및 제1 전극을 형성하여 상기 절연층 상에 화소 전극을 제공하는 단계;

상기 화소 전극 상에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 상기 화소 전극과 중첩하는 대향 전극을 형성하는 단계를 포함하는 표시 장치의 제조 방법.

청구항 8

제7항에 있어서, 상기 패드 전극은 알루미늄(Al)을 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 9

제8항에 있어서, 상기 패드 전극은 순차적으로 적층되는 제1 층, 제2 층 및 제3 층을 포함하고, 상기 제1 층 및 상기 제3 층은 티타늄(Ti)을 포함하며, 상기 제2 층은 알루미늄(Al)을 포함하는 표시 장치의 제조 방법.

청구항 10

삭제

청구항 11

제8항에 있어서, 상기 제1 도전층은 인듐 주석 산화물(ITO)을 포함하고,
 상기 제2 도전층은 은(Ag)을 포함하고,
 상기 제3 도전층은 인듐 주석 산화물(ITO)을 포함하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 12

제11항에 있어서, 상기 제3 도전층을 제1 식각하는 단계에서,
 상기 화소 전극의 에지 부분 및 상기 패드 전극의 에지 부분에 대응하는 상기 제1 도전층에 언더컷이 형성되는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 13

제11항에 있어서, 상기 제3 도전층을 제1 식각하는 단계에서,
 상기 화소 전극의 에지 부분 및 상기 패드 전극의 에지 부분에서 상기 제1 도전층의 길이는 상기 제2 도전층의 길이 보다 작은 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 14

제12항에 있어서, 상기 제2 도전층 및 상기 제1 도전층을 상기 제2 식각하는 단계에서,
 상기 언더컷 안에 상기 제2 도전층에서부터 발생된 은 이온이 모이는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 15

제12항에 있어서, 상기 화소 전극의 에지 부분에 형성된 상기 언더컷의 길이는 190 nm 내지 250 nm 인 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 16

제12항에 있어서, 상기 패드 전극의 에지 부분에 형성된 상기 언더컷의 길이는 180 nm 내지 200 nm 인 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 17

제12항에 있어서, 상기 화소 전극의 상기 언더컷을 커버하고 상기 화소 전극의 일부분을 노출하는 개구가 형성된 화소 정의막을 형성하는 단계를 더 포함하고,
 상기 유기 발광층은 상기 화소 정의막의 개구 내에 형성하는 것을 특징으로 하는 표시 장치의 제조 방법.

청구항 18

제7항에 있어서, 상기 기판과 상기 화소 전극 사이에 배치되고, 반도체층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계를 더 포함하는 표시 장치의 제조 방법.

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

본 발명은 표시 장치 및 이의 제조 방법에 관한 것으로, 보다 상세하게는 불량을 개선한 표시 장치 및 이의 제조 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 최근, 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시 장치의 중요성이 증대되고 있다. 평판 표시 장치 중 액정 표시 장치 및 유기 발광 표시 장치는 해상도, 화질 등이 우수하여 널리 상용화되고 있다. 특히, 유기 발광 표시 장치는 응답 속도가 빠르고, 소비 전력이 낮으며, 자체 발광하므로 시야각이 우수하여 차세대 평판 표시 장치로 주목 받고 있다.
- [0003] 유기 발광 표시 장치는 표시 영역에 형성되는 유기 발광 소자 및 표시 영역에 이웃하는 주변 영역에 형성되는 배선을 포함할 수 있다. 유기 발광 소자는 전극들 및 상기 전극들 사이에 개재되어 광을 방출하는 유기 발광층을 포함할 수 있다.
- [0004] 표시 영역 및 주변 영역에 금속층을 형성하고, 이를 식각하여 유기 발광 소자의 전극을 형성하는 경우에, 배선과 상기 금속층은 전해질인 식각액에 의해 반응하여 갈바닉(Galvanic) 부식을 일으킬 수 있다. 갈바닉 부식은 부식 전위가 다른 두 금속들이 전해질로 연결되는 경우에, 산화-환원 반응에 의해 전자의 이동이 일어나 금속 이온이 환원되는 현상을 말한다. 상기 금속층과 상기 배선을 구성하는 금속 물질의 부식 전위가 크게 차이 나는 경우에 갈바닉 부식이 발생할 수 있다.

발명의 내용

해결하려는 과제

- [0005] 본 발명의 일 목적은 파티클 불량을 개선한 표시 장치를 제공하는 것이다.
- [0006] 본 발명의 일 목적은 파티클 발생을 억제하기 위한 표시 장치의 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0007] 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 표시 장치는 기관의 표시 영역에 배치된 절연층, 상기 절연층 상에 순차적으로 적층된 제1 도전층, 제2 도전층 및 제3 도전층을 포함하고, 상기 제1 도전층의 길이는 상기 제2 도전층의 길이보다 작은 화소 전극, 상기 화소 전극을 커버하고 상기 화소 전극의 일부분을 노출하는 개구가 형성된 화소 정의막, 상기 화소 정의막의 개구 내에 배치된 유기 발광층 및 상기 유기 발광층 상에 배치되어 상기 화소 전극과 중첩하는 대향 전극을 포함한다.
- 일 실시예에 따르면, 상기 제1 도전층은 인듐 주석 산화물(ITO)을 포함하고, 상기 제2 도전층은 은(Ag)을 포함하고, 상기 제3 도전층은 인듐 주석 산화물(ITO)을 포함할 수 있다.
- 일 실시예에 따르면, 상기 표시 영역을 둘러싸는 상기 기관의 비표시 영역에 배치된 패드 전극을 더 포함하고, 상기 패드 전극은 알루미늄을 포함할 수 있다.
- 일 실시예에 따르면, 상기 패드 전극은 순차적으로 적층되는 제1 층, 제2 층 및 제3 층을 포함하고, 상기 제1 층 및 상기 제3 층은 티타늄(Ti)을 포함하며, 상기 제2 층은 알루미늄(Al)을 포함할 수 있다.
- 일 실시예에 따르면, 상기 기관과 상기 화소 전극 사이에 배치되고, 반도체층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 더 포함할 수 있다.
- 일 실시예에 따르면, 상기 화소 전극의 에지 부분에서 상기 제1 도전층과 상기 제2 도전층의 길이 차이는 190 nm 내지 250 nm일 수 있다.
- 상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 표시 장치의 제조 방법은 기관의 표시 영역에 절연층을 형성하는 단계, 상기 절연층 상에 순차적으로 적층된 제1 도전층, 제2 도전층 및 제3 도전층을 포함하는 화소 전극층을 형성하는 단계, 상기 제3 도전층을 제1 식각액으로 제1 식각하여 화소 전극의 제3 도전층을 패터닝하는 단계, 상기 제2 도전층 및 제1 도전층을 제2 식각액으로 제2 식각하여 상기 화소 전극의 제2 도전층 및 제1 도전층을 패터닝하는 단계, 상기 화소 전극 상에 유기 발광층을 형성하는 단계, 및 상기 유기 발광층 상에 상기 화소 전극과 중첩하는 대향 전극을 형성하는 단계를 포함한다.
- 일 실시예에 따르면, 상기 표시 영역을 둘러싸는 상기 기관의 비표시 영역에 배치된 패드 전극을 형성하는 단계를 더 포함하고, 상기 패드 전극은 알루미늄(Al)을 포함할 수 있다.
- 일 실시예에 따르면, 상기 패드 전극은 순차적으로 적층되는 제1 층, 제2 층 및 제3 층을 포함하고, 상기 제1

층 및 상기 제3 층은 티타늄(Ti)을 포함하며, 상기 제2 층은 알루미늄(Al)을 포함할 수 있다.

일 실시예에 따르면, 상기 화소 전극층은 형성하는 단계는, 상기 비표시 영역에 배치된 상기 패드 전극 상에 상기 화소 전극층을 형성하는 단계를 포함할 수 있다.

일 실시예에 따르면, 상기 제1 도전층은 인듐 주석 산화물(ITO)을 포함하고, 상기 제2 도전층은 은(Ag)을 포함하고, 상기 제3 도전층은 인듐 주석 산화물(ITO)을 포함할 수 있다.

일 실시예에 따르면, 상기 제3 도전층을 제1 식각하는 단계에서, 상기 화소 전극의 에지 부분 및 상기 패드 전극의 에지 부분에 대응하는 상기 제1 도전층에 언더컷이 형성될 수 있다.

일 실시예에 따르면, 상기 제3 도전층을 제1 식각하는 단계에서, 상기 화소 전극의 에지 부분 및 상기 패드 전극의 에지 부분에서 상기 제1 도전층의 길이는 상기 제2 도전층의 길이 보다 작을 수 있다.

일 실시예에 따르면, 상기 제2 도전층 및 상기 제1 도전층을 상기 제2 식각하는 단계에서, 상기 언더컷 안에 상기 제2 도전층에서부터 발생된 은 이온이 모일 수 있다.

일 실시예에 따르면, 상기 화소 전극의 에지 부분에 형성된 상기 언더컷의 길이는 190 nm 내지 250 nm 일 수 있다.

일 실시예에 따르면, 상기 패드 전극의 에지 부분에 형성된 상기 언더컷의 길이는 180 nm 내지 200 nm 일 수 있다.

일 실시예에 따르면, 상기 화소 전극의 상기 언더컷을 커버하고 상기 화소 전극의 일부분을 노출하는 개구가 형성된 화소 정의막을 형성하는 단계를 더 포함하고, 상기 유기 발광층은 상기 화소 정의막의 개구 내에 형성할 수 있다.

일 실시예에 따르면, 상기 방법은 상기 기판과 상기 화소 전극 사이에 배치되고, 반도체층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계를 더 포함할 수 있다.

상기 일 목적을 달성하기 위해, 본 발명의 실시예들에 따른 표시 장치는 기판의 표시 영역에 배치된 절연층, 상기 절연층 상에 순차적으로 적층된 제1 도전층, 제2 도전층 및 제3 도전층을 포함하고, 상기 제1 도전층의 에지 부분에 언더컷이 형성된 화소 전극, 상기 화소 전극의 상기 언더컷을 커버하고 상기 화소 전극의 일부분을 노출하는 개구가 형성된 화소 정의막, 상기 화소 정의막의 개구 내에 배치된 유기 발광층 및 상기 유기 발광층 상에 배치되어 상기 화소 전극과 중첩하는 대향 전극을 포함한다.

일 실시예에 따르면, 상기 제1 도전층은 인듐 주석 산화물(ITO)을 포함하고, 상기 제2 도전층은 은(Ag)을 포함하고, 상기 제3 도전층은 인듐 주석 산화물(ITO)을 포함할 수 있다.

[0008] 삭제

[0009] 삭제

[0010] 삭제

[0011] 삭제

[0012] 삭제

[0013] 삭제

- [0014] 삭제
- [0015] 삭제
- [0016] 삭제
- [0017] 삭제
- [0018] 삭제
- [0019] 삭제
- [0020] 삭제
- [0021] 삭제
- [0022] 삭제
- [0023] 삭제

발명의 효과

[0024] 상기와 같은 본 발명의 실시예들에 따른 표시 장치 및 이의 제조 방법에 따르면, ITO/Ag/ITO의 적층 구조를 갖는 화소 전극층의 식각 공정을 상부 ITO 층을 먼저 제1 식각 공정으로 식각하고 Ag층 및 하부 ITO 층을 이어 제2 식각 공정으로 식각하는 2 단계 식각 공정을 통해서 은-파티클의 발생을 억제할 수 있다. 결과적으로 은-파티클에 의해 제조 공정 상의 불량률 제거할 수 있다. 또한, 상기 패드 전극에 포함된 알루미늄과의 반응을 차단함으로써 상기 패드 전극의 측면이 부식되는 것을 막을 수 있다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다.
 도 2는 도 1의 표시 장치의 A 부분을 설명하기 위한 확대도이다.
 도 3은 도 2의 I-I' 선 및 II-II' 선을 따라 절단한 표시 장치의 단면도이다.
 도 4 내지 도 10은 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
 도 11a 및 도 11b는 실시예와 비교예에 따른 은-파티클의 발생 여부를 비교하기 위한 사진들이다.
 도 12a 및 도 12b는 실시예와 비교예에 따른 언더컷 발생 여부를 비교하기 위한 사진들이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 첨부한 도면들을 참조하여, 본 발명의 실시예를 보다 상세하게 설명하고자 한다.
 [0027] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 평면도이다.

- [0028] 도 1을 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 표시 영역(DA) 및 비표시 영역(NDA)을 포함할 수 있다. 표시 영역(DA)에는 복수의 화소들(PX)이 배치될 수 있다. 표시 영역(DA)은 복수의 화소들(PX)이 방출하는 광들에 기초하여 영상을 표시할 수 있다.
- [0029] 비표시 영역(NDA)은 표시 영역(DA)에 이웃할 수 있다. 비표시 영역(NDA)은 표시 영역(DA)의 적어도 일 측에 위치할 수 있다. 예를 들면, 비표시 영역(NDA)은 표시 영역(DA)을 둘러쌀 수 있다. 비표시 영역(NDA)은 복수의 팬아웃 배선들이 배열된 배선 영역(SLA)과 상기 복수의 팬아웃 배선들의 단부에 형성된 복수의 패드 전극들이 배열되는 패드 영역(PDA)을 포함할 수 있다.
- [0030] 도 2는 도 1의 표시 장치의 A 부분을 설명하기 위한 확대도이다. 도 3은 도 2의 I-I'선 및 II-II'선을 따라 절단한 표시 장치의 단면도이다.
- [0031] 도2 및 도 3을 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 기관(110), 박막 트랜지스터(TFT), 유기 발광 다이오드(OLED), 팬아웃 배선(SL) 및 패드 전극(160)을 포함할 수 있다.
- [0032] 기관(110)은 표시 영역(DA) 및 비표시 영역(NDA)을 포함한다. 상기 기관(110)은 투명하거나 불투명한 절연 기관일 수 있다. 예를 들면, 기관(110)은 유리 또는 폴리이미드(PI), 폴리카보네이트(PC), 폴리에테르술폰(PES), 폴리에틸렌 테레프탈레이트(PET), 폴리아크릴레이트 등과 같은 플라스틱을 포함할 수 있다.
- [0033] 기관(110) 상에는 버퍼층(115)이 배치될 수 있다. 상기 버퍼층(115)은 기관(110)을 통해 침투하는 산소, 수분 등과 같은 불순물을 차단할 수 있다. 또한, 상기 버퍼층(115)은 상기 기관(110)의 상부에 평탄면을 제공할 수 있다. 상기 버퍼층(115)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등을 포함할 수 있다. 선택적으로, 버퍼층(115)은 생략될 수 있다.
- [0034] 상기 버퍼층(115) 상의 상기 표시 영역(DA)에는 박막 트랜지스터(TFT) 및 유기 발광 다이오드(OLED)가 배치될 수 있다. 상기 박막 트랜지스터(TFT)는 반도체층(120), 게이트 전극(130), 소스 전극(140) 및 드레인 전극(150)을 포함할 수 있다. 일 실시예에 있어서, 상기 박막 트랜지스터(TFT)는 상기 게이트 전극(130)이 상기 반도체층(120)의 상부에 위치하는 탑-게이트(top-gate) 구조를 가질 수 있다. 또는 상기 박막 트랜지스터(TFT)는 게이트 전극이 반도체층의 하부에 위치하는 바텀-게이트(bottom-gate) 구조를 가질 수 있다. 또는 상기 게이트 전극이 상기 반도체층(120)의 상부 및 하부에 각각 배치된 더블(double-gate) 게이트 구조를 가질 수 있다.
- [0035] 상기 반도체층(120)은 버퍼층(115) 상에 배치될 수 있다. 상기 반도체층(120)은 비정질 실리콘, 다결정 실리콘, 산화물 반도체 등으로 형성될 수 있다. 상기 반도체층(120)은 소스 영역, 드레인 영역 및 이들 사이에 형성되는 채널 영역을 포함할 수 있다.
- [0036] 상기 버퍼층(115) 상에는 상기 반도체층(120)을 덮는 게이트 절연막(125)이 배치될 수 있다. 상기 게이트 절연막(125)은 상기 기관(110) 상의 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)에 위치할 수 있다. 상기 게이트 절연막(125)은 게이트 전극(130)을 반도체층(120)으로부터 절연시킬 수 있다. 상기 게이트 절연막(125)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등을 포함할 수 있다.
- [0037] 상기 게이트 전극(130)은 상기 게이트 절연막(125) 상에 배치될 수 있다. 상기 게이트 전극(130)은 상기 반도체층(120)의 상기 채널 영역과 중첩할 수 있다. 상기 게이트 전극(130)은 제1 금속층으로 형성될 수 있다. 상기 제1 금속층은 몰리브덴(Mo), 알루미늄(Al), 구리(Cu) 등과 같은 금속 또는 금속의 합금을 포함할 수 있다.
- [0038] 상기 게이트 절연막(125) 상에는 상기 게이트 전극(130)을 덮는 층간 절연막(135)이 배치될 수 있다. 상기 층간 절연막(135)은 상기 기관(110) 상의 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)에 위치할 수 있다. 상기 층간 절연막(135)은 상기 소스 및 드레인 전극들(140, 150)을 상기 게이트 전극(130)으로부터 절연시킬 수 있다. 상기 층간 절연막(135)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등을 포함할 수 있다.
- [0039] 상기 소스 전극(140) 및 상기 드레인 전극(150)은 상기 층간 절연막(135) 상에 배치될 수 있다. 상기 소스 전극(140) 및 상기 드레인 전극(150)은 상기 층간 절연막(135) 및 상기 게이트 절연막(125)에 형성되는 접촉 구멍들을 통해 각각 상기 반도체층(120)의 소스 영역 및 드레인 영역에 연결될 수 있다. 상기 소스 전극(140) 및 상기 드레인 전극(150)은 제2 금속층으로 형성될 수 있다. 상기 제2 금속층은 알루미늄(Al)을 포함할 수 있다. 상기 제2 금속층은 알루미늄 및 알루미늄 합금을 포함할 수 있다. 상기 알루미늄 합금은 구리(Cu), 바나듐(V) 및 실리콘(Si) 중에서 어느 하나를 포함할 수 있다.
- [0040] 상기 제2 금속층은 순차적으로 적층되는 제1 층(161), 제2 층(162) 및 제3 층(163)을 포함할 수 있다. 예를 들면, 제1 층(161)은 제2 층(162)의 하면에 배치되고, 제3 층(163)은 제2 층(162)의 상면에 배치될 수 있다. 상기

제1 층(161), 제2 층(162) 및 제3 층(163)은 각각 티타늄(Ti), 알루미늄(Al) 및 티타늄을 포함할 수 있다.

- [0041] 도시되지 않았으나, 상기 표시 장치는 기판(110) 상의 상기 표시 영역(DA)에 배치된 스토리지 커패시터를 더 포함할 수 있다. 상기 스토리지 커패시터는 상기 게이트 전극(130)과 동일한 제1 금속층으로 형성된 제1 스토리지 전극과 상기 소스 및 드레인 전극들(140, 150)과 동일한 제2 금속층으로 형성된 제2 스토리지 전극을 포함할 수 있다.
- [0042] 상기 기판(110) 상에는 상기 박막 트랜지스터(TFT)가 형성된 상기 표시 영역(DA)을 평탄화하기 위한 절연층인 평탄화막(175)이 배치될 수 있다. 상기 평탄화막(175)은 아크릴계 수지, 에폭시계 수지, 폴리이미드계 수지, 폴리에스테르계 수지 등의 유기 물질을 포함할 수 있다.
- [0043] 상기 유기 발광 다이오드(OLED)는 상기 평탄화막(175) 상에 배치될 수 있다. 상기 유기 발광 다이오드(OLED)는 화소 전극(180), 유기 발광층(210) 및 대향 전극(230)을 포함한다.
- [0044] 상기 화소 전극(180)은 순차적으로 적층되는 도전층들인 제1 전극(181), 제2 전극(182) 및 제3 전극(183)을 포함할 수 있다.
- [0045] 예를 들면, 상기 제1 전극(181)은 상기 평탄화막(175) 상에 배치되고, 상기 제2 전극(182)은 상기 제1 전극(181) 상에 배치되고, 상기 제3 전극(183)은 상기 제2 전극(182) 상에 배치된다.
- [0046] 상기 제1 전극(181)은 인듐 주석 산화물(ITO)을 포함할 수 있고, 상기 제2 전극(182)은 은(Ag)을 포함할 수 있고, 상기 제3 전극(183)은 인듐 주석 산화물(ITO)을 포함할 수 있다. 상기 화소 전극(180)의 제2 전극(182)은 주 도전층의 역할을 하고, 화소 전극(180)의 제1 전극(181) 및 제3 전극(183)은 각각 제2 전극(182)의 하면 및 상면을 보호하는 보조 도전층의 역할을 할 수 있다.
- [0047] 상기 화소 전극(180)이 배치된 상기 기판(110)의 상기 표시 영역(DA)에는 상기 화소 전극(180)을 노출하는 개구가 형성된 화소 정의막(190)이 배치될 수 있다. 상기 화소 정의막(190)은 상기 화소 전극(180)의 상면을 노출시키는 개구를 포함하고, 화소의 발광 영역은 상기 개구가 형성된 영역으로 정의될 수 있다. 상기 화소 정의막(190)은 아크릴계 수지, 에폭시계 수지, 폴리이미드계 수지, 폴리에스테르계 수지 등의 유기 물질을 포함할 수 있다.
- [0048] 상기 유기 발광층(210)은 상기 화소 정의막(190)의 개구 내에 배치될 수 있다. 상기 유기 발광층(210)은 저분자 유기 화합물 또는 고분자 유기 화합물을 포함할 수 있다.
- [0049] 일 실시예에 있어서, 상기 유기 발광층(210)은 적색광, 녹색광 또는 청색광을 방출할 수 있다. 또는, 유기 발광층(210)이 백색광을 방출하는 경우에, 상기 유기 발광층(210)은 적색 발광층, 녹색 발광층 및 청색 발광층을 포함하는 다층 구조를 포함하거나 또는 적색 발광물질, 녹색 발광물질 및 청색 발광물질을 포함하는 단층 구조를 포함할 수 있다.
- [0050] 상기 대향 전극(230)은 상기 유기 발광층(210)이 배치된 상기 기판(110) 상의 상기 표시 영역(DA)에 배치될 수 있다. 상기 대향 전극(230)은 상기 화소 전극(180)과 중첩될 수 있다. 구체적으로, 대향 전극(230)은 유기 발광층(210) 및 상기 화소 정의막(197)을 덮도록 배치될 수 있다. 상기 대향 전극(230)은 리튬(Li), 칼슘(Ca), 리튬 불화물(LiF), 은(Ag), 알루미늄(Al), 마그네슘(Mg) 또는 이들의 조합을 포함할 수 있다. 예를 들면, 상기 대향 전극(230)은 마그네슘(Mg) 및 은(Ag)이 적층된 Mg/Ag 구조를 가질 수 있다.
- [0051] 상기 비표시 영역(NDA)의 상기 층간 절연막(135) 상에는 상기 팬아웃 배선(SL) 및 상기 팬아웃 배선(SL)의 단부에 형성된 패드 전극(160)이 배치될 수 있다.
- [0052] 상기 팬아웃 배선(SL)은 상기 게이트 전극(130)과 동일한 제1 금속층으로 형성될 수 있고, 또는 상기 소스 및 드레인 전극들(140, 150)과 동일한 제2 금속층으로 형성될 수 있다.
- [0053] 상기 패드 전극(160)은 상기 소스 및 드레인 전극들(140, 150)과 동일한 제2 금속층으로 형성될 수 있다. 상기 패드 전극(160)은 순차적으로 적층되는 제1 층(161), 제2 층(162) 및 제3 층(163)을 포함할 수 있다. 상기 패드 전극(160)의 상기 제2 층(162)은 주 도전층의 역할을 하고, 상기 패드 전극(160)의 제1 층(161) 및 제3 층(163)은 각각 제2 층(162)의 하면 및 상면을 보호하는 보조 도전층의 역할을 할 수 있다.
- [0054] 상기 팬아웃 배선(SL)이 상기 제1 금속층으로 형성되는 경우 상기 패드 전극(160)은 상기 층간 절연막(135)에 형성된 접촉 구멍을 통해 상기 팬아웃 배선(SL)과 접촉할 수 있다. 또는 상기 팬아웃 배선(SL)이 상기 제2 금속층으로 형성되는 경우 상기 패드 전극(160)은 상기 팬아웃 배선(SL)과 일체로 형성될 수 있다.

- [0055] 일 실시예에 있어서, 상기 유기 발광 다이오드(OLED)의 화소 전극(180)은 2 단계의 식각 공정으로 패터닝될 수 있다. 예를 들면, 상기 화소 전극(180)의 상부에 위치한 제3 전극(183)은 제1 식각액을 이용한 제1 식각 공정으로 먼저 패터닝하고, 이어 화소 전극(180)의 하부에 위치한 제2 전극(182) 및 제1 전극(181)은 제2 식각액을 이용한 제2 식각 공정으로 일괄적으로 패터닝될 수 있다.
- [0056] 일 실시예에 있어서, 상기 은(Ag)을 포함하는 화소 전극(180)을 상기 2 단계의 식각 공정으로 패터닝함으로써 식각 공정에서 발생된 은 이온(Ag⁺)에 의해 생성되는 은-파티클(Ag Particle)의 개수를 줄일 수 있다. 또한, 상기 은 이온(Ag⁺)이 상기 패드 전극(160)에 포함된 알루미늄(Al)과 갈바닉 반응하여 상기 패드 전극(160)의 측면이 부식되는 불량을 줄일 수 있다. 상기 은-파티클은 후속 공정에서 다양한 불량을 야기할 수 있다. 예를 들면, 상기 은-파티클은 후속 공정에서 수분과 결합하여 점차적으로 증식하여 상기 화소 전극(180)과 상기 대향 전극(230)을 단락시키는 암점 불량을 발생할 수 있다. 또한, 인접한 패드 전극들(160) 간을 단락시킬 수 있다.
- [0057] 따라서, 일 실시예에 따르면, 상기 화소 전극(180)을 식각하는 공정을 2 단계 식각 공정으로 수행함으로써 상기 은-파티클의 발생을 억제함으로써 상기 표시 장치의 제조 공정 상에서 발생하는 불량을 개선할 수 있다.
- [0058] 도 4 내지 도 10은 본 발명의 일 실시예에 따른 표시 장치의 제조 방법을 설명하기 위한 단면도들이다.
- [0059] 도 4를 참조하면, 기판(110) 상의 표시 영역(DA)에 박막 트랜지스터(TFT)를 형성하고, 비표시 영역(NDA)에 패드 전극(160)을 형성할 수 있다.
- [0060] 상기 기판(110) 상의 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)에 버퍼막(115)을 형성할 수 있다. 예를 들면, 버퍼막(115)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 이용하여 화학 기상 증착, 스퍼터링 등의 다양한 방법에 의하여 형성될 수 있다.
- [0061] 상기 버퍼막(115)이 형성된 기판(110)의 상기 표시 영역(DA)에 반도체층(120)을 형성할 수 있다. 예를 들면, 실리콘을 함유하는 물질, 산화물 반도체 등을 포함하는 막을 버퍼막(115)의 전면에 형성하고, 이를 패터닝하여 반도체층(120)을 형성할 수 있다. 상기 실리콘을 함유하는 물질을 사용하여 반도체층(120)을 형성하는 경우에, 비정질 실리콘막을 버퍼막(115)의 전면에 형성하고, 이를 결정화하여 다결정 실리콘막을 형성할 수 있다. 그 후, 이를 패터닝한 후에 상기 패터닝된 다결정 실리콘막의 양 측부들에 불순물을 도핑하여 소스 영역, 드레인 영역 및 그들 사이에 채널 영역을 포함하는 반도체막(120)을 형성할 수 있다.
- [0062] 상기 반도체막(120)이 형성된 기판(110) 상의 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)에 게이트 절연막(125)을 형성할 수 있다. 예를 들면, 게이트 절연막(125)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 이용하여 형성될 수 있다.
- [0063] 상기 게이트 절연막(125) 상에 제1 금속층을 형성하고, 상기 제1 금속층을 패터닝하여 상기 표시 영역(DA)에 게이트 전극(130)을 형성할 수 있다. 상기 게이트 전극(130)은 반도체층(120)과 중첩할 수 있다. 상기 제1 금속층은 금속, 금속의 합금 등을 이용하여 형성될 수 있다.
- [0064] 상기 게이트 전극(130)이 형성된 기판(110) 위의 상기 표시 영역(DA) 및 상기 비표시 영역(NDA)에 층간 절연막(135)을 형성할 수 있다. 예를 들면, 상기 층간 절연막(135)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 등을 이용하여 형성될 수 있다.
- [0065] 상기 층간 절연막(135) 및 상기 게이트 절연막(125)에 상기 반도체층(120)을 노출하는 복수의 접촉 구멍들을 형성할 수 있다. 예를 들면, 상기 접촉 구멍들은 각각 반도체층(120)의 소스 영역 및 드레인 영역을 노출시킬 수 있다.
- [0066] 상기 층간 절연막(135)이 형성된 기판(110) 상에 제2 금속층을 형성하고, 상기 제2 금속층을 패터닝한다. 상기 제2 금속층을 패터닝하여, 상기 표시 영역(DA)에는 소스 전극(140) 및 드레인 전극(150)을 형성하고, 상기 비표시 영역(NDA)에는 상기 패드 전극(160)을 형성할 수 있다.
- [0067] 상기 제2 금속층은 알루미늄(Al) 및 알루미늄 합금을 포함할 수 있고, 상기 알루미늄 합금은 구리(Cu), 바나듐(V) 및 실리콘(Si) 중에서 어느 하나를 포함할 수 있다.
- [0068] 일 실시예에 있어서, 상기 제2 금속층은 순차적으로 적층되는 제1 층(161), 제2 층(162) 및 제3 층(163)을 포함할 수 있다. 예를 들면, 상기 제2 금속층은 상기 층간 절연막(135) 상에 티타늄(Ti)을 포함하는 제1 층, 알루미늄을 포함하는 제2 층 및 티타늄을 포함하는 제3 층이 순차적으로 적층될 수 있다. 이에 따라서, 상기 소스 전극(140), 상기 드레인 전극(150) 및 상기 패드 전극(160) 각각은 Ti/알루미늄/Ti의 적층 구조를 가질 수 있다.

- [0069] 도 5를 참조하면, 상기 층간 절연막(135)이 형성된 기판(110) 상에 평탄화막(175)을 형성한다. 상기 평탄화막(175)은 아크릴계 수지, 에폭시계 수지, 폴리이미드계 수지, 폴리에스테르계 수지 등의 유기 물질을 포함할 수 있다. 상기 평탄화막(175)은 상기 표시 영역(DA)에 형성된 상기 소스 전극(140) 및 상기 드레인 전극(150)을 충분히 덮을 수 있는 두꺼운 두께로 형성될 수 있다.
- [0070] 상기 평탄화막(175)은 패터닝되어 상기 표시 영역(DA)에는 남고, 상기 비표시 영역(NDA)에는 상기 패드 전극(160)이 노출되도록 제거될 수 있다.
- [0071] 도 6을 참조하면, 상기 평탄화막(175)이 형성된 기판(110) 위에 화소 전극층(180a)을 형성한다. 상기 화소 전극층(180a)은 제1 도전층(181a), 제2 도전층(182a) 및 제3 도전층(183a)을 순차적으로 적층한다.
- [0072] 상기 제1 도전층(181a)은 인듐 주석 산화물(ITO)을 포함할 수 있다. 상기 제2 도전층(182a)은 은(Ag)을 포함할 수 있다. 상기 제3 도전층(183a)은 상기 인듐 주석 산화물(ITO)을 포함할 수 있다. 상기 화소 전극층(180a)은 ITO/Ag/ITO의 적층 구조를 가질 수 있다.
- [0073] 상기 화소 전극층(180a)이 형성된 기판(110) 상의 표시 영역(DA)에 포토레지스트 패턴(PR)을 형성한다. 상기 포토레지스트 패턴(PR)은 상기 표시 영역(DA) 중 상기 유기 발광 다이오드(OLED)의 화소 전극(180)이 형성되는 전극 영역(EA) 상에 형성될 수 있다.
- [0074] 도 7을 참조하면, 상기 포토레지스트 패턴(PR)을 마스크로 제1 식각액을 이용한 제1 식각 공정을 통해 상기 화소 전극층(180a) 중 상부에 위치한 상기 제3 도전층(183a)을 먼저 식각한다. 예를 들면, 상기 제1 식각액은 상기 인듐 주석 산화물(ITO)을 식각하기 위한 조성물을 포함할 수 있다.
- [0075] 상기 제1 식각 공정에 의해 상기 표시 영역(DA)에 형성된 상기 제3 도전층(183a)은 상기 화소 전극(180)의 제3 전극(183)으로 패터닝 된다. 또한, 상기 비표시 영역(NDA)에 형성된 상기 제3 도전층(183a)은 제거된다.
- [0076] 상기 제1 식각 공정에서 상기 제1 식각액은 상기 제3 도전층(183a)의 하부에 위치한 상기 제2 도전층(182a) 및 상기 제1 도전층(181a)까지 침투한다. 상기 제3 도전층(183a)과 동일한 물질인 상기 인듐 주석 산화물(ITO)를 포함하는 상기 제1 도전층(181a)은 상기 제1 식각 공정에 의해 부분적으로 제거되어 상기 제1 도전층(181a)에 언더컷(UDC)이 형성된다.
- [0077] 도 8을 참조하면, 상기 패드 전극(160)의 두께는 약 6000 Å으로 형성되고, 상기 화소 전극층(180a)은 상대적으로 얇은 두께, 약 1000 Å으로 형성된다. 이에 따라서, 상기 패드 전극(160)의 단차 부분에서 상기 화소 전극층(180a)의 단차 피복(Step Coverage) 상태는 좋지 않다. 상기 제1 식각 공정에 의해 상기 패드 전극(160)의 단차 에지 부분에는 언더컷(UDC)이 형성된다. 상기 패드 전극(160)의 단차 에지 부분에는 언더컷(UDC)의 길이는 약 180 nm 내지 200 nm 일 수 있다. 상기 언더컷(UDC)에 의해 상기 패드 전극(160)의 단차 에지 부분에서 제2 도전층(182a)의 길이는 상기 제1 도전층(181a)의 길이 보다 길게 형성될 수 있다.
- [0078] 이후, 도 8 및 도 9를 참조하면, 제2 식각액을 이용한 제2 식각 공정을 통해서 상기 화소 전극층(180a)의 상기 제2 도전층(182a) 및 제1 도전층(181a)을 식각한다. 상기 제2 식각액은 상기 은(Ag) 및 상기 인듐 주석 산화물(ITO)을 식각하기 위한 조성물을 포함할 수 있다.
- [0079] 상기 제2 식각 공정에서, 상기 제2 도전층(182a)에 포함된 은(Ag)이 산화되어 은 이온(Ag⁺)(182b)이 발생한다. 상기 은 이온(182b)은 상기 패드 전극(160)의 단차 부분에서 형성된 상기 언더컷(UDC)에 모인다. 상기 은 이온(182b)이 언더컷(UDC) 안에 모여 있으므로, 상기 은 이온(182b)이 상기 패드 전극(160) 측으로 이동하는 것을 막을 수 있다.
- [0080] 이에 따라서, 상기 언더컷(UDC)에 의해 상기 은 이온(182b)의 이동을 억제함으로써 상기 제2 식각 공정에서 상기 패드 전극(160)에 포함된 알루미늄으로부터 발생된 전자가 상기 은 이온(182b)과 결합하는 것을 차단할 수 있다. 상기 은 이온(182b)이 상기 알루미늄으로부터 발생된 전자(-)와 결합하여 은-파티클로 환원되는 것을 막을 수 있다. 즉, 상기 은-파티클의 발생을 막을 수 있다.
- [0081] 한편, 일부 은 이온(182b)이 상기 패드 전극(160) 측으로 이동한 경우, 은 이온(182b)이 상기 패드 전극(160)에 포함된 알루미늄으로부터 뺏은 전자(-)에 의해 환원되어 은-파티클이 생성될 수 있다. 그러나, 이 경우, 상기 제2 식각액에 포함된 수소 이온이 다시 상기 은-파티클로부터 전자(-)를 뺏는다. 이에 따라서 전자(-)를 뺏긴 상기 은-파티클은 다시 은 이온(182b)으로 산화될 수 있다. 결과적으로, 상기 은-파티클의 발생을 막을 수 있다.

- [0082] 이상에서 설명한 바와 같이, 상기 화소 전극층(180a)을 패터닝하여 화소 전극(180)을 형성하는 식각 공정을 2 단계 식각 공정으로 수행함으로써 상기 화소 전극(180)을 형성하는 공정에서 발생하는 은-파티클의 개수를 줄일 수 있다. 또한, 상기 은 이온(182b)이 상기 패드 전극(160)에 포함된 알루미늄과의 반응을 차단함으로써 상기 패드 전극(160)의 측면이 부식되는 것을 막을 수 있다.
- [0083] 상기 제2 식각 공정에 의해 상기 표시 영역(DA)에 형성된 상기 제2 도전층(182a) 및 제1 도전층(181a)은 상기 화소 전극(180)의 제2 전극(182) 및 제1 전극(181)으로 패터닝 된다. 따라서, 상기 전극 영역(EA)에는 유기 발광 다이오드(OLED)의 화소 전극(180)이 형성된다. 상기 화소 전극(180)의 에지 부분에는 상기 제1 식각 공정에서 상기 제1 도전층(181a)에 형성된 언더컷(UDC)을 포함한다. 상기 화소 전극(180)의 제1 전극(181)에 형성된 언더컷의 길이는 약 190 nm 내지 약 250 nm 일 수 있다. 즉, 상기 화소 전극(180)의 제1 전극(181)과 제2 전극(182)은 상기 언더컷(UDC)의 길이에 대응하는 약 190 nm 내지 250 nm 의 길이 차이를 가질 수 있다.
- [0084] 또한, 상기 비표시 영역(NDA)에 형성된 상기 제2 도전층(182a) 및 제1 도전층(181a)이 제거되어, 상기 패드 전극(160)을 노출한다.
- [0085] 상기 제2 식각 공정이 완료된 후, 상기 포토레지스트 패턴(PR)을 제거한다. 또한, 별도의 세정 공정을 통해, 상기 층간 절연막(135), 패드 전극(170) 및 평탄화막(175) 상에 남아 있는 은-파티클을 제거할 수 있다.
- [0086] 도 3 및 도 10을 참조하면, 상기 평탄화막(175) 상의 표시 영역(DA)에 상기 화소 전극(180)을 덮는 화소 정의막(190)을 형성할 수 있다. 예를 들면, 상기 화소 정의막(190)은 폴리이미드(polyimide)계 수지, 포토레지스트(photoresist), 아크릴(acryl)계 수지, 폴리아미드(polyamide)계 수지, 실록산(siloxane)계 수지 등으로 형성될 수 있다.
- [0087] 상기 화소 정의막(190)을 패터닝하여, 상기 화소 전극(180)의 상면을 노출시키는 개구를 형성할 수 있다. 상기 화소 정의막(190)은 상기 화소 전극(180)의 에지 부분에 형성된 상기 언더컷(UDC)과 중첩되도록 형성된다. 따라서, 상기 화소 정의막(190)에 의해 상기 화소 전극(180)의 상기 언더컷(UDC)에 의한 표시 불량에 시인되는 것을 막을 수 있다.
- [0088] 상기 화소 전극(180)을 노출하는 상기 개구 내에 유기 발광층(210)을 형성할 수 있다. 예를 들면, 상기 유기 발광층(210)은 스크린 인쇄, 잉크젯 인쇄, 증착 등의 방법을 이용하여 저분자 유기 화합물 또는 고분자 유기 화합물로 형성될 수 있다.
- [0089] 이후, 상기 화소 정의막(190) 및 상기 유기 발광층(210) 상에 대향 전극(230)을 형성할 수 있다.
- [0090] 상기 대향 전극(230)은 리튬(Li), 칼슘(Ca), 리튬 불화물(LiF), 알루미늄(Al), 은(Ag), 마그네슘(Mg) 등으로 형성될 수 있다. 예를 들면, 상기 대향 전극(230)은 마그네슘(Mg)을 포함하는 제1 층 및 은(Ag)을 포함하는 제2 층이 적층된 Mg/Ag 적층 구조를 포함할 수 있다.
- [0091] 도 11a 및 도 11b는 실시예와 비교예에 따른 은-파티클의 발생 여부를 비교하기 위한 사진이다. 도 12a 및 도 12b는 실시예와 비교예에 따른 언더컷 발생 여부를 비교하기 위한 사진이다.
- [0092] 실시예에 따른 ITO/Ag/ITO의 적층 구조를 갖는 화소 전극층의 식각 공정은 상부 ITO 층을 먼저 식각하는 제1 식각 단계 및 Ag층 및 하부 ITO 층을 일괄 식각하는 제2 식각 단계를 포함한다.
- [0093] 비교예 1에 따른 ITO/Ag/ITO의 적층 구조를 갖는 화소 전극층의 식각 공정은 상부 ITO 층, Ag층 및 하부 ITO 층을 동시에 일괄 식각한다.
- [0094] 비교예 2에 따른 ITO/Ag/ITO의 적층 구조를 갖는 화소 전극층의 식각 공정은 상부 ITO 및 Ag 층을 먼저 일괄 식각하는 제1 식각 단계 및 하부 ITO 층을 식각하는 제2 식각 단계를 포함한다.
- [0095] 표 1은 실시예와 비교예에 따른 은-파티클의 발생 여부를 비교한 데이터를 나타낸다.

[0096] <표 1>

	Pad	Etch Step	Ag P/C	Undercut
실시예	Ti/Al/Ti	(ITO->Ag/ITO)	미발생	발생
비교예 1		(ITO/Ag/ITO)	발생	미발생
비교예 2		(ITO/Ag->ITO)	발생	미발생

[0097]

[0098]

[0099]

[0100]

[0101]

[0102]

[0103]

도 11a 및 <표 1>을 참조하면, 실시예의 경우 패드 전극(160) 상에 은-파티클(Ag P/C)이 거의 발생하지 않았다. 한편, 도 11b 및 <표 1>을 참조하면, 비교예 1의 경우 패드 전극(160) 상에는 은-파티클(Ag P/C)이 다수 발생하였다. 또한, 비교예 2의 경우 역시 패드 전극 상에는 은-파티클(Ag P/C)이 다수 발생하였다.

상기 은-파티클(Ag P/C)의 발생 여부와 관련하여 패드 전극 상의 도전층에 언더컷의 형성 여부를 비교해 보면, 은-파티클(Ag P/C)이 발생하지 않은 실시예의 경우 패드 전극(160) 상의 도전층에 상기 언더컷이 형성되었다. 한편, 상기 은-파티클(Ag P/C)이 다수 발생한 비교예 1 및 2의 경우 상기 패드 전극(160) 상의 도전층에 언더컷이 형성되지 않았다.

따라서, 패드 전극 상의 도전층에 언더컷이 형성된 경우 상기 은-파티클(Ag P/C)이 발생되지 않았음을 확인할 수 있다.

표 2는 실시예와 비교예에 따른 언더컷의 발생 여부를 비교한 데이터이다.

<표 2>

	Pad	Etch Step	Undercut (Pad Area)
실시예	Ti/Al/Ti	(ITO->Ag/ITO)	196.7 nm
비교예 1		(ITO/Ag/ITO)	106.5 nm
비교예 2		(ITO/Ag->ITO)	181.0 nm

[0104]

[0105]

[0106]

[0107]

[0108]

[0109]

도 12a 및 <표 2>를 참조하면, 상기 실시예의 경우 패드 전극(160) 상의 도전층에 형성된 언더컷(UDC) 길이는 약 196.7 nm 이고, 비교예 1의 경우 패드 전극 상의 도전층에 형성된 언더컷 길이는 약 106.5 nm 이고, 비교예 2의 경우 패드 전극 상의 도전층에 형성된 언더컷 길이는 약 181.0 nm 이었다.

도 12b를 참조하면, 실시예의 언더컷(UDC)은 상기 비교예 1의 언더컷(UDC1) 보다 대략 2배 정도 수준이다.

실시예와 같이 상기 화소 전극층을 2 단계 식각 공정으로 식각하는 경우 상기 패드 전극 상의 도전층에 형성된 언더컷은 비교예 1과 같이 상기 화소 전극층을 일괄 식각하는 경우 상기 패드 전극 상의 도전층에 형성된 언더컷 보다 2배 정도로 크게 형성되었다. 한편, 상기 언더컷이 크게 형성된 실시예에서 상기 은-파티클(Ag P/C)이 발생하지 않았음을 확인할 수 있다.

결과적으로 상기 패드 전극 상의 도전층에 언더컷이 형성된 경우 은-파티클(Ag P/C)이 발생되지 않았음을 확인할 수 있다.

이상의 본 발명의 실시예들에 따르면, ITO/Ag/ITO의 적층 구조를 갖는 화소 전극층의 식각 공정을 상부 ITO 층

을 먼저 제1 식각 공정으로 패터닝하고 Ag층 및 하부 ITO 층을 이어 제2 식각 공정으로 패터닝하는 2 단계 식각 공정을 통해서 은-파티클의 발생을 억제할 수 있다. 결과적으로 은-파티클에 의해 제조 공정 상에 발생할 수 있는 불량률을 제거할 수 있다. 또한, 상기 패드 전극에 포함된 알루미늄과의 반응을 차단함으로써 상기 패드 전극의 측면이 부식되는 것을 막을 수 있다.

산업상 이용가능성

[0110] 본 발명은 표시 장치 및 이를 포함하는 다양한 장치 및 시스템에 적용될 수 있다. 따라서 본 발명은 휴대폰, 스마트폰, PDA, PMP, 디지털 카메라, 캠코더, PC, 서버 컴퓨터, 워크스테이션, 노트북, 디지털 TV, 셋-탑 박스, 음악 재생기, 휴대용 게임 콘솔, 네비게이션 시스템, 스마트 카드, 프린터 등과 같은 다양한 전자 기기에 유용하게 이용될 수 있다.

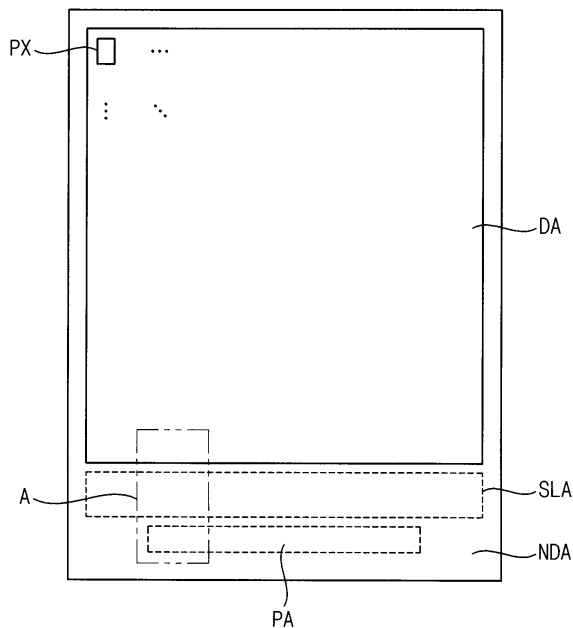
[0111] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

부호의 설명

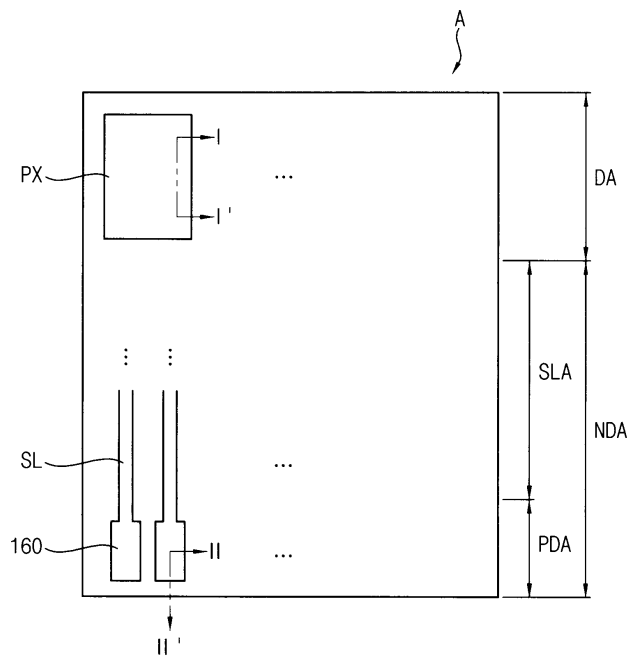
- | | | |
|--------|--------------|-------------------|
| [0112] | 110: 기판 | 120: 반도체층 |
| | 130: 게이트 전극 | 140: 소스 전극 |
| | 150: 드레인 전극 | 160: 패드 전극 |
| | 175 : 평탄화막 | 180 : 화소 전극 |
| | 210 : 유기 발광층 | 230 : 대향 전극 |
| | UDC : 언더컷 | OLED : 유기 발광 다이오드 |

도면

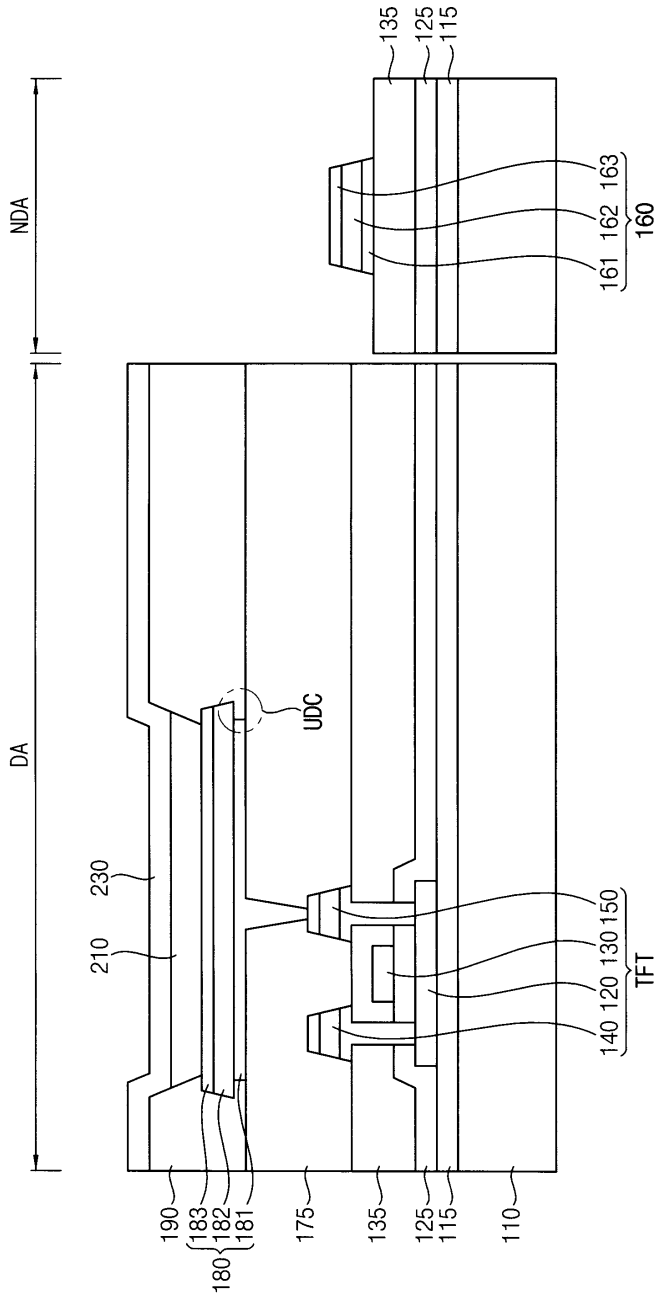
도면1



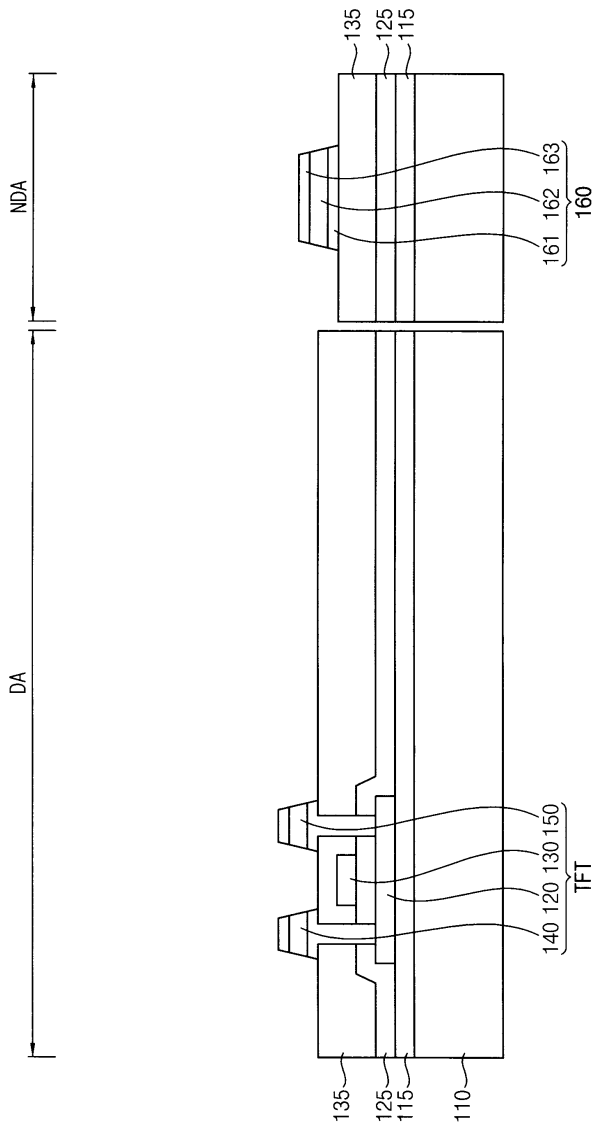
도면2



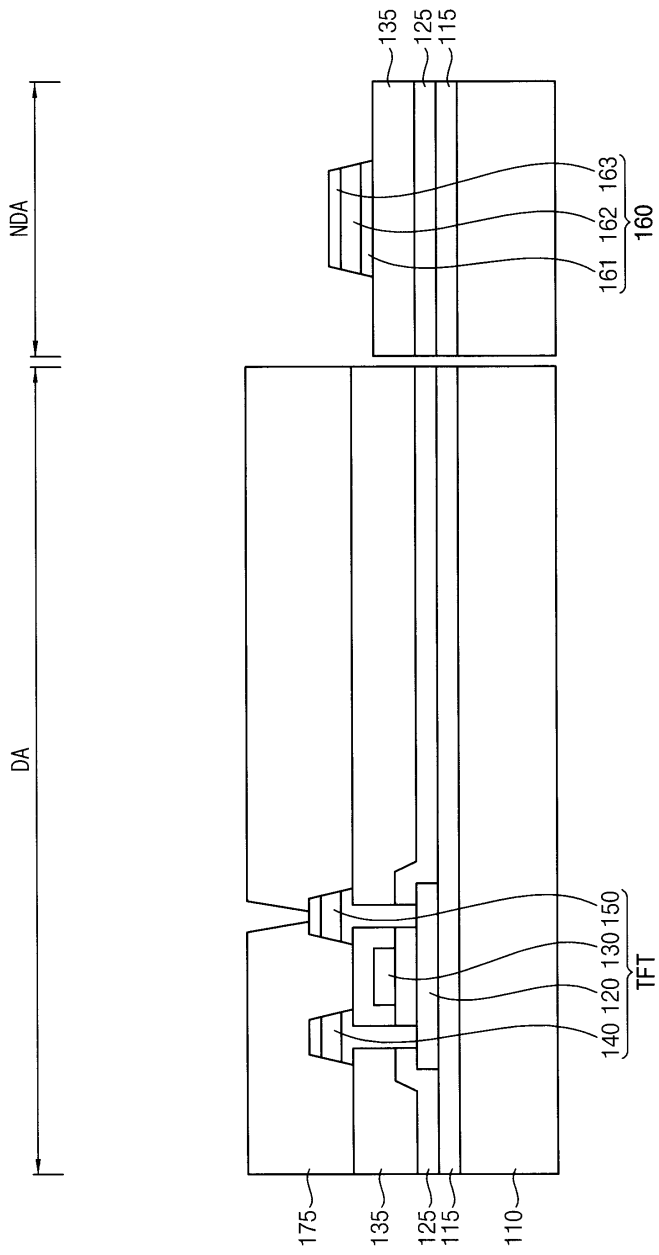
도면3



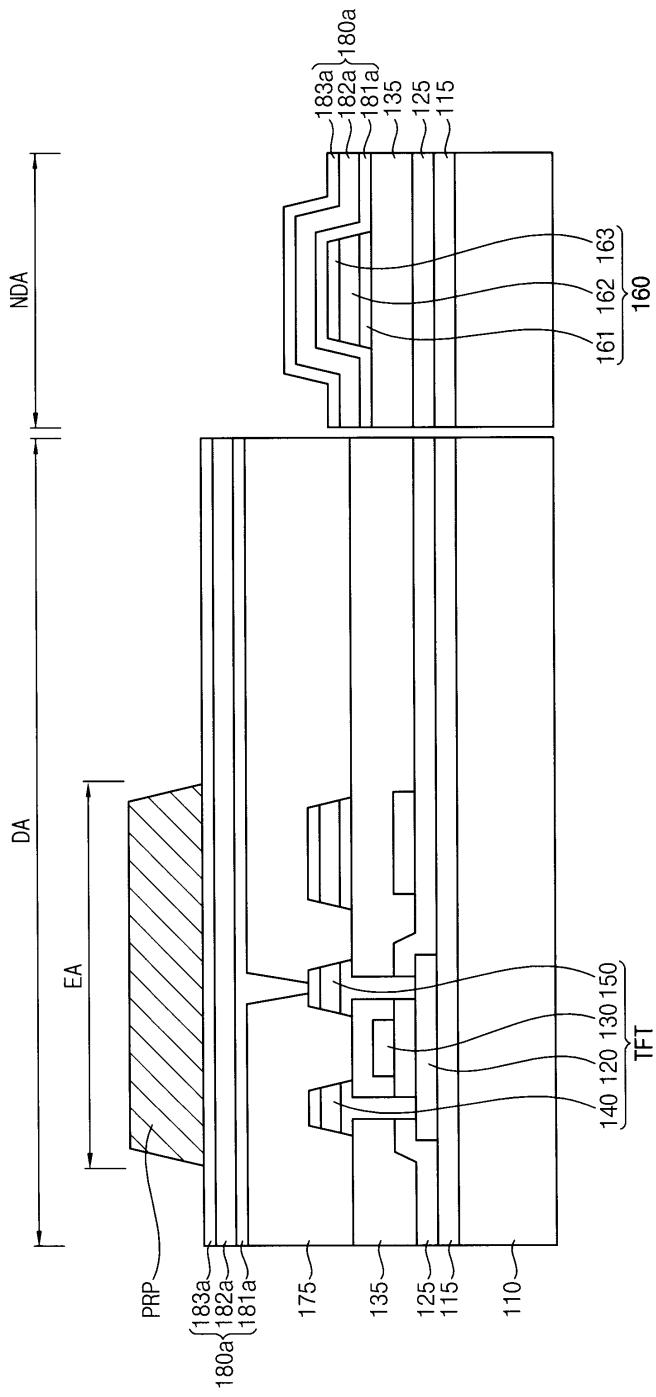
도면4



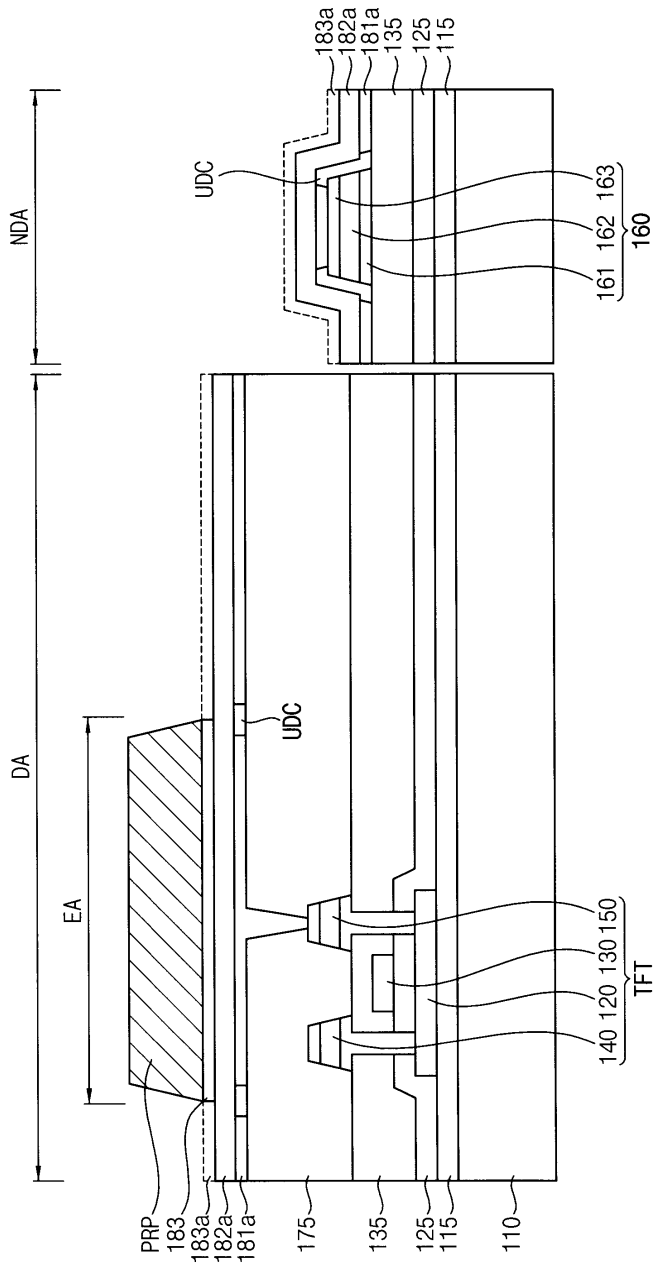
도면5



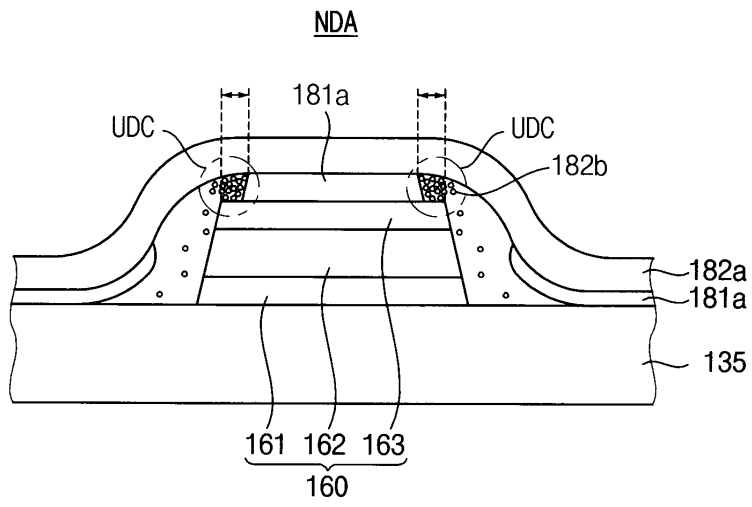
도면6



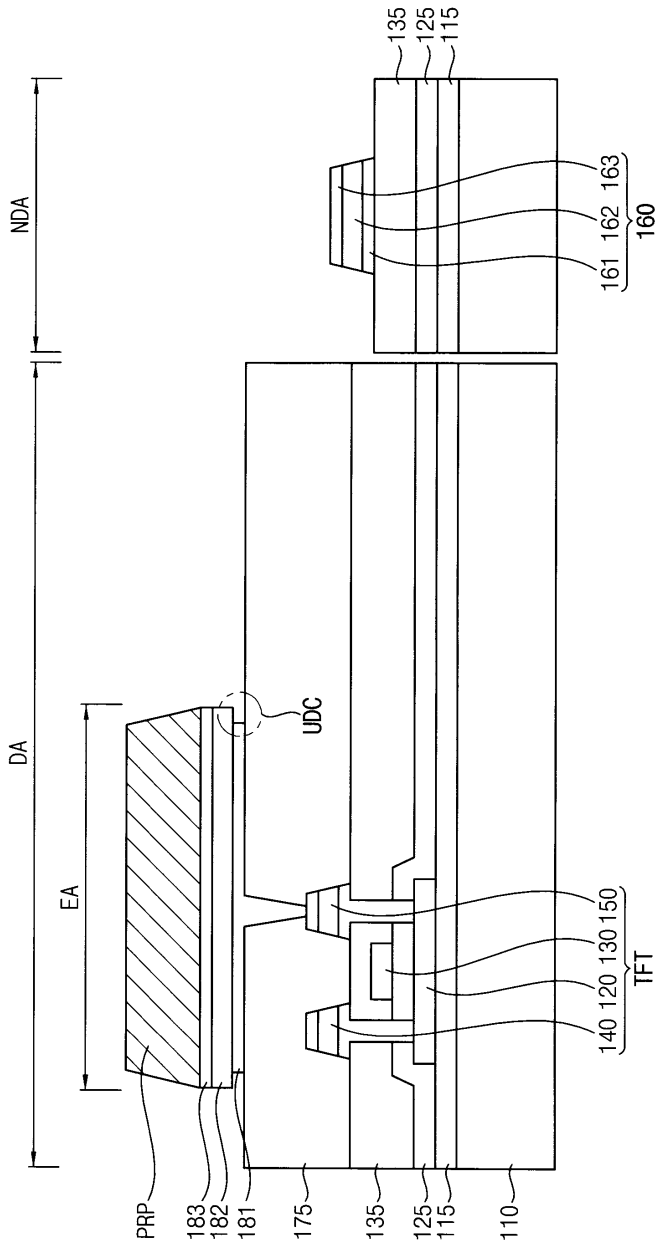
도면7



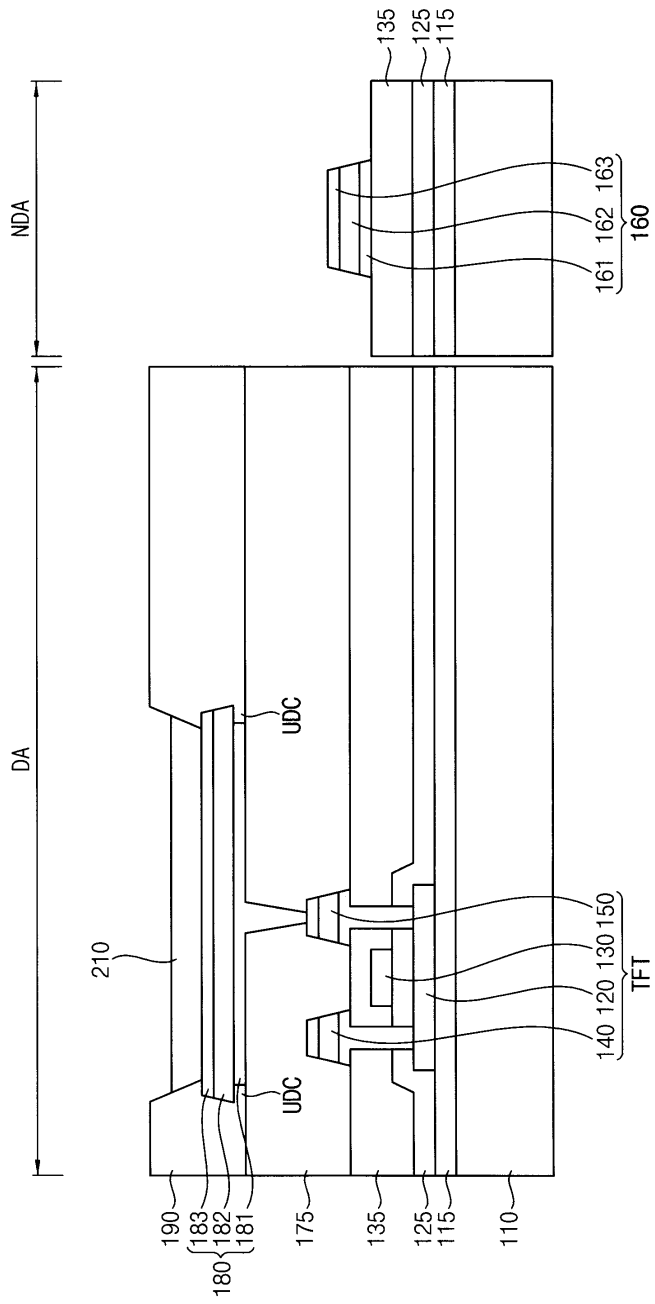
도면8



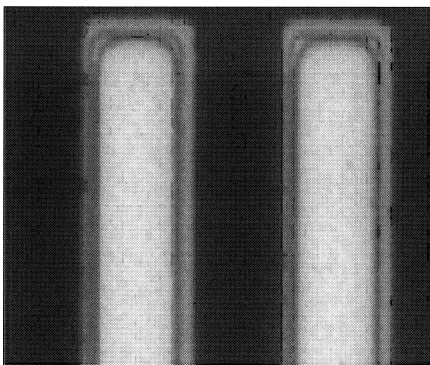
도면9



도면10

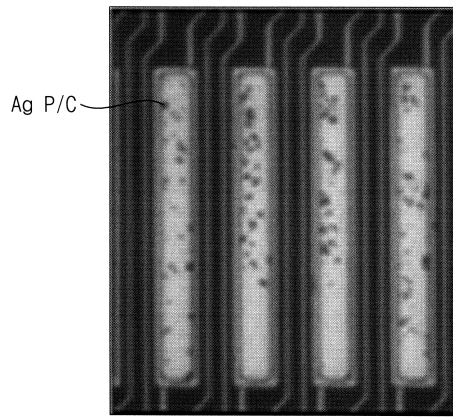


도면11a



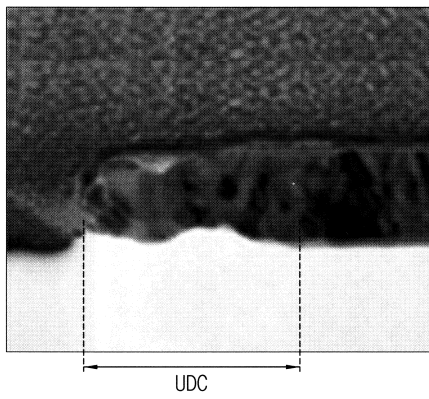
<실시예>

도면11b



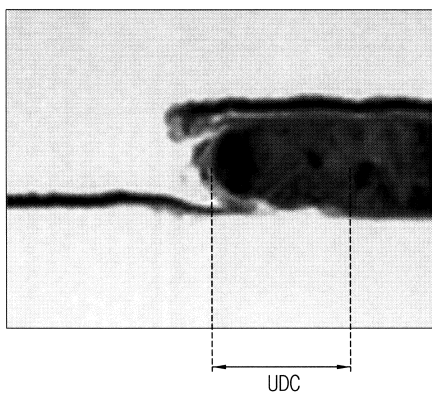
<비교예1>

도면12a



<실시예>

도면12b



<비교예1>

专利名称(译)	显示装置及其制造方法		
公开(公告)号	KR102070148B1	公开(公告)日	2020-01-29
申请号	KR1020180127504	申请日	2018-10-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김영대 김진석 김기태 박종희		
发明人	김영대 김진석 김기태 박종희		
IPC分类号	H01L51/52 H01L27/32 H01L51/56		
CPC分类号	H01L51/5203 H01L27/32 H01L51/56 H01L2251/56 H01L27/3276 H01L51/5209 H01L51/5218 H01L2227/323 H01L51/0017 H01L2251/308 H01L27/3209 H01L27/3246 H01L51/504 H01L51/5206 H01L51/5221		
代理人(译)	英西湖公园		
审查员(译)	这蓬莱		
外部链接	Espacenet		

摘要(译)

显示装置包括：绝缘层，其布置在基板的显示区域上；以及绝缘层。像素电极，包括依次层叠在绝缘层上的第一导电层，第二导电层和第三导电层，其中，第一导电层的长度小于第二导电层的长度。像素限定层覆盖像素电极并形成暴露像素电极的一部分的开口；有机发光层布置在像素限定层的开口中；面对电极布置在有机发光层上并与像素电极重叠。因此，具有ITO / Ag / ITO的层叠结构的像素电极层的蚀刻工艺能够通过两步蚀刻工艺抑制银粒子的产生，该两步蚀刻工艺首先通过第一蚀刻工艺来蚀刻上ITO层。蚀刻Ag层和下ITO层，然后进行第二蚀刻工艺。

