



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월03일
(11) 등록번호 10-2061256
(24) 등록일자 2019년12월24일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(21) 출원번호 10-2013-0103041

(22) 출원일자 2013년08월29일

심사청구일자 2018년08월27일

(65) 공개번호 10-2015-0025539

(43) 공개일자 2015년03월11일

(56) 선행기술조사문헌

KR1020120028006 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

우민규

경기도 용인시 기흥구 삼성로 95 (농서동)

(74) 대리인

김두식, 오중한, 문용호

전체 청구항 수 : 총 21 항

심사관 : 이승민

(54) 발명의 명칭 스테이지 회로 및 이를 이용한 유기전계발광 표시장치

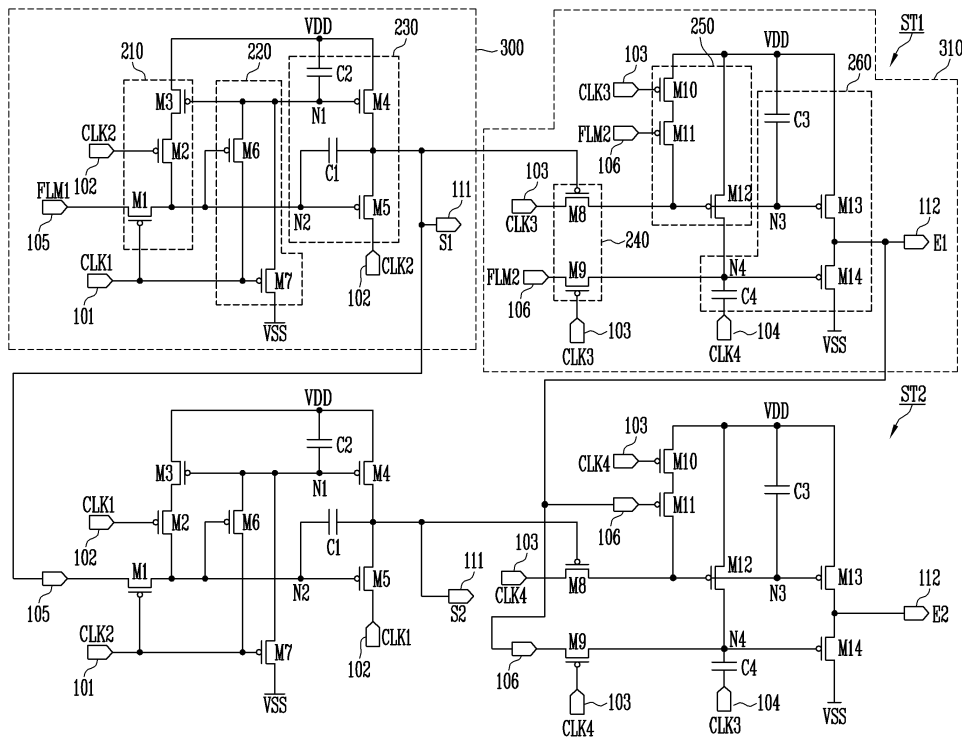
(57) 요약

본 발명은 주사신호 및 발광제어신호를 생성할 수 있도록 한 스테이지 회로에 관한 것이다.

본 발명의 실시예에 의한 스테이지 회로는 제 1입력단자, 제 2입력단자, 제 5입력단자와 접속되며, 제 1출력단자로 주사신호를 출력하기 위한 제 1공급부위; 상기 제 1출력단자, 제 3입력단자, 제 4입력단자 및 제 6입력단자와

(뒷면에 계속)

대표도 - 도3



접속되며, 제 2출력단자로 발광 제어신호를 출력하기 위한 제 2공급부를 구비하며; 상기 제 2공급부는 제 1전원과 상기 제 2출력단자 사이에 접속되며, 게이트전극이 제 3노드에 접속되는 제 13트랜지스터와; 상기 제 2출력단자와 제 2전원 사이에 접속되며, 게이트전극이 제 4노드에 접속되는 제 14트랜지스터와; 상기 제 1전원과 상기 제 3노드 사이에 직렬로 접속되는 제 10트랜지스터 및 제 11트랜지스터를 구비하며; 상기 제 10트랜지스터의 게이트전극은 상기 제 3입력단자에 접속되고, 상기 제 11트랜지스터의 게이트전극은 상기 제 6입력단자에 접속된다.

명세서

청구범위

청구항 1

제 1입력단자, 제 2입력단자, 제 5입력단자와 접속되며, 제 1출력단자로 주사신호를 출력하기 위한 제 1공급부와;

상기 제 1출력단자, 제 3입력단자, 제 4입력단자 및 제 6입력단자와 접속되며, 제 2출력단자로 발광 제어신호를 출력하기 위한 제 2공급부를 구비하며;

상기 제 2공급부는

제 1전원과 상기 제 2출력단자 사이에 접속되며, 게이트전극이 제 3노드에 접속되는 제 13트랜지스터와;

상기 제 2출력단자와 제 2전원 사이에 접속되며, 게이트전극이 제 4노드에 접속되는 제 14트랜지스터와;

상기 제 1전원과 상기 제 3노드 사이에 직렬로 접속되는 제 10트랜지스터 및 제 11트랜지스터를 구비하며;

상기 제 10트랜지스터의 게이트전극은 상기 제 3입력단자에 접속되고, 상기 제 11트랜지스터의 게이트전극은 상기 제 3입력단자와 다른 노드인 상기 제 6입력단자에 접속되는 것을 특징으로 하는 스테이지 회로.

청구항 2

제 1항에 있어서,

상기 제 1전원은 게이트 오프 전압으로 설정되고, 상기 제 2전원은 게이트 온 전압으로 설정되는 것을 특징으로 하는 스테이지 회로.

청구항 3

제 1항에 있어서,

상기 제 1입력단자로는 제 1클럭신호, 제 2입력단자로는 제 2클럭신호, 상기 제 3입력단자로는 제 3클럭신호, 제 4입력단자로는 제 4클럭신호, 제 5입력단자로는 제 1시작신호 또는 이전단 스테이지의 주사신호, 제 6입력단자로는 제 2시작신호 또는 이전단 스테이지의 발광 제어신호가 공급되는 것을 특징으로 하는 스테이지 회로.

청구항 4

제 3항에 있어서,

상기 제 1클럭신호 및 제 2클럭신호는 동일한 주기를 가지며, 로우신호의 전압이 서로 중첩되지 않는 것을 특징으로 하는 스테이지 회로.

청구항 5

제 4항에 있어서,

상기 제 3클럭신호 및 제 4클럭신호는 동일한 주기를 가지며, 로우신호의 전압이 서로 중첩되지 않는 것을 특징으로 하는 스테이지 회로.

청구항 6

제 5항에 있어서,

상기 제 1클럭신호 및 제 4클럭신호의 로우신호는 적어도 일부기간 중첩되는 것을 특징으로 하는 스테이지 회로.

청구항 7

제 5항에 있어서,

상기 제 2클럭신호 및 제 3클럭신호의 로우신호는 적어도 일부기간 중첩되는 것을 특징으로 하는 스테이지 회로.

청구항 8

제 1항에 있어서,

상기 제 2공급부는

상기 제 4노드와 상기 제 4입력단자 사이에 접속되는 제 4커패시터를 구비하는 것을 특징으로 하는 스테이지 회로.

청구항 9

제 8항에 있어서,

상기 제 2공급부는

상기 제 3입력단자와 상기 제 3노드 사이에 접속되며, 게이트전극이 상기 제 1출력단자에 접속되는 제 8트랜지스터와;

상기 제 6입력단자와 상기 제 4노드 사이에 접속되며, 게이트전극이 상기 제 3입력단자에 접속되는 제 9트랜지스터와;

상기 제 1전원과 상기 제 4노드 사이에 접속되며, 게이트전극이 상기 제 3노드에 접속되는 제 12트랜지스터와;

상기 제 1전원과 상기 제 3노드 사이에 접속되는 제 3커패시터를 더 구비하는 것을 특징으로 하는 스테이지 회로.

청구항 10

제 1항에 있어서,

상기 제 1공급부는

상기 제 5입력단자와 제 2노드 사이에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 1트랜지스터와;

상기 제 1전원과 상기 제 2노드 사이에 접속되며, 게이트전극이 상기 제 2입력단자에 접속되는 제 2트랜지스터와;

상기 제 2트랜지스터와 상기 제 1전원 사이에 접속되며, 게이트전극이 제 1노드에 접속되는 제 3트랜지스터와;

상기 제 1전원과 상기 제 1출력단자 사이에 접속되며, 게이트전극이 상기 제 1노드에 접속되는 제 4트랜지스터와;

상기 제 1출력단자와 상기 제 2입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 5트랜지스터와;

상기 제 1노드와 상기 제 1입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 6트랜지스터와;

상기 제 1노드와 상기 제 2전원 사이에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 7트랜지스터와;

상기 제 1출력단자와 상기 제 2노드 사이에 접속되는 제 1커패시터와;

상기 제 1전원과 상기 제 1노드 사이에 접속되는 제 2커패시터를 구비하는 것을 특징으로 하는 스테이지 회로.

청구항 11

주사선들, 데이터선들 및 발광 제어선들에 의하여 구획된 영역에 위치되는 화소들과;

상기 주사선들로 주사신호를 공급하고, 상기 발광 제어선들로 발광 제어신호를 공급하기 위한 스테이지들을 포함하는 주사/발광 구동부를 구비하며

상기 스테이지들 각각은

제 1입력단자, 제 2입력단자, 제 5입력단자와 접속되며, 제 1출력단자로 주사신호를 출력하기 위한 제 1공급부와;

상기 제 1출력단자, 제 3입력단자, 제 4입력단자 및 제 6입력단자와 접속되며, 제 2출력단자로 발광 제어신호를 출력하기 위한 제 2공급부를 구비하며;

상기 제 2공급부는

제 1전원과 상기 제 2출력단자 사이에 접속되며, 게이트전극이 제 3노드에 접속되는 제 13트랜지스터와;

상기 제 2출력단자와 제 2전원 사이에 접속되며, 게이트전극이 제 4노드에 접속되는 제 14트랜지스터와;

상기 제 1전원과 상기 제 3노드 사이에 직렬로 접속되는 제 10트랜지스터 및 제 11트랜지스터를 구비하며;

상기 제 10트랜지스터의 게이트전극은 상기 제 3입력단자에 접속되고, 상기 제 11트랜지스터의 게이트전극은 상기 제 3입력단자와 다른 노드인 상기 제 6입력단자에 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 12

제 11항에 있어서,

상기 제 1전원은 게이트 오프 전압으로 설정되고, 상기 제 2전원은 게이트 온 전압으로 설정되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 13

제 11항에 있어서,

홀수 번째 스테이지에 포함된 제 1입력단자로는 제 1클럭신호, 제 2입력단자로는 제 2클럭신호, 제 3입력단자로는 제 3클럭신호, 제 4입력단자로는 제 4클럭신호가 공급되며;

짝수 번째 스테이지에 포함된 제 1입력단자로는 제 2클럭신호, 제 2입력단자로는 제 1클럭신호, 제 3입력단자로는 제 4클럭신호, 제 4입력단자로는 제 3클럭신호가 공급되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 14

제 13항에 있어서,

상기 제 1클럭신호 및 제 2클럭신호는 동일한 주기를 가지며, 로우신호의 전압이 서로 중첩되지 않는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 15

제 14항에 있어서,

상기 제 3클럭신호 및 제 4클럭신호는 동일한 주기를 가지며, 로우신호의 전압이 서로 중첩되지 않는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 16

제 15항에 있어서,

상기 제 1클럭신호 및 제 4클럭신호의 로우신호는 적어도 일부기간 중첩되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 17

제 15항에 있어서,

상기 제 2클럭신호 및 제 3클럭신호의 로우신호는 적어도 일부기간 중첩되는 것을 특징으로 하는 유기전계발광

표시장치.

청구항 18

제 11항에 있어서,

상기 제 5입력단자로는 게이트 온 전압으로 설정되는 제 1시작신호 또는 이전단 스테이지의 주사신호, 상기 제 6입력단자로는 게이트 오프 전압으로 설정되는 제 2시작신호 또는 이전단 스테이지의 발광 제어신호가 공급되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 19

제 18항에 있어서,

상기 제 5입력단자로 공급되는 제 1시작신호 또는 이전단 스테이지의 주사신호는 상기 제 1입력단자로 공급되는 클럭신호와 중첩되며,

상기 제 6입력단자로 공급되는 제 2시작신호 또는 이전단 스테이지의 발광 제어신호는 상기 제 3입력단자로 공급되는 클럭신호와 한번 이상 중첩되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 20

제 11항에 있어서,

상기 제 2공급부는

상기 제 3입력단자와 상기 제 3노드 사이에 접속되며, 게이트전극이 상기 제 1출력단자에 접속되는 제 8트랜지스터와;

상기 제 6입력단자와 상기 제 4노드 사이에 접속되며, 게이트전극이 상기 제 3입력단자에 접속되는 제 9트랜지스터와;

상기 제 1전원과 상기 제 4노드 사이에 접속되며, 게이트전극이 상기 제 3노드에 접속되는 제 12트랜지스터와;

상기 제 1전원과 상기 제 3노드 사이에 접속되는 제 3커패시터와;

상기 제 4노드와 상기 제 4입력단자 사이에 접속되는 제 4커패시터를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 21

제 11항에 있어서,

상기 제 1공급부는

상기 제 5입력단자와 제 2노드 사이에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 1트랜지스터와;

상기 제 1전원과 상기 제 2노드 사이에 접속되며, 게이트전극이 상기 제 2입력단자에 접속되는 제 2트랜지스터와;

상기 제 2트랜지스터와 상기 제 1전원 사이에 접속되며, 게이트전극이 제 1노드에 접속되는 제 3트랜지스터와;

상기 제 1전원과 상기 제 1출력단자 사이에 접속되며, 게이트전극이 상기 제 1노드에 접속되는 제 4트랜지스터와;

상기 제 1출력단자와 상기 제 2입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 5트랜지스터와;

상기 제 1노드와 상기 제 1입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 6트랜지스터와;

상기 제 1노드와 상기 제 2전원 사이에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 7트랜지스터와;

상기 제 1출력단자와 상기 제 2노드 사이에 접속되는 제 1캐패시터와;

상기 제 1전원과 상기 제 1노드 사이에 접속되는 제 2캐패시터를 구비하는 것을 특징으로 하는 유기전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 스테이지 회로 및 이를 이용한 유기전계발광 표시장치에 관한 것으로, 특히 주사신호 및 발광제어신호를 생성할 수 있도록 한 스테이지 회로 및 이를 이용한 유기전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결매체인 표시장치의 중요성이 부각되고 있다. 이에 부응하여 액정 표시장치(Liquid Crystal Display Device : LCD), 유기전계발광 표시장치(Organic Light Emitting Display Device : OLED) 및 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 등과 같은 평판 표시장치(Flat Panel Display : FPD)의 사용이 증가하고 있다.

[0003] 평판 표시장치 중 유기 전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0004] 이와 같은 종래의 유기전계발광 표시장치는 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부, 주사선들로 주사신호를 순차적으로 공급하기 위한 주사 구동부, 발광 제어선들로 발광 제어신호를 순차적으로 공급하기 위한 발광제어선 구동부, 주사선들 및 데이터선들에 접속되는 복수의 화소를 포함하는 화소부를 구비한다.

[0005] 화소부에 포함된 화소들은 주사선으로 주사신호가 공급될 때 선택되어 데이터선으로부터 데이터신호를 공급받는다. 데이터신호를 공급받은 화소들은 데이터신호에 대응하는 소정 휘도의 빛을 생성하면서 영상을 표시한다. 그리고, 화소들은 데이터신호가 충전되는 기간 동안 발광 제어선으로부터 공급되는 발광 제어신호에 대응하여 비발광 상태로 설정된다.

[0006] 한편, 주사 구동부는 주사선들과 각각 접속되는 스테이지를 구비하며, 발광제어선 구동부는 발광 제어선들과 각각 접속되는 스테이지를 구비한다. 여기서, 스테이지들 각각은 복수의 트랜지스터들 및 복수의 캐패시터를 구비한다.

[0007] 스테이지들이 패널에 실장되는 경우 주사 구동부의 스테이지들을 실장하기 위한 제 1실장면적, 발광제어선 구동부의 스테이지들을 실장하기 위한 제 2실장면적이 필요하다. 즉, 종래에는 주사 구동부의 스테이지들 및 발광제어선 구동부의 스테이지들이 별도의 면적이 실장되고, 이에 따라 데드 스페이스(dead space)가 넓어지는 문제점이 있다. 특히, 휴대용 기기에서 제 1실장면적 및 제 2실장면적에 의하여 패널의 두께 및 넓이가 최소화되기 어려운 문제점이 있다.

발명의 내용

해결하려는 과제

[0008] 따라서, 본 발명이 이루고자 하는 기술적 과제는 주사신호 및 발광제어신호를 생성할 수 있도록 한 스테이지 회로 및 이를 이용한 유기전계발광 표시장치를 제공하는 것이다.

과제의 해결 수단

[0009] 본 발명의 실시예에 의한 스테이지 회로는 제 1입력단자, 제 2입력단자, 제 5입력단자와 접속되며, 제 1출력단

자로 주사신호를 출력하기 위한 제 1공급부와; 상기 제 1출력단자, 제 3입력단자, 제 4입력단자 및 제 6입력단자와 접속되며, 제 2출력단자로 발광 제어신호를 출력하기 위한 제 2공급부를 구비하며; 상기 제 2공급부는 제 1전원과 상기 제 2출력단자 사이에 접속되며, 게이트전극이 제 3노드에 접속되는 제 13트랜지스터와; 상기 제 2출력단자와 제 2전원 사이에 접속되며, 게이트전극이 제 4노드에 접속되는 제 14트랜지스터와; 상기 제 1전원과 상기 제 3노드 사이에 직렬로 접속되는 제 10트랜지스터 및 제 11트랜지스터를 구비하며; 상기 제 10트랜지스터의 게이트전극은 상기 제 3입력단자에 접속되고, 상기 제 11트랜지스터의 게이트전극은 상기 제 6입력단자에 접속된다.

- [0010] 실시 예에 의한, 상기 제 1전원은 게이트 오프 전압으로 설정되고, 상기 제 2전원은 게이트 온 전압으로 설정된다.
- [0011] 실시 예에 의한, 상기 제 1입력단자로는 제 1클럭신호, 제 2입력단자로는 제 2클럭신호, 상기 제 3입력단자로는 제 3클럭신호, 제 4입력단자로는 제 4클럭신호, 제 5입력단자로는 제 1시작신호 또는 이전단 스테이지의 주사신호, 제 6입력단자로는 제 2시작신호 또는 이전단 스테이지의 발광 제어신호가 공급된다.
- [0012] 실시 예에 의한, 상기 제 1클럭신호 및 제 2클럭신호는 동일한 주기를 가지며, 로우신호의 전압이 서로 중첩되지 않는다.
- [0013] 실시 예에 의한, 상기 제 3클럭신호 및 제 4클럭신호는 동일한 주기를 가지며, 로우신호의 전압이 서로 중첩되지 않는다.
- [0014] 실시 예에 의한, 상기 제 1클럭신호 및 제 4클럭신호의 로우신호는 적어도 일부기간 중첩된다.
- [0015] 실시 예에 의한, 상기 제 2클럭신호 및 제 3클럭신호의 로우신호는 적어도 일부기간 중첩된다.
- [0016] 실시 예에 의한, 상기 제 2공급부는 상기 제 4노드와 상기 제 4입력단자 사이에 접속되는 제 4커패시터를 구비한다.
- [0017] 실시 예에 의한, 상기 제 2공급부는 상기 제 3입력단자와 상기 제 3노드 사이에 접속되며, 게이트전극이 상기 제 1출력단자에 접속되는 제 8트랜지스터와; 상기 6입력단자와 상기 제 4노드 사이에 접속되며, 게이트전극이 상기 제 3입력단자에 접속되는 제 9트랜지스터와; 상기 제 1전원과 상기 제 4노드 사이에 접속되며, 게이트전극이 상기 제 3노드에 접속되는 제 12트랜지스터와; 상기 제 1전원과 상기 제 3노드 사이에 접속되는 제 3커패시터를 더 구비한다.
- [0018] 실시 예에 의한, 상기 제 1공급부는 상기 제 5입력단자와 제 2노드 사이에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 1트랜지스터와; 상기 제 1전원과 상기 제 2노드 사이에 접속되며, 게이트전극이 상기 제 2입력단자에 접속되는 제 2트랜지스터와; 상기 제 2트랜지스터와 상기 제 1전원 사이에 접속되며, 게이트전극이 제 1노드에 접속되는 제 3트랜지스터와; 상기 제 1전원과 상기 제 1출력단자 사이에 접속되며, 게이트전극이 상기 제 1노드에 접속되는 제 4트랜지스터와; 상기 제 1출력단자와 상기 제 2입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 5트랜지스터와; 상기 제 1노드와 상기 제 1입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 6트랜지스터와; 상기 제 1노드와 상기 제 2전원 사이에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 7트랜지스터와; 상기 제 1출력단자와 상기 제 2노드 사이에 접속되는 제 1커패시터와; 상기 제 1전원과 상기 제 1노드 사이에 접속되는 제 2커패시터를 구비한다.
- [0019] 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사선들, 데이터선들 및 발광 제어선들에 의하여 구획된 영역에 위치되는 화소들과; 상기 주사선들로 주사신호를 공급하고, 상기 발광 제어선들로 발광 제어신호를 공급하기 위한 스테이지들을 포함하는 주사/발광 구동부를 구비하며 상기 스테이지들 각각은 제 1입력단자, 제 2입력단자, 제 5입력단자와 접속되며, 제 1출력단자로 주사신호를 출력하기 위한 제 1공급부와; 상기 제 1출력단자, 제 3입력단자, 제 4입력단자 및 제 6입력단자와 접속되며, 제 2출력단자로 발광 제어신호를 출력하기 위한 제 2공급부를 구비하며; 상기 제 2공급부는 제 1전원과 상기 제 2출력단자 사이에 접속되며, 게이트전극이 제 3노드에 접속되는 제 13트랜지스터와; 상기 제 2출력단자와 제 2전원 사이에 접속되며, 게이트전극이 제 4노드에 접속되는 제 14트랜지스터와; 상기 제 1전원과 상기 제 3노드 사이에 직렬로 접속되는 제 10트랜지스터 및 제 11트랜지스터를 구비하며; 상기 제 10트랜지스터의 게이트전극은 상기 제 3입력단자에 접속되고, 상기 제 11트랜지스터의 게이트전극은 상기 제 6입력단자에 접속된다.
- [0020] 실시 예에 의한, 상기 제 1전원은 게이트 오프 전압으로 설정되고, 상기 제 2전원은 게이트 온 전압으로 설정된다.

- [0021] 실시 예에 의한, 홀수 번째 스테이지에 포함된 제 1입력단자로는 제 1클럭신호, 제 2입력단자로는 제 2클럭신호, 제 3입력단자로는 제 3클럭신호, 제 4입력단자로는 제 4클럭신호가 공급되며; 짝수 번째 스테이지에 포함된 제 1입력단자로는 제 2클럭신호, 제 2입력단자로는 제 1클럭신호, 제 3입력단자로는 제 4클럭신호, 제 4입력단자로는 제 3클럭신호가 공급된다.
- [0022] 실시 예에 의한, 상기 제 1클럭신호 및 제 2클럭신호는 동일한 주기를 가지며, 로우신호의 전압이 서로 중첩되지 않는다.
- [0023] 실시 예에 의한, 상기 제 3클럭신호 및 제 4클럭신호는 동일한 주기를 가지며, 로우신호의 전압이 서로 중첩되지 않는다.
- [0024] 실시 예에 의한, 상기 제 1클럭신호 및 제 4클럭신호의 로우신호는 적어도 일부기간 중첩된다.
- [0025] 실시 예에 의한, 상기 제 2클럭신호 및 제 3클럭신호의 로우신호는 적어도 일부기간 중첩된다.
- [0026] 실시 예에 의한, 상기 제 5입력단자로는 게이트 온 전압으로 설정되는 제 1시작신호 또는 이전단 스테이지의 주사신호, 상기 제 6입력단자로는 게이트 오프 전압으로 설정되는 제 2시작신호 또는 이전단 스테이지의 발광 제어신호가 공급된다.
- [0027] 실시 예에 의한, 상기 제 5입력단자로 공급되는 제 1시작신호 또는 이전단 스테이지의 주사신호는 상기 제 1입력단자로 공급되는 클럭신호와 중첩되며, 상기 제 6입력단자로 공급되는 제 2시작신호 또는 이전단 스테이지의 발광 제어신호는 상기 제 3입력단자로 공급되는 클럭신호와 한번 이상 중첩된다.
- [0028] 실시 예에 의한, 상기 제 2공급부는 상기 제 3입력단자와 상기 제 3노드 사이에 접속되며, 게이트전극이 상기 제 1출력단자에 접속되는 제 8트랜지스터와; 상기 6입력단자와 상기 제 4노드 사이에 접속되며, 게이트전극이 상기 제 3입력단자에 접속되는 제 9트랜지스터와; 상기 제 1전원과 상기 제 4노드 사이에 접속되며, 게이트전극이 상기 제 3노드에 접속되는 제 12트랜지스터와; 상기 제 1전원과 상기 제 3노드 사이에 접속되는 제 3커패시터와; 상기 제 4노드와 상기 제 4입력단자 사이에 접속되는 제 4커패시터를 구비한다.
- [0029] 실시 예에 의한, 상기 제 1공급부는 상기 제 5입력단자와 제 2노드 사이에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 1트랜지스터와; 상기 제 1전원과 상기 제 2노드 사이에 접속되며, 게이트전극이 상기 제 2입력단자에 접속되는 제 2트랜지스터와; 상기 제 2트랜지스터와 상기 제 1전원 사이에 접속되며, 게이트전극이 제 1노드에 접속되는 제 3트랜지스터와; 상기 제 1전원과 상기 제 1출력단자 사이에 접속되며, 게이트전극이 상기 제 1노드에 접속되는 제 4트랜지스터와; 상기 제 1출력단자와 상기 제 2입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 5트랜지스터와; 상기 제 1노드와 상기 제 1입력단자 사이에 접속되며, 게이트전극이 상기 제 2노드에 접속되는 제 6트랜지스터와; 상기 제 1노드와 상기 제 2전원 사이에 접속되며, 게이트전극이 상기 제 1입력단자에 접속되는 제 7트랜지스터와; 상기 제 1출력단자와 상기 제 2노드 사이에 접속되는 제 1커패시터와; 상기 제 1전원과 상기 제 1노드 사이에 접속되는 제 2커패시터를 구비한다.

발명의 효과

- [0030] 본 발명의 실시예에 의한 스테이지 회로 및 이를 이용한 유기전계발광 표시장치에 의하면 하나의 스테이지를 이용하여 주사신호 및 발광 제어신호를 생성할 수 있고, 이에 따라 실장면적을 최소화할 수 있다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- 도 2는 도 1에 도시된 주사/발광 구동부의 스테이지 실시예를 나타내는 도면이다.
- 도 3은 도 2에 도시된 스테이지의 실시예를 나타내는 회로도이다.
- 도 4는 도 3에 도시된 스테이지 회로의 구동방법을 나타내는 파형도이다.
- 도 5는 본원 발명의 실시예에 의한 주사 구동부의 시뮬레이션 결과를 나타내는 도면이다.
- 도 6은 제 2시작신호에 대응한 발광 제어신호의 시뮬레이션 결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 바람직한 실시 예가 첨부된 도 1 내지 도 6을 참조하여 자세히 설명하면 다음과 같다.
- [0033] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- [0034] 도 1을 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 주사선들(S1 내지 Sn), 발광 제어선들(E1 내지 En) 및 데이터선들(D1 내지 Dm)에 의하여 구획된 영역에 위치되는 화소들(30)을 포함하는 화소부(40)와, 주사선들(S1 내지 Sn) 및 발광 제어선들(E1 내지 En)을 구동하기 위한 주사/발광 구동부(10)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(20)와, 주사/발광 구동부(10) 및 데이터 구동부(20)를 제어하기 위한 타이밍 제어부(50)를 구비한다.
- [0035] 주사/발광 구동부(10)는 주사선들(S1 내지 Sn) 및 발광 제어선들(E1 내지 En)을 구동한다. 다시 말하여, 주사/발광 구동부(10)는 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급하고, 발광 제어선들(E1 내지 En)로 발광 제어신호를 순차적으로 공급한다. 주사/발광 구동부(10)는 화소(30)의 구조에 대응하여 다양한 형태로 주사신호 및 발광 제어신호를 공급할 수 있다. 예를 들어, 주사/발광 구동부(10)는 i (i 는 자연수)번째 주사선(S_i)으로 공급되는 주사신호와 일부 기간 중첩되도록 i 번째 발광 제어선(E_i)으로 발광 제어신호를 공급할 수 있다. 주사/발광 구동부(10)는 복수의 스테이지를 구비하며, 복수의 스테이지들 각각은 주사선 및 발광 제어선과 접속된다.
- [0036] 한편, 주사신호는 화소들(30)에 포함된 트랜지스터들이 턴-온될 수 있는 전압(게이트 온 전압, 예를 들면 로우 전압)으로 설정되고, 발광 제어신호는 화소들(30)에 포함된 트랜지스터들이 턴-오프될 수 있는 전압(게이트 오프 전압, 예를 들면 하이전압)으로 설정된다.
- [0037] 데이터 구동부(20)는 주사신호에 동기되도록 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 그러면, 주사신호에 의하여 선택된 화소들(30)로 데이터신호가 공급되고, 이에 따라 화소들(30)은 데이터신호에 대응하는 전압을 충전한다.
- [0038] 타이밍 제어부(50)는 주사/발광 구동부(10) 및 데이터 구동부(20)를 제어하기 위한 제어신호(미도시)를 공급한다. 또한, 타이밍 제어부(50)는 외부로부터의 데이터(미도시)를 데이터 구동부(20)로 공급한다.
- [0039] 화소들(30)은 데이터신호에 대응하는 전압을 저장하고, 저장된 전압에 대응하는 전류를 유기 발광 다이오드(미도시)로 공급하면서 소정 휘도의 빛을 생성한다. 한편, 본 발명에서 화소들(30)은 주사신호 및 발광 제어신호를 공급받는 현재 공지된 다양한 형태의 회로로 구성될 수 있다.
- [0040] 도 2는 도 1에 도시된 주사/발광 구동부의 스테이지 실시예를 나타내는 도면이다. 도 2에서는 설명의 편의성을 위하여 4개의 스테이지를 도시하기로 한다.
- [0041] 도 2를 참조하면, 본 발명의 실시예에 의한 주사/발광 구동부(10)는 각각 하나의 주사선 및 발광 제어선과 접속되는 복수의 스테이지(ST1 내지 ST4)를 구비한다. 스테이지들(ST1 내지 ST4)은 동일한 회로로 구성된다. 이와 같은 스테이지들(ST1 내지 ST4)은 주사선들(S1 내지 S4)로 주사신호를 순차적으로 공급하며, 발광 제어선들(E1 내지 En)로 발광 제어신호를 순차적으로 공급한다.
- [0042] 스테이지(ST1 내지 ST4) 각각은 4개의 클럭신호(CLK1, CLK2, CLK3, CLK4), 제 1시작신호(FLM1)(또는 이전단 스테이지의 주사신호), 제 2시작신호(FLM2)(또는 이전단 스테이지의 발광 제어신호)에 의하여 구동된다. 여기서, 제 1클럭신호(CLK1), 제 2클럭신호(CLK2) 및 제 1시작신호(FLM1)(또는 이전단 스테이지의 주사신호)는 주사신호를 출력하기 위하여 사용된다. 그리고, 제 3클럭신호(CLK3), 제 4클럭신호(CLK4) 및 제 2시작신호(FLM2)(또는 이전단 스테이지의 발광 제어신호)는 발광 제어신호를 출력하기 위하여 사용된다.
- [0043] 스테이지들(ST1 내지 ST4) 각각은 제 1입력단자(101), 제 2입력단자(102), 제 3입력단자(103), 제 4입력단자(104), 제 5입력단자(105), 제 6입력단자(106), 제 1출력단자(111), 제 2출력단자(112)를 구비한다.
- [0044] 홀수(또는 짝수) 번째 스테이지에 포함된 제 1입력단자(101)는 제 1클럭신호(CLK1), 제 2입력단자(102)는 제 2클럭신호(CLK2)를 공급받는다. 그리고, 짝수(또는 홀수) 번째 스테이지에 포함된 제 1입력단자(101)는 제 2클럭

신호(CLK2), 제 2입력단자(102)는 제 1클럭신호(CLK1)를 공급받는다. 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)는 도 4에 도시된 바와 같이 동일한 주기를 가지며 위상이 반대로 설정된다. 일례로, 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)는 2수평기간(2H)의 주기를 가지며, 서로 다른 수평기간 동안 로우신호(로우전압)가 공급된다. 여기서, 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2) 각각은 하이신호(하이전압) 공급기간이 로우신호 공급기간보다 길게 설정된다. 이 경우, 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)의 하이신호는 일부기간 중첩된다.

[0045] 홀수(또는 짝수) 번째 스테이지에 포함된 제 3입력단자(103)는 제 3클럭신호(CLK3), 제 4입력단자(104)는 제 4클럭신호(CLK4)를 공급받는다. 그리고, 짝수(또는 홀수) 번째 스테이지에 포함된 제 3입력단자(103)는 제 4클럭신호(CLK4), 제 4입력단자(104)는 제 3클럭신호(CLK3)를 공급받는다. 제 3클럭신호(CLK3) 및 제 4클럭신호(CLK4)는 동일한 주기를 가지며 위상이 반대로 설정된다. 일례로, 제 3클럭신호(CLK3) 및 제 4클럭신호(CLK4)는 2수평기간(2H)의 주기를 가지며, 서로 다른 수평기간 동안 로우신호(로우전압)가 공급된다. 여기서, 제 3클럭신호(CLK3) 및 제 4클럭신호(CLK4) 각각은 하이신호(하이전압) 공급기간이 로우신호 공급기간보다 길게 설정된다. 이 경우, 제 3클럭신호(CLK3) 및 제 4클럭신호(CLK4)의 하이신호는 일부기간 중첩된다. 또한, 제 3클럭신호(CLK3)의 로우신호는 제 2클럭신호(CLK2)의 로우신호와 적어도 일부기간 중첩되며, 제 4클럭신호(CLK4)의 로우신호는 제 1클럭신호(CLK1)의 로우신호와 적어도 일부기간 중첩된다.

[0046] 스테이지들(ST1 내지 ST4) 각각에 포함된 제 5입력단자(105)는 제 1시작신호(FLM1) 또는 이전단 스테이지의 주사신호를 공급받는다. 일례로, 제 1스테이지(ST1)에 포함된 제 5입력단자(105)는 제 1시작신호(FLM1)를 공급받고, 나머지 스테이지들(ST2 내지 ST4)에 포함된 제 5입력단자(105)는 이전단 스테이지의 주사신호를 공급받을 수 있다.

[0047] 스테이지들(ST1 내지 ST4) 각각에 포함된 제 6입력단자(106)는 제 2시작신호(FLM2) 또는 이전단 스테이지의 발광 제어신호를 공급받는다. 일례로, 제 1스테이지(ST1)에 포함된 제 6입력단자(106)는 제 2시작신호(FLM2)를 공급받고, 나머지 스테이지들(ST2 내지 ST4)에 포함된 제 6입력단자(106)는 이전단 스테이지의 발광 제어신호를 공급받을 수 있다.

[0048] 스테이지들(ST1 내지 ST4) 각각의 제 1출력단자(111)는 주사선(S)으로 주사신호를 공급하고, 제 2출력단자(112)는 발광 제어선(E)으로 발광 제어신호를 공급한다.

[0049] 도 3은 도 2에 도시된 스테이지의 실시예를 나타내는 회로도이다. 도 3에서는 설명의 편의성을 위하여 제 1스테이지(ST1) 및 제 2스테이지(ST2)를 도시하며, 제 1스테이지(ST1)를 이용하여 설명하기로 한다.

[0050] 도 3을 참조하면, 본 발명의 실시예에 의한 스테이지(ST1)는 제 1출력단자(111)로 주사신호를 공급하기 위한 제 1공급부(300)와, 제 2출력단자(112)로 발광 제어신호를 공급하기 위한 제 2공급부(310)를 구비한다.

[0051] 제 1공급부(300)는 제 1입력단자(101), 제 2입력단자(102), 제 5입력단자(105)의 신호(또는 전압)에 대응하여 제 1출력단자(111)를 경유하여 주사선(S1)으로 주사신호를 출력한다. 이를 위하여, 제 1공급부(300)는 제 1구동부(210), 제 2구동부(220) 및 제 1출력부(230)를 구비한다.

[0052] 제 1출력부(230)는 제 1노드(N1) 및 제 2노드(N2)에 인가되는 전압에 대응하여 제 1출력단자(111)로 공급되는 전압을 제어한다. 이를 위하여, 제 1출력부(230)는 제 4트랜지스터(M4), 제 5트랜지스터(M5), 제 1커패시터(C1) 및 제 2커패시터(C2)를 구비한다.

[0053] 제 4트랜지스터(M4)는 제 1전원(VDD)과 제 1출력단자(111) 사이에 접속되며, 게이트전극이 제 1노드(N1)에 접속된다. 이와 같은 제 4트랜지스터(M4)는 제 1노드(N1)에 인가되는 전압에 대응하여 제 1전원(VDD)과 제 1출력단자(111)의 접속을 제어한다. 여기서, 제 1전원(VDD)은 게이트 오프 전압, 예를 들면 하이레벨의 전압으로 설정된다.

[0054] 제 5트랜지스터(M5)는 제 1출력단자(111)와 제 2입력단자(102) 사이에 접속되며, 게이트전극이 제 2노드(N2)에 접속된다. 이와 같은 제 5트랜지스터(M5)는 제 2노드(N2)에 인가되는 전압에 대응하여 제 1출력단자(111)와 제 2입력단자(102)의 접속을 제어한다.

[0055] 제 1커패시터(C1)는 제 2노드(N2)와 제 1출력단자(111) 사이에 접속된다. 이와 같은 제 1커패시터(C1)는 제 1출력단자(111)의 전압에 대응하여 제 2노드(N2)의 전압을 제어한다.

- [0056] 제 2커패시터(C2)는 제 1노드(N1)와 제 1전원(VDD) 사이에 접속된다. 이와 같은 제 2커패시터(C2)는 제 1노드(N1)에 인가되는 전압을 충전한다.
- [0057] 제 1구동부(210)는 제 1입력단자(101), 제 2입력단자(102) 및 제 5입력단자(105)로 공급되는 신호들에 대응하여 제 2노드(N2)의 전압을 제어한다. 이를 위하여 제 1구동부(210)는 제 1트랜지스터(M1), 제 2트랜지스터(M2) 및 제 3트랜지스터(M3)를 구비한다.
- [0058] 제 1트랜지스터(M1)는 제 5입력단자(105)와 제 2노드(N2) 사이에 접속되며, 게이트전극이 제 1입력단자(101)에 접속된다. 이와 같은 제 1트랜지스터(M1)는 제 1입력단자(101)로 제 1클럭신호(CLK1)가 공급될 때 턴-온되어 제 5입력단자(105)와 제 2노드(N2)를 전기적으로 접속시킨다.
- [0059] 제 2트랜지스터(M2) 및 제 3트랜지스터(M3)는 제 1전원(VDD)과 제 2노드(N2) 사이에 직렬로 접속된다. 그리고, 제 2트랜지스터(M2)의 게이트전극은 제 2입력단자(102)에 접속되고, 제 3트랜지스터(M3)의 게이트전극은 제 1노드(N1)에 접속된다. 제 2트랜지스터(M2)는 제 2입력단자(102)로 제 2클럭신호(CLK2)가 공급될 때 턴-온되어 제 3트랜지스터(M3)와 제 2노드(N2)를 전기적으로 접속시킨다. 제 3트랜지스터(M3)는 제 1노드(N1)의 전압에 대응하여 제 2트랜지스터(M2) 및 제 1전원(VDD)의 접속을 제어한다.
- [0060] 제 2구동부(220)는 제 1입력단자(101) 및 제 2노드(N2)의 전압에 대응하여 제 1노드(N1)의 전압을 제어한다. 이를 위하여, 제 2구동부(220)는 제 6트랜지스터(M6) 및 제 7트랜지스터(M7)를 구비한다.
- [0061] 제 6트랜지스터(M6)는 제 1노드(N1)와 제 1입력단자(101) 사이에 접속되며, 게이트전극이 제 2노드(N2)에 접속된다. 이와 같은 제 6트랜지스터(M6)는 제 2노드(N2)의 전압에 대응하여 제 1노드(N1)와 제 1입력단자(101)의 접속을 제어한다.
- [0062] 제 7트랜지스터(M7)는 제 1노드(N1)와 제 2전원(VSS) 사이에 접속되며, 게이트전극이 제 1입력단자(101)에 접속된다. 이와 같은 제 7트랜지스터(M7)는 제 1입력단자(101)로 제 1클럭신호(CLK1)가 공급될 때 턴-온되어 제 1노드(N1)로 제 2전원(VSS)의 전압을 공급한다. 여기서, 제 2전원(VSS)은 게이트 온 전압, 예를 들면 로우레벨의 전압으로 설정된다.
- [0063] 제 2공급부(310)는 제 1출력단자(111), 제 3입력단자(103), 제 4입력단자(104), 제 6입력단자(106)의 신호(또는 전압)에 대응하여 제 2출력단자(112)를 경유하여 발광 제어선(E1)으로 발광 제어신호를 출력한다. 이를 위하여, 제 2공급부(310)는 제 3구동부(240), 제 4구동부(250) 및 제 2출력부(260)를 구비한다.
- [0064] 제 2출력부(260)는 제 3노드(N3) 및 제 4노드(N3)의 전압에 대응하여 제 2출력단자(112)로 공급되는 전압을 제어한다. 이를 위하여, 제 2출력부(260)는 제 13트랜지스터(M13), 제 14트랜지스터(M14), 제 3커패시터(C3) 및 제 4커패시터(C4)를 구비한다.
- [0065] 제 13트랜지스터(M13)는 제 1전원(VDD)과 제 2출력단자(112) 사이에 접속되며, 게이트전극이 제 3노드(N3)에 접속된다. 이와 같은 제 13트랜지스터(M13)는 제 3노드(N3)의 전압에 대응하여 제 1전원(VDD)과 제 2출력단자(112)의 접속을 제어한다.
- [0066] 제 14트랜지스터(M14)는 제 2출력단자(112)와 제 2전원(VSS) 사이에 접속되며, 게이트전극이 제 4노드(N4)에 접속된다. 이와 같은 제 14트랜지스터(M14)는 제 4노드(N4)의 전압에 대응하여 제 2전원(VSS)과 제 2출력단자(112)의 접속을 제어한다.
- [0067] 제 3커패시터(C3)는 제 1전원(VDD)과 제 3노드(N3) 사이에 접속된다. 이와 같은 제 3커패시터(C3)는 제 3노드(N3)에 인가되는 전압을 충전한다.
- [0068] 제 4커패시터(C4)는 제 4노드(N4)와 제 4입력단자(104) 사이에 접속된다. 이와 같은 제 4커패시터(C4)는 제 4입력단자(104)로 공급되는 제 4클럭신호(CLK4)에 대응하여 제 4노드(N4)의 전압을 제어한다. 실제로, 제 4커패시터(C4)는 제 4입력단자(104)로 공급되는 제 4클럭신호(CLK4)에 대응하여 제 14트랜지스터(M14)가 완전히 턴-온될 수 있도록 제 4노드(N4)의 전압을 제어한다.
- [0069] 제 3구동부(240)는 제 1출력단자(111), 제 3입력단자(103), 제 6입력단자(106)로 공급되는 신호들에 대응하여 제 3노드(N3) 및 제 4노드(N4)의 전압을 제어한다. 이를 위하여, 제 3구동부(240)는 제 8트랜지스터(M8), 제 9트랜지스터(M9)를 구비한다.
- [0070] 제 8트랜지스터(M8)는 제 3입력단자(103)와 제 3노드(N3) 사이에 접속되며, 게이트전극이 제 1출력단자(111)에 접속된다. 이와 같은 제 8트랜지스터(M8)는 제 1출력단자(111)로 주사신호가 공급될 때 턴-온되어 제 3입력단자

(103)와 제 3노드(N3)를 전기적으로 접속시킨다.

- [0071] 제 9트랜지스터(M9)는 제 6입력단자(106)와 제 4노드(N4) 사이에 접속되며, 게이트전극이 제 3입력단자(103)에 접속된다. 이와 같은 제 9트랜지스터(M9)는 제 3입력단자(103)로 제 3클럭신호(CLK3)가 공급될 때 턴-온되어 제 6입력단자(106)와 제 4노드(N4)를 전기적으로 접속시킨다.
- [0072] 제 4구동부(250)는 제 3입력단자(103) 및 제 6입력단자(106)로 공급되는 신호들에 대응하여 제 3노드(N3)의 전압을 제어하고, 제 3노드(N3)의 전압에 대응하여 제 4노드(N4)의 전압을 제어한다. 이를 위하여, 제 4구동부(250)는 제 10트랜지스터(M10), 제 11트랜지스터(M11) 및 제 12트랜지스터(M12)를 구비한다.
- [0073] 제 10트랜지스터(M10) 및 제 11트랜지스터(M11)는 제 1전원(VDD)과 제 3노드(N3) 사이에 직렬로 접속된다. 그리고, 제 10트랜지스터(M10)의 게이트전극은 제 3입력단자(103)에 접속되고, 제 11트랜지스터(M11)의 게이트전극은 제 6입력단자(106)에 접속된다. 제 10트랜지스터(M10)는 제 3입력단자(103)로 제 3클럭신호(CLK3)가 공급될 때 턴-온되어 제 1전원(VDD)과 제 11트랜지스터(M11)를 전기적으로 접속시킨다. 제 11트랜지스터(M11)는 제 6입력단자(106)로 제 2시작신호(FLM2)가 공급될 때 턴-오프되고, 그 외의 경우에 턴-온되어 제 10트랜지스터(M10)와 제 3노드(N3)를 전기적으로 접속시킨다.
- [0074] 제 12트랜지스터(M12)는 제 1전원(VDD)과 제 4노드(N4) 사이에 접속되며, 게이트전극이 제 3노드(N3)에 접속된다. 이와 같은 제 12트랜지스터(M12)는 제 3노드(N3)의 전압에 대응하여 제 1전원(VDD)과 제 4노드(N4)의 전기적 접속을 제어한다.
- [0075] 도 4는 도 3에 도시된 스테이지 회로의 구동방법을 나타내는 파형도이다. 도 4에서는 설명의 편의성을 위하여 제 1스테이지(ST1)를 이용하여 동작과정을 설명하기로 한다.
- [0076] 도 4를 참조하면, 제 1클럭신호(CLK1) 및 제 2클럭신호(CLK2)는 동일주기를 가지며, 로우신호가 서로 다른 수평기간에 공급된다. 그리고, 제 3클럭신호(CLK3) 및 제 4클럭신호(CLK4)는 동일 주기를 가지며, 로우신호가 서로 다른 수평기간에 공급된다. 여기서, 제 2클럭신호(CLK2) 및 제 3클럭신호(CLK3)의 로우신호는 적어도 일부기간 중첩되며, 제 1클럭신호(CLK1) 및 제 4클럭신호(CLK4)의 로우신호도 적어도 일부기간 중첩된다.
- [0077] 그리고, 제 1입력단자(101)로 공급되는 클럭신호(CLK1)와 동기되도록 제 5입력단자(105)로 제 1시작신호(FLM1)가 공급되며, 제 3입력단자(103)로 공급되는 클럭신호(CLK3)의 로우신호와 한번 이상 중첩되도록 제 6입력단자(106)로 제 2시작신호(FLM2)가 공급된다.
- [0078] 한편, 본원 발명에서 제 1시작신호(FLM1)가 공급된다는 것은 트랜지스터가 턴-온되는 게이트 온 전압(즉, 로우전압)이 공급됨을 의미하며, 제 2시작신호(FLM2)가 공급된다는 것은 트랜지스터가 턴-오프되는 게이트 오프 전압(즉, 하이전압)이 공급됨을 의미한다. 추가적으로, 제 1클럭신호(CLK1) 내지 제 4클럭신호(CLK4)가 공급된다는 것은 트랜지스터가 턴-온되는 게이트 온 전압(즉, 로우전압)이 공급됨을 의미한다.
- [0079] 이후, 설명의 편의성을 위하여 주사신호가 공급되는 과정을 설명한 후 발광 제어신호가 공급되는 과정을 설명하기로 한다.
- [0080] 제 1기간(T1) 동안 제 1입력단자(101)로 제 1클럭신호(CLK1)가 공급되고, 제 5입력단자(105)로 제 1시작신호(FLM1)가 공급된다. 제 1입력단자(101)로 제 1클럭신호(CLK1)가 공급되면 제 1트랜지스터(M1) 및 제 7트랜지스터(M7)가 턴-온된다.
- [0081] 제 1트랜지스터(M1)가 턴-온되면 제 5입력단자(105)로부터의 제 1시작신호(FLM1)가 제 2노드(N2)로 공급된다. 이때, 제 2노드(N2)는 로우전압으로 설정되고, 이에 따라 제 5트랜지스터(M5) 및 제 6트랜지스터(M6)가 턴-온된다.
- [0082] 제 5트랜지스터(M5)가 턴-온되면 제 2입력단자(102)와 제 1출력단자(111)가 전기적으로 접속된다. 여기서, 제 1기간(T1) 동안 제 2클럭신호(CLK2)가 공급되지 않기 때문에 제 2입력단자(102)는 하이전압을 유지하고, 이에 따라 제 1출력단자(111)로 하이전압이 출력된다.
- [0083] 제 6트랜지스터(M6)가 턴-온되면 제 1입력단자(101)로부터의 제 1클럭신호(CLK1)가 제 1노드(N1)로 공급된다. 이때, 제 1노드(N1)는 로우전압으로 설정되고, 이에 따라 제 3트랜지스터(M3) 및 제 4트랜지스터(M4)가 턴-온된다. 제 4트랜지스터(M4)가 턴-온되면 제 1전원(VDD)의 전압이 제 1출력단자(111)로 공급된다. 여기서, 제 1전원(VDD)의 전압은 제 2입력단자(102)로부터의 하이전압과 동일(또는 유사)한 전압으로 설정되고, 이에 따라 제 1

출력단자(111)는 안정적으로 하이전압을 유지한다.

- [0084] 제 3트랜지스터(M3)가 턴-온되면 제 2트랜지스터(M2)와 제 1전원(VDD)이 전기적으로 접속된다. 여기서, 제 1기간(T1) 동안 제 2트랜지스터(M2)가 턴-오프 상태를 유지하기 때문에 제 3트랜지스터(M3)의 턴-온과 무관하게 제 2노드(N2)는 로우전압을 유지한다.
- [0085] 제 7트랜지스터(M7)가 턴-온되면 제 2전원(VSS)의 전압이 제 1노드(N1)로 공급된다. 여기서, 제 2전원(VSS)의 전압은 제 1클럭신호(CLK1)와 동일(또는 유사)한 전압으로 설정되고, 이에 따라 제 1노드(N1)는 안정적으로 로우전압을 유지한다.
- [0086] 제 2기간(T2)에는 제 1시작신호(FLM1) 및 제 1클럭신호(CLK1)의 공급이 중단되며, 제 2입력단자(102)로 제 2클럭신호(CLK2)가 공급된다.
- [0087] 제 1클럭신호(CLK1)의 공급이 중단되면 제 1트랜지스터(M1) 및 제 7트랜지스터(M7)가 턴-오프된다. 이때, 제 1커패시터(C1)에 저장된 전압에 대응하여 제 2노드(N2)는 로우전압을 유지하고, 이에 따라 제 5트랜지스터(M5) 및 제 6트랜지스터(M6)는 턴-온 상태를 유지한다.
- [0088] 제 6트랜지스터(M6)가 턴-온상태를 유지하면 제 1입력단자(101)로부터의 하이전압이 제 1노드(N1)로 공급된다. 제 1노드(N1)로 하이전압이 공급되면 제 3트랜지스터(M3) 및 제 4트랜지스터(M4)가 턴-오프된다.
- [0089] 제 5트랜지스터(M5)가 턴-온 상태를 유지하면 제 2입력단자(102)로부터의 제 2클럭신호(CLK2)가 제 1출력단자(111)로 공급된다. 이때, 제 1커패시터(C1)의 커플링에 의하여 제 2노드(N2)의 전압이 추가로 하강되고, 이에 따라 제 5트랜지스터(M5)는 안정적으로 턴-온 상태를 유지한다. 제 1출력단자(111)로 공급된 제 2클럭신호(CLK2)는 주사신호로서 주사선(S1)으로 출력됨과 아울러 다음단 스테이지(ST2)의 제 5입력단자(105)로 공급된다.
- [0090] 추가적으로 제 2입력단자(102)로 제 2클럭신호(CLK2)가 공급되면 제 3트랜지스터(M3)와 제 2노드(N2)가 전기적으로 접속된다. 이때, 제 3트랜지스터(M3)가 턴-오프 상태로 설정되기 때문에 제 2노드(N2)는 안정적으로 로우전압을 유지한다.
- [0091] 제 3기간(T3)에는 제 1입력단자(101)로 제 1클럭신호(CLK1)가 공급되고, 이에 따라 제 1트랜지스터(M1) 및 제 7트랜지스터(M7)가 턴-온된다. 제 1트랜지스터(M1)가 턴-온되면 제 5입력단자(105)로부터의 하이전압이 제 2노드(N2)로 공급되고, 이에 따라 제 5트랜지스터(M5) 및 제 6트랜지스터(M6)가 턴-오프된다.
- [0092] 제 7트랜지스터(M7)가 턴-온되면 제 2전원(VSS)의 전압이 제 1노드(N1)로 공급되어 제 3트랜지스터(M3) 및 제 4트랜지스터(M4)가 턴-온된다. 제 4트랜지스터(M4)가 턴-온되면 제 1전원(VDD)의 전압이 제 1출력단자(111)로 공급된다.
- [0093] 이후, 제 4트랜지스터(M4) 및 제 3트랜지스터(M3)는 제 2커패시터(C2)에 충전된 전압에 대응하여 턴-온 상태를 유지하고, 이에 따라 제 1출력단자(104)는 제 1전원(VDD)의 전압을 출력한다. 추가적으로, 제 2클럭신호(CLK2)가 공급될 때 제 2트랜지스터(M2)가 턴-온되면 제 1전원(VDD)의 전압이 제 2노드(N2)로 공급되고, 이에 따라 제 5트랜지스터(M5) 및 제 6트랜지스터(M6)는 안정적으로 턴-오프 상태를 유지한다.
- [0094] 한편, 제 2스테이지(ST2)는 제 1입력단자(101)로 공급되는 제 2클럭신호(CLK2)와 동기되도록 제 5입력단자(105)로 제 1스테이지(ST1)의 주사신호를 공급받는다. 이 경우, 제 2스테이지(ST2)는 제 1클럭신호(CLK1)를 주사신호로서 제 2주사선(S2)으로 출력한다. 실제로, 본원 발명의 실시예에 의한 제 1공급부들(300)은 상술한 과정을 반복하면서 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 출력한다.
- [0095] 제 2공급부(310)에서 발광 제어신호가 출력되는 과정은 다음과 같다. 먼저, 제 2기간(T2) 동안 제 1출력단자(111)로 주사신호가 출력된다. 그리고, 주사신호와 적어도 일부기간 중첩되도록 제 3입력단자(103)로 제 3클럭신호(CLK3)가 공급되고, 제 3클럭신호(CLK3)와 중첩되도록 제 6입력단자(106)로 제 2시작신호(FLM2)가 공급된다.
- [0096] 제 1출력단자(111)로 주사신호가 공급되면 제 8트랜지스터(M8)가 턴-온된다. 제 8트랜지스터(M8)가 턴-온되면 제 3입력단자(103)로부터의 제 3클럭신호(CLK3)가 제 3노드(N3)로 공급된다. 제 3노드(N3)로 로우전압인 제 3클럭신호(CLK3)가 공급되면 제 12트랜지스터(M12) 및 제 13트랜지스터(M13)가 턴-온된다.
- [0097] 제 12트랜지스터(M12)가 턴-온되면 제 4노드(N4)로 제 1전원(VDD)의 전압이 공급된다. 제 4노드(N4)로 제 1전원(VDD)의 전압이 공급되면 제 14트랜지스터(M14)가 턴-오프된다. 제 13트랜지스터(M13)가 턴-온되면 제 2출력단자(112)는 로우전압을 유지한다.

자(112)로 제 1전원(VDD)의 전압이 공급된다. 제 2출력단자(112)로 공급된 제 1전원(VDD)의 전압은 발광 제어신호로서 발광 제어선(E1)으로 공급됨과 아울러 다음단 스테이지의 제 6입력단자(106)로 공급된다.

- [0098] 추가적으로, 제 2기간(T2) 동안 제 3입력단자(103)로 공급되는 제 3클럭신호(CLK3)에 의하여 제 9트랜지스터(M9) 및 제 10트랜지스터(M10)가 턴-온된다. 제 9트랜지스터(M9)가 턴-온되면 제 2시작신호(FLM2)가 제 4노드(N4)로 공급된다. 여기서, 제 2시작신호(FLM2)는 제 1전원(VDD)과 동일(또는 유사)한 전압으로 설정되고, 이에 따라 제 4노드(N4)는 안정적으로 하이전압을 유지한다.
- [0099] 제 10트랜지스터(M10)가 턴-온되면 제 1전원(VDD)과 제 11트랜지스터(M11)가 전기적으로 접속된다. 이때, 제 6입력단자(106)로 공급되는 제 2시작신호(FLM2)에 대응하여 제 11트랜지스터(M11)가 턴-오프 상태로 설정되기 때문에 제 3노드(N3)는 안정적으로 로우전압을 유지한다.
- [0100] 이후, 제 3기간(T3) 및 제 4기간(T4) 동안 제 6입력단자(106)로 제 2시작신호(FLM2)의 공급이 유지된다. 따라서, 제 3기간(T3) 및 제 4기간(T4) 동안 제 11트랜지스터(M11)가 턴-오프 상태로 설정된다. 제 11트랜지스터(M11)가 턴-오프 상태로 설정되면 제 3노드(N3)는 로우전압을 유지하고, 이에 따라 제 12트랜지스터(M12) 및 제 13트랜지스터(M13)가 턴-온 상태를 유지한다.
- [0101] 제 12트랜지스터(M12)가 턴-온 상태를 유지하면 제 3기간(T3) 및 제 4기간(T4) 동안 제 4노드(N4)로 제 1전원(VDD)의 전압이 공급되고, 이에 따라 제 14트랜지스터(M14)가 턴-오프 상태로 설정된다. 제 13트랜지스터(M13)가 턴-온 상태를 유지하면 제 2출력단자(112)로 제 1전원(VDD)의 전압이 출력된다. 즉, 제 2시작신호(FLM2)가 공급되는 기간 동안 제 2출력단자(112)로는 발광 제어신호가 출력된다.
- [0102] 제 5기간(T5)에는 제 6입력단자(106)로 제 2시작신호(FLM2)이 공급이 중단된다. 그리고, 제 3입력단자(103)로 제 3클럭신호(CLK3)가 공급된다. 제 6입력단자(106)로 제 2시작신호(FLM2)의 공급이 중단되면 제 11트랜지스터(M11)가 턴-온 된다.
- [0103] 제 3입력단자(103)로 제 3클럭신호(CLK3)가 공급되면 제 9트랜지스터(M9) 및 제 10트랜지스터(M10)가 턴-온된다. 제 9트랜지스터(M9)가 턴-온되면 제 6입력단자(106)와 제 4노드(N4)가 전기적으로 접속되고, 이에 따라 제 4노드(N4)에는 로우전압이 공급된다. 제 4노드(N4)로 로우전압이 공급되면 제 14트랜지스터(M14)가 턴-온된다. 제 14트랜지스터(M14)가 턴-온되면 제 2출력단자(112)로 제 2전원(VSS)의 전압이 공급된다.(실제로, 제 2전원(VSS)보다 제 14트랜지스터(M14)의 V_{th} 만큼 높은 전압) 즉, 제 5기간(T5) 동안 발광 제어신호의 출력이 중단된다.
- [0104] 제 10트랜지스터(M10)가 턴-온되면 제 1전원(VDD)의 전압이 제 10트랜지스터(M10), 제 11트랜지스터(M11)를 경유하여 제 3노드(N3)로 공급된다. 제 3노드(N3)로 제 1전원(VDD)의 전압이 공급되면 제 12트랜지스터(M12) 및 제 13트랜지스터(M13)가 턴-오프된다.
- [0105] 제 6기간(T6)에는 제 4입력단자(104)로 제 4클럭신호(CLK4)가 공급된다. 제 4입력단자(104)로 제 4클럭신호(CLK4)가 공급되면 플로팅 상태로 설정된 제 4노드(N4)의 전압이 추가로 하강되고, 이에 따라 제 14트랜지스터(M14)가 완전히 턴-온된다. 제 14트랜지스터(M14)가 완전히 턴-온되면 제 2출력단자(112)의 전압이 제 2전원(VSS)의 전압으로 하강된다.
- [0106] 한편, 제 2스테이지(ST2)는 제 6입력단자(106)로 제 1스테이지(ST1)의 발광 제어신호를 공급받는다. 그러면, 제 2스테이지(ST2)는 제 1스테이지(ST1)로부터 공급되는 발광 제어신호의 폭에 대응하여 제 1전원(VDD)의 전압을 발광 제어신호로서 제 2발광 제어선(E2)으로 출력한다. 실제로, 본원 발명의 실시예에 의한 제 2공급부들(310)은 상술한 과정을 반복하면서 발광 제어선들(E1 내지 En)로 발광 제어신호를 순차적으로 출력한다.
- [0107] 도 5는 본원 발명의 실시예에 의한 주사 구동부의 시뮬레이션 결과를 나타내는 도면이다.
- [0108] 도 5를 참조하면, 본 발명의 실시예에서는 주사선들(S1 내지 S4)로 주사신호가 순차적으로 출력되고, 발광 제어선들(E1 내지 En)로 발광 제어신호가 순차적으로 출력된다. 즉, 본원 발명의 주사 구동부는 하나의 스테이지를 이용하여 주사신호 및 발광 제어신호를 안정적으로 출력할 수 있다.
- [0109] 도 6은 제 2시작신호에 대응한 발광 제어신호의 시뮬레이션 결과를 나타내는 도면이다.

[0110] 도 6을 참조하면, 본원 발명의 실시예에 의한 스테이지는 제 2시작신호(FLM2)의 폭에 대응하여 발광 제어신호를 출력한다. 다시 말하여, 제 2시작신호(FLM2)의 폭이 넓은 경우 발광 제어신호의 폭도 넓게 설정되고, 제 2시작신호(FLM2)의 폭이 좁은 경우 발광 제어신호의 폭도 좁게 설정된다. 이와 같이 제 2시작신호(FLM2)의 폭에 대응하여 발광 제어신호의 폭을 제어할 수 있는 본원 발명의 실시예에 의한 스테이지는 다양한 구동방법에 적용 가능한 장점이 있다.

[0111] 한편, 상술한 본원 발명에서는 설명의 편의성을 위하여 트랜지스터들을 피모스(PMOS)로 도시하였지만, 본원 발명이 이에 한정되지는 않는다. 다시 말하여, 트랜지스터들은 엔모스(NMOS)로 형성될 수도 있다.

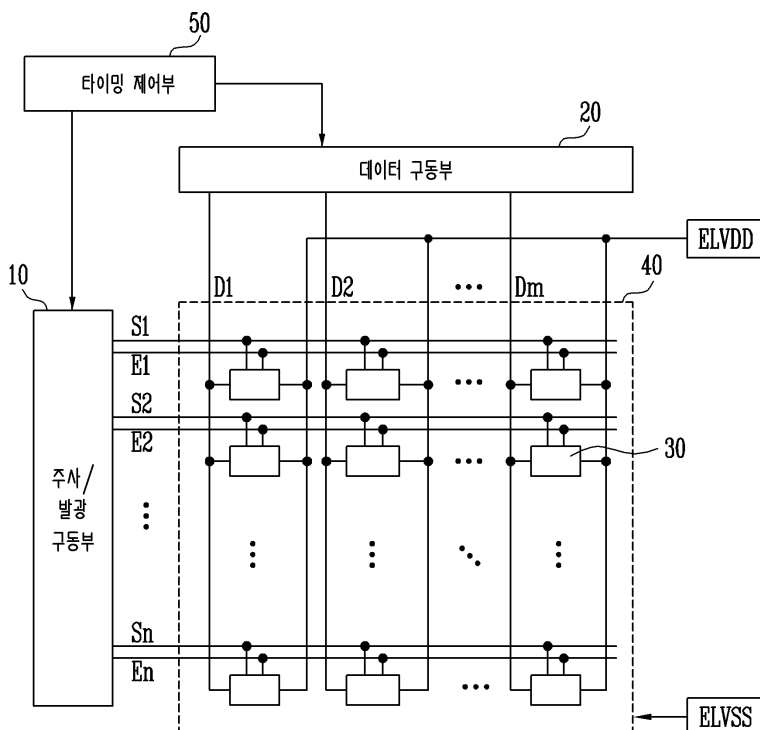
[0112] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

부호의 설명

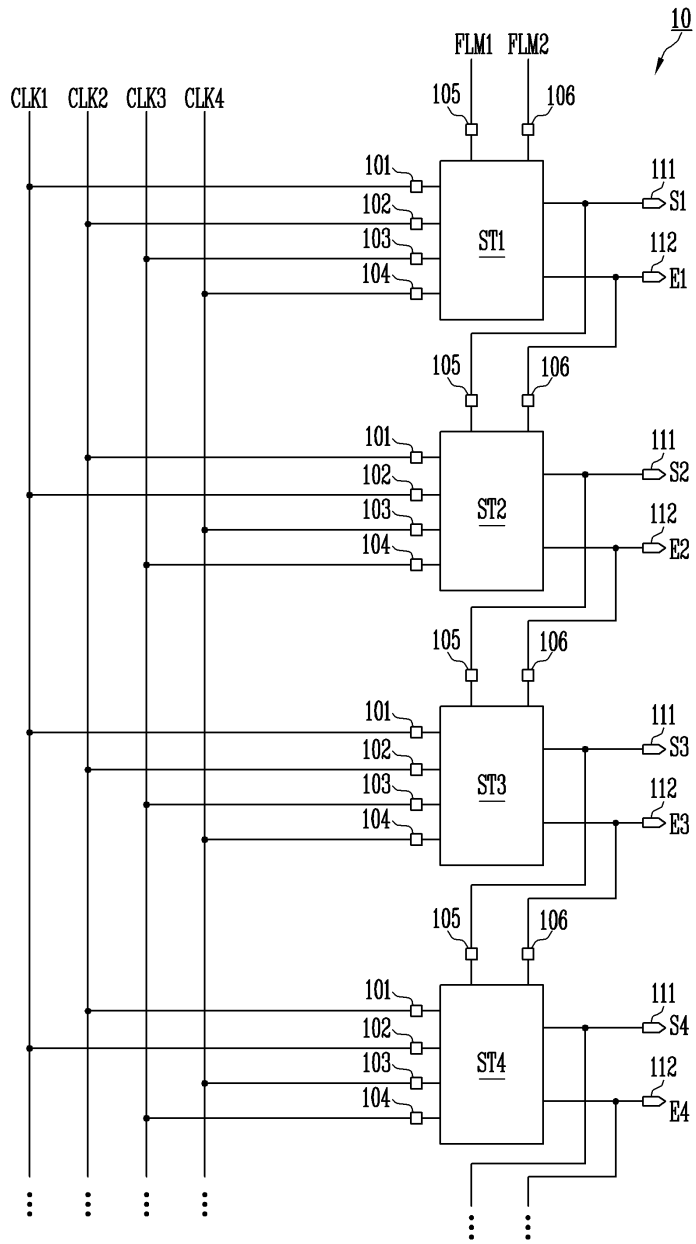
- | | | |
|--------|----------------|--------------------------------|
| [0113] | 10 : 주사/발광 구동부 | 20 : 데이터 구동부 |
| | 30 : 화소 | 40 : 화소부 |
| | 50 : 타이밍 제어부 | 101,102,103,104,105,106 : 입력단자 |
| | 111,112 : 출력단자 | 210,220,240,250 : 구동부 |
| | 230,260 : 출력부 | 300, 310 : 공급부 |

도면

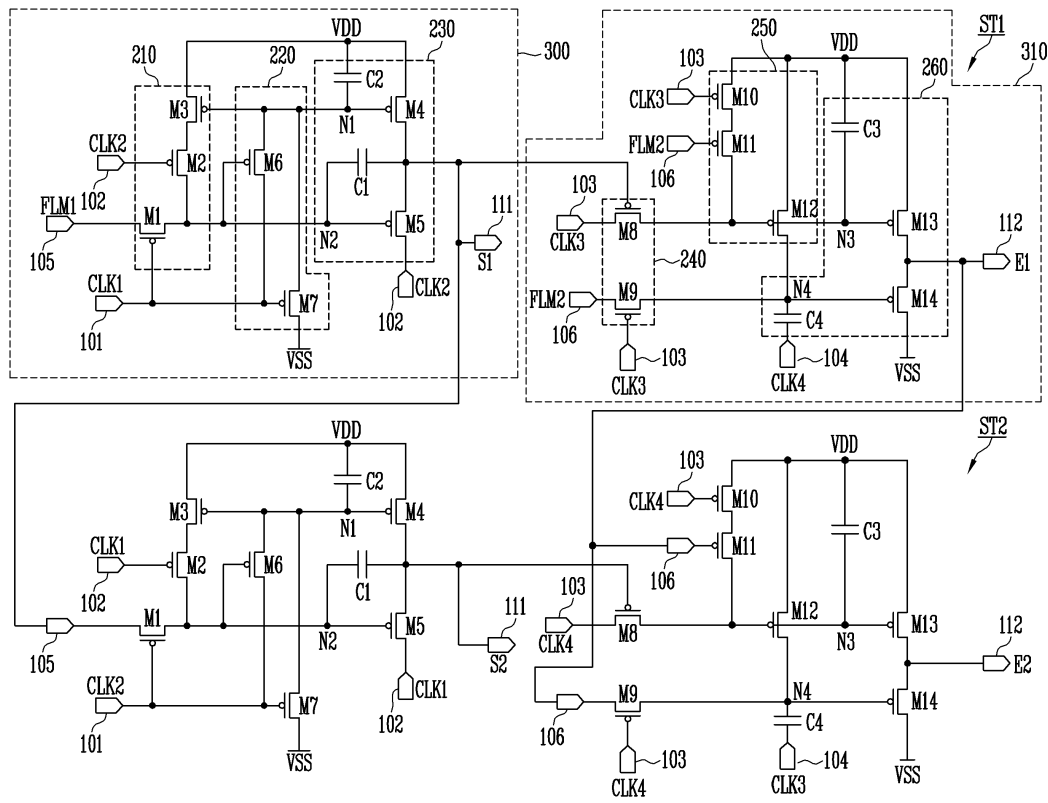
도면1



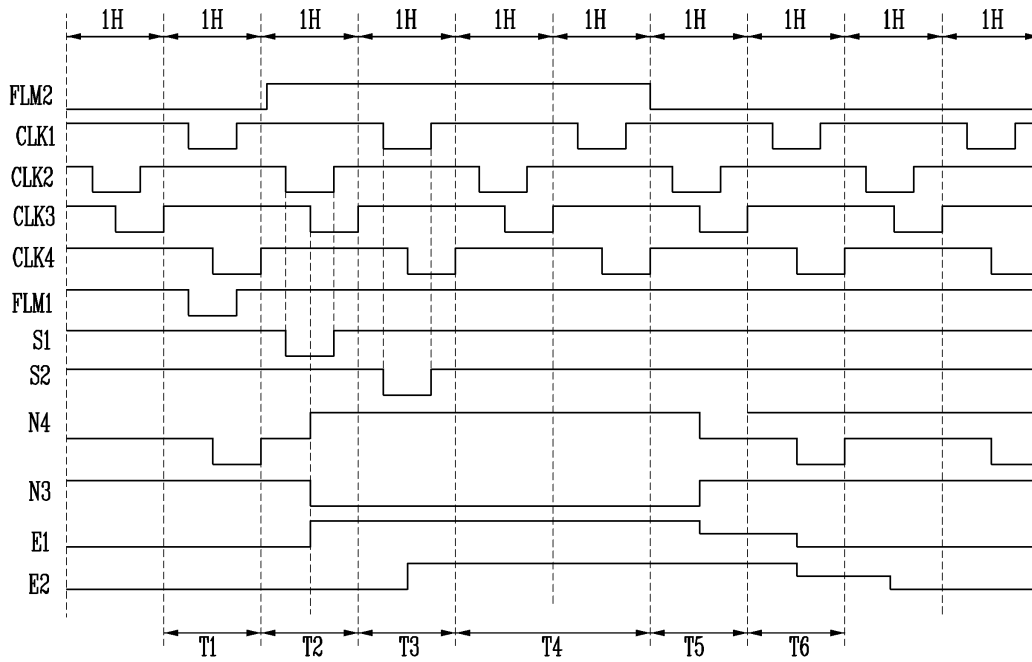
도면2



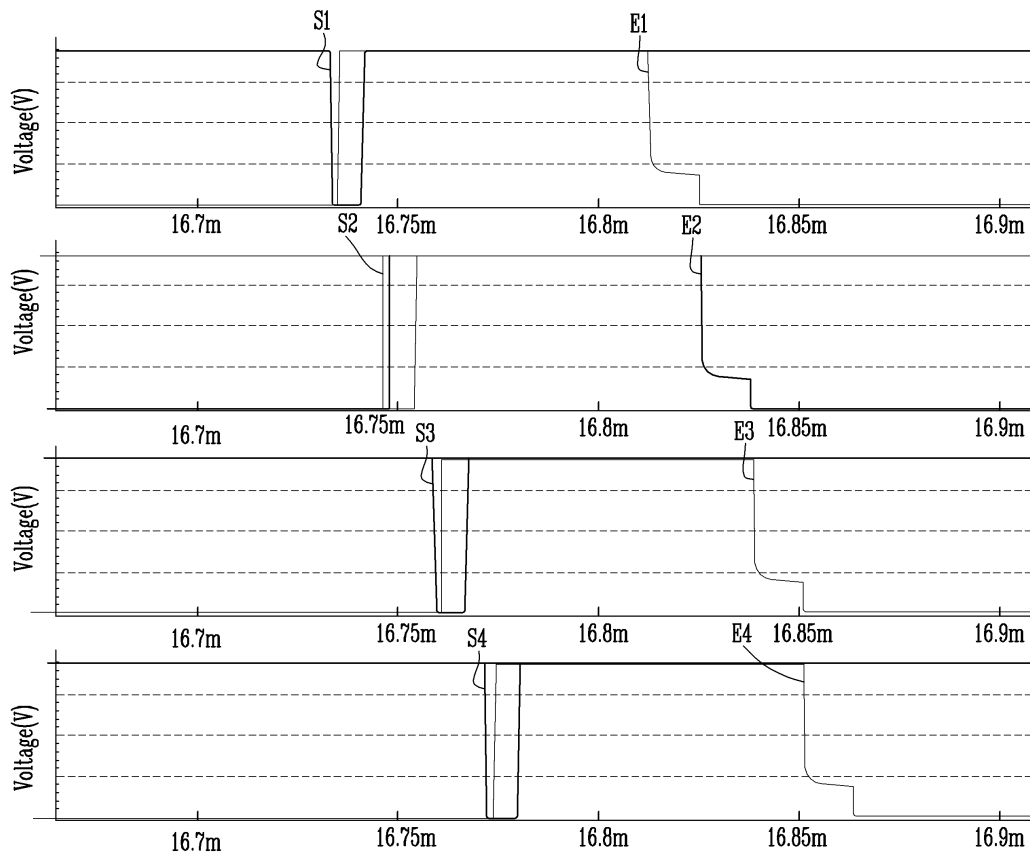
도면3



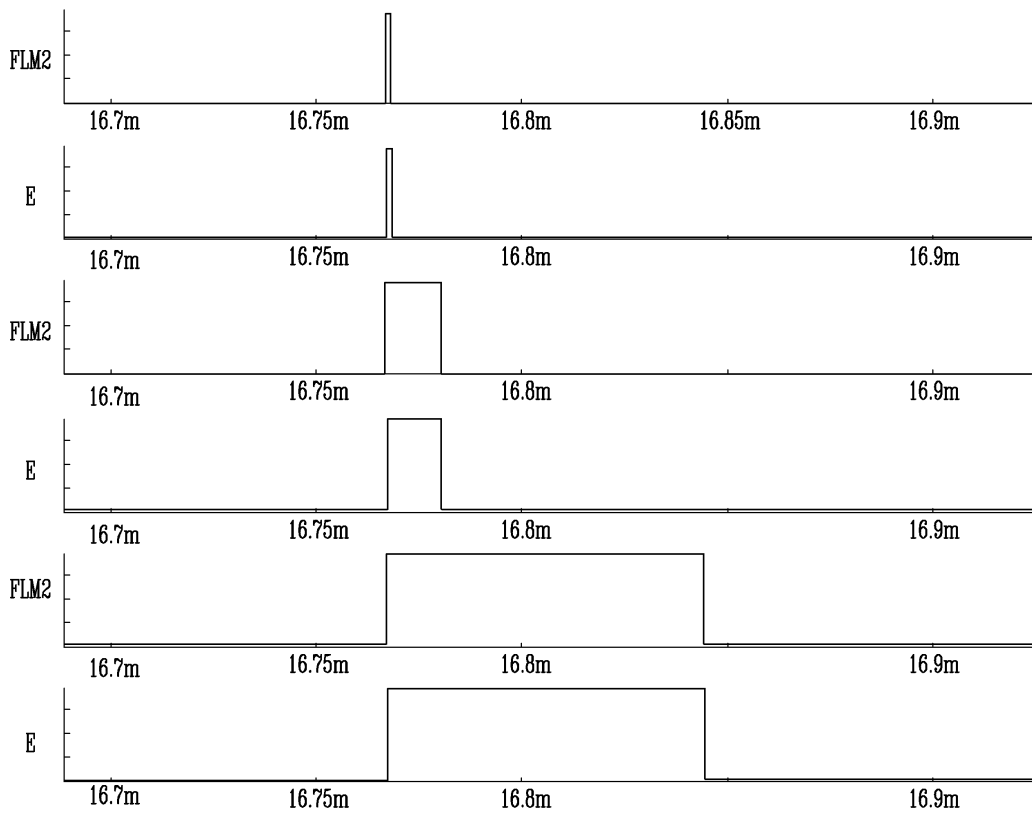
도면4



도면5



도면6



专利名称(译)	级电路和使用该电路的有机发光显示装置		
公开(公告)号	KR102061256B1	公开(公告)日	2020-01-03
申请号	KR1020130103041	申请日	2013-08-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	우민규		
发明人	우민규		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3266 G11C19/28 G09G2310/0281 G09G2310/0286		
代理人(译)	Gimdusik Ohjonghan Munyongho		
审查员(译)	李升 - 最小		
其他公开文献	KR1020150025539A		
外部链接	Espacenet		

摘要(译)

级电路包括第一和第二供电单元。第一供应单元将扫描信号输出到第一输出端子。第二供应单元将排放控制信号输出到第二输出端子。第二供应单元包括第一晶体管和第二晶体管。第一晶体管在第一电源和第二输出端子之间，并且具有耦合到第一节点的栅电极。第二晶体管在第二输出端子和第二电源之间，并且具有耦合到第二节点的栅电极。第三和第四晶体管串联耦合在第一电源和第一节点之间。第三晶体管的栅电极耦合到第三输入端子，并且第四晶体管的栅电极耦合到第六输入端子。

