



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0059928
(43) 공개일자 2020년05월29일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2013.01)
H01L 51/50 (2013.01)
(21) 출원번호 10-2018-0145277
(22) 출원일자 2018년11월22일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이동주
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인인벤싱크

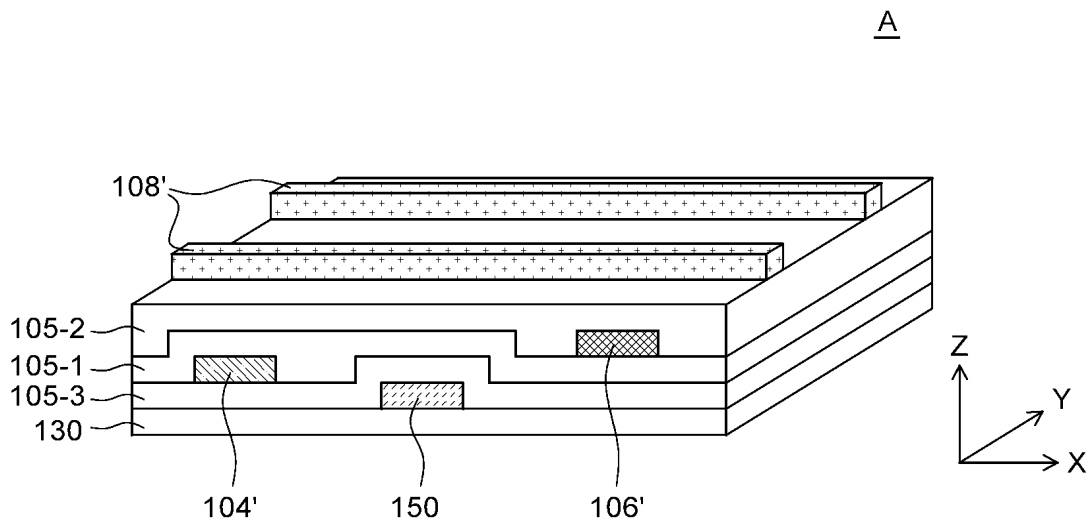
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 전계발광 표시장치

(57) 요약

본 명세서는 표시장치를 개시한다. 상기 표시장치는, 제1 방향으로 연장된 제1 도선; 상기 제1 도선을 덮은 제1 절연 층; 상기 제1 절연 층 상에서 제2 방향으로 연장된 제2 도선; 상기 제2 도선을 덮은 제2 절연 층; 상기 제2 절연 층 상에서 상기 제1 방향 및 상기 제2 방향과 교차하는 제3 방향으로 연장된 제3 도선; 상기 제2 절연 층의 상면을 평탄화하도록 구비된 보상 층을 포함하며, 상기 제2 도선은 상기 제1 도선과 제3 방향으로 이격되고, 상기 보상 층은 상기 제3 방향으로 상기 제1 도선과 상기 제2 도선의 사이에 위치한다.

대표도 - 도4



(52) CPC특허분류
H01L 2251/30 (2013.01)

명세서

청구범위

청구항 1

제1 방향으로 연장된 제1 도선;
 상기 제1 도선을 덮은 제1 절연 층;
 상기 제1 절연 층 상에서 제2 방향으로 연장된 제2 도선;
 상기 제2 도선을 덮은 제2 절연 층;
 상기 제2 절연 층 상에서 상기 제1 방향 및 상기 제2 방향과 교차하는 제3 방향으로 연장된 제3 도선; 및
 상기 제2 절연 층의 상면을 평탄화하도록 구비된 보상 층을 포함하며,
 상기 제2 도선은 상기 제1 도선과 제3 방향으로 이격되고,
 상기 보상 층은 상기 제3 방향으로 상기 제1 도선과 상기 제2 도선의 사이에 위치한, 표시장치.

청구항 2

제1 항에 있어서,
 상기 보상 층은, 상기 제2 절연 층에 상기 제1 도선 및 상기 제2 도선의 형상을 따라 생성된 단차를 메우는 표시장치.

청구항 3

제1 항에 있어서,
 상기 보상 층은 상기 제1 도선, 제2 도선 및 제3 도선 중 적어도 어느 한 도선과의 사이에서 커패시턴스를 발생시키지 않는 물질인 표시장치.

청구항 4

제1 항에 있어서,
 상기 보상 층은 상기 제1 도선 또는 상기 제2 도선과 동일 층상에 있는 표시장치.

청구항 5

제1 항에 있어서,
 상기 보상 층은 상기 제1 도선의 하부 층에 있고,
 상기 보상 층과 상기 제1 도선 사이에 제3 절연 층이 있는 표시장치.

청구항 6

제1 항에 있어서,
 상기 제1 도선 및 상기 제2 도선은, 상기 표시 영역의 화소 회로에 데이터 전압을 전달하는 데이터 라인인 표시장치.

청구항 7

제6 항에 있어서,
 상기 제1 도선은, 상기 표시 영역의 화소 회로에 포함된 박막 트랜지스터(TFT)의 게이트 전극과 동일한 물질로 형성된 표시장치.

청구항 8

제6 항에 있어서,

상기 제2 도선은, 상기 표시 영역의 화소 회로에 포함된 커패시터 전극과 동일한 물질로 형성된 표시장치.

청구항 9

제1 항에 있어서,

상기 제3 도선은, 상기 표시 영역의 화소 회로에 게이트 신호를 전달하는 게이트 라인인 표시장치.

청구항 10

제1 항에 있어서,

상기 제3 도선은, 상기 표시 영역의 화소 회로에 포함된 박막 트랜지스터(TFT)의 소스 전극 또는 드레인 전극과 동일한 물질로 형성된 표시장치.

청구항 11

제1 항에 있어서,

상기 보상 층의 두께는 상기 제1 도선 또는 상기 제2 도선의 두께와 동일한 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 전계발광 표시장치는 전계발광 소자의 발광량을 조절하여 영상을 표시하는 장치이다. 전계발광 소자(발광 다이오드 등)는 전극 사이의 얇은 발광층을 이용한 자발광 소자로 박막화가 가능하다는 장점이 있다. 일반적인 전계발광 표시장치는 기판에 화소 구동 회로와 발광 소자가 형성된 구조를 갖고, 발광 소자에서 방출된 빛이 기판 또는 배리어층을 통과하면서 화상을 표시하게 된다.

[0003] 전계발광 표시장치는 별도의 광원장치 없이 구현되기 때문에, 액정 표시장치(LCD) 등 기존의 표시장치 보다 더 얇고 더 가볍게 제작될 수 있다. 때문에 전계발광 표시장치는 플렉서블(flexible), 벤더블(bendable), 폴더블(foldable) 표시장치로 구현되기에 용이하여 다양한 형태로 적용되고 있다.

[0004] 한편, 전계발광 표시장치가 고해상도로 진화하는 과정에서, 종전보다 더 많아진 소자들을 효과적으로 배치하는 것이 매우 중요한 요소가 되고 있다. 이에 연구자들은 고해상도 전계발광 표시장치를 효과적으로 구현하는데에 필요한 여러 설계 구조를 탐색하고 있다.

발명의 내용

해결하려는 과제

[0005] 본 명세서는 전계발광 표시장치의 배선 배치 구조를 제안하는 것을 목적으로 한다. 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 본 명세서의 일 실시예에 따라 표시장치가 제공된다. 상기 표시장치는, 제1 방향으로 연장된 제1 도선; 상기 제1 도선을 덮은 제1 절연 층; 상기 제1 절연 층 상에서 제2 방향으로 연장된 제2 도선; 상기 제2 도선을 덮은 제2 절연 층; 상기 제2 절연 층 상에서 상기 제1 방향 및 상기 제2 방향과 교차하는 제3 방향으로 연장된 제3 도선; 상기 제2 절연 층의 상면을 평탄화하도록 구비된 보상 층을 포함하며, 상기 제2 도선은 상기 제1 도선과 제

3 방향으로 이격되고, 상기 보상 층은 상기 제3 방향으로 상기 제1 도선과 상기 제2 도선의 사이에 위치한다.

- [0007] 상기 보상 층은, 상기 제2 절연 층에 상기 제1 도선 및 상기 제2 도선의 형상을 따라 생성된 단차를 메울 수 있다. 상기 보상 층은 상기 제1 도선, 제2 도선 및 제3 도선 중 적어도 어느 한 도선과의 사이에서 커패시턴스를 발생시키지 않는 물질일 수 있다.
- [0008] 상기 보상 층은 상기 제1 도선 또는 상기 제2 도선과 동일 층상에 있거나 또는, 상기 보상 층은 상기 제1 도선의 하부 층에 있고, 이때 상기 보상 층과 상기 제1 도선 사이에 제3 절연 층이 있다.
- [0009] 상기 제1 도선 및 상기 제2 도선은, 상기 표시 영역의 화소 회로에 데이터 전압을 전달하는 데이터 라인일 수 있다. 이때 상기 제1 도선은, 상기 표시 영역의 화소 회로에 포함된 박막 트랜지스터(TFT)의 게이트 전극과 동일한 물질로 형성될 수 있다. 그리고, 상기 제2 도선은, 상기 표시 영역의 화소 회로에 포함된 커패시터 전극과 동일한 물질로 형성될 수 있다.
- [0010] 상기 제3도선은, 상기 표시 영역의 화소 회로에 게이트 신호를 전달하는 게이트 라인일 수 있다. 이때 상기 제3 도선은, 상기 표시 영역의 화소 회로에 포함된 박막 트랜지스터(TFT)의 소스 전극 또는 드레인 전극과 동일한 물질로 형성될 수 있다.
- [0011] 상기 보상 층의 두께는 상기 제1 도선 또는 상기 제2 도선의 두께와 동일할 수 있다.
- [0012] 타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0013] 본 명세서의 실시예들은, 도선 배치 영역의 단차 문제가 개선된 표시장치를 제공할 수 있다. 이에 본 명세서의 실시예들은, 신뢰성이 증진된 유기발광 표시장치를 제공할 수 있다. 본 명세서의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0014] 도 1은 전자장치에 포함될 수 있는 예시적인 표시장치를 도시한다.
- 도 2는 본 명세서의 일 실시예에 따른 전계발광 표시장치의 표시 영역 및 비표시 영역을 개략적으로 나타낸 단면도이다.
- 도 3은 본 명세서의 일 실시예에 따른 유기발광 표시장치의 외곽부 구조를 나타낸 예시도이다.
- 도 4는 본 명세서의 다른 실시예에 따른 유기발광 표시장치의 외곽부 구조를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0016] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다. 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0017] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다. 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있

만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

- [0018] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0019] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다. 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0020] 도 1은 전자장치에 포함될 수 있는 예시적인 표시장치를 도시한다.
- [0021] 도 1을 참조하면, 상기 표시장치(100)는 적어도 하나의 표시 영역(active area)을 포함하고, 상기 표시 영역에는 화소(pixel)들의 어레이(array)가 형성된다. 하나 이상의 비표시 영역(inactive area)이 상기 표시 영역의 주위에 배치될 수 있다. 즉, 상기 비표시 영역은, 표시 영역의 하나 이상의 측면에 인접할 수 있다. 도 1에서, 상기 비표시 영역은 사각형 형태의 표시 영역을 둘러싸고 있다. 그러나, 표시 영역의 형태 및 표시 영역에 인접한 비표시 영역의 형태/배치는 도 1에 도시된 예에 한정되지 않는다. 상기 표시 영역 및 상기 비표시 영역은, 상기 표시장치(100)를 탑재한 전자장치의 디자인에 적합한 형태일 수 있다. 상기 표시 영역의 예시적 형태는 오각형, 육각형, 원형, 타원형 등이다.
- [0022] 상기 표시 영역 내의 각 화소는 화소 회로와 연관될 수 있다. 상기 화소 회로는, 백플레인(backplane) 상의 하나 이상의 스위칭 트랜지스터 및 하나 이상의 구동 트랜지스터를 포함할 수 있다. 각 화소 회로는, 상기 비표시 영역에 위치한 게이트 드라이버 및 데이터 드라이버와 같은 하나 이상의 구동 회로와 통신하기 위해, 게이트 라인 및 데이터 라인과 전기적으로 연결될 수 있다.
- [0023] 상기 구동 회로는, 도 1에 도시된 것처럼, 상기 비표시 영역에 TFT(thin film transistor)로 구현될 수 있다. 이러한 구동 회로는 GIP(gate-in-panel)로 지칭될 수 있다. 또한, 데이터 드라이버 IC와 같은 몇몇 부품들은, 분리된 인쇄 회로 기판에 탑재되고, FPCB(flexible printed circuit board), COF(chip-on-film), TCP(tape-carrier-package) 등과 같은 회로 필름을 이용하여 상기 비표시 영역에 배치된 연결 인터페이스(PAD, 범프, 핀 등)와 결합될 수 있다. 상기 비표시 영역은 상기 연결 인터페이스와 함께 구부러져서, 상기 인쇄 회로(COF, PCB 등)는 상기 표시장치(100)의 뒤편에 위치될 수 있다.
- [0024] 상기 표시장치(100)는, 다양한 신호를 생성하거나 표시 영역내의 화소를 구동하기 위한, 다양한 부가 요소들을 더 포함할 수 있다. 상기 화소를 구동하기 위한 부가 요소는 인버터 회로, 멀티플렉서, 정전기 방전 회로(electro static discharge) 등일 수 있다. 상기 표시장치(100)는 화소 구동 이외의 기능과 연관된 부가 요소도 포함할 수 있다. 예를 들어, 상기 표시장치(100)는 터치 감지 기능, 사용자 인증 기능(예: 지문 인식), 멀티 레벨 압력 감지 기능, 촉각 피드백(tactile feedback) 기능 등을 제공하는 부가 요소들을 포함할 수 있다. 상기 언급된 부가 요소들은 상기 비표시 영역 및/또는 상기 연결 인터페이스와 연결된 외부 회로에 위치할 수 있다.
- [0025] 상기 표시장치(100)의 하나 이상의 모서리(edge)는 중앙 부분(central portion)에서 멀어지도록 구부러질 수도 있다. 상기 표시장치(100)의 하나 이상의 부분이 구부러질 수 있으므로, 상기 표시장치(100)는 실질적으로 평평한(flat) 부분 및 굴곡(bended) 부분으로 정의될 수 있다. 즉, 표시장치(100)의 일 부분(예: 패드(PAD)와 표시 영역 사이의 배선부)은 소정의 각도로 구부러지며, 이러한 부분은 굴곡 부분으로 지칭될 수 있다. 상기 굴곡 부분은, 소정의 굴곡 반지름으로 실제로 휘어지는 굴곡 구간(bended section)을 포함한다. 항상 그런 것은 아니지만, 표시장치(100)의 중앙부분은 실질적으로 평평하고, 모서리 부분은 굴곡 부분일 수 있다.
- [0026] 비표시 영역을 구부리면, 비표시 영역이 표시장치의 앞면에서는 안보이거나 최소로만 보이게 된다. 비표시 영역 중 표시장치의 앞면에서 보이는 일부는 베젤(bezel)로 가려질 수 있다. 상기 베젤은 독자적인 구조물, 또는 하우징이나 다른 적합한 요소로 형성될 수 있다. 비표시 영역 중 표시장치의 앞면에서 보이는 일부는 블랙 잉크(예: 카본 블랙으로 채워진 폴리머)와 같은 불투명한 마스크 층 아래에 숨겨질 수도 있다. 이러한 불투명한 마스크 층은 표시장치(100)에 포함된 다양한 층(터치센서층, 편광층, 덮개층 등) 상에 마련될 수 있다.
- [0027] 굴곡 부분은, 굴곡축에 대한 굴곡각 θ 및 굴곡 반지름 R을 갖고 중앙 부분으로부터 바깥쪽으로 구부러질 수 있다. 상기 각 굴곡 부분의 크기는 동일할 필요는 없다. 또한, 굴곡 축 둘레의 굴곡 각 θ 및 상기 굴곡축으로부터의 곡률 반지름 R은 굴곡 부분마다 다를 수 있다.

- [0028] 도 2는 본 명세서의 일 실시예에 따른 전계발광 표시장치의 표시 영역 및 비표시 영역을 개략적으로 나타낸 단면도이다.
- [0029] 도시된 표시 영역(A/A) 및 비표시 영역(I/A)은, 도 1에서 서술된 표시 영역(A/A) 및 비표시 영역(I/A)의 적어도 일부에 적용될 수 있다. 이하에서는 유기발광 표시장치(Organic Light Emitting Display)를 일 예로 하여 상기 전계발광 표시장치를 설명하지만, 본 명세서의 실시예들은 무기발광 표시장치 등 다른 종류의 표시장치에도 적용될 수 있다.
- [0030] 유기발광 표시장치의 경우, 상기 표시 영역(A/A)에는 베이스 층(101) 상에 박막트랜지스터(102, 104, 108), 유기발광 소자(112, 114, 116) 및 각종 기능 층(layer)들이 위치한다. 한편, 상기 비표시 영역에(I/A)는 베이스 층(101) 상에 각종 구동 회로(예: GIP), 전극, 배선, 기능성 구조물 등이 위치할 수 있다.
- [0031] 베이스 층(101)은 유기발광 표시장치(100)의 다양한 구성요소들을 지지한다. 베이스 층(101)은 투명한 절연 물질, 예를 들어 유리, 플라스틱 등과 같은 절연 물질로 형성될 수 있다. 기판(어레이 기판)은, 상기 베이스 층(101) 위에 형성된 소자 및 기능 층, 예를 들어 스위칭 TFT, 구동 TFT, 유기발광소자, 보호막 등을 포함하는 개념으로 지칭되기도 한다.
- [0032] 버퍼 층(130)이 베이스 층(101) 상에 위치할 수 있다. 상기 버퍼 층(buffer layer)은 베이스 층(101) 또는 하부의 층들에서 유출되는 알칼리 이온 등과 같은 불순물로부터 박막트랜지스터(Thin Film Transistor: TFT)를 보호하기 위한 기능 층이다. 상기 버퍼 층은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다층으로 이루어질 수 있다. 상기 버퍼 층(130)은 멀티 버퍼(multi buffer) 및/또는 액티브 버퍼(active buffer)를 포함할 수 있다.
- [0033] 상기 베이스 층(101) 또는 버퍼 층 위에 박막트랜지스터가 놓인다. 박막트랜지스터는 반도체 층(active layer), 게이트 절연 층(gate insulator), 게이트 전극, 층간 절연 층(interlayer dielectric layer, ILD), 소스(source) 및 드레인(drain) 전극이 순차적으로 적층된 형태일 수 있다. 이와는 달리, 상기 박막트랜지스터는 도 2처럼 게이트 전극(104), 제1 절연 층(105-1), 제2 절연 층(105-2), 반도체 층(102), 소스 및 드레인 전극(108)이 순차적으로 배치된 형태일 수도 있다.
- [0034] 반도체 층(102)은 폴리 실리콘(p-Si)으로 만들어질 수 있으며, 이 경우 소정의 영역이 불순물로 도핑될 수도 있다. 또한, 반도체 층(102)은 아몰포스 실리콘(a-Si)으로 만들어질 수도 있고, 펜타센 등과 같은 다양한 유기 반도체 물질로 만들어질 수도 있다. 나아가 반도체 층(102)은 산화물(oxide)로 만들어질 수도 있다.
- [0035] 게이트 전극(104)은 다양한 도전성 물질, 예컨대, 마그네슘(Mg), 알루미늄(Al), 니켈(Ni), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 금(Au) 또는 이들의 합금 등으로 형성될 수 있다.
- [0036] 제1 절연 층(105-1)과 제2 절연 층(105-2)은 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x) 등과 같은 절연성 물질로 형성될 수 있으며, 이외에도 절연성 유기물 등으로 형성될 수도 있다. 제1 절연 층(105-1)과 제2 절연 층(105-2), 의 선택적 제거로 소스 및 드레인 영역이 노출되는 콘택 홀(contact hole)이 형성될 수 있다.
- [0037] 소스 및 드레인 전극(108)은 제2 절연 층(105-2) 상에 전극용 물질로 단일층 또는 다층의 형상으로 형성된다. 필요에 따라 무기 절연 물질로 구성된 패시베이션층(109)이 상기 소스 및 드레인 전극(108)을 덮을 수도 있다.
- [0038] 평탄화 층(107)이 박막트랜지스터 상에 위치할 수 있다. 평탄화 층(107)은 박막트랜지스터를 보호하고 그 상부를 평탄화한다. 평탄화 층(107)은 다양한 형태로 구성될 수 있는데, BCB(Benzocyclobutene) 또는 아크릴(Acryl) 등과 같은 유기 절연막, 또는 실리콘 질화막(SiN_x), 실리콘 산화막(SiO_x)와 같은 무기 절연막으로 형성될 수도 있고, 단층으로 형성되거나 이중 혹은 다중 층으로 구성될 수도 있는 등 다양한 변형이 가능하다.
- [0039] 화소 회로에 포함된 커패시터(capacitor)의 일부 전극은 제1 절연 층(105-1)과 제2 절연 층(105-2) 사이에 마련될 수 있다.
- [0040] 유기발광소자는 제1 전극(112), 유기발광 층(114), 제2 전극(116)이 순차적으로 배치된 형태일 수 있다. 즉, 유기발광소자는 평탄화 층(107) 상에 형성된 제1 전극(112), 제1 전극(112) 상에 위치한 유기발광 층(114) 및 유기발광 층(114) 상에 위치한 제2 전극(116)으로 구성될 수 있다.
- [0041] 제1 전극(112)은 콘택 홀을 통해 구동 박막트랜지스터의 드레인 전극(108)과 전기적으로 연결된다. 유기발광 표시장치(100)가 상부 발광(top emission) 방식인 경우, 이러한 제1 전극(112)은 반사율이 높은 불투명한 도전 물질로 만들어질 수 있다. 예를 들면, 제1 전극(112)은 은(Ag), 알루미늄(Al), 금(Au), 몰리브덴(Mo), 텅스텐(W),

크롬(Cr) 또는 이들의 합금 등으로 형성될 수 있다. 상기 제1 전극(112)은 유기발광 다이오드의 애노드(anode)일 수 있다.

[0042] बैंक(110)는 발광 영역을 제외한 나머지 영역에 형성된다. 이에 따라, बैंक(110)는 발광 영역과 대응되는 제1 전극(112)을 노출시키는 बैंक 홀을 가진다. बैंक(110)는 실리콘 질화막(SiNx), 실리콘 산화막(SiOx)와 같은 무기 절연 물질 또는 BCB, 아크릴계 수지 또는 이미드계 수지와 같은 유기 절연물질로 만들어질 수 있다.

[0043] 유기발광 층(114)이 बैंक(110)에 의해 노출된 제1 전극(112) 상에 위치한다. 유기발광 층(114)은 발광층, 전자 주입층, 전자수송층, 정공수송층, 정공주입층 등을 포함할 수 있다. 상기 유기발광 층은, 하나의 빛을 발광하는 단일 발광층 구조로 구성될 수도 있고, 복수 개의 발광층으로 구성되어 백색 광을 발광하는 구조로 구성될 수도 있다.

[0044] 제2 전극(116)이 유기발광층(114) 상에 위치한다. 유기발광 표시장치(100)가 상부 발광(top emission) 방식인 경우, 제2 전극(116)은 인듐 틴 옥사이드(Indium Tin Oxide; ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide; IZO) 등과 같은 투명한 도전 물질로 형성됨으로써 유기발광 층(114)에서 생성된 광을 제2 전극(116) 상부로 방출시킨다. 상기 제2 전극(116)은 유기발광 다이오드의 캐소드(cathode)일 수 있다.

[0045] 봉지 층(120)이 제2 전극(116) 상에 위치한다. 상기 봉지 층(120)은, 발광 재료와 전극 재료의 산화를 방지하기 위하여, 외부로부터의 산소 및 수분 침투를 막는다. 유기발광소자가 수분이나 산소에 노출되면, 발광 영역이 축소되는 화소 수축(pixel shrinkage) 현상이 나타나거나, 발광 영역 내 흑점(dark spot)이 생길 수 있다. 상기 봉지 층(encapsulation layer)은 유리, 금속, 산화 알루미늄(AlOx) 또는 실리콘(Si) 계열 물질로 이루어진 무기막으로 구성되거나, 또는 유기막(122)과 무기막(121-1, 121-2)이 교대로 적층된 구조일 수도 있다. 이때, 무기막(121-1, 121-2)은 수분이나 산소의 침투를 차단하는 역할을 하고, 유기막(122)은 무기막(121-1, 121-2)의 표면을 평탄화하는 역할을 한다. 봉지 층을 여러 겹의 박막 층으로 형성하면, 단일 층일 경우에 비해 수분이나 산소의 이동 경로가 길고 복잡하게 되어 유기발광소자까지 수분/산소가 침투하는 것이 어려워진다.

[0046] 배리어 필름이 봉지 층(120) 상에 위치하여 베이스 층(101) 전체를 봉지할 수도 있다. 배리어 필름은 위상차 필름 또는 광등방성 필름일 수 있다. 이때 접착 층이 배리어 필름과 봉지 층(120) 사이에 위치할 수 있다. 접착 층은 봉지 층(120)과 배리어 필름을 접착시킨다. 접착 층(145)은 열 경화형 또는 자외선 경화형의 접착제일 수 있다. 예를 들어, 접착 층은 B-PSA(Barrier pressure sensitive adhesive)와 같은 물질로 구성될 수 있다.

[0047] 비표시 영역(I/A)에는 화소 회로 및 발광 소자가 배치되지 않지만 베이스 층(101)과 유기/무기 기능 층들(130, 105-1, 105-2, 107 등)은 존재할 수 있다. 또한 상기 비표시 영역(I/A)에는 표시 영역(A/A)의 구성에 사용된 물질들이 다른 용도로 배치될 수 있다. 예를 들어, 표시 영역 TFT의 게이트 전극과 동일한 금속(104'), 커패시터의 일 전극과 동일한 금속(106'), 또는 소스/드레인 전극과 동일한 금속(108')이 배선 또는 전극용으로 비표시 영역(I/A)에 배치될 수 있다. 더 나아가, 유기발광 다이오드의 일 전극(예: 애노드)과 동일한 금속(112')이 배선, 전극용으로 비표시 영역(I/A)에 배치될 수도 있다. 상기 금속들은 서로 다른 층에 배치될 수 있고, 각 금속 사이는 상기 기능 층들(105-1, 105-2, 107, 109 등)로 절연될 수 있다.

[0048] 비표시 영역(I/A)의 베이스 층(101), 버퍼 층(130), 게이트 절연 층(105), 평탄화 층(107) 등은 표시 영역(A/A)에서 설명된 것과 같다. 댄(190)은 유기막(122)이 비표시 영역(I/A)에 너무 멀리 퍼지는 것을 제어하는 구조물이다. 비표시 영역(I/A)에 배치된 각종 회로와 전극/전선은 게이트 금속(104'), 커패시터 금속(106') 및/또는 소스/드레인 금속(108')으로 만들어질 수 있다. 이때, 게이트 금속(104')은 TFT의 게이트 전극과 동일한 물질로 동일 공정에서 형성되며, 소스/드레인 금속(108')은 TFT의 소스/드레인 전극과 동일한 물질로 동일 공정에서 형성된다.

[0049] 예를 들어, 소스/드레인 금속은 전원(예: 기저 전원(Vss)) 배선(108')으로 사용될 수 있다. 이때, 전원 배선(108')은 금속 층(112')과 연결되고, 유기발광 다이오드의 캐소드(116)는 상기 소스/드레인 금속(108') 및 금속 층(112')과의 연결을 통해 전원을 공급받을 수 있다. 상기 금속 층(112')은 전원 배선(108')과 접촉하고, 평탄화 층(107)의 최외곽 측벽을 타고 연장되어 평탄화 층(107) 상부에서 캐소드(116)와 접촉할 수 있다. 상기 금속 층(112')은 유기발광 다이오드의 애노드(112)와 동일한 물질로 동일한 공정에서 형성된 금속 층일 수 있다.

[0050] 도 3은 본 명세서의 일 실시예에 따른 유기발광 표시장치의 외곽부 구조를 나타낸 예시도이다.

[0051] 도 3은 도 1의 A 영역을 확대한 도면으로, 특정 도선(conductive line) 및 기능 층들만 도시되었으며, 그 외의 도선(예: 전원 라인 등)과 층들은 생략되었다. 하지만, 도 2에 설명된 표시 영역 및 비표시 영역의 구조가 도 3

에 적용될 수 있다.

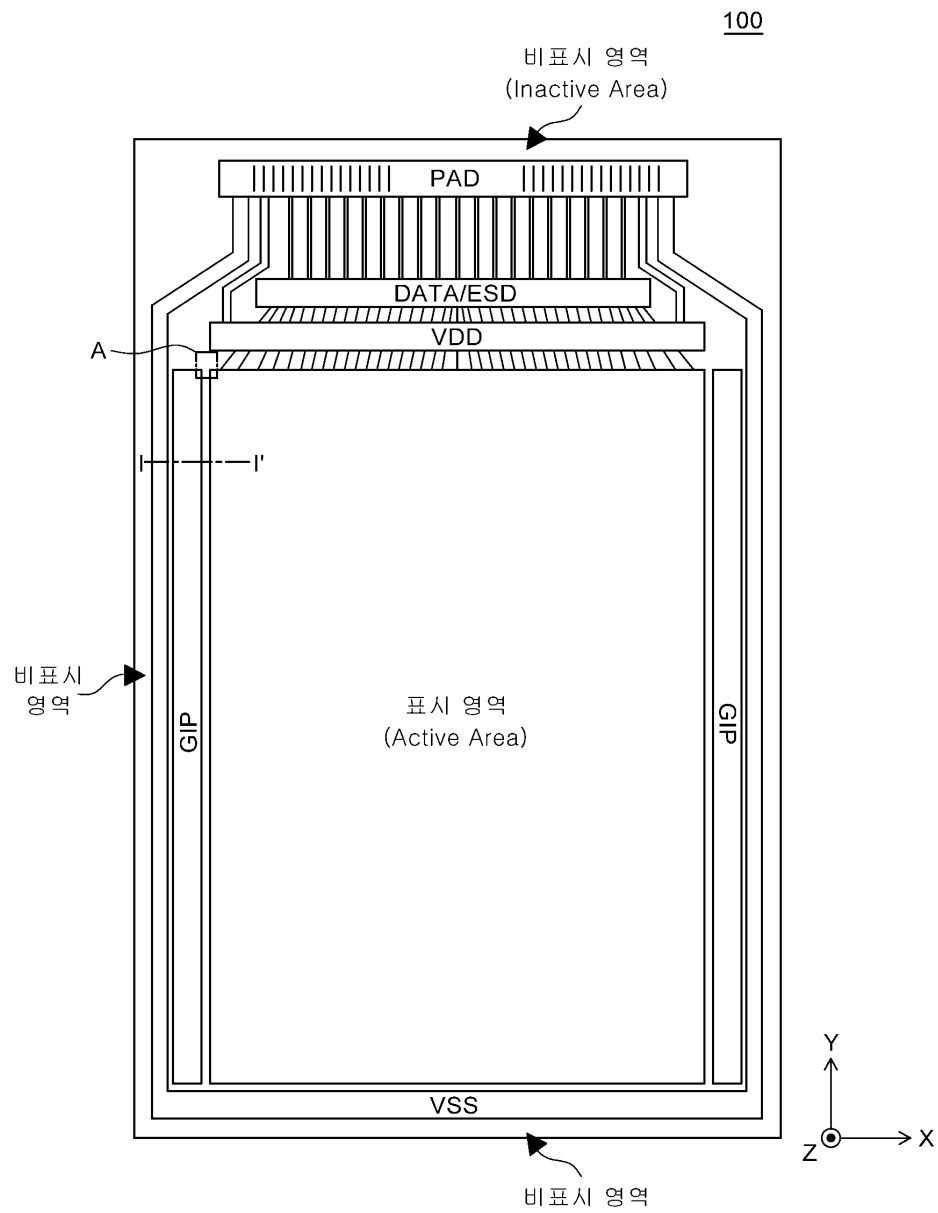
- [0052] 상기 도선들(104', 106', 108')은 연결 인터페이스(PAD) 또는 게이트 구동 회로(GIP)로부터 표시 영역으로 연장된다. 이때 상기 도선(108')은 단일 층상에서 연장되었지만, 도시되지 않은 영역에서는 다른 층에 있는 도체들을 오가면서 연장될 수도 있다.
- [0053] 상기 제1 도선(104')과 상기 제2 도선(106')은, 상기 표시 영역의 화소 회로에 데이터 신호(V_{data})를 전달하는 데이터 라인일 수 있다. 상기 제1 도선(104')은, 표시 영역에 있는 박막 트랜지스터(TFT)의 게이트 전극과 동일한 층상에 동일한 금속으로 형성된 것일 수 있다. 그리고, 상기 제2 도선(106')은, 표시 영역에 있는 커패시터 전극과 동일한 층상에 동일한 금속으로 형성된 것일 수 있다. 이때 상기 제1 도선(104')과 상기 제2 도선(106')의 구성 물질은 몰리브덴(Mo)일 수 있다. 상기 제1 도선(104') 및/또는 상기 제2 도선(106')은 다른 영역에서 제2 절연 층(105-2) 상의 도체(소스/드레인 금속)와 연결될 수도 있다.
- [0054] 상기 제3 도선(108')은, 상기 표시 영역의 화소 회로에 게이트 신호를 전달하는 게이트 라인일 수 있다. 상기 제3 도선(108')은, 표시 영역에 있는 박막 트랜지스터(TFT)의 소스 또는 드레인 전극과 동일한 층상에 동일한 금속으로 형성된 것일 수 있다. 이때 상기 도선(108')은 티타늄(Ti), 알루미늄(Al), 티타늄(Ti) 순으로 적층된 다층 구조를 갖는 금속(소위, Ti/Al/Ti)일 수 있다. 도 3b는 도선(108') 아래에 게이트 절연 층(105)을 나타냈지만, 이는 일 구현 예일뿐이고, 다른 층들이 상기 도선(108') 아래에 놓일 수 있다.
- [0055] 표시장치에서 원치않는 기생 커패시턴스가 발생하는 것을 예방하기 위해 도선 간에는 일정한 배치 간격이 요구된다. 이에 고해상도 표시장치에서 증가된 다수의 데이터 라인들을 하나의 층에 전부 수용하기에는 어려움이 컸다. 때문에 도 3과 같이 2개 층(130, 105-1)상에 데이터 라인들(104', 106')을 배치하는 설계가 도입되었다. 이러한 설계는 동일한 면적에 더 많은 데이터 라인들을 배치할 수 있게끔 하는 장점이 있었다.
- [0056] 그러나, 발명자들은 상술한 도선 배치 구조에서 몇 가지 취약점을 발견하였다. 그 중 하나는, 여러 층에 분산 배치된 도선들의 상부에서 나타나는 단차(높이 차)이다. 통상적으로 도선의 상부는 절연 층으로 덮이는데, 이 절연 층들은 하부 도선의 외형을 따라 그 모양이 만들어진다. 즉, 모든 영역에 거의 비슷한 두께로 절연 층이 덮이기 때문에, 절연 층은 그 하부의 형상을 따라 도선이 있는 부분은 더 높게, 없는 부분은 더 낮게 만들어진다. 절연 층 위에 평탄화 층을 만들지 않는다면, 일단 발생한 절연 층의 높낮이 차이(단차)는 그 상부의 층으로 전달되어, 도 3과 같이 절연 층(105-1, 105-2)은 하부에 도선들(104', 106')이 있으면 높고 그 외의 부분은 낮다. 각종 신호 라인들이 많아질수록 상기 단차도 많이 생기며, 후속 공정에서 상기 단차에 잔류물(P)이 남는 문제가 나타날 수 있다. 상기 잔류물(P)은, 도선 간의 단락을 야기하거나 표시장치의 구동 불량을 유발할 수 있다. 발명자들은 이와 같은 문제를 인식하고 상기 단차의 발생을 예방하는 구조를 고안하였다.
- [0057] 도 4는 본 명세서의 다른 실시예에 따른 유기발광 표시장치의 외곽부 구조를 나타낸 도면이다.
- [0058] 상기 유기발광 표시장치는 개선된 배선 배치 구조를 채용하였다. 특히 상기 유기발광 표시장치는 표시 영역 외곽부의 공간 활용을 극대화하면서도 공정 상의 문제(예: 포토레지스트 잔막)도 저감시키는 구조를 가진다. 도 4a는 도 1의 A 부분을 확대한 도면으로, 설명의 편의를 위해 특정 도선 및 기능 층들만 도시되었고, 기타 도선(전원 라인 등)과 층들은 생략되었다. 하지만, 도 2에 설명된 표시 영역 및 비표시 영역의 구조가 도 4에 적용될 수 있다.
- [0059] 상기 도선들(104', 106', 108')은 연결 인터페이스(PAD) 또는 게이트 구동 회로(GIP)로부터 표시 영역으로 연장된다. 상기 제1 도선(104')과 상기 제2 도선(106')은, 상기 표시 영역의 화소 회로에 데이터 신호(V_{data})를 전달하는 데이터 라인일 수 있다.
- [0060] 상기 제1 도선(104')은 제1 방향(예: y 방향)으로 연장된다. 상기 제1 도선(104')은, 표시 영역에 있는 박막 트랜지스터(TFT)의 게이트 전극과 동일한 층상에 동일한 금속(예: Mo)으로 형성된 것일 수 있다.
- [0061] 제1 절연 층(105-1)은 상기 제1 도선(104')을 덮는다. 상기 제1 절연 층(105-1)은 도 2에서 설명된 물질 또는 기타 절연에 적합한 물질로 구성될 수 있다.
- [0062] 상기 제2 도선(106')은, 상기 제1 절연 층(105-1) 상에서 제2 방향으로 연장된다. 여기서 상기 제2 방향은 상기 제1 방향과 평행할 수도 있지만, 그렇지 않은 경우도 있다. 상기 제2 도선(106')은 상기 제1 도선(104')과 제3 방향(예: x 방향)으로 이격된다. 이때 상기 제2 도선(106')은, 제1 도선(104')과의 사이에서 기생 커패시턴스를 발생시키지 않을 정도의 간격으로 이격될 수 있다. 상기 제2 도선(106')은, 표시 영역에 있는 커패시터 전극과

동일한 층상에 동일한 금속(예: Mo)으로 형성된 것일 수 있다.

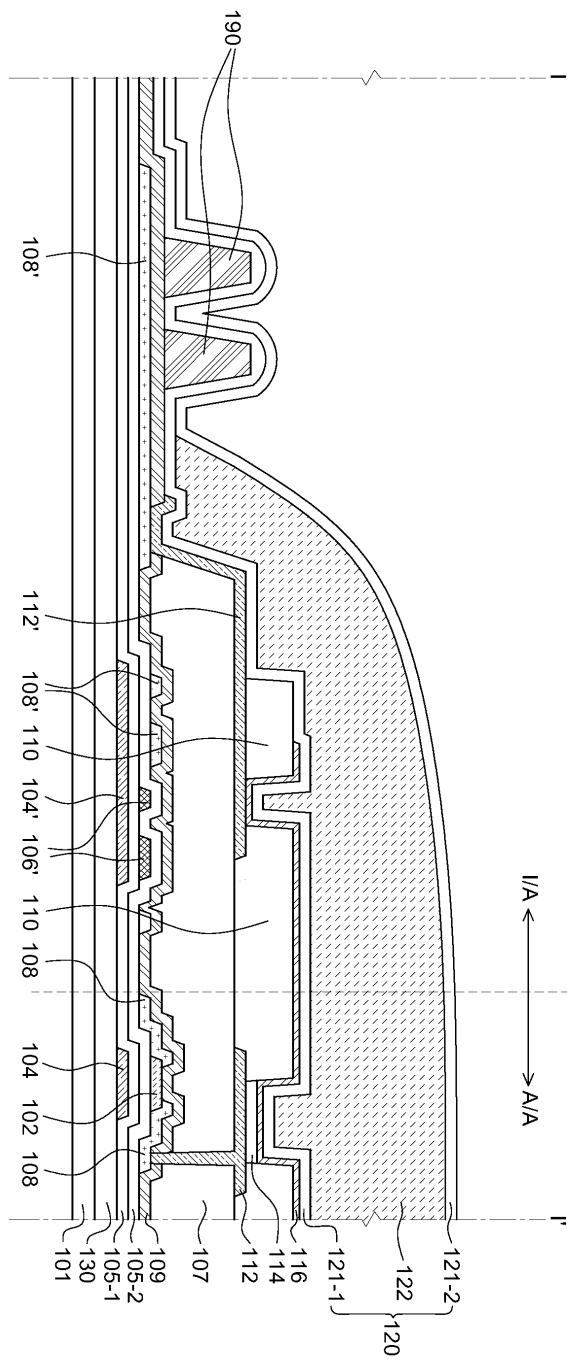
- [0063] 제2 절연 층(105-2)은 상기 제2 도선(106')을 덮는다. 상기 제2 절연 층(105-2)은 도 2에서 설명된 물질 또는 기타 절연에 적합한 물질로 구성될 수 있다. 상기 제1 도선(104') 및/또는 상기 제2 도선(106')은 A 이외의 다른 영역에서 제2 절연 층(105-2) 상의 도체(소스/드레인 금속)와 연결될 수도 있다.
- [0064] 상기 제3 도선(108')은, 상기 제2 절연 층(105-2) 상에서 상기 제1 방향 및 상기 제2 방향과 교차하는 제3 방향(예: x 방향)으로 연장된다. 일 예로 상기 제3 방향은 상기 제1 방향 또는 제2 방향과 직교할 수도 있다. 상기 제3 도선(108')은, 상기 표시 영역의 화소 회로에 게이트 신호를 전달하는 게이트 라인일 수 있다. 상기 제3 도선(108')은, 표시 영역에 있는 박막 트랜지스터(TFT)의 소스 또는 드레인 전극과 동일한 층상에 동일한 금속으로 형성된 것일 수 있다. 이때 상기 도선(108')은 티타늄(Ti), 알루미늄(Al), 티타늄(Ti) 순으로 적층된 다층 구조를 갖는 금속(소위, Ti/Al/Ti)일 수 있다.
- [0065] 본 실시예는 상기 제2 절연 층(105-2)의 상면을 평탄화하도록 구비된 보상 층(150)을 더 포함한다. 상기 보상 층(150)은 상기 제1 도선(104')과 상기 제2 도선(106')의 사이에 위치한다. 상기 보상 층(150)의 위치는 상기 제3 방향(예: x 방향)으로 보았을 때 상기 제1 도선(104')과 상기 제2 도선(106')의 사이라고 할 수 있다. 상기 보상층(150)은 상기 제1 도선(104') 및 상기 제2 도선(106')과 거의 비슷한 연장 방향을 갖는다.
- [0066] 상기 보상 층(150)은, 상기 제2 절연 층(105-2)에 상기 제1 도선(104') 및 상기 제2 도선(106')의 형상을 따라 생성된 단차를 메울 수 있다. 도 3에서 설명되었듯이, 상부의 절연 층은 그 하부 층의 형상이 반영되어 높낮이 차이가 생기는데, 그 차이만큼의 보상 층을 해당 위치에 미리 배치해 두면, 도 4와 같이 최상부 층의 상면이 평탄해질 수 있다.
- [0067] 상기 보상 층(150)은 상기 제1 도선(104') 또는 상기 제2 도선(106')과 동일 층상에 있을 수 있다. 또는 도 4와 같이 상기 보상 층(150)은 상기 제1 도선(104')의 하부 층에 있을 수도 있다. 이때 상기 보상 층(150)과 상기 제1 도선(104') 사이에 제3 절연 층(105-3)이 있을 수 있다. 상기 보상 층(150)은 상기 제1 도선(104'), 제2 도선(106') 및 제3 도선(108') 중 적어도 어느 한 도선과의 사이에서 커패시턴스를 발생시키지 않는 물질일 수 있다. 예컨대 상기 보상 층(150)은 무기물 층일 수 있다.
- [0068] 상기 보상 층(150)의 두께는 상기 제1 도선(104') 또는 상기 제2 도선(106')의 두께와 동일할 수 있다. 일 예로 상기 보상 층(150)의 두께는 2500 옹스트롬(Ångstrom: Å)일 수 있다. 또한 상기 보상 층(150)은 상기 제1 도선(104') 또는 상기 제2 도선(106')의 배치 간격(pitch)의 약 1/2 간격으로 배치될 수 있다. 예를 들어, 상기 제1 도선(104') 및 상기 제2 도선(106')은 약 4 마이크로미터(μm) 간격으로 배치되고 상기 보상 층(150)은 약 2 μm 간격으로 배치된다. 상기 보상 층(150)의 폭은 약 1 μm 일 수 있다.
- [0069] 이와 같은 구조를 통해 도선 배치 영역 상부의 단차가 최소화된다. 즉, 도 4에 도시한 예시적 구조를 보면, 상기 제1 도선(104'), 제2 도선(106')이 배치된 영역의 상부 절연 층은 평탄화된다. 따라서, 본 명세서의 실시예에 따른 유기발광 표시장치는, 상기 단차에 의한 불량 및/또는 품질 저하가 예방되어 신뢰성이 더 향상될 수 있다.
- [0070] 이상 첨부된 도면을 참조하여 본 명세서의 실시예들을 상세하게 설명하였으나, 본 명세서는 반드시 이러한 실시예로 국한되는 것은 아니고, 그 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 명세서에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 당업자에 의해 기술적으로 다양하게 연동 및 구동될 수 있으며, 각 실시예들이 서로에 대하여 독립적으로 실시되거나 연관 관계로 함께 실시될 수도 있다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

도면

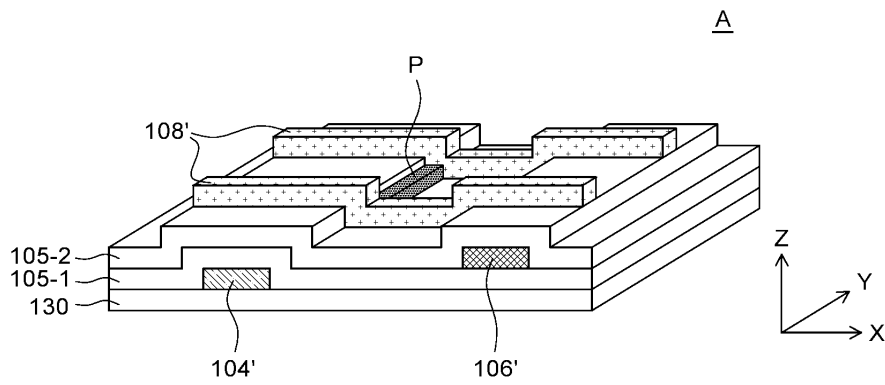
도면1



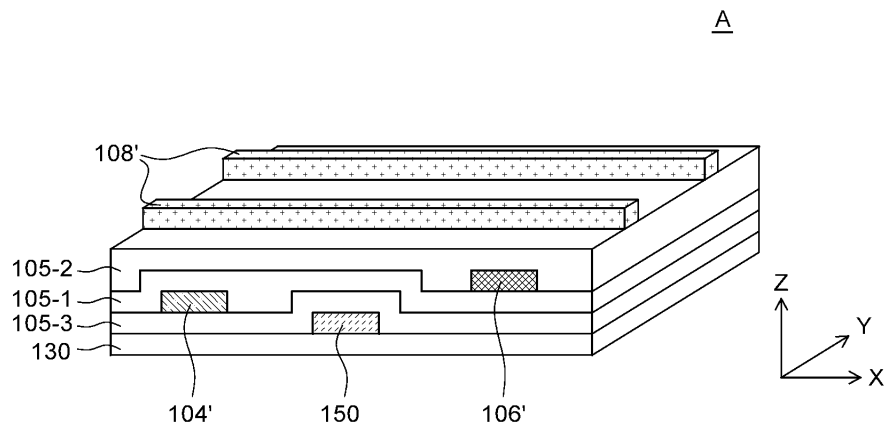
도면2



도면3



도면4



专利名称(译)	电致发光显示装置		
公开(公告)号	KR1020200059928A	公开(公告)日	2020-05-29
申请号	KR1020180145277	申请日	2018-11-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이동주		
发明人	이동주		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3276 H01L51/50 H01L2251/30		
外部链接	Espacenet		

摘要(译)

本说明书公开了一种显示装置。该显示装置包括：在第一方向上延伸的第一导线；以及沿着第一方向延伸的第一导线。覆盖第一导体的第一绝缘层；在第一绝缘层上沿第二方向延伸的第二导体；覆盖第二导体的第二绝缘层；在第二绝缘层上沿与第一方向和第二方向交叉的第三方向延伸的第三导体；并且提供补偿层以平坦化第二绝缘层的顶表面，其中第二导体在第三方向上与第一导体间隔开，并且补偿层与第一导体在第三方向上耦接至第一导体。它位于第二根导线之间。

