



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0064198
(43) 공개일자 2019년06월10일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 51/5237 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2017-0163572
(22) 출원일자 2017년11월30일
심사청구일자 2017년11월30일

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
허준영
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄

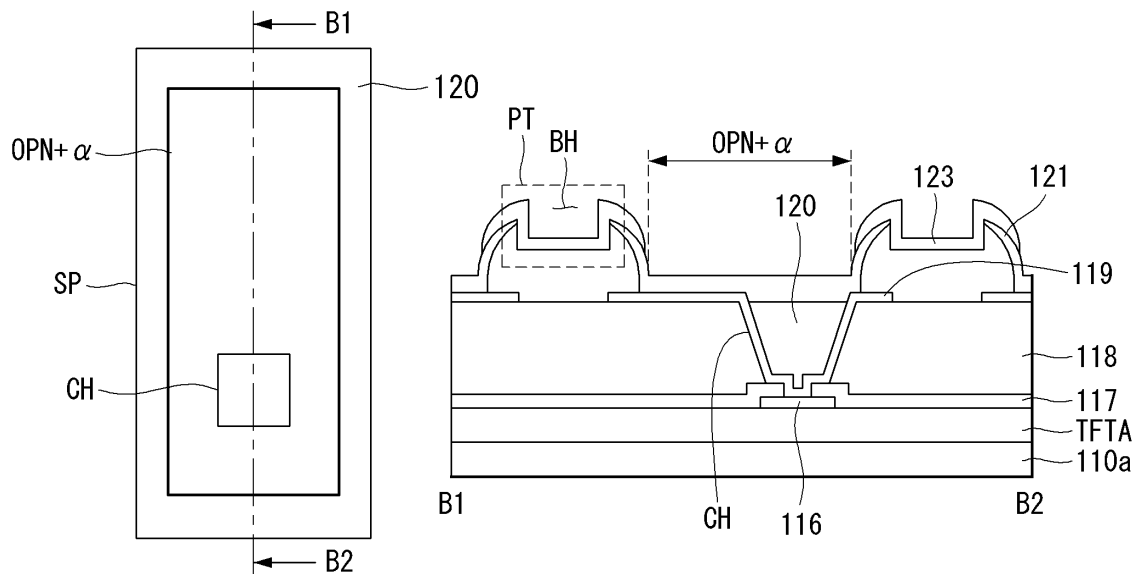
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전계발광표시장치와 이의 제조방법

(57) 요약

본 발명은 제1기판, 제1전극층, बैं크층, बैं크홈, 제2전극층, 및 커버층을 포함하는 전계발광표시장치를 제공한다. 제1전극층은 제1기판 상에 위치하고, बैं크층은 제1전극층의 일부를 노출하는 개구부와 बैं크층 상에 함몰된 बैं크홈을 갖고, 제2전극층은 제1전극층 및 बैं크층 상에 위치하고, 커버층은 बैं크홈의 하부 표면과 내측부 표면을 덮는다.

대표도 - 도9



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/5203 (2013.01)

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

제1기관;

상기 제1기관 상의 제1전극층;

상기 제1전극층의 일부를 노출하는 개구부를 갖는 बैं크층;

상기 बैं크층 상에 함몰된 बैं크홈;

상기 제1전극층 및 상기 बैं크층 상의 제2전극층; 및

상기 बैं크홈의 하부 표면과 내측부 표면을 덮는 커버층을 포함하는 전계발광표시장치.

청구항 2

제1항에 있어서,

상기 बैं크홈의 단면은

삼각형, 사각형, 사다리꼴, 다각형, 수평 방향이 긴 타원 및 180도 회전된 T자형 중 하나로 선택된 전계발광표시장치.

청구항 3

제1항에 있어서,

상기 제2전극층 상의 제3전극층을 더 포함하고,

상기 제2전극층 및 상기 제3전극층은

상기 제1전극층의 노출된 표면과 상기 बैं크층의 외측부 표면을 덮고 상기 बैं크홈을 기준으로 일측과 타측으로 분리된 전계발광표시장치.

청구항 4

제3항에 있어서,

상기 커버층은

상기 제2전극층 및 상기 제3전극층 중 하나 이상의 끝단의 일부를 덮는 전계발광표시장치.

청구항 5

제3항에 있어서,

상기 커버층 및 상기 제3전극층 상의 발광층을 더 포함하고,

상기 발광층은 상기 बैं크홈을 기준으로 일측과 타측으로 분리된 전계발광표시장치.

청구항 6

제5항에 있어서,

상기 제2전극층 및 상기 제3전극층 중 하나는

상기 발광층으로부터 생성된 빛을 반사 및 집광하는 재료로 선택된 전계발광표시장치.

청구항 7

제1항에 있어서,

상기 बैं크층의 외측부 단면은

정테이퍼 형상, 반구 형상, 타원 형상 및 경사진 외측부 표면과 평평한 상부 표면을 갖는 산 형상 중 하나로 선택된 전계발광표시장치.

청구항 8

제1항에 있어서,

상기 제1기판과 상의 트랜지스터부와, 상기 트랜지스터부 상에 위치하고 상기 트랜지스터부의 소오스 또는 드레인전극을 노출하는 콘택홀을 갖는 평탄화층을 더 포함하고,

상기 제1전극층은 상기 평탄화층 상에 위치하고 상기 콘택홀을 통해 상기 트랜지스터부의 소오스 또는 드레인전극과 연결되고,

상기 콘택홀은 상기 개구부 내에 위치하는 전계발광표시장치.

청구항 9

제8항에 있어서,

상기 콘택홀은

상기 제1전극층을 덮으며 함몰된 내부를 채우는 충전층을 포함하는 전계발광표시장치.

청구항 10

제1기판 상에 평탄화층을 형성하는 단계;

상기 평탄화층 상에 제1전극층을 형성하는 단계;

상기 제1전극층의 일부를 노출하는 개구부를 갖는 बैं크층을 형성하는 단계;

상기 제1전극층의 노출된 일부 및 상기 बैं크층을 덮도록 적어도 하나의 층으로 이루어진 제2전극층을 형성하는 단계;

상기 제2전극층을 일측과 타측으로 분리하여 상기 제2전극층을 통해 상기 बैं크층의 일부를 노출시키는 단계;

상기 제2전극층을 마스크로 사용하여 노출된 बैं크층을 식각하고 상기 बैं크층 상에 함몰된 बैं크홀을 형성하는 단계; 및

상기 बैं크홀의 하부 표면과 내측부 표면을 덮는 커버층을 형성하는 단계를 포함하는 전계발광표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광표시장치와 이의 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치(Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 전계발광표시장치는 하부기판 방

향으로 빛을 출사하는 하부발광(Bottom Emission)과 상부기판 방향으로 빛을 출사하는 상부발광(Top Emission) 형 등으로 구분된다.

[0005] 전계발광표시장치는 서브 픽셀 내부에 포함된 발광다이오드로부터 생성된 빛을 기반으로 영상을 표시하므로 차세대 표시장치로 각광받는 등 다양한 장점을 지니고 있다. 그러나 고 휘도 및 초고해상도의 전계발광표시장치를 구현하기 위해서는 아직 해결해야 할 문제가 남아 있다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 전류 누설(Lateral Current Leakage) 문제의 해소는 물론이고 발광영역의 증가, 장수명, 출광되는 빛의 아웃커플링(outcoupling) 향상을 기반으로 고 휘도 및 초고해상도의 유기전계발광표시장치를 구현하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 제1기판, 제1전극층, बैं크층, बैं크홈, 제2전극층, 및 커버층을 포함하는 전계발광표시장치를 제공한다. 제1전극층은 제1기판 상에 위치하고, बैं크층은 제1전극층의 일부를 노출하는 개구부와 बैं크층 상에 함몰된 बैं크홈을 갖고, 제2전극층은 제1전극층 및 बैं크층 상에 위치하고, 커버층은 बैं크층의 하부 표면과 내측부 표면을 덮는다.

[0008] बैं크홈의 단면은 삼각형, 사각형, 다각형, 수평 방향이 긴 타원 및 180도 회전된 T자형 중 하나로 선택될 수 있다.

[0009] 제2전극층 상의 제3전극층을 더 포함하고, 제2전극층 및 제3전극층은 제1전극층의 노출된 표면과 बैं크층의 외측부 표면을 덮고 बैं크홈을 기준으로 일측과 타측으로 분리될 수 있다.

[0010] 커버층은 제2전극층 및 제3전극층 중 하나 이상의 끝단의 일부를 덮을 수 있다.

[0011] 커버층 및 제3전극층 상의 발광층을 더 포함하고, 발광층은 बैं크홈을 기준으로 일측과 타측으로 분리될 수 있다.

[0012] 제2전극층 및 제3전극층 중 하나는 발광층으로부터 생성된 빛을 반사 및 집광하는 재료로 선택될 수 있다.

[0013] बैं크층의 외측부 단면은 정테이퍼 형상, 반구 형상, 타원 형상 및 경사진 외측부 표면과 평평한 상부 표면을 갖는 산 형상 중 하나로 선택될 수 있다.

[0014] 제1기판과 상의 트랜지스터부와, 트랜지스터부 상에 위치하고 트랜지스터부의 소오스 또는 드레인전극을 노출하는 콘택홀을 갖는 평탄화층을 더 포함하고, 제1전극층은 평탄화층 상에 위치하고 콘택홀을 통해 상기 트랜지스터부의 소오스 또는 드레인전극과 연결되고, 콘택홀은 개구부 내에 위치할 수 있다.

[0015] 콘택홀은 제1전극층을 덮으며 함몰된 내부를 채우는 충전층을 포함할 수 있다.

[0016] 다른 측면에서 본 발명은 전계발광표시장치의 제조방법을 제공한다. 전계발광표시장치의 제조방법은 제1기판 상에 평탄화층을 형성하는 단계, 평탄화층 상에 제1전극층을 형성하는 단계, 제1전극층의 일부를 노출하는 개구부를 갖는 बैं크층을 형성하는 단계, 제1전극층의 노출된 일부 및 बैं크층을 덮도록 적어도 하나의 층으로 이루어진 제2전극층을 형성하는 단계, 제2전극층을 일측과 타측으로 분리하여 제2전극층을 통해 बैं크층의 일부를 노출시키는 단계; 제2전극층을 마스크로 사용하여 노출된 बैं크층을 식각하고 बैं크층 상에 함몰된 बैं크홈을 형성하는 단계, 및 बैं크홈의 하부 표면과 내측부 표면을 덮는 커버층을 형성하는 단계를 포함한다.

발명의 효과

[0017] 본 발명은 고 휘도 및 초고해상도의 유기전계발광표시장치를 구현할 수 있는 효과가 있다. 또한, 본 발명은 전류 누설로 인하여 인접한 서브 픽셀 간의 발광 불량 문제를 해소할 수 있는 유기전계발광표시장치를 구현할 수 있는 효과가 있다. 또한, 본 발명은 콘택홀을 포함하는 넓은 개구부를 가지므로 발광영역의 증가로 인한 고 휘도 및 초고해상도 구현은 물론 장수명이 가능한 유기전계발광표시장치를 구현할 수 있는 효과가 있다. 또한, 본 발명은 बैं크층 측면에서의 발광 및 집광 기능으로 출광되는 빛의 아웃커플링(outcoupling)을 향상할 수 있는 유기전계발광표시장치를 구현할 수 있는 효과가 있다.

도면의 간단한 설명

- [0018] 도 1은 유기전계발광표시장치의 개략적인 블록도.
 도 2는 서브 픽셀의 개략적인 회로 구성도.
 도 3은 도 2의 일부를 구체화한 회로 구성 예시도.
 도 4는 표시 패널의 단면 예시도.
 도 5는 서브 픽셀들의 개략적인 구조를 설명하기 위한 단면 예시도.
 도 6은 서브 픽셀들의 발광 특성을 설명하기 위한 도면.
 도 7은 실험예에 따른 유기전계발광표시장치의 서브 픽셀의 평면과 그 단면의 일부를 나타낸 도면.
 도 8은 실험예의 문제점을 설명하기 위한 서브 픽셀의 단면도.
 도 9는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 서브 픽셀의 평면과 그 단면의 일부를 나타낸 도면.
 도 10 및 도 11은 본 발명의 제1실시예에 따른 백크롬과 커버층의 기능을 실험한 사진들.
 도 12 내지 도 18은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 단면 상의 개략적인 공정 흐름도들.
 도 19 및 도 20은 본 발명의 제1실시예를 기반으로 제작된 유기전계발광표시장치의 강도(효율) 및 색차각을 실험한 시뮬레이션 결과들.
 도 21은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 서브 픽셀의 일부를 나타낸 단면도.
 도 22 내지 도 26은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 단면 상의 개략적인 공정 흐름도들.
 도 27은 실험예에 따른 서브 픽셀과 본 발명의 제2실시예에 따른 서브 픽셀의 평면도를 비교 설명하기 위한 도면.
 도 28은 본 발명의 제3실시예에 따른 유기전계발광표시장치의 서브 픽셀의 일부를 나타낸 단면도.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] 이하에서 설명되는 전계발광표시장치는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰, 증강/가상현실기기(AR/VR) 등으로 구현될 수 있다. 그리고 이하에서 설명되는 전계발광표시장치는 유기발광다이오드(발광소자)를 기반으로 구현된 유기전계발광표시장치(Organic Light Emitting Display Device)를 일례로 설명한다. 그러나 이하에서 설명되는 전계발광표시장치는 무기발광다이오드를 기반으로 구현될 수도 있다.
- [0021] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이고, 도 3은 도 2의 일부를 구체화한 회로 구성 예시도이며, 도 4는 표시 패널의 단면 예시도이고, 도 5는 서브 픽셀들의 개략적인 구조를 설명하기 위한 단면 예시도이며, 도 6은 서브 픽셀들의 발광 특성을 설명하기 위한 도면이다.
- [0022] 도 1에 도시된 바와 같이, 유기전계발광표시장치는 타이밍 제어부(180), 데이터 구동부(130), 스캔 구동부(140), 표시 패널(110) 및 전원 공급부(160)를 포함한다.
- [0023] 타이밍 제어부(180)는 영상 처리부(미도시)로부터 데이터신호(DATA)와 더불어 데이터 인에이블 신호, 수직 동기 신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호 등을 공급받는다. 타이밍 제어부(180)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0024] 데이터 구동부(130)는 타이밍 제어부(180)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(180)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 디지털 데이터신호를 아날로그 데이터신호(또는 데이터전압)로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통

해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.

- [0025] 스캔 구동부(140)는 타이밍 제어부(180)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(110)에 게이트인패널(Gate In Panel) 방식(박막 공정으로 트랜지스터를 형성하는 방식)으로 형성된다.
- [0026] 전원 공급부(160)는 고전위전압과 저전위전압 등을 출력한다. 전원 공급부(160)로부터 출력된 고전위전압과 저전위전압 등은 표시 패널(110)에 공급된다. 고전위전압은 제1전원라인(EVDD)을 통해 표시 패널(110)에 공급되고 저전위전압은 제2전원라인(EVSS)을 통해 표시 패널(110)에 공급된다.
- [0027] 표시 패널(110)은 데이터 구동부(130)로부터 공급된 데이터신호(DATA), 스캔 구동부(140)로부터 공급된 스캔신호 그리고 전원 공급부(160)로부터 공급된 전원을 기반으로 영상을 표시한다. 표시 패널(110)은 영상을 표시할 수 있도록 동작하며 빛을 발광하는 서브 픽셀들(SP)을 포함한다.
- [0028] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0029] 도 2에 도시된 바와 같이, 하나의 서브 픽셀은 데이터라인(DL1), 스캔라인(GL1)의 교차영역에 위치하며, 구동 트랜지스터(DR)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)와 유기 발광다이오드(OLED)를 포함한다. 유기발광 다이오드(OLED)는 애노드(ANO), 캐소드(CAT), 및 애노드(ANO)와 캐소드(CAT) 사이에 개재된 유기 발광층을 포함한다. 애노드(ANO)는 구동 트랜지스터(DR)와 접속된다.
- [0030] 프로그래밍부(SC)는 적어도 하나 이상의 스위칭 트랜지스터와, 적어도 하나 이상의 커패시터를 포함하는 트랜지스터부(트랜지스터 어레이)로 구현될 수 있다. 트랜지스터부는 CMOS 반도체, PMOS 반도체 또는 NMOS 반도체를 기반으로 구현된다. 트랜지스터부에 포함된 트랜지스터들은 p 타입 또는 n 타입 등으로 구현될 수 있다. 또한, 서브 픽셀의 트랜지스터부에 포함된 트랜지스터들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0031] 스위칭 트랜지스터는 스캔라인(GL1)으로부터의 스캔신호에 응답하여 턴 온 됨으로써, 데이터라인(DL1)으로부터의 데이터전압을 커패시터의 일측 전극에 인가한다. 구동 트랜지스터(DR)는 커패시터에 충전된 전압의 크기에 따라 전류량을 제어하여 유기 발광다이오드(OLED)의 발광량을 조절한다. 유기 발광다이오드(OLED)의 발광량은 구동 트랜지스터(DR)로부터 공급되는 전류량에 비례한다. 또한, 서브 픽셀은 제1전원라인(EVDD)과 제2전원라인(EVSS)에 연결되며, 이들로부터 고전위전압과 저전위전압을 공급받는다.
- [0032] 도 3의 (a)에 도시된 바와 같이, 서브 픽셀은 앞서 설명한 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst) 및 유기 발광다이오드(OLED) 뿐만 아니라 내부보상회로(CC)를 포함할 수 있다. 내부보상회로(CC)는 보상신호라인(INIT)에 연결된 하나 이상의 트랜지스터들을 포함할 수 있다. 내부보상회로(CC)는 구동 트랜지스터(DR)의 게이트-소스전압을 문턱전압이 반영된 전압으로 세팅하여, 유기발광 다이오드(OLED)가 발광할 때에 구동 트랜지스터(DR)의 문턱전압에 의한 휘도 변화를 배제시킨다. 이 경우, 스캔라인(GL1)은 스위칭 트랜지스터(SW)와 내부보상회로(CC)의 트랜지스터들을 제어하기 위해 적어도 2개의 스캔라인(GL1a, GL1b)을 포함하게 된다.
- [0033] 도 3의 (b)에 도시된 바와 같이, 서브 픽셀은 스위칭 트랜지스터(SW1), 구동 트랜지스터(DR), 센싱 트랜지스터(SW2), 커패시터(Cst) 및 유기 발광다이오드(OLED)를 포함할 수 있다. 센싱 트랜지스터(SW2)는 내부보상회로(CC)에 포함될 수 있는 트랜지스터로서, 서브 픽셀의 보상 구동을 위해 센싱 동작을 수행한다.
- [0034] 스위칭 트랜지스터(SW1)는 제1스캔라인(GL1a)을 통해 공급된 스캔신호에 응답하여, 데이터라인(DL1)을 통해 공급되는 데이터전압을 제1노드(N1)에 공급하는 역할을 한다. 그리고 센싱 트랜지스터(SW2)는 제2스캔라인(GL1b)을 통해 공급된 센싱신호에 응답하여, 구동 트랜지스터(DR)와 유기 발광다이오드(OLED) 사이에 위치하는 제2노드(N2)를 초기화하거나 센싱하는 역할을 한다.
- [0035] 한편, 앞서 도 3에서 소개된 서브 픽셀의 회로 구성은 이해를 돕기 위한 것일 뿐이다. 즉, 본 발명의 서브 픽셀의 회로 구성은 이에 한정되지 않고, 2T(Transistor)1C(Capacitor), 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수 있다.
- [0036] 도 4에 도시된 바와 같이, 표시 패널(110)은 제1기판(110a), 제2기판(110b), 표시영역(AA), 패드부(PAD), 밀봉

부재(170) 등을 포함한다. 제1기관(110a)과 제2기관(110b)은 빛을 투과시킬 수 있는 투명 수지나 유리 등으로 선택된다. 표시영역(AA)은 빛을 발광하는 서브 픽셀들로 이루어진다. 패드부(PAD)는 외부 기관과의 전기적인 연결을 도모하기 위한 패드들로 이루어진다.

- [0037] 표시영역(AA)은 제1기관(110a)의 거의 모든 면을 차지하도록 배치되고, 패드부(PAD)는 제1기관(110a)의 일측 외곽에 배치된다. 표시영역(AA)은 제1기관(110a)과 제2기관(110b) 사이에 존재하는 밀봉부재(170)에 의해 밀봉되어 수분이나 산소 등으로부터 보호된다. 반면 패드부(PAD)는 외부로 노출된다. 그러나 표시 패널(110)의 밀봉 구조는 다양하게 구현될 수 있으므로 이에 한정되지 않는다.
- [0038] 도 5에 도시된 바와 같이, 서브 픽셀들은 발광다이오드(OLED)와 컬러필터층(CF)을 포함할 수 있다. 발광다이오드(OLED)는 제1기관(150a)의 일면 상에 형성되고, 애노드전극(E1)(캐소드전극이 될 수도 있음), 백색 등의 빛을 발광하는 발광층(EL) 및 캐소드전극(E2)(애노드전극이 될 수도 있음)으로 구성된다. 발광다이오드(OLED)로부터 출사된 빛은 컬러필터층(CF)에 의해 다른 색으로 변환될 수 있다. 따라서, 발광다이오드(OLED)로부터 출사되는 빛의 경우 반드시 백색일 필요는 없지만 이하에서는 백색을 발광하는 것을 일례로 설명한다.
- [0039] 컬러필터층(CF)은 발광층(EL)으로부터 출사된 백색을 적색(R), 녹색(G), 청색(B)으로 변환하고 백색(W)은 그대로 출사시킨다. 컬러필터층(CF)에 의해 적색을 출사하는 영역은 적색 서브 픽셀, 녹색을 출사하는 영역은 녹색 서브 픽셀, 청색을 출사하는 영역은 청색 서브 픽셀 그리고 백색을 출사하는 영역은 백색 서브 픽셀로 정의된다.
- [0040] 컬러필터층(CF)은 발광다이오드(OLED)와 마주보는 제2기관(150a)의 타면 또는 발광다이오드(OLED) 상에 형성될 수 있다. 캐소드전극(E2)과 컬러필터층(CF) 사이에는 수지층(RES)이 위치할 수 있다. 그러나 수지층(RES)은 밀봉구조에 따라 생략될 수도 있다.
- [0041] 애노드전극(E1)은 제2기관(150a) 방향으로의 출광 특성을 향상하기 위해 제1전극층(E1A), 제2전극층(E1B) 및 제3전극층(E1C) 등과 같이 다층 구조로 이루어질 수 있다. 제1전극층(E1A)은 투명성을 갖는 산화물 재료(예: ITO), 제2전극층(E1B)은 반사성을 갖는 금속 재료(예: Ag), 제3전극층(E1C)은 투명성을 갖는 산화물 재료(예: ITO)로 각각 구성될 수 있다. 그러나 애노드전극(E1)의 구조는 이에 한정되지 않는다.
- [0042] 도 6에 도시된 바와 같이, 발광층(EL)은 제1발광층(EL1), 전하생성층(Charge Generation Layer; CGL) 및 제2발광층(EL2)을 포함할 수 있다. 전하생성층(CGL)을 포함하는 발광층(EL)의 경우, 2개의 발광층(EL1, EL2)뿐만 아니라 2개, 3개 또는 그 이상의 발광층이 더 포함될 수도 있다. 그러므로 전하생성층(CGL)을 포함하는 발광층(EL)은 적어도 2 개의 발광층을 포함하는 것으로 해석되어야 한다.
- [0043] 발광층(EL)은 제1발광층(EL1)과 제2발광층(EL2)으로부터 발광된 빛을 기반으로 백색을 발광할 수 있다. 제1발광층(EL1)은 예컨대, 청색(B)을 발광할 수 있는 재료로 선택되고, 제2발광층(EL2)은 노란빛이 도는 녹색(YG)(또는 노란색)을 발광할 수 있는 재료로 선택될 수 있다.
- [0044] 전하생성층(CGL)은 N형 전하생성층(n-CGL)과 P형 전하생성층(p-CGL)이 접합된 PN접합 또는 그 반대인 NP접합 형태로 형성될 수 있다. 전하생성층(CGL)은 전하를 생성하거나 정공 및 전자를 분리하여 제1발광층(제1스택)(EL1)과 제2발광층(제2스택)(EL2)으로 분리된 층들에 전하를 주입하는 역할을 한다. N형 전하생성층(n-CGL)은 제1발광층(EL1)에 전자를 공급하고, P형 전하생성층(p-CGL)은 제2발광층(EL2)에 정공을 공급함으로써, 다수의 발광층이 구비된 소자의 발광 효율을 더욱 증대시키면서 구동 전압도 낮추는 기능을 한다.
- [0045] N형 전하생성층(n-CGL)은 금속 또는 N형이 도핑된 유기물질로 이루어질 수 있다. 금속은 Li, Na, K, Rb, Cs, Mg, Ca, Sr, Ba, La, Ce, Sm, Eu, Tb, Dy 및 Yb로 이루어진 군에서 선택된 하나의 물질일 수 있다. 또한, N형이 도핑된 유기물질에 사용되는 N형 도펀트와 호스트의 물질은 통상적으로 사용되는 물질을 이용할 수 있다. 예를 들면, N형 도펀트는 알칼리 금속, 알칼리 금속 화합물, 알칼리 토금속 또는 알칼리 토금속 화합물일 수 있다. N형 도펀트는 Cs, K, Rb, Mg, Na, Ca, Sr, Eu 및 Yb로 이루어진 군에서 선택된 하나일 수 있다. 또한, 호스트는 트리스(8-하이드록시퀴놀린)알루미늄, 트리아진, 하이드록시퀴놀린 유도체 및 벤즈아졸 유도체 및 실롤 유도체로 이루어진 군에서 선택된 하나의 물질일 수 있다.
- [0046] P형 전하생성층(p-CGL)은 금속 또는 P형이 도핑된 유기물질로 이루어질 수 있다. 금속은 Al, Cu, Fe, Pb, Zn, Au, Pt, W, In, Mo, Ni 및 Ti로 이루어진 군에서 선택된 하나 또는 둘 이상의 합금으로 이루어질 수 있다. 또한, P형이 도핑된 유기물질에 사용되는 P형 도펀트와 호스트의 물질은 통상적으로 사용되는 물질을 이용할 수 있다. 예를 들면, P형 도펀트는 2,3,5,6-테트라플루오르-7,7,8,8-테트라시아노퀴노디메탄(F4-TCNQ), 테트라시아

노키노디메탄의 유도체, 요오드, FeCl₃, FeF₃ 및 SbCl₅으로 이루어진 군에서 선택된 하나의 물질일 수 있다. 또한, 호스트는 N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(NPB), N,N'-디페닐-N,N'-비스(3-메틸페닐)-1,1-비페닐-4,4'-디아민(TPD) 및 N,N',N'-테트라나프틸-벤지딘(TNB)로 이루어진 군에서 선택된 하나의 물질일 수 있다.

[0047] 앞서 설명한 유기전계발광표시장치는 서브 픽셀들의 내부에 포함된 발광다이오드로부터 생성된 빛을 기반으로 영상을 표시하므로 차세대 표시장치로 각광받는 등 다양한 장점을 지니고 있다. 그러나 고 휘도를 가지면서 초고해상도 구현이 가능한 유기전계발광표시장치를 제작하기 위해서는 아직 해결해야 할 문제가 남아 있다. 그러므로 이하에서는 실험예를 하나 채택하고 이를 고 휘도 및 초고해상도 구현이 가능한 유기전계발광표시장치로 개선하기 위한 실시예를 설명한다.

[0048] <실험예>

[0049] 도 7은 실험예에 따른 유기전계발광표시장치의 서브 픽셀의 평면과 그 단면의 일부를 나타낸 도면이고, 도 8은 실험예의 문제점을 설명하기 위한 서브 픽셀의 단면도이다.

[0050] 도 7에 도시된 바와 같이, 실험예에 따른 유기전계발광표시장치는 서브 픽셀(SP)에 포함된 콘택홀(CH)과 개구부(OPN)가 구분되어 배치된 구조이다.

[0051] 콘택홀(CH)은 트랜지스터부(TFTA)의 소오스 또는 드레인전극(116)과 유기발광다이오드의 제1전극층(119) 간에 콘택(전기적인 연결)이 이루어지는 부분이다. 도시된 트랜지스터부(TFTA)는 유기발광다이오드를 구동하는 구동 트랜지스터에 해당하고, 소오스 또는 드레인전극(116)은 구동 트랜지스터의 소오스전극 또는 드레인전극에 해당한다.

[0052] 제1전극층(119)은 트랜지스터부(TFTA)의 보호막(117)을 덮고 있는 평탄화층(118) 상에 위치한다. 제1전극층(119)은 트랜지스터부(TFTA)의 소오스 또는 드레인전극(116)과 전기적으로 연결된다. 제1전극층(119)은 평탄화층(118)의 콘택홀(CH)에 위치하는 부분(또는 전극과 접촉된 부분)과 평탄화층(118)의 상부 표면에 위치하는 부분(또는 발광영역에 위치하는 부분)으로 구분된다.

[0053] 뱅크층(120)은 평탄화층(118) 상에 위치한다. 뱅크층(120)은 제1전극층(119)의 일부를 덮는다. 뱅크층(120)은 콘택홀(CH)의 내부에도 위치한다. 즉, 콘택홀(CNT)의 내부에 위치하는 뱅크층(120)은 콘택홀(CNT)의 함몰된 공간을 채우는 충전층 역할을 한다. 뱅크층(120)은 제1전극층(119)을 노출하는 개구부(OPN)를 갖는다. 뱅크층(120)에 마련된 개구부(OPN)는 서브 픽셀의 발광영역의 크기(폭)를 정의한다.

[0054] 뱅크층(120)은 서브 픽셀과 서브 픽셀 사이에 위치한다. 뱅크층(120)이 위치하는 부분은 비발광영역에 해당한다. 뱅크층(120)은 개구부(OPN)와 인접하는 부분이 경사를 갖는다. 뱅크층(120)의 외측부 단면은 정테이퍼 형상을 가질 수 있으나, 뱅크층의 폭이나 테이퍼를 이루는 외측부 표면의 형상에 따라 반구 형상, 타원형상, 또는 경사진 외측부 표면과 평평한 상부 표면을 갖는 산 형상으로 정의될 수 있다.

[0055] 도 8에 도시된 바와 같이, 제1전극층(119) 상에는 발광층(124)과 공통전극층(125)이 더 형성된다. 형성되는 발광층(124)은 뱅크층(120)의 외측부 표면과 상부 표면을 그리고 개구부(OPN)를 통해 노출된 제1전극층(119)을 덮는 형태로 형성된다. 공통전극층(125)은 발광층(124)의 적층 형상을 따라 형성된다.

[0056] 위의 설명을 통해 알 수 있듯이 실험예는 트랜지스터부(TFTA)의 소오스 또는 드레인전극(116)과 유기발광다이오드의 제1전극층(119) 간의 전기적인 연결을 위한 콘택홀(CH)이 존재하게 됨에 따라 개구부(OPN)가 차지할 수 있는 영역이 한정된다.

[0057] 또한, 실험예는 유기 발광다이오드(OLED)의 발광층(124) 사이에 포함된 전하생성층을 통한 전류누설(Lateral Current Leakage) (도 8의 “Leakage current” 패스 참조) 발생으로 인접한 서브 픽셀 간의 발광 불량을 유발할 수 있다. 그러므로 고 휘도 및 초고해상도의 유기전계발광표시장치를 구현하기 위해서는 앞서 설명한 문제점들을 개선해야 한다.

[0058] <제1실시예>

[0059] 도 9는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 서브 픽셀의 평면과 그 단면의 일부를 나타낸 도면이고, 도 10 및 도 11은 본 발명의 제1실시예에 따른 뱅크홀과 커버층의 기능을 실험한 사진들이다.

[0060] 도 9 내지 도 11에 도시된 바와 같이, 제1실시예에 따른 유기전계발광표시장치는 서브 픽셀(SP)에 포함된 개구부(OPN) 내에 콘택홀(CH)이 배치된다.

- [0061] 콘택홀(CH)은 트랜지스터부(TFTA)의 소오스 또는 드레인전극(116)과 유기발광다이오드의 제1전극층(119) 간에 콘택(전기적인 연결)이 이루어지는 부분이다. 도시된 트랜지스터부(TFTA)는 유기발광다이오드를 구동하는 구동 트랜지스터에 해당하고, 소오스 또는 드레인전극(116)은 구동 트랜지스터의 소오스전극 또는 드레인전극에 해당한다.
- [0062] 제1전극층(119)은 트랜지스터부(TFTA)의 보호막(117)을 덮고 있는 평탄화층(118) 상에 위치한다. 제1전극층(119)은 트랜지스터부(TFTA)의 소오스 또는 드레인전극(116)과 전기적으로 연결된다. 제1전극층(119)은 평탄화층(118)의 콘택홀(CH)에 위치하는 부분(또는 전극과 접촉된 부분)과 평탄화층(118)의 상부 표면에 위치하는 부분(또는 발광영역에 위치하는 부분)으로 구분된다.
- [0063] 뱅크층(120)은 평탄화층(118) 상에 위치한다. 뱅크층(120)은 제1전극층(119)의 일부를 덮는다. 뱅크층(120)은 콘택홀(CH)의 내부에도 위치한다. 콘택홀(CH)의 내부에 위치하는 뱅크층(120)은 제1전극층(119)과 같은 표면 높이를 가질 수 있다. 뱅크층(120)은 제1전극층(119)을 노출하는 개구부(OPN)를 갖는다. 뱅크층(120)에 마련된 개구부(OPN)는 서브 픽셀의 발광영역의 크기(폭)를 정의한다. 개구부(OPN)는 콘택홀(CH)을 더 포함하게 됨에 따라 그 크기가 대폭 증가하게 되므로 "OPN+ a"로 정의할 수도 있다.
- [0064] 뱅크층(120)은 서브 픽셀과 서브 픽셀 사이에 위치한다. 뱅크층(120)이 위치하는 부분은 비발광영역에 해당한다. 뱅크층(120)은 개구부(OPN)와 인접하는 부분이 경사를 갖는다. 뱅크층(120)의 단면은 정테이퍼 형상을 가질 수 있으나, 뱅크층의 폭이나 테이퍼를 이루는 외측부 표면의 형상에 따라 반구 형상, 타원 형상, 또는 경사진 외측부 표면과 평평한 상부 표면을 갖는 산 형상으로 정의될 수 있다.
- [0065] 뱅크층(120)은 상부 표면이 함몰된 뱅크홈(BH)을 갖는다. 뱅크홈(BH)은 하부 표면과 내측부 표면을 포함하고, 그 단면이 사각형인 것을 일례로 도시하였으나 이는 삼각형, 사다리꼴, 다각형, 수평 방향이 긴 타원 형상일 수 있으나 이에 한정되지 않는다. 뱅크층(120)의 상부 표면에 마련된 뱅크홈(BH)은 발광층(124)이 서브 픽셀과 서브 픽셀 간에 연결되지 않고 구분되도록 일측과 타측으로 분리하는 역할을 한다. 뱅크홈(BH)은 서브 픽셀과 서브 픽셀 사이에 위치하며 발광층(124)을 일측과 타측으로 분리하기 위한 공간을 제공한다.
- [0066] 제2전극층(121)은 제1전극층(119)과 뱅크층(120) 상에 위치한다. 제2전극층(121)은 개구부(OPN)의 내부와 뱅크층(120)의 상부 표면 및 내측부 표면에 위치한다. 개구부(OPN)의 내부에 위치하는 제2전극층(121)은 제1전극층(119)과 전기적으로 연결된다. 그러나 뱅크층(120)의 외측부 표면에 위치하는 제2전극층(121)은 뱅크홈(BH)을 기준으로 일측과 타측으로 분리된다. 즉, 발광층(124)과 마찬가지로 제2전극층(121)은 뱅크홈(BH)에 의해 서브 픽셀마다 분리된 상태로 위치한다. 제2전극층(121)은 도시된 바와 같이 단층으로 선택되거나 적어도 2층을 포함하는 다층으로 선택될 수도 있다.
- [0067] 커버층(123)은 뱅크층(120) 상에 위치한다. 커버층(123)은 뱅크홈(BH)의 하부 표면과 내측부 표면을 모두 덮는다. 커버층(123)은 뱅크층(120)의 외측부 표면에 존재하는 제2전극층(121)의 끝단의 일부를 덮는다. 커버층(123)은 제2전극층(121)의 영역별 완전한 분리 및 이후에 형성되는 공통전극층과 제2전극층(121) 간에 발생할 수 있는 쇼트 방지 역할을 한다.
- [0068] 도 10은 도 9의 "PT"영역에 대응하는 부분으로서, 제1실시예를 기반으로 뱅크홈을 갖는 뱅크층(120, 사진의 BNK 참조), 커버층(123, 사진의 Anode Edge Cover 참조) 및 제2전극층(121, 사진의 Anode 참조)을 형성한 사진이고, 도 11은 도 10의 구조를 기반으로 발광층(124, 사진의 OLED 참조)을 형성한 사진이다.
- [0069] 도 10 및 도 11의 실험 결과를 나타낸 사진에서 보는 바와 같이, 제1실시예와 같은 구조를 이용하면, 발광층은 뱅크홈의 하부 표면에 위치하는 부분과 뱅크층의 상부 표면(도시되어 있지 않지만 뱅크층의 외측부 표면에 위치할 수도 있음)에 위치하는 부분으로 분리될 수 있다.
- [0070] 실험 결과가 말해 주듯이, 제1실시예와 같은 구조를 기반으로 유기 발광다이오드를 형성하면, 발광다이오드의 전류 누설 문제(특히, 전하생성층이 존재하는 구조에서 발생하는 전류 누설)는 해소된다. 그 결과, 제1실시예와 같은 구조는 예컨대, 녹색이나 적색 서브 픽셀을 발광시켰음에도 적색 서브 픽셀이나 녹색 서브 픽셀이 동시에 발광한다거나, 청색 서브 픽셀을 발광시켰음에도 청색, 적색 및 녹색 중 하나 이상의 서브 픽셀이 동시에 발광하는 문제를 방지 또는 개선할 수 있다.
- [0071] 도 12 내지 도 18은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 단면 상의 개략적인 공정 흐름도들이고, 도 19 및 도 20은 본 발명의 제1실시예를 기반으로 제작된 유기전계발광표시장치의 강도(효율) 및 색시야각을 실험한 시뮬레이션 결과들이다.

- [0072] 도 12에 도시된 바와 같이, 제1기판(110a) 상에는 게이트전극, 소오스전극, 드레인전극을 갖는 트랜지스터 등을 포함하는 트랜지스터부(TFTA)가 형성된다. 제1기판(150a) 상에는 트랜지스터부(TFTA)를 덮는 보호막(117)이 형성된다. 보호막(117)은 무기 재료 예컨대 실리콘 질화막(SiNx), 실리콘 산화막(SiO₂), 포토아크릴(Photoacrylate), 포토레지스트(PR) 등으로 선택될 수 있으나 이에 한정되지 않는다.
- [0073] 제1기판(150a) 상에는 보호막(117)을 덮는 평탄화막(118)이 형성된다. 평탄화막(118)은 유기 재료 예컨대 오버코트층, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있으나 이에 한정되지 않는다. 보호막(117) 및 평탄화막(118)은 트랜지스터부(TFTA)의 소오스 또는 드레인전극(116)을 노출하도록 패터닝된다. 평탄화막(118)에서 트랜지스터부(TFTA)의 소오스 또는 드레인전극(116)을 노출하는 부분은 콘택홀(CNT)이 된다. 콘택홀(CNT)은 원형, 타원형, 사각형 등 다양한 형태로 형성될 수 있다.
- [0074] 평탄화막(118) 상에는 제1전극층(119)이 형성된다. 제1전극층(119)은 투명한 산화물 재료 예컨대, ITO, ITZO, ITO/Ag/ITO 등으로 선택될 수 있으나 이에 한정되지 않는다. 평탄화막(118) 상에는 बैं크층(120)이 형성된다. बैं크층(120)은 유기 재료 예컨대 오버코트층, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate), 포토아크릴(Photoacrylate) 등의 유기물로 이루어질 수 있으나 이에 한정되지 않는다. बैं크층(120)은 유기 재료로 선택되므로 콘택홀(CNT)을 채움과 동시에 평탄화막(118) 상에 일정 두께로 형성된다. 제1기판(110a) 상에는 बैं크층(120)의 형상을 마련하기 위한 노광이 진행된다.
- [0075] 도 13에 도시된 바와 같이, 노광이 완료된 후, 제1기판(110a) 상에는 현상 및 큐링 과정이 진행된다. 이 과정에 의해, 평탄화막(118) 상에는 개구부(OPN)를 갖는 बैं크층(120)이 형성된다. 그리고 콘택홀(CNT)의 내부에는 बैं크층(120)이 채워진 상태가 된다. 이때, 콘택홀(CNT)의 내부를 채우고 있는 बैं크층(120)은 제1전극층(119)과 유사 또는 동일한 높이를 갖는다.
- [0076] 도 14에 도시된 바와 같이, 개구부(OPN) 내에 노출된 제1전극층(119) 및 बैं크층(120) 상에는 제2 및 제3전극층(121, 122)이 형성된다. 제2전극층(121)은 반사성을 갖는 재료 예컨대 은(Ag)이 선택될 수 있고, 제3전극층(122)은 투명한 산화물 재료 예컨대, ITO, ITZO, ITO/Ag/ITO 등으로 선택될 수 있으나 이에 한정되지 않는다.
- [0077] 제1차 전극 공정을 기반으로 단층의 제1전극층(119)과 제2차 전극 공정을 기반으로 복층의 제2 및 제3전극층(121, 122)이 형성되는 것을 일례로 하였다. 하지만, 제1 및 제2차 전극 공정 모두 단층의 전극층을 형성할 수도 있다. 이 경우, 전극층은 총 2층 구조를 갖게 되나 3층 또는 그 이상으로도 형성될 수도 있다.
- [0078] 제2 및 제3전극층(121, 122)은 개구부(OPN)의 내부와 बैं크층(120)의 상부 표면 및 외측부 표면에 위치한다. 개구부(OPN)의 내부에 위치하는 제2 및 제3전극층(121, 122)은 제1전극층(119)과 전기적으로 연결된다. 제2 및 제3전극층(121, 122) 중에서 बैं크층(120)의 상부 표면 및 외측부 표면에 위치하는 제2 및 제3전극층(121, 122)은 발광층(124)으로부터 출사된 빛을 반사 및 개구부(OPN)의 중앙부 근처로 집광하여 출광 효율을 향상할 수 있다.
- [0079] 이 구조로 인하여, 발광층(124)으로부터 출광되는 빛의 출광 효율 즉 아웃커플링(outcoupling)이 향상된다. 또한, 아웃커플링을 향상하는 부분인 बैं크층(120)의 상부 표면 및 외측부 표면에서도 발광층(124)으로부터 생성된 빛이 출사되므로, 이로 인한 개구율 증대 효과가 있어 개구부(OPN)는 "OPN+ α + β "로 재차 정의할 수도 있다.
- [0080] 덧붙여, बैं크층(120)은 제2 및 제3전극층(121, 122)을 기반으로 집광 능력을 높이기 위해, 반구 형상, 타원 형상이나 이와 유사한 형상을 가질 수 있다. 또한, 제2 및 제3전극층(121, 122) 중 적어도 하나는 반사 및 집광 능력을 향상할 수 있는 재료로 선택될 수 있다.
- [0081] 도 15에 도시된 바와 같이, 제2 및 제3전극층(121, 122)의 일부 영역에 대한 습식 식각(Wet etch)이 진행된다. 습식 식각은 बैं크층(120)의 상부 표면에 위치하는 모든 제2 및 제3전극층(121, 122)에 대해 선택적으로 이루어진다. 식각 공정으로 인하여, बैं크층(120)의 상부 표면에 위치하는 제2 및 제3전극층(121, 122)은 제거되고 그 하부에 존재하는 बैं크층(120)의 상부 표면을 노출하는 분리부(AH)를 갖는다. 그 결과, 제2 및 제3전극층(121, 122)은 बैं크층(120)의 상부 표면을 노출함과 더불어 일측과 타측으로 분리된다. 즉, 제2 및 제3전극층(121, 122)은 서브 픽셀단위로 분리된다.
- [0082] 도 16에 도시된 바와 같이, बैं크층(120)의 일부 영역에 대한 건식 식각(Dry etch)이 진행된다. 건식 식각은 बैं크층(120)의 상부 표면 즉, 분리부(AH)가 위치하는 모든 영역에 대해 이루어지고, 분리부(AH)를 갖는 제2 및 제3전극층(121, 122)을 기반(121, 122)을 마스크로 사용(마스크를 사용하지 않아도(마스크 증가 방지) 된다. 식각 공정으로 인하여, बैं크층(120)의 상부 표면으로부터 함몰된 बैं크홀(BH)이 형성된다.

- [0083] 도 17에 도시된 바와 같이, बैं크층(120) 상에는 커버층(123)이 형성된다. 커버층(123)은 बैं크층(BH)의 하부 표면 및 내측부 표면을 덮는다. 커버층(123)은 बैं크층(120)의 외측부 표면에 존재하는 제2 및 제3전극층(121, 122)의 끝단의 일부를 덮는다.
- [0084] 커버층(123)은 제2 및 제3전극층(121, 122)의 완전한 분리 및 이후에 형성되는 공통전극층과 제2 및 제3전극층(121, 122) 간에 발생할 수 있는 쇼트 방지 역할을 한다. 커버층(123)은 무기 재료 예컨대 실리콘 질화막(SiNx), 실리콘 산화막(SiO₂), 포토아크릴(Photoacrylate), 포토레지스트(PR) 등으로 선택될 수 있으나 이에 한정되지 않는다.
- [0085] 도 18에 도시된 바와 같이, 제2 및 제3전극층(121, 122) 상에는 발광층(124)이 형성된다. 발광층(124)은 하나의 발광층 또는 전하생성층을 포함하는 적어도 2 개의 발광층을 가질 수 있다. 발광층(124)은 제2 및 제3전극층(121, 122) 상에 위치하는 부분과 बैं크층(BH)의 하부 표면에 위치하는 부분으로 분리된다. 즉, 발광층(124) 또한 서브 픽셀단위로 분리된다. 이 구조로 인하여, 인접한 서브 픽셀 간의 발광 불량이 유발되는 문제는 해소된다. 또한, 발광층(124)이 콘택홀(CH)을 포함하는 넓은 개구부(OPN)를 차지하며 형성되므로 발광영역의 증가로 인한 휘도 향상은 물론이고 수명 또한 향상된다.
- [0086] 발광층(124) 상에는 공통전극층(125)이 위치한다. 공통전극층(125)은 빛을 투과시킬 수 있는 재료로 선택된다. 공통전극층(125)은 제2 및 제3전극층(121, 122) 및 발광층(124)과 बैं크층(BH)의 하부 표면에 위치하는 발광층(124) 상에 위치한다. 즉, 공통전극층(125)은 모든 서브 픽셀 상에 위치한다.
- [0087] 도 19 및 도 20에 도시된 바와 같이, 제1실시예(#2 참조)는 실험예(#1 참조)와 대비하여 강도(Intensity)(효율)는 물론이고 색시야각 또한 향상 가능성을 알 수 있다. 실험예(#1 참조)는 도 7의 구조를 기반으로 제작한 표시 패널의 실험 결과이고, 제1실시예(#2 참조)는 도 9의 구조를 기반으로 제작한 표시 패널의 실험 결과이다.
- [0088] 이상, 본 발명의 제1실시예는 고 휘도 및 초고해상도의 유기전계발광표시장치를 구현할 수 있는 효과가 있다. 또한, 제1실시예는 전류 누설로 인하여 인접한 서브 픽셀 간의 발광 불량 문제를 해소할 수 있는 유기전계발광표시장치를 구현할 수 있는 효과가 있다. 또한, 제1실시예는 콘택홀을 포함하는 넓은 개구부를 가지므로 발광영역의 증가로 인한 고 휘도 및 초고해상도 구현은 물론 장수명이 가능한 유기전계발광표시장치를 구현할 수 있는 효과가 있다. 또한, 제1실시예는 बैं크층 측면에서의 발광 및 집광 기능으로 출광되는 빛의 아웃커플링(outcoupling)을 향상할 수 있는 유기전계발광표시장치를 구현할 수 있는 효과가 있다.
- [0089] <제2실시예>
- [0090] 도 21은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 서브 픽셀의 일부를 나타낸 단면도이고, 도 22 내지 도 26은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 단면 상의 개략적인 공정 흐름도들이며, 도 27은 실험예에 따른 서브 픽셀과 본 발명의 제2실시예에 따른 서브 픽셀의 평면도를 비교 설명하기 위한 도면이다.
- [0091] 도 21에 도시된 바와 같이, 제2실시예에 따른 유기전계발광표시장치는 제1실시예와 마찬가지로 서브 픽셀(SP)에 포함된 개구부(OPN) 내에 콘택홀(CH)이 배치된다. 다만, 제2실시예는 제1실시예 대비 बैं크층(120)에 마련된 बैं크층(BH)의 형상 그리고 그 형상으로 인하여 이후에 적층되는 층의 형상에 차이가 있으므로 이를 중심으로 설명한다. 또한, 도면에서는 बैं크층(120)의 상부 표면이 평평한 것을 일례로 하였으나 이는 하나의 예시일 뿐이다.
- [0092] बैं크층(BH)은 하부 표면과 내측부 표면을 포함한다. 특히, बैं크층(BH)의 내측부는 बैं크층(BH)의 하부 표면이 더 노출되도록 내부로 들어간 하부와 내부의 반대편인 외부로 돌출된 상부를 포함한다. बैं크층(BH)의 단면은 "180도 회전된 T"자로 정의될 수 있으나 이 단면의 형상은 बैं크층(120)의 높이와 재료 그리고 식각액이나 식각 방식 등에 따라 달라질 수 있다.
- [0093] 그러나 앞서 설명한 바와 같이 बैं크층(BH)의 내측부 중에서 특히 하부 공간이 내부로 더 들어간 구조를 갖는 것이 좋다. बैं크층(BH)이 위와 같은 형상을 가지면, 이후에 형성되는 커버층(123) 또한 बैं크층(BH)의 형상에 대응하여 형성되므로 बैं크층(BH)의 내측부의 내부로 들어간 하부와 내부의 반대편인 외부로 돌출된 상부를 포함한다.
- [0094] बैं크층(120)에 마련된 बैं크층(BH)이 이와 같은 형상을 가지면 발광층(124)이 서브 픽셀과 서브 픽셀 간에 연결되지 않고 구분되도록 분리하는 역할을 더욱 향상할 수 있다. 그 이유는 बैं크층(BH)의 내측부에서도 특히 하부가 더 안쪽으로 들어가 있어 발광층(124)의 두께의 변화가 있더라도 이를 수렴할 수 있는 분리 공간을 제공할 수 있기 때문이다.

- [0095] 이하, 제2실시예와 같은 बैं크층(BH)을 갖는 बैं크층(120) 그리고 이를 이용한 유기 발광다이오드의 제조 방법을 간략히 설명하면 다음과 같다.
- [0096] 도 22에 도시된 바와 같이, बैं크층(120) 상에 제2전극층(121)과 포토레지스트(PR)를 형성하고 습식 식각한다. 이에 따라, 제2전극층(121)과 포토레지스트(PR)는 बैं크층(120)의 상부 표면을 노출하는 분리부(AH)를 갖고 일측과 타측으로 분리된다.
- [0097] 도 23 및 도 24에 도시된 바와 같이, 분리부(AH) 내부에 노출된 बैं크층(120)을 건식 식각 또는 언더컷 공정을 하고, 포토레지스트(PR)를 제거한다. 이에 따라, 노출된 बैं크층(120)에는 상부보다 하부가 더 내부로 들어간 बैं크층(BH)이 형성된다. 앞서 설명한 바와 같이, बैं크층(BH)의 단면은 "180도 회전된 T"자로 정의될 수 있으나 이 단면의 형상은 बैं크층(120)의 높이와 재료 그리고 식각액이나 식각 방식 등에 따라 달라질 수 있다.
- [0098] 도 25 및 도 26에 도시된 바와 같이, बैं크층(120) 및 제2전극층(121) 상에 커버층(123)을 형성하고 बैं크층(BH) 부분만 남도록 건식 식각한다. 이후, 발광층(124)과 공통전극층(125)을 형성하여 유기 발광다이오드(OLED)를 완성한다. 이때, 유기 발광다이오드(OLED)는 제2전극층(121)과 더불어 제3전극층(122)을 더 포함할 수도 있다.
- [0099] 실험예와 제2실시예에 따라 제작된 서브 픽셀을 평면 상에서 비교한 결과를 예시적으로 나타내면 도 27과 같다. 하나의 서브 픽셀의 전체 크기를 100으로 하고, 이를 기준 서브 픽셀로 정한 후, 실험예(a)의 개구부와 제2실시예(b)의 개구부를 기준 서브 픽셀에 대비하여 비교한 결과 다음과 같았다.
- [0100] 실험예(a)의 개구부는 기준 서브 픽셀의 전체 크기에서 대략 10.6%의 개구율을 갖는 것으로 측정되었다. 반면, 제2실시예(b)의 개구부는 기준 서브 픽셀의 전체 크기에서 대략 59.99%의 개구율을 갖는 것으로 측정되었다. 이와 같은 결과는 제1실시예에서도 동일하게 나타났다.
- [0101] <제3실시예>
- [0102] 도 28은 본 발명의 제3실시예에 따른 유기전계발광표시장치의 서브 픽셀의 일부를 나타낸 단면도이다.
- [0103] 도 28에 도시된 바와 같이, 제3실시예에 따른 유기전계발광표시장치는 제1실시예 또는 제2실시예와 마찬가지로 서브 픽셀(SP)에 포함된 개구부(OPN) 내에 콘택홀(CH)이 배치된다. 다만, 제3실시예는 제1실시예 또는 제2실시예 대비 콘택홀(CH)의 내부가 बैं크층(120)으로 채워지지 않는 점에서 차이가 있다.
- [0104] 제1예로, 콘택홀(CH)의 내부는 다른 재료에 의해 채워지지 않고 함몰된 상태를 가질 수 있다. 이와 같은 경우, 이후의 공정을 통해 제2 및 제3전극층들이 콘택홀(CH)에 위치하는 제1전극층(119) 상에 위치하게 된다. 또한, 콘택홀(CH)의 깊이에 따라 다를 수 있지만 발광층 및 공통전극층 중 하나 이상의 층도 콘택홀(CH)의 내부에 위치할 수도 있다.
- [0105] 제2예로, 콘택홀(CH)의 내부는 बैं크층(120)이 아닌 다른 재료로 이루어진 충전층에 의해 채워진 상태를 가질 수 있다. 이와 같은 경우, 이후의 공정을 통해 제2 및 제3전극층들, 발광층 및 공통전극층이 형성되더라도 제1실시예 및 제2실시예와 같은 구조를 갖게 된다. 즉, 콘택홀(CH)의 내부를 채우는 재료만 제1 및 제2실시예 대비 달리할 수 있다.
- [0106] 그러나 제1예와 제2예는 각기 예시일 뿐, 콘택홀(CH) 부분에도 발광층이 존재하게 됨에 따라 빛을 발광할 수 있고, 제작하는 표시 패널의 시야각이나 색특성 등의 필요에 따라 콘택홀(CH)을 평평하게, 하부로 함몰되게 또는 그 반대인 상부로 돌출되게 할 수도 있다.
- [0107] 이상, 본 발명은 고 휘도 및 초고해상도의 유기전계발광표시장치를 구현할 수 있는 효과가 있다. 또한, 본 발명은 전류 누설로 인하여 인접한 서브 픽셀 간의 발광 불량 문제를 해소할 수 있는 유기전계발광표시장치를 구현할 수 있는 효과가 있다. 또한, 본 발명은 콘택홀을 포함하는 넓은 개구부를 가지므로 발광영역의 증가로 인한 고 휘도 및 초고해상도 구현은 물론 장수명이 가능한 유기전계발광표시장치를 구현할 수 있는 효과가 있다. 또한, 본 발명은 बैं크층 측면에서의 발광 및 집광 기능으로 출광되는 빛의 아웃커플링(outcoupling)을 향상할 수 있는 유기전계발광표시장치를 구현할 수 있는 효과가 있다.
- [0108] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로써

터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

110a: 제1기판 118: 평탄화층

CH: 콘택홀 OPN: 개구부

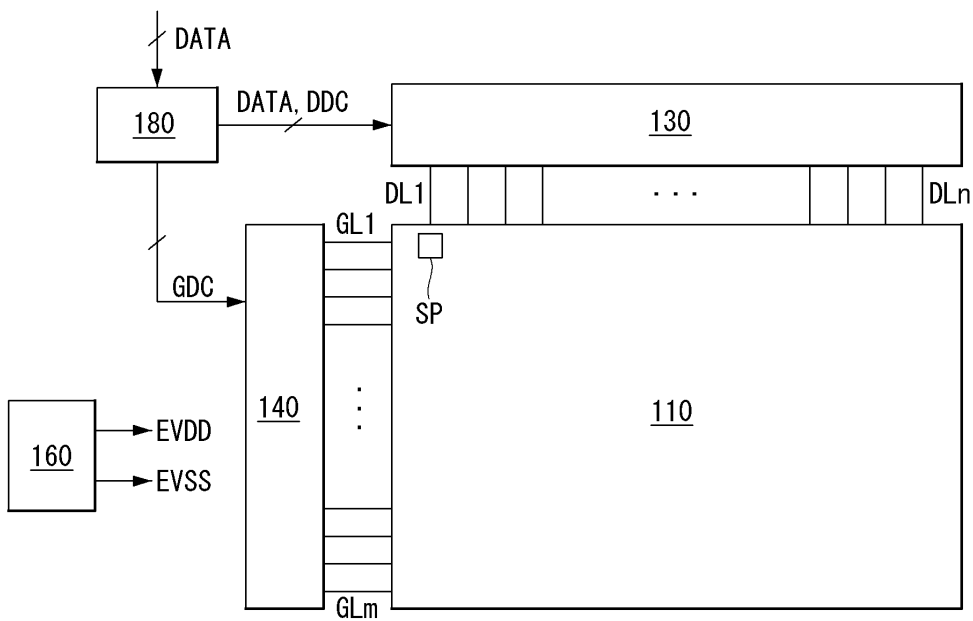
119: 제1전극층 120: बैं크층

BH: बैं크홀 121, 122: 제2 및 제3전극층

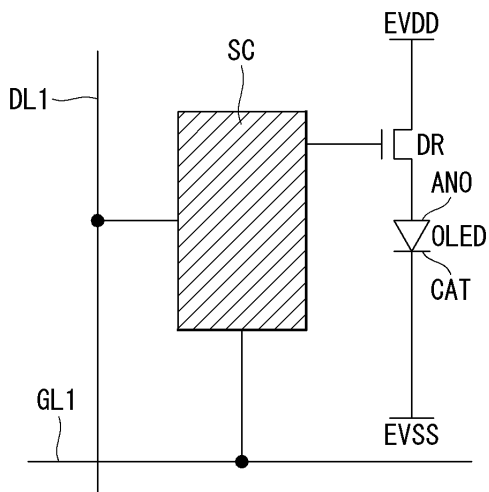
123: 커버층 124: 발광층

도면

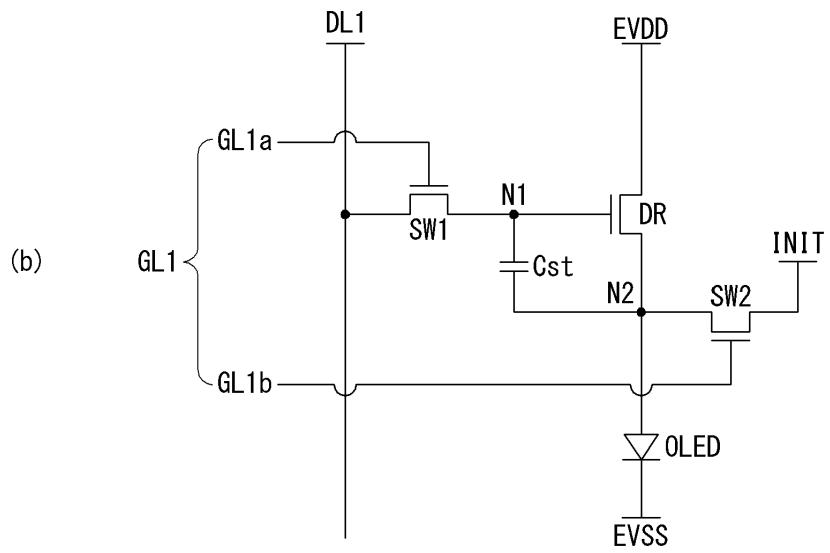
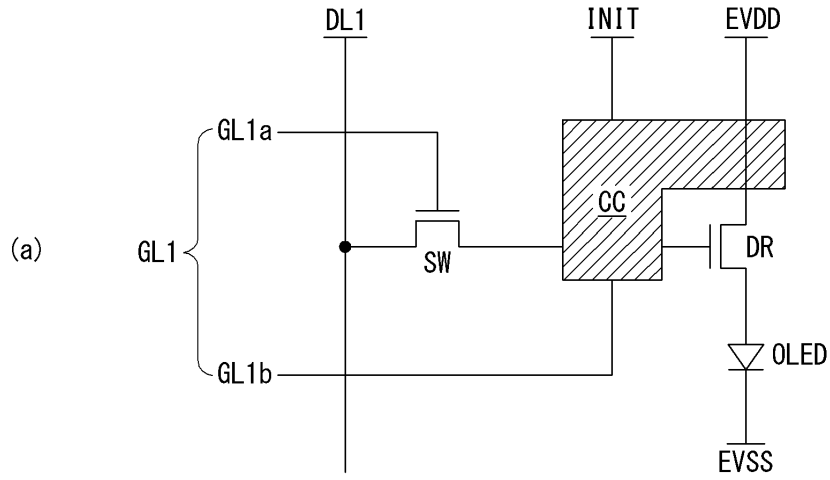
도면1



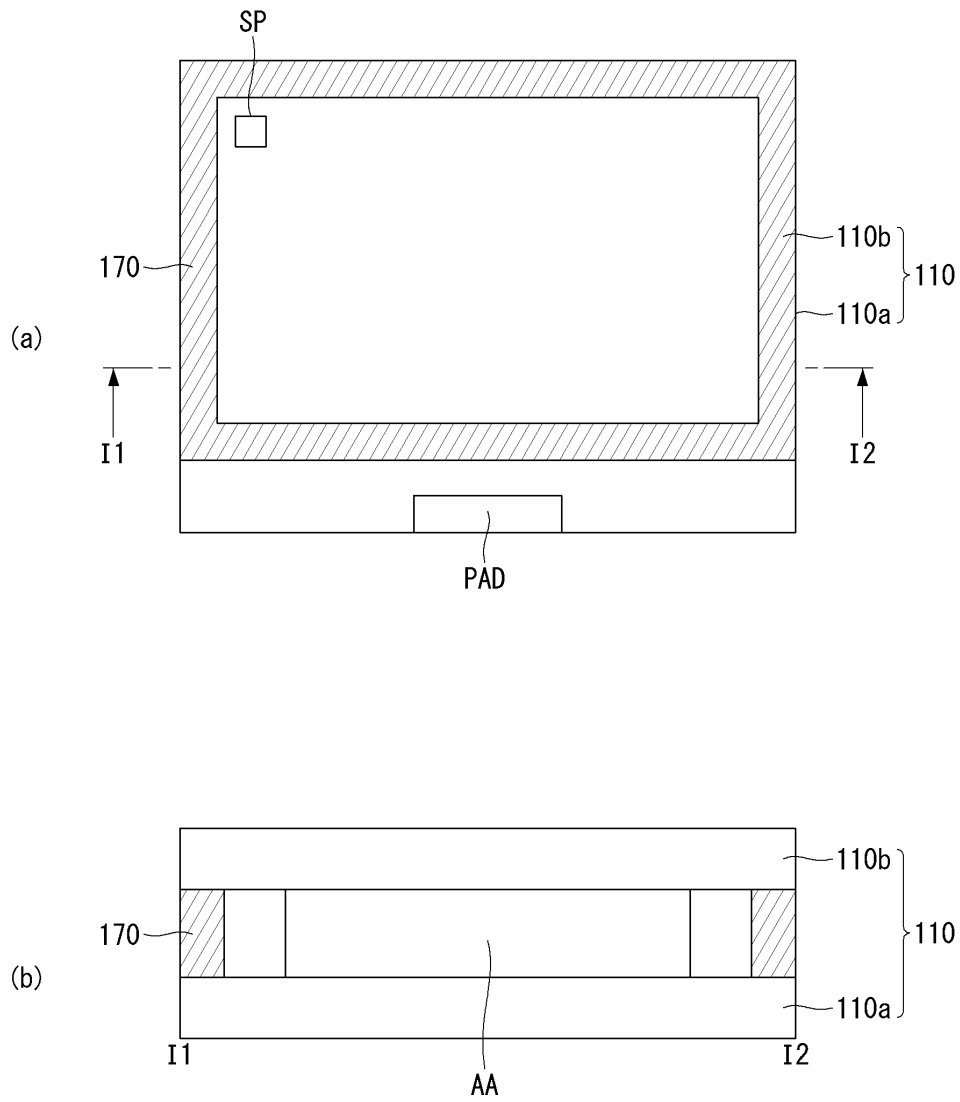
도면2



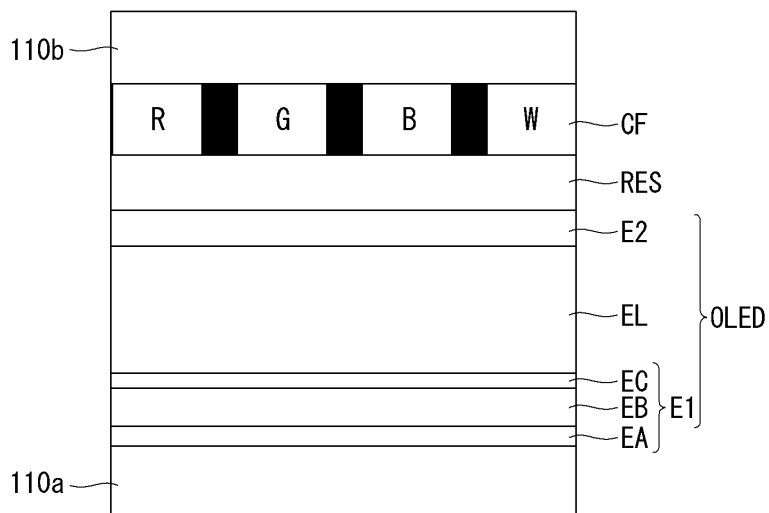
도면3



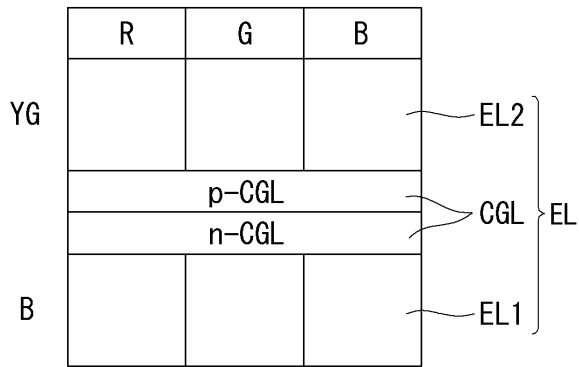
도면4



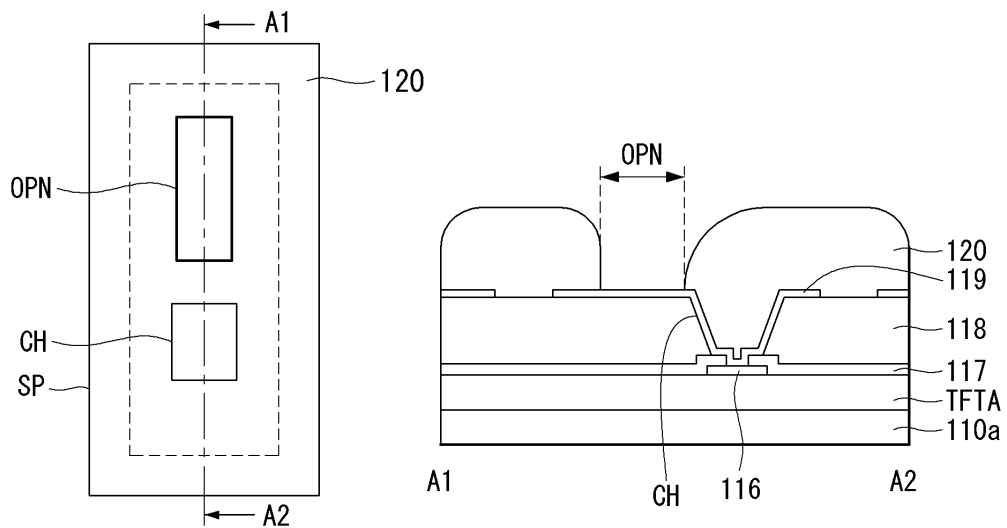
도면5



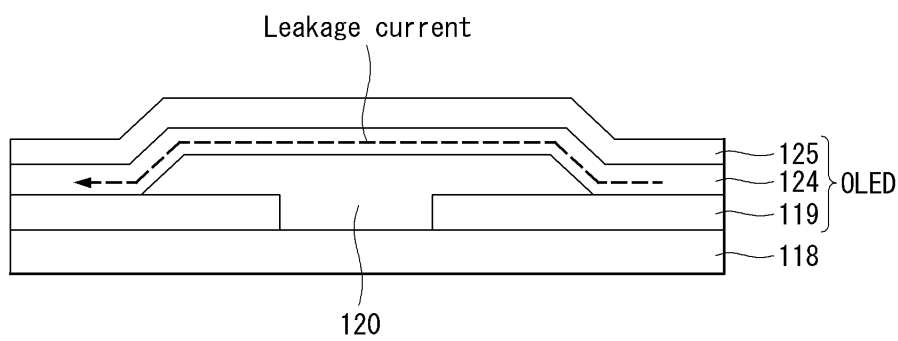
도면6



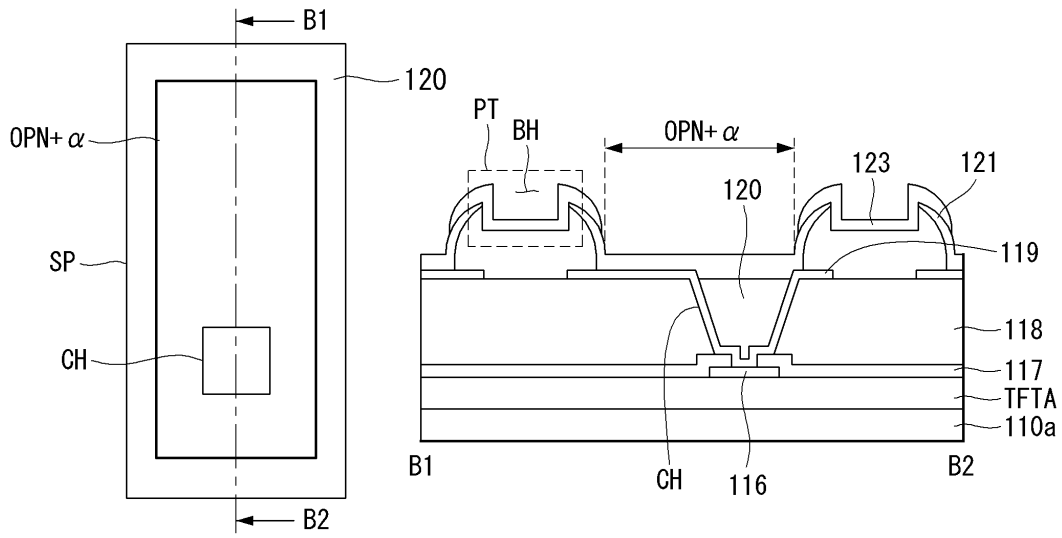
도면7



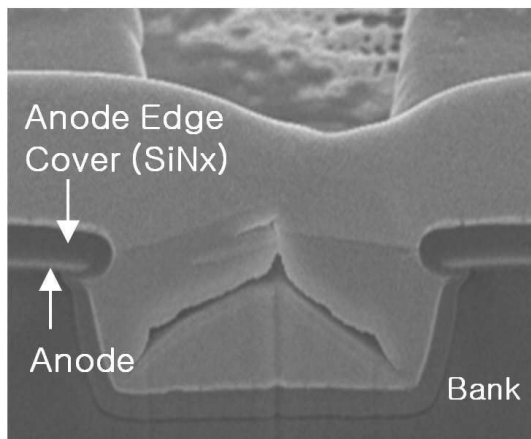
도면8



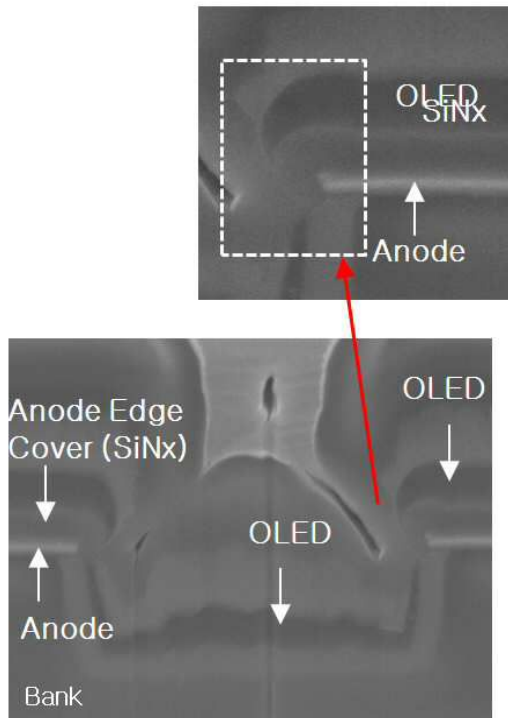
도면9



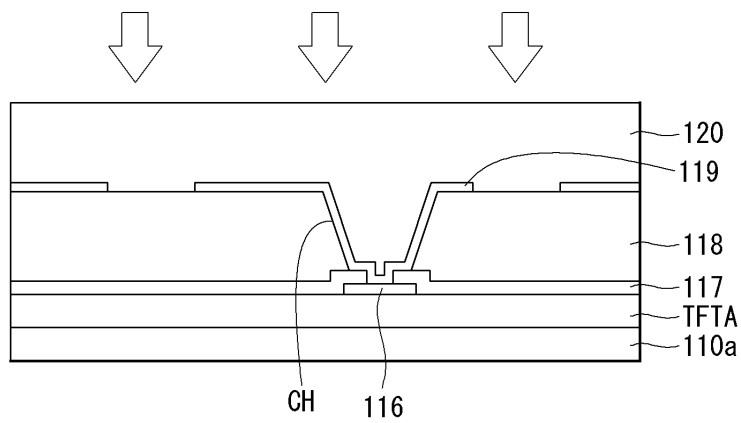
도면10



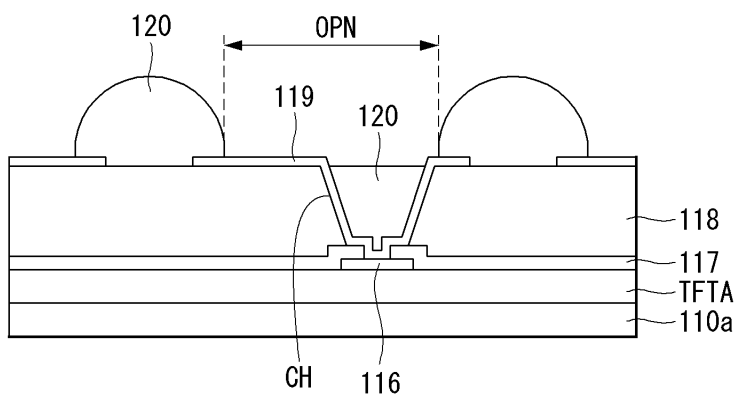
도면11



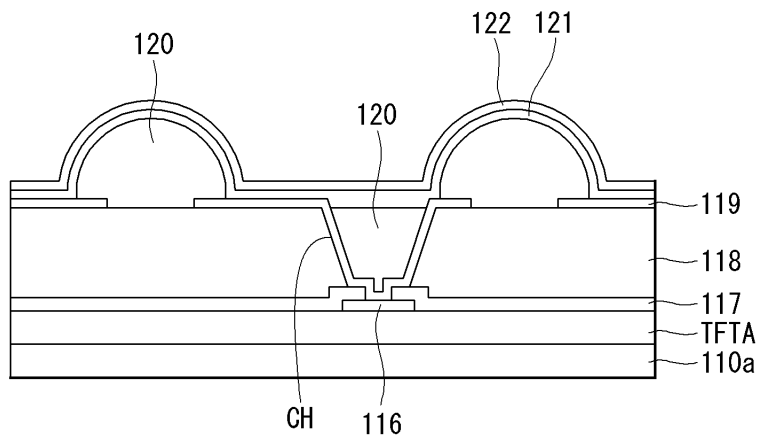
도면12



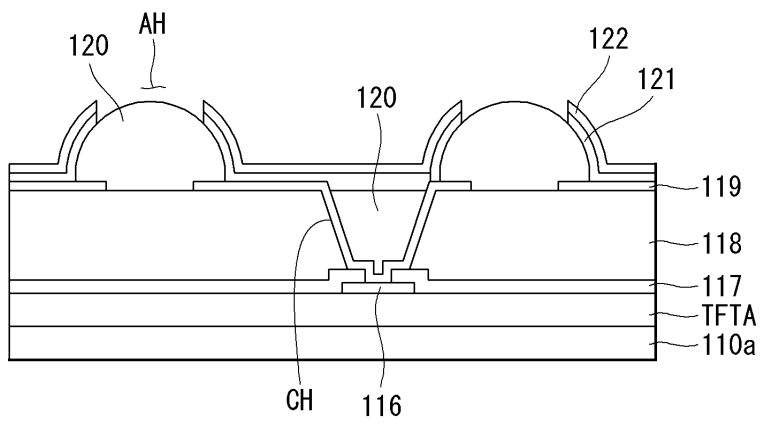
도면13



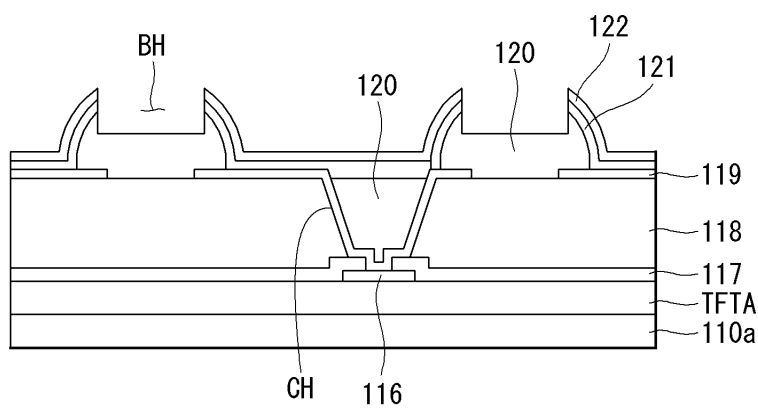
도면14



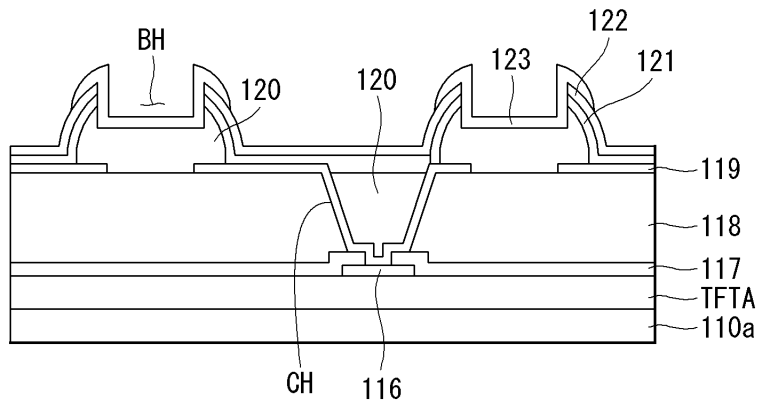
도면15



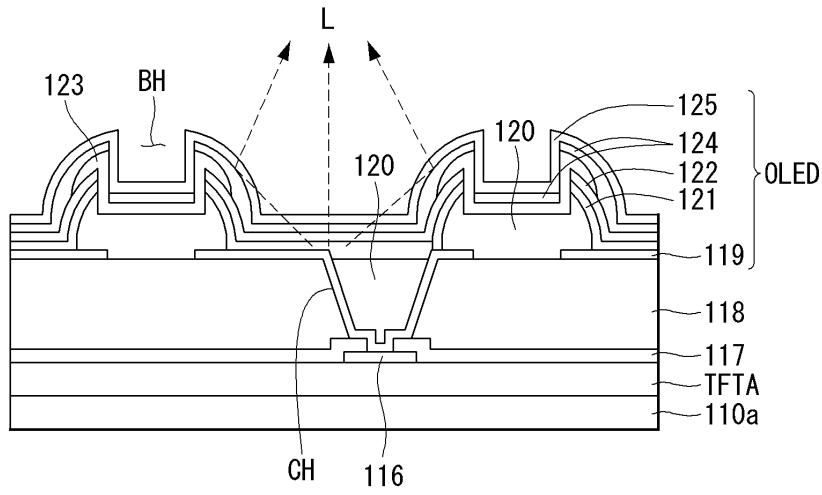
도면16



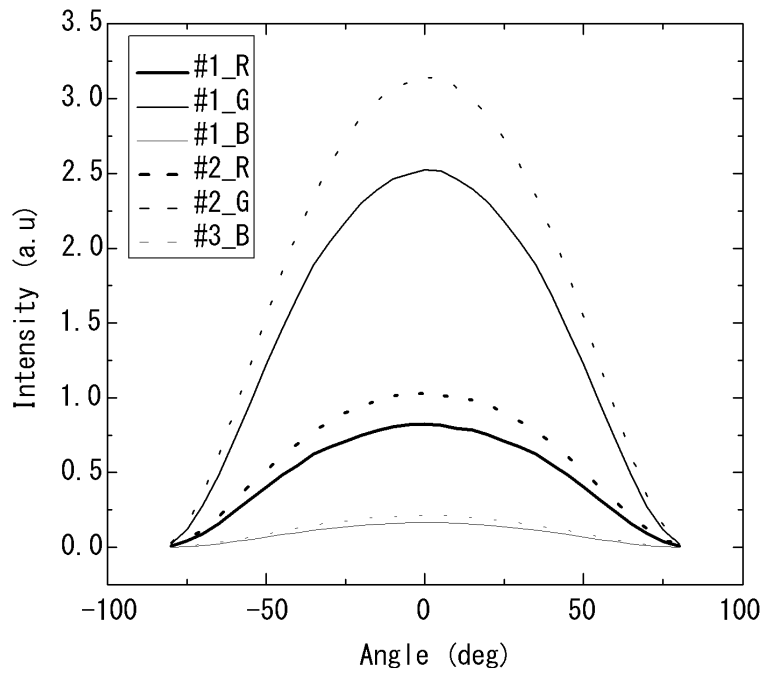
도면17



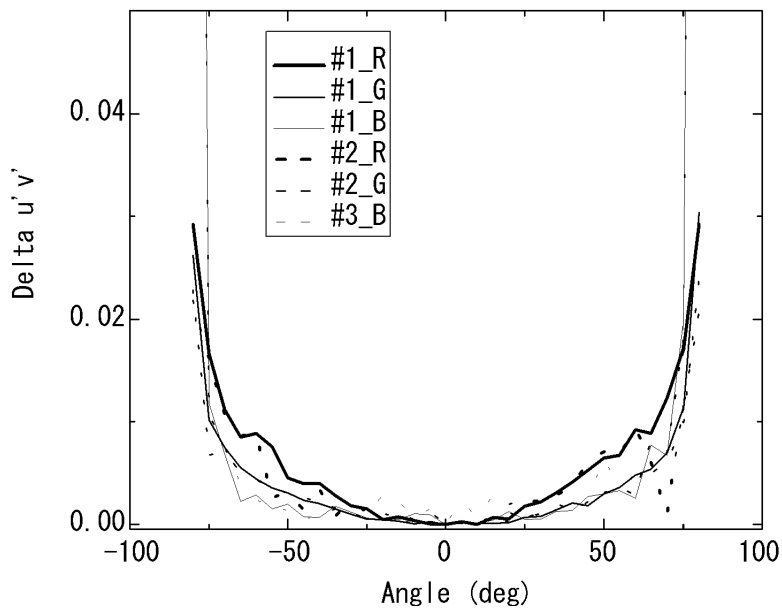
도면18



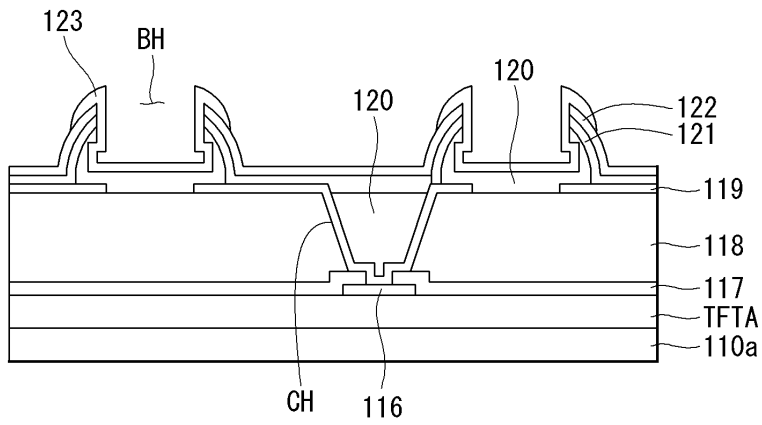
도면19



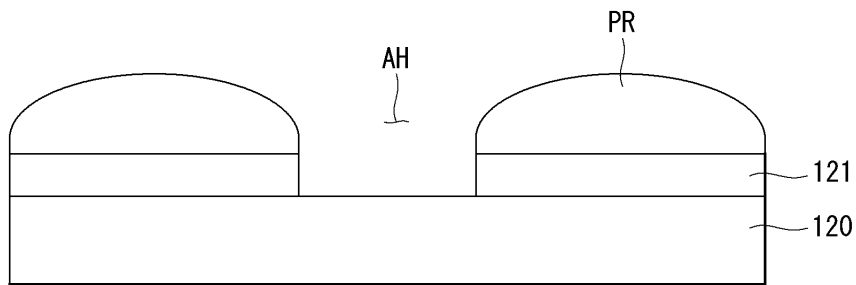
도면20



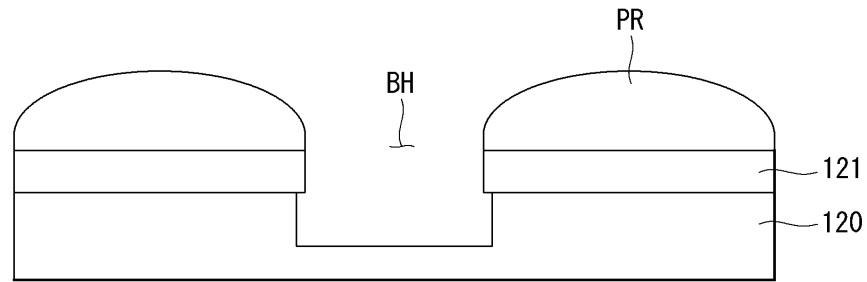
도면21



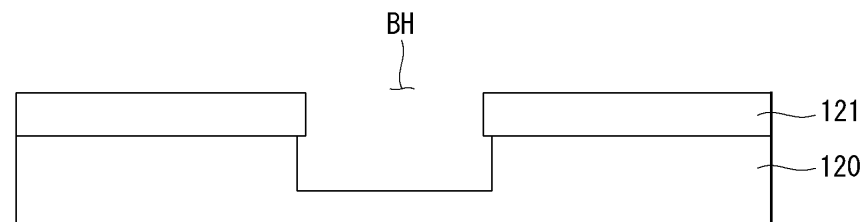
도면22



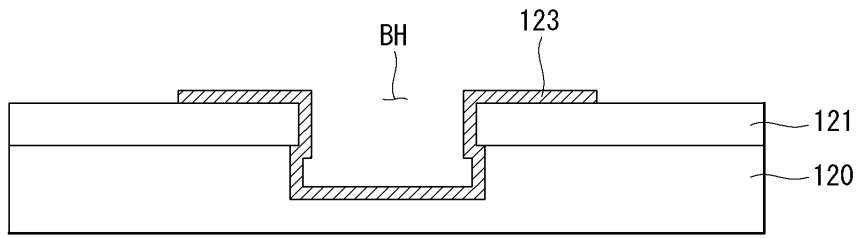
도면23



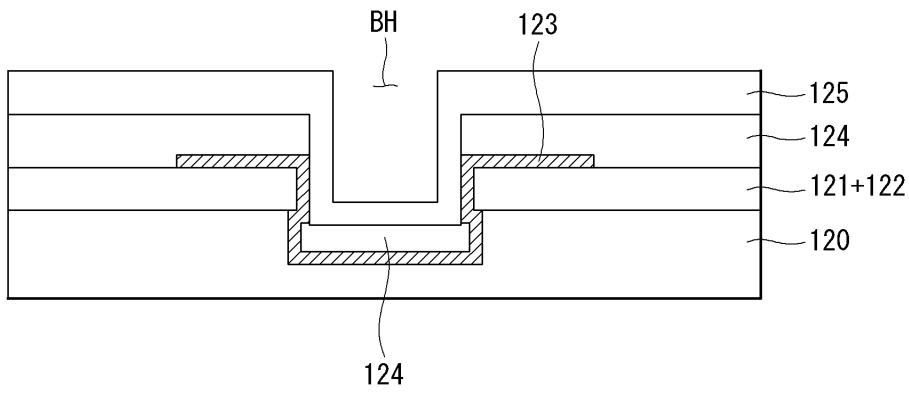
도면24



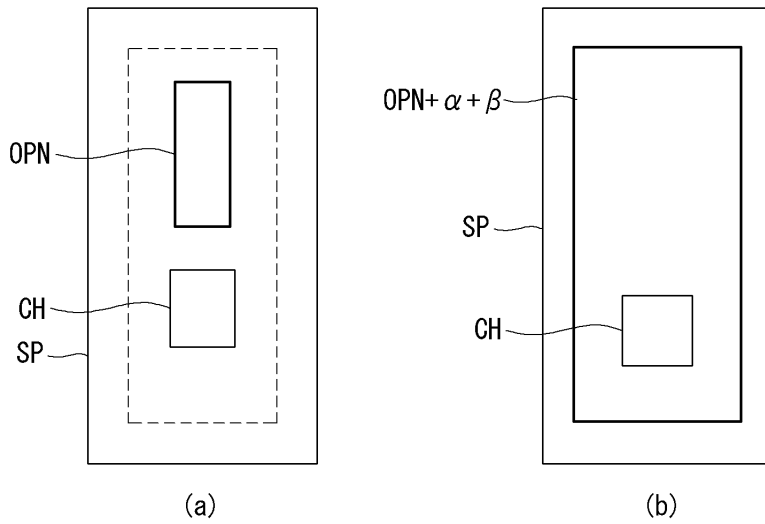
도면25



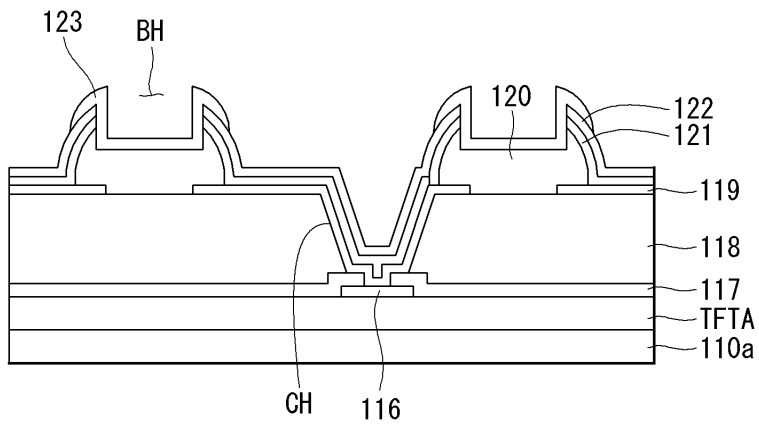
도면26



도면27



도면28



专利名称(译)	电致发光显示装置及其制造方法		
公开(公告)号	KR1020190064198A	公开(公告)日	2019-06-10
申请号	KR1020170163572	申请日	2017-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	허준영		
发明人	허준영		
IPC分类号	H01L51/52 H01L27/32 H01L51/56		
CPC分类号	H01L51/5237 H01L27/3246 H01L27/3262 H01L51/5203 H01L51/56 H01L27/3276 H01L2227/323 H01L27/3213 H01L27/322 H01L51/5044 H01L51/5209 H01L51/5218 H01L51/5271 H01L27/3248 H01L27/3258 H01L51/525		
其他公开文献	KR102011952B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种电致发光显示装置，其包括第一基板，第一电极层，堤层，堤槽，第二电极层和覆盖层。第一电极层位于第一基板上，堤层具有暴露第一电极层的一部分的开口和在堤层上凹陷的堤槽，第二电极层位于第一电极层和堤层上，并且盖该层覆盖堤槽的下表面和内表面。

图 9

