



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0077742
(43) 공개일자 2018년07월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 27/12* (2006.01)

H01L 51/52 (2006.01)

(52) CPC특허분류
H01L 27/3276 (2013.01)

H01L 27/1288 (2013.01)

(21) 출원번호 10-2016-0182391

(22) 출원일자 2016년12월29일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
백승한
서울특별시 양천구 중앙로36길 15, 103동 802호(신정동, 목동힐스테이트)
이지훈
경기도 성남시 분당구 판교로 430 (이매동, 아름마을태영아파트) 306동 1205호

(74) 대리인
특허법인천문

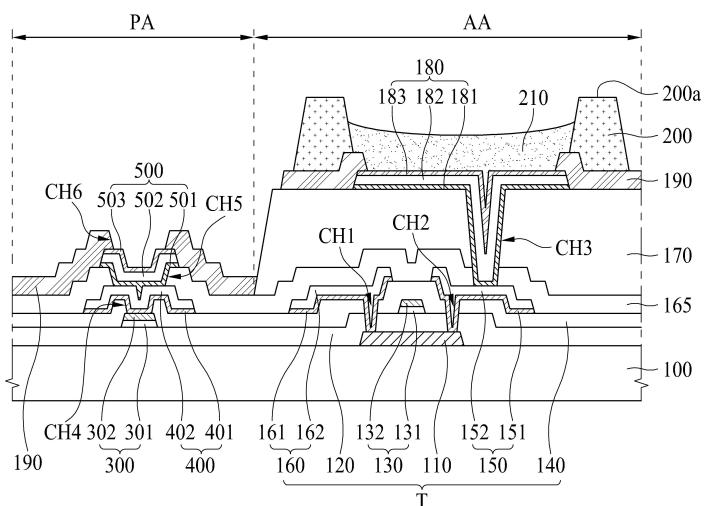
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 전계 발광 표시 장치 및 그 제조 방법

(57) 요 약

본 발명은 액티브 영역과 패드 영역을 포함하는 기판, 상기 기판의 액티브 영역에 구비된 애노드 전극, 상기 기판의 패드 영역에 구비된 패드 전극, 및 상기 애노드 전극과 상기 패드 전극 각각의 끝단을 가리면서 상기 애노드 전극과 상기 패드 전극 각각의 상면을 노출시키도록 구비된 제1 뱅크층을 포함하여 이루어진 전계 발광 표시 장치를 제공한다.

대 표 도 - 도2



(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3248 (2013.01)

H01L 27/3279 (2013.01)

H01L 51/5206 (2013.01)

H01L 2227/323 (2013.01)

명세서

청구범위

청구항 1

액티브 영역과 패드 영역을 포함하는 기판;

상기 기판의 액티브 영역에 구비된 애노드 전극;

상기 기판의 패드 영역에 구비된 패드 전극; 및

상기 애노드 전극과 상기 패드 전극 각각의 끝단을 가리면서 상기 애노드 전극과 상기 패드 전극 각각의 상면을 노출시키도록 구비된 제1 뱅크층을 포함하여 이루어진 전계 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 패드 전극은 상기 애노드 전극과 동일한 물질로 이루어진 전계 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 패드 전극은 하부 패드 전극, 중앙 패드 전극, 및 상부 패드 전극을 포함하여 이루어지고,

상기 노출되는 패드 전극의 상면은 상기 상부 패드 전극으로 이루어지고,

상기 중앙 패드 전극의 측면은 상기 제1 뱅크층에 의해 가려지도록 구비된 전계 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 상부 패드 전극의 산화도는 상기 중앙 패드 전극의 산화도보다 작고,

상기 중앙 패드 전극의 저항은 상기 상부 패드 전극의 저항보다 낮은 전계 발광 표시 장치.

청구항 5

제1항에 있어서,

상기 애노드 전극의 아래에서 상기 애노드 전극과 전기적으로 연결되도록 구비된 소스 전극 또는 드레인 전극; 및

상기 패드 전극의 아래에서 상기 패드 전극과 전기적으로 연결되도록 구비된 신호 패드를 추가로 포함하고,

상기 신호 패드는 상기 소스 전극 또는 드레인 전극과 동일한 물질로 동일한 층에 구비되어 있는 전계 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 신호 패드는 하부 신호 패드 및 상부 신호 패드를 포함하여 이루어지고,

상기 하부 신호 패드의 산화도는 상기 상부 신호 패드의 산화도보다 작고,

상기 상부 신호 패드의 저항은 상기 하부 신호 패드의 저항보다 낮은 전계 발광 표시 장치.

청구항 7

제5항에 있어서,

상기 신호 패드와 상기 패드 전극 사이에는 패시베이션층이 추가로 구비되어 있고,

상기 패드 전극은 상기 패시베이션층에 구비된 콘택홀을 통해서 상기 신호 패드와 전기적으로 연결되어 있는 전계 발광 표시 장치.

청구항 8

제5항에 있어서,

상기 신호 패드 아래에서 상기 신호 패드와 전기적으로 연결되는 추가적인 신호 패드; 및

상기 소스 전극 또는 상기 드레인 전극 아래에 구비된 게이트 전극을 더 포함하고,

상기 추가적인 신호 패드와 상기 게이트 전극은 동일한 물질로 동일한 층에 구비되어 있는 전계 발광 표시 장치.

청구항 9

제8항에 있어서,

상기 신호 패드와 상기 추가적인 신호 패드 사이에는 층간 절연막이 추가로 구비되어 있고,

상기 신호 패드는 상기 층간 절연막에 구비된 콘택홀을 통해서 상기 추가적인 신호 패드와 전기적으로 연결되어 있는 전계 발광 표시 장치.

청구항 10

제1항에 있어서,

상기 제1 뱅크층은 친수성 무기 절연물로 이루어진 전계 발광 표시 장치.

청구항 11

제1항에 있어서,

상기 애노드 전극의 끝단을 가리는 제1 뱅크층 상에 구비된 제2 뱅크층을 추가로 포함하고,

상기 애노드 전극의 끝단을 가리는 제1 뱅크층은 상기 제2 뱅크층보다 얇은 두께로 구비되고 상기 제2 뱅크층보다 넓은 폭을 가지도록 구비되며,

상기 제2 뱅크층의 상부는 소수성 물질로 이루어지는 전계 발광 표시 장치.

청구항 12

기판 상에 소스 전극, 드레인 전극 및 신호 패드를 형성하는 공정;

상기 소스 전극, 상기 드레인 전극 및 상기 신호 패드 상에 패시베이션층을 형성하는 공정;

상기 패시베이션층의 소정 영역을 제거하여 상기 소스 전극 또는 상기 드레인 전극의 소정 영역을 노출시키는 하나의 콘택홀과 상기 신호 패드의 소정 영역을 노출시키는 다른 하나의 콘택홀을 형성하는 공정;

상기 패시베이션층 상에서 상기 하나의 콘택홀을 통해서 상기 소스 전극 또는 상기 드레인 전극과 연결되는 애노드 전극 및 상기 다른 하나의 콘택홀을 통해서 상기 신호 패드와 연결되는 패드 전극을 형성하는 공정; 및

상기 애노드 전극과 상기 패드 전극 각각의 끝단을 가리면서 상기 애노드 전극과 상기 패드 전극 각각의 상면을 노출시키도록 제1 뱅크층을 형성하는 공정을 포함하는 전계 발광 표시 장치의 제조 방법.

청구항 13

제12항에 있어서,

상기 소스 전극, 상기 드레인 전극 및 상기 신호 패드는 동일한 마스크 공정을 이용하여 동일한 물질로 동시에 형성하는 전계 발광 표시 장치의 제조 방법.

청구항 14

제12항에 있어서,

상기 하나의 콘택홀과 상기 다른 하나의 콘택홀은 동일한 마스크 공정을 이용하여 동시에 형성하는 전계 발광 표시 장치의 제조 방법.

청구항 15

제12항에 있어서,

상기 애노드 전극 및 상기 패드 전극은 동일한 마스크 공정을 이용하여 동일한 물질로 동시에 형성하는 전계 발광 표시 장치의 제조 방법.

청구항 16

제12항에 있어서,

상기 소스 전극, 드레인 전극 및 신호 패드를 형성하는 공정 이전에,

상기 기판 상에 게이트 전극 및 추가적인 신호 패드를 형성하는 공정, 상기 게이트 전극 및 추가적인 신호 패드 상에 충간 절연막을 형성하는 공정, 및 상기 충간 절연막의 소정 영역을 제거하여 상기 추가적인 신호 패드의 소정 영역을 노출시키는 공정을 추가로 포함하는 전계 발광 표시 장치의 제조 방법.

청구항 17

제12항에 있어서,

상기 애노드 전극의 끝단을 가리는 제1 뱅크층 상에 제2 뱅크층을 형성하는 공정을 추가로 포함하고,

상기 애노드 전극의 끝단을 가리는 제1 뱅크층은 상기 제2 뱅크층보다 얇은 두께로 구비되고 상기 제2 뱅크층보다 넓은 폭을 가지도록 구비되는 전계 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001]

본 발명은 전계 발광 표시 장치에 관한 것으로서, 보다 구체적으로는 용액 공정을 이용한 전계 발광 표시 장치 및 그의 제조방법에 관한 것이다.

배경기술

[0002]

전계 발광 표시 장치는 두 개의 전극 사이에 발광층이 형성된 구조로 이루어져, 상기 두 개의 전극 사이의 전계에 의해 상기 발광층이 발광함으로써 화상을 표시하는 장치이다.

[0003]

상기 발광층은 전자와 정공의 결합에 의해 엑시톤(exciton)이 생성되고 생성된 엑시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광을 하는 유기물로 이루어질 수도 있고, 퀀텀 도트(Quantum dot)와 같은 무기물로 이루어질 수도 있다.

[0004]

이하, 도면을 참조로 종래의 전계 발광 표시 장치에 대해서 설명하기로 한다.

[0005]

도 1은 종래의 전계 발광 표시 장치의 개략적인 단면도이다.

[0006]

도 1에서 알 수 있듯이, 기판(10) 상의 액티브 영역에는 액티브층(11), 게이트 절연막(12), 게이트 전극(13), 충간 절연막(14), 소스 전극(15) 및 드레인 전극(16)을 포함하는 박막 트랜지스터층(T)이 형성되어 있고, 상기 박막 트랜지스터층(T) 상에 패시베이션층(20)과 평탄화층(30)이 차례로 형성되어 있다.

[0007]

상기 평탄화층(30) 상에는 애노드 전극(40)이 형성되어 있다. 상기 애노드 전극(40)은 상기 평탄화층(30)과 상기 패시베이션층(20)에 형성된 제1 콘택홀(CH1)을 통해서 상기 박막 트랜지스터(T)의 소스 전극(15)과 전기적으로 연결되어 있다.

[0008]

상기 애노드 전극(40) 상에는 뱅크층(50)이 형성되어 있다. 상기 뱅크층(50)은 서브 화소 영역을 정의하도록 패턴 형성되어 있고, 상기 뱅크층(50)에 의해 정의된 서브 화소 영역 내에는 발광층(60)이 형성되어 있다.

[0009]

상기 기판(10) 상의 패드 영역에는 상기 게이트 절연막(12)과 충간 절연막(14)이 형성되어 있고, 상기 충간 절

연막(14) 상에 신호 패드(70)가 형성되어 있고, 상기 신호 패드(70) 상에 상기 패시베이션층(20)이 형성되어 있다.

[0010] 상기 패시베이션층(20)에는 제2 콘택홀(CH2)이 구비되어 있어, 상기 제2 콘택홀(CH2)을 통해서 상기 신호 패드(70)가 외부로 노출된다. 상기 신호 패드(70)는 외부의 구동 회로와 연결되어야 하기 때문에, 상기 패시베이션층(20)에 형성된 제2 콘택홀(CH2)은 상기 신호 패드(70)를 외부의 구동 회로와 연결하기 위한 것이다.

[0011] 이와 같은 종래의 전계 발광 표시 장치는 다음과 같은 문제가 있다.

[0012] 종래의 경우 상기 신호 패드(70)를 외부의 구동 회로와 연결하기 위해서 상기 패시베이션층(20)에 제2 콘택홀(CH2)을 형성해야 한다. 이때, 상기 제2 콘택홀(CH2)을 상기 제1 콘택홀(CH1)과 동시에 형성할 수 있다면 공정이 추가되지 않는다.

[0013] 그러나, 상기 애노드 전극(40)을 패턴 형성하기 이전에 상기 제1 콘택홀(CH1)과 상기 제2 콘택홀(CH2)을 동시에 형성하게 되면, 상기 신호 패드(70)가 부식되는 문제가 발생하게 되고, 그에 따라 상기 제2 콘택홀(CH2)을 상기 제1 콘택홀(CH1)과 동시에 형성할 수 없다.

[0014] 구체적으로 설명하면, 상기 제1 콘택홀(CH1)에는 상기 애노드 전극(40)이 형성되지만 상기 제2 콘택홀(CH2)에는 상기 애노드 전극(40)이 형성되지 않기 때문에, 상기 애노드 전극(40)을 패턴 형성하는 공정에서 이용되는 식각액이 상기 제2 콘택홀(CH2)을 통해서 상기 신호 패드(70)의 상면으로 침투하게 되고, 그에 따라 상기 신호 패드(70)가 부식되는 문제가 발생한다.

[0015] 따라서, 상기 신호 패드(70)의 부식을 방지하기 위해서, 상기 제2 콘택홀(CH2)은 상기 애노드 전극(40)을 패턴 형성한 이후에 별도의 마스크 공정으로 형성하게 되며, 결국 상기 제2 콘택홀(CH2) 형성을 위해서 별도의 마스크 공정이 추가되어 공정이 복잡해지는 문제가 있다.

발명의 내용

해결하려는 과제

[0016] 본 발명은 전술한 종래의 문제점을 해결하기 위해 고안된 것으로서, 본 발명은 추가 공정 진행을 최소화하면서 신호 패드의 부식을 방지할 수 있는 전계 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0017] 상기 목적을 달성하기 위해서, 본 발명은 액티브 영역과 패드 영역을 포함하는 기판, 상기 기판의 액티브 영역에 구비된 애노드 전극, 상기 기판의 패드 영역에 구비된 패드 전극, 및 상기 애노드 전극과 상기 패드 전극 각각의 끝단을 가리면서 상기 애노드 전극과 상기 패드 전극 각각의 상면을 노출시키도록 구비된 제1 뱅크층을 포함하여 이루어진 전계 발광 표시 장치를 제공한다.

[0018] 본 발명은 또한 기판 상에 소스 전극, 드레인 전극 및 신호 패드를 형성하는 공정, 상기 소스 전극, 상기 드레인 전극 및 상기 신호 패드 상에 패시베이션층을 형성하는 공정, 상기 패시베이션층의 소정 영역을 제거하여 상기 소스 전극 또는 상기 드레인 전극의 소정 영역을 노출시키는 하나의 콘택홀과 상기 신호 패드의 소정 영역을 노출시키는 다른 하나의 콘택홀을 형성하는 공정, 상기 패시베이션층 상에서 상기 하나의 콘택홀을 통해서 상기 소스 전극 또는 상기 드레인 전극과 연결되는 애노드 전극 및 상기 다른 하나의 콘택홀을 통해서 상기 신호 패드와 연결되는 패드 전극을 형성하는 공정, 및 상기 애노드 전극과 상기 패드 전극 각각의 끝단을 가리면서 상기 애노드 전극과 상기 패드 전극 각각의 상면을 노출시키도록 제1 뱅크층을 형성하는 공정을 포함하는 전계 발광 표시 장치의 제조 방법을 제공한다.

발명의 효과

[0019] 이상과 같은 본 발명에 따르면 다음과 같은 효과가 있다.

[0020] 본 발명의 일 실시예에 따르면, 패드 전극은 외부로 노출되지만 외부로 노출되는 상기 패드 전극의 상면은 내식성이 우수한 도전물로 이루어질 수 있고, 상대적으로 부식에 취약한 상기 패드 전극의 측면은 제1 뱅크층에 의해 가려지기 때문에, 상기 패드 전극의 부식이 방지될 수 있다.

[0021] 또한, 본 발명의 일 실시예에 따르면, 패드 영역의 콘택홀을 액티브 영역의 콘택홀과 동시에 형성할 수 있기 때

문에, 패드 영역의 콘택홀을 형성하기 위한 별도의 마스크 공정이 필요하지 않다.

도면의 간단한 설명

[0022] 도 1은 종래의 전계 발광 표시 장치의 개략적인 단면도이다.

도 2는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 단면도이다.

도 3a 내지 도 3f는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 제조방법을 보여주는 공정 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0024] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐리 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급한 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0025] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0026] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치 할 수도 있다.

[0027] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0028] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0029] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0030] 이하, 도면을 참조로 본 발명의 바람직한 실시예에 대해서 상세히 설명하기로 한다.

[0031] 도 2는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 단면도이다.

[0032] 도 2에서 알 수 있듯이, 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 기판(100) 상에 구비된 액티브 영역(Active Area; AA) 및 패드 영역(Pad Area; PA)을 포함하여 이루어진다.

[0033] 상기 기판(100) 상의 액티브 영역(AA)에는 박막 트랜지스터(T), 패시베이션층(165), 평탄화층(170), 애노드 전극(180), 제1 뱅크층(190), 제2 뱅크층(200), 및 발광층(210)이 형성되어 있다.

[0034] 상기 박막 트랜지스터(T)는 액티브층(110), 게이트 절연막(120), 게이트 전극(130), 충간 절연막(140), 소스 전극(150) 및 드레인 전극(160)을 포함하여 이루어진다.

[0035] 상기 액티브층(110)은 상기 게이트 전극(130)과 중첩되도록 상기 기판(100) 상에 형성된다. 상기 액티브층(110)은 실리콘계 반도체 물질로 이루어질 수도 있고 산화물계 반도체 물질로 이루어질 수도 있다. 도시하지는 않았지만, 상기 기판(100)과 상기 액티브층(110) 사이에 차광막이 추가로 형성될 수 있으며, 이 경우 상기 기판(100)의 하면을 통해서 입사되는 외부광이 상기 차광막에 의해서 차단됨으로써 상기 액티브층(110)이 외부광에 의해서 손상되는 문제가 방지될 수 있다.

- [0036] 상기 게이트 절연막(120)은 상기 액티브층(110) 상에 형성된다. 상기 게이트 절연막(120)은 상기 액티브층(110)과 게이트 전극(130)을 절연시키는 기능을 수행한다. 상기 게이트 절연막(120)은 무기 절연 물질 예를 들어, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 이루어질 수 있으나, 반드시 그에 한정되는 것은 아니다. 상기 게이트 절연막(120)은 상기 패드 영역(PA)까지 연장될 수 있다.
- [0037] 상기 게이트 전극(130)은 상기 게이트 절연막(120) 상에 형성된다. 상기 게이트 전극(130)은 상기 게이트 절연막(120)을 사이에 두고 상기 액티브층(110)과 중첩되도록 형성된다.
- [0038] 상기 게이트 전극(130)은 하부 게이트 전극(131) 및 상부 게이트 전극(132)을 포함하여 이루어질 수 있다.
- [0039] 상기 하부 게이트 전극(131)은 상기 게이트 절연막(120) 상에 형성되어 상기 상부 게이트 전극(132)의 하면을 보호함으로써 상기 상부 게이트 전극(132)의 하면이 부식되는 것을 방지할 수 있다. 따라서, 상기 하부 게이트 전극(131)의 산화도는 상기 상부 게이트 전극(132)의 산화도보다 작을 수 있다. 즉, 상기 하부 게이트 전극(131)을 이루는 물질이 상기 상부 게이트 전극(132)을 이루는 물질보다 내식성이 강한 물질로 이루어질 수 있다. 상기 하부 게이트 전극(131)은 몰리브덴과 티타늄의 합금(MoTi)으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0040] 상기 상부 게이트 전극(132)은 상기 하부 게이트 전극(131)의 상면에 형성된다. 상기 상부 게이트 전극(132)은 저항이 낮은 금속인 구리(Cu)로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 상부 게이트 전극(132)은 상기 하부 게이트 전극(131)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있다. 상기 게이트 전극(130)의 전체 저항을 줄이기 위해서 상기 상부 게이트 전극(132)의 두께는 상기 하부 게이트 전극(131)의 두께보다 두껍게 형성되는 것이 바람직할 수 있다.
- [0041] 상기 충간 절연막(140)은 상기 게이트 전극(130) 상에 형성된다. 상기 충간 절연막(140)은 상기 게이트 절연막(120)과 동일한 무기 절연 물질 예를 들어, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x), 또는 이들의 다중막으로 형성될 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 충간 절연막(140)은 상기 패드 영역(PA)까지 연장될 수 있다.
- [0042] 상기 소스 전극(150) 및 드레인 전극(160)은 상기 충간 절연막(140) 상에서 서로 마주하도록 형성된다. 전술한 게이트 절연막(120)과 충간 절연막(140)에는 상기 액티브층(110)의 일단 영역을 노출시키는 제1 콘택홀(CH1) 및 상기 액티브층(110)의 타단 영역을 노출시키는 제2 콘택홀(CH2)이 구비되어 있고, 상기 소스 전극(150)은 상기 제2 콘택홀(CH2)을 통해서 상기 액티브층(110)의 타단 영역과 연결되고, 상기 드레인 전극(160)은 상기 제1 콘택홀(CH1)을 통해서 상기 액티브층(110)의 일단 영역과 연결된다.
- [0043] 상기 소스 전극(150)은 하부 소스 전극(151) 및 상부 소스 전극(152)을 포함하여 이루어질 수 있다.
- [0044] 상기 하부 소스 전극(151)은 상기 상부 소스 전극(152)의 하면을 보호함으로써 상기 상부 소스 전극(152)의 하면이 부식되는 것을 방지할 수 있다. 따라서, 상기 하부 소스 전극(151)의 산화도는 상기 상부 소스 전극(152)의 산화도보다 작을 수 있다. 즉, 상기 하부 소스 전극(151)을 이루는 물질이 상기 상부 소스 전극(152)을 이루는 물질보다 내식성이 강한 물질로 이루어질 수 있다. 상기 하부 소스 전극(151)은 몰리브덴과 티타늄의 합금(MoTi)으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0045] 상기 상부 소스 전극(152)은 상기 하부 소스 전극(151)의 상면에 형성된다. 상기 상부 소스 전극(152)은 저항이 낮은 금속인 구리(Cu)로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 상부 소스 전극(152)은 상기 하부 소스 전극(151)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있다. 상기 소스 전극(150)의 전체 저항을 줄이기 위해서 상기 상부 소스 전극(152)의 두께는 상기 하부 소스 전극(151)의 두께보다 두껍게 형성되는 것이 바람직할 수 있다.
- [0046] 상기 드레인 전극(160)은 전술한 소스 전극(150)과 유사하게 하부 드레인 전극(161) 및 상부 드레인 전극(162)을 포함하여 이루어질 수 있다.
- [0047] 상기 하부 드레인 전극(161)은 상기 상부 드레인 전극(162)의 하면이 부식되는 것을 방지할 수 있다. 따라서, 상기 하부 드레인 전극(161)의 산화도는 상기 상부 드레인 전극(162)의 산화도보다 작을 수 있다. 즉, 상기 하부 드레인 전극(161)을 이루는 물질이 상기 상부 드레인 전극(162)을 이루는 물질보다 내식성이 강한 물질로 이루어질 수 있다. 이와 같이, 상기 하부 드레인 전극(161)은 전술한 하부 소스 전극(151)과 동일한 몰리브덴과 티타늄의 합금(MoTi)으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.

- [0048] 상기 상부 드레인 전극(162)은 상기 하부 드레인 전극(161)의 상면에 형성되며, 전술한 상부 소스 전극(152)과 동일한 구리(Cu)로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 상부 드레인 전극(162)의 두께는 상기 하부 드레인 전극(161)의 두께보다 두껍게 형성되는 것이 상기 드레인 전극(160)의 전체 저항을 줄이는데 바람직 할 수 있다.
- [0049] 상기 상부 드레인 전극(162)은 상기 상부 소스 전극(152)과 동일한 물질 및 동일한 두께로 형성될 수 있고, 상기 하부 드레인 전극(161)은 상기 하부 소스 전극(151)과 동일한 물질 및 동일한 두께로 형성될 수 있으며, 이 경우 드레인 전극(160)과 소스 전극(150)을 동일한 공정을 통해 동시에 형성할 수 있는 장점이 있다.
- [0050] 이상과 같은 박막 트랜지스터(T)의 구성은 도시된 구조로 한정되지 않고, 당업자에게 공지된 구성으로 다양하게 변형 가능하다. 예로서, 도면에는 게이트 전극(130)이 액티브층(110)의 위에 형성되는 탑 게이트 구조(Top Gate) 구조를 도시하였지만, 게이트 전극(130)이 액티브층(110)의 아래에 형성되는 바텀 게이트 구조(Bottom Gate) 구조로 이루어질 수도 있다.
- [0051] 상기 패시베이션층(165)은 상기 박막 트랜지스터(T) 상에, 보다 구체적으로는, 상기 소스 전극(150) 및 드레인 전극(160)의 상면 상에 형성되어 있다. 상기 패시베이션층(165)은 상기 박막 트랜지스터(T)를 보호하는 기능을 하며, 이와 같은 패시베이션층(165)은 무기 절연 물질 예를 들어, 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)으로 이루어질 수 있으나, 반드시 그에 한정되는 것은 아니다. 상기 패시베이션층(165)은 상기 패드 영역(PA)까지 연장될 수 있다.
- [0052] 상기 평탄화층(170)은 상기 패시베이션층(165) 상에 형성된다. 상기 평탄화층(170)은 상기 박막 트랜지스터(T)가 구비되어 있는 상기 기판(100) 상부를 평탄하게 해주는 기능을 수행한다. 상기 평탄화층(170)은 아크릴 수지(acryl resin), 에폭시 수지(epoxy resin), 폐놀 수지(phenolic resin), 폴리아미드 수지(polyamide resin), 폴리이미드 수지(polyimide resin) 등의 유기 절연물로 이루어질 수 있으나, 반드시 그에 한정되는 것은 아니다. 상기 평탄화층(170)은 상기 패드 영역(PA)까지 연장되지 않을 수 있다.
- [0053] 상기 애노드 전극(180)은 상기 평탄화층(170) 상에 형성되어 있다.
- [0054] 상기 패시베이션층(165)과 평탄화층(170)에는 상기 소스 전극(150)을 노출시키는 제3 콘택홀(CH3)이 구비되어 있으며, 상기 제3 콘택홀(CH3)을 통하여 상기 소스 전극(150)과 상기 애노드 전극(180)이 연결된다. 다만, 경우에 따라 상기 패시베이션층(165)과 평탄화층(170)에 구비된 제3 콘택홀(CH3)이 상기 드레인 전극(160)을 노출시키도록 형성되어, 상기 제3 콘택홀(CH3)을 통해서 상기 드레인 전극(160)과 상기 애노드 전극(180)이 연결되는 것도 가능하다.
- [0055] 상기 애노드 전극(180)은 상기 발광층(210)에서 발광된 광을 상부 방향으로 반사시키는 반사 전극으로 이루어질 수 있으며, 이 경우, 본 발명의 일 실시예에 따른 전계 발광 표시 장치는 상부 발광 방식 전계 발광 표시 장치로 이루어진다.
- [0056] 상기 애노드 전극(180)은 하부 애노드 전극(181), 중앙 애노드 전극(182), 및 상부 애노드 전극(183)을 포함하여 이루어질 수 있다.
- [0057] 상기 하부 애노드 전극(181)은 상기 평탄화층(170)과 상기 중앙 애노드 전극(182) 사이에 형성된다. 상기 하부 애노드 전극(181)은 상기 중앙 애노드 전극(182)의 하면을 보호함으로써 상기 중앙 애노드 전극(182)의 하면이 부식되는 것을 방지할 수 있다. 따라서, 상기 하부 애노드 전극(181)의 산화도는 상기 중앙 애노드 전극(182)의 산화도보다 작을 수 있다. 즉, 상기 하부 애노드 전극(181)을 이루는 물질이 상기 중앙 애노드 전극(182)을 이루는 물질보다 내식성이 강한 물질로 이루어질 수 있다. 또한, 상기 하부 애노드 전극(181)은 상기 상부 소스 전극(152)의 상면이 부식되는 것을 방지할 수 있다. 따라서, 상기 하부 애노드 전극(181)의 산화도는 상기 상부 소스 전극(152)의 산화도보다 작을 수 있다. 즉, 상기 하부 애노드 전극(181)을 이루는 물질이 상기 상부 소스 전극(152)을 이루는 물질보다 내식성이 강한 물질로 이루어질 수 있다. 이와 같이, 상기 하부 애노드 전극(181)이 상기 상부 소스 전극(152)의 상면 부식을 방지할 수 있기 때문에, 상기 소스 전극(150)을 전술한 2층 구조로 형성하는 것이 가능하다.
- [0058] 상기 하부 애노드 전극(181)은 부식 방지층의 역할을 수행하는 것으로서, ITO와 같은 투명 도전물로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0059] 상기 중앙 애노드 전극(182)은 상기 하부 애노드 전극(181)과 상기 상부 애노드 전극(183) 사이에 형성된다. 상

기 중앙 애노드 전극(182)은 상기 하부 애노드 전극(181) 및 상기 상부 애노드 전극(183)보다 저항이 낮고 반사 도가 우수한 물질로 이루어지며, 예로서 은(Ag)으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상대적으로 저항이 낮은 중앙 애노드 전극(182)의 두께는 상대적으로 저항이 높은 하부 애노드 전극(181) 및 상부 애노드 전극(183) 각각의 두께보다 두껍게 형성되는 것이 애노드 전극(180)의 전체 저항을 줄일 수 있어 바람직할 수 있다.

[0060] 상기 상부 애노드 전극(183)은 상기 중앙 애노드 전극(182)의 상면에 형성되어, 상기 중앙 애노드 전극(182)의 상면이 부식되는 것을 방지할 수 있다. 따라서, 상기 상부 애노드 전극(183)의 산화도는 상기 중앙 애노드 전극(182)의 산화도보다 작을 수 있다. 즉, 상기 상부 애노드 전극(183)을 이루는 물질이 상기 중앙 애노드 전극(182)을 이루는 물질보다 내식성이 강한 물질로 이루어질 수 있다. 이와 같은 상부 애노드 전극(183)은 ITO와 같은 투명 도전물로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.

[0061] 상기 제1 뱅크층(190)은 상기 애노드 전극(180) 및 상기 평탄화층(170) 상에 형성된다.

[0062] 상기 제1 뱅크층(190)는 상기 애노드 전극(180)의 상면을 노출시키면서 상기 애노드 전극(180)의 양 끝단을 가리도록 형성된다. 상기 제1 뱅크층(190)에 의해서 서브 화소 별로 발광 영역이 마련된다.

[0063] 또한, 상기 제1 뱅크층(190)이 상기 애노드 전극(180)의 양 끝단을 가리도록 형성됨으로써, 부식에 취약한 상기 중앙 애노드 전극(182)의 측면이 외부로 노출되는 것이 방지되어 상기 중앙 애노드 전극(182)의 측면이 부식되는 것을 방지할 수 있다.

[0064] 상기 제1 뱅크층(190)은 상기 제2 뱅크층(200)보다 얇은 두께로 형성되며, 상기 제2 뱅크층(200)보다 넓은 폭을 가지도록 형성된다. 이와 같은 구조를 가지는 제1 뱅크층(190)은 상기 발광층(210)과 동일한 친수성 성질을 가지고 있다. 상기 친수성 성질을 가지는 제1 뱅크층(190)은 실리콘 산화물과 같은 무기 절연물로 이루어질 수 있다. 따라서, 상기 발광층(210) 형성을 위한 용액을 도포할 때 상기 제1 뱅크층(190) 상에서 상기 용액의 퍼짐성이 향상될 수 있다.

[0065] 상기 제2 뱅크층(200)은 상기 제1 뱅크층(190) 상에 패턴 형성되어 있다.

[0066] 상기 제2 뱅크층(200)은 상기 제1 뱅크층(190)보다 좁은 폭을 가지도록 형성된다. 상기 제2 뱅크층(200)은 친수성을 가지는 유기 절연물에 불소(fluorine)와 같은 소수성 물질을 혼합한 용액을 도포한 후 포토리소그라피 공정을 통해 패턴 형성될 수 있다. 상기 포토리소그라피 공정시 조사되는 광에 의해 상기 불소와 같은 소수성 물질이 제2 뱅크층(200)의 상부(200a)로 이동할 수 있고, 그에 따라 상기 제2 뱅크층(200)의 상부(200a)는 소수성 성질을 가지게 되고 그 외의 부분은 친수성 성질을 가지게 된다. 즉, 상기 제1 뱅크층(190)과 접하는 상기 제2 뱅크층(200)의 부분은 친수성 성질을 가지고, 상기 제2 뱅크층(200)의 상부(200a)는 소수성 성질을 가지게 된다. 다만, 반드시 그에 한정되는 것은 아니고, 상기 제2 뱅크층(200)의 전체 부분이 소수성 성질을 가지도록 구비될 수도 있다.

[0067] 상기 친수성 성질을 가지는 제1 뱅크층(190)과 제2 뱅크층(200)의 부분에 의해서 상기 발광층(210) 형성을 위한 용액의 퍼짐성이 향상될 수 있다. 특히, 상기 제1 뱅크층(190)이 상기 제2 뱅크층(200)보다 얇은 두께로 넓은 폭을 가지도록 형성되어 있기 때문에, 상기 제1 뱅크층(190)과 상기 제2 뱅크층(200)의 조합에 의해서 친수성 성질의 2단(step) 구조가 마련되어 상기 발광층(210) 형성을 위한 용액이 서브 화소의 끝단 쪽으로 용이하게 퍼져나갈 수 있게 되고, 그에 따라 서브 화소의 끝단 영역에서 상기 발광층(210)이 두꺼운 두께로 말려 올라가는 문제가 방지될 수 있다.

[0068] 또한, 상기 소수성 성질을 가지는 제2 뱅크층(200)의 상부(200a)에 의해서 상기 발광층(210) 형성을 위한 용액이 서로 이웃하는 서브 화소로 퍼져나가는 것이 방지되어, 이웃하는 서브 화소 사이에서 발광층(210)이 서로 섞이는 문제가 방지될 수 있다. 따라서, 상기 뱅크층(190, 200)은 이웃하는 서브 화소 사이의 경계에 형성된다.

[0069] 상기 발광층(210)은 상기 애노드 전극(180) 상에 형성된다.

[0070] 상기 발광층(210)은 적색(R)의 광을 발광하도록 구비되거나, 녹색(G)의 광을 발광하도록 구비되거나, 청색(B)의 광을 발광하도록 구비될 수 있지만, 반드시 그에 한정되는 것은 아니고, 백색(W)의 광을 발광하도록 구비될 수도 있다.

[0071] 상기 발광층(210)은 잉크젯 장비 등을 이용한 용액 공정으로 형성된다.

[0072] 상기 용액 공정으로 형성되는 발광층(210)은 정공 주입층(Hole Injecting Layer), 정공 수송층(Hole

Transporting Layer), 발광층(Emitting Layer), 전자 수송층(Electron Transporting Layer), 및 전자 주입층(Electron Injecting Layer) 중 적어도 하나의 유기층을 포함하여 이루어질 수 있다. 경우에 따라서, 상기 발광층(210)은 퀀텀 도트(Quantum dot)와 같은 무기물로 이루어질 수도 있다

[0073] 예를 들어, 상기 발광층(210)은 차례로 적층된 정공 주입층(Hole Injecting Layer), 정공 수송층(Hole Transporting Layer), 발광층(Emitting Layer), 전자 수송층(Electron Transporting Layer), 및 전자 주입층(Electron Injecting Layer)의 조합으로 이루어질 수 있다.

[0074] 경우에 따라서, 상기 발광층(210)은 차례로 적층된 정공 주입층(Hole Injecting Layer), 정공 수송층(Hole Transporting Layer), 및 발광층(Emitting Layer)의 조합으로 이루어질 수 있으며, 이 경우, 상기 발광층(210)의 상부에는 증발법(Evaporation) 등의 증착 공정으로 형성된 전자 수송층(Electron Transporting Layer) 및 전자 주입층(Electron Injecting Layer)이 추가로 형성될 수 있다. 도시하지는 않았지만, 상기 증착 공정으로 형성된 전자 수송층 및 전자 주입층은 서브 화소 별로 구분되도록 패턴 형성되지 않고 상기 발광층(210) 뿐만 아니라 상기 제2 뱅크층(200) 상에도 형성될 수 있다.

[0075] 도시하지는 않았지만, 상기 발광층(210)과 상기 제2 뱅크층(200) 상에는 캐소드(Cathode) 전극이 추가로 형성될 수 있다.

[0076] 상기 기판(100) 상의 패드 영역(PA)에는 게이트 절연막(120), 제1 신호 패드(300), 충간 절연막(140), 제2 신호 패드(400), 패시베이션층(165), 패드 전극(500), 및 제1 뱅크층(190)이 형성되어 있다.

[0077] 상기 게이트 절연막(120)은 상기 기판(100) 상에 형성되어 있다. 상기 게이트 절연막(120)은 상기 액티브 영역(AA)으로부터 연장되어 상기 패드 영역(PA)의 전체 면 상에 형성되어 있다.

[0078] 상기 제1 신호 패드(300)는 상기 게이트 절연막(120) 상에 형성되어 있다. 상기 제1 신호 패드(300)는 전술한 액티브 영역(AA)의 게이트 전극(130)과 동일한 층에 형성될 수 있다.

[0079] 상기 제1 신호 패드(300)는 제1 하부 신호 패드(301) 및 제1 상부 신호 패드(302)를 포함하여 이루어질 수 있다.

[0080] 상기 제1 하부 신호 패드(301)는 상기 제1 상부 신호 패드(302)의 하면이 부식되는 것을 방지할 수 있다. 따라서, 상기 제1 하부 신호 패드(301)의 산화도는 상기 제1 상부 신호 패드(302)의 산화도보다 작을 수 있다. 즉, 상기 제1 하부 신호 패드(301)를 이루는 물질이 상기 제1 상부 신호 패드(302)를 이루는 물질보다 내식성이 강한 물질로 이루어질 수 있다.

[0081] 상기 제1 상부 신호 패드(302)는 상기 제1 하부 신호 패드(301)의 상면에 형성된다. 상기 제1 상부 신호 패드(302)는 저항이 낮은 금속인 구리(Cu)로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 제1 상부 신호 패드(302)는 상기 제1 하부 신호 패드(301)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있으며, 상기 제1 신호 패드(300)의 전체 저항을 줄이기 위해서 상기 제1 상부 신호 패드(302)의 두께는 상기 제1 하부 신호 패드(301)의 두께보다 두껍게 형성되는 것이 바람직할 수 있다.

[0082] 상기 제1 상부 신호 패드(302)는 상기 상부 게이트 전극(132)과 동일한 물질 및 동일한 두께로 형성될 수 있고, 상기 제1 하부 신호 패드(301)는 상기 하부 게이트 전극(131)과 동일한 물질 및 동일한 두께로 형성될 수 있으며, 이 경우 상기 제1 신호 패드(300)와 상기 게이트 전극(130)을 동일한 공정을 통해 동시에 형성할 수 있는 장점이 있다.

[0083] 상기 충간 절연막(140)은 상기 제1 신호 패드(300) 상에 형성되어 있다. 상기 충간 절연막(140)은 상기 액티브 영역(AA)으로부터 연장되어 있다. 상기 충간 절연막(140)에는 제4 콘택홀(CH4)이 형성되어 있어, 상기 제4 콘택홀(CH4)을 통해서 상기 제1 신호 패드(300) 일부의 상면이 노출될 수 있다.

[0084] 상기 제2 신호 패드(400)는 상기 충간 절연막(140) 상에 형성되어 있다. 상기 제2 신호 패드(400)는 전술한 액티브 영역(AA)의 소스 전극(150) 및 드레인 전극(160)과 동일한 층에 형성될 수 있다.

[0085] 상기 제2 신호 패드(400)는 상기 제4 콘택홀(CH4)을 통해서 상기 제1 신호 패드(300)와 전기적으로 연결된다.

[0086] 상기 제2 신호 패드(400)는 제2 하부 신호 패드(401) 및 제2 상부 신호 패드(402)를 포함하여 이루어질 수 있다.

[0087] 상기 제2 하부 신호 패드(401)는 상기 제2 상부 신호 패드(402)의 하면이 부식되는 것을 방지할 수 있다. 따라

서, 상기 제2 하부 신호 패드(401)의 산화도는 상기 제2 상부 신호 패드(402)의 산화도보다 작을 수 있다. 즉, 상기 제2 하부 신호 패드(401)를 이루는 물질이 상기 제2 상부 신호 패드(402)를 이루는 물질보다 내식성이 강한 물질로 이루어질 수 있다.

[0088] 상기 제2 상부 신호 패드(402)는 상기 제2 하부 신호 패드(401)의 상면에 형성된다. 상기 제2 상부 신호 패드(402)는 저항이 낮은 금속인 구리(Cu)로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상기 제2 상부 신호 패드(402)는 상기 제2 하부 신호 패드(401)에 비하여 상대적으로 저항이 낮은 금속으로 이루어질 수 있으며, 상기 제2 신호 패드(400)의 전체 저항을 줄이기 위해서 상기 제2 상부 신호 패드(402)의 두께는 상기 제2 하부 신호 패드(401)의 두께보다 두껍게 형성되는 것이 바람직할 수 있다.

[0089] 상기 제2 상부 신호 패드(402)는 상기 상부 소스 전극(152) 및 상기 상부 드레인 전극(162)과 동일한 물질 및 동일한 두께로 형성될 수 있고, 상기 제2 하부 신호 패드(401)는 상기 하부 소스 전극(151) 및 상기 하부 드레인 전극(161)과 동일한 물질 및 동일한 두께로 형성될 수 있으며, 이 경우 제2 신호 패드(400)와 상기 소스 전극(150) 및 상기 드레인 전극(160)을 동일한 공정을 통해 동시에 형성할 수 있는 장점이 있다.

[0090] 상기 패시베이션층(165)은 상기 제2 신호 패드(400) 상에 형성되어 있다. 상기 패시베이션층(165)은 상기 액티브 영역(AA)으로부터 연장되어 있다. 상기 패시베이션층(165)에는 상기 제2 신호 패드(400)의 일부를 노출시키는 제5 콘택홀(CH5)이 구비되어 있다.

[0091] 상기 패드 전극(500)은 상기 패시베이션층(165) 상에 형성되어 있다. 상기 패드 전극(500)은 상기 제5 콘택홀(CH5)을 통하여 상기 제2 신호 패드(400)와 전기적으로 연결된다.

[0092] 상기 패드 전극(500)은 상기 제2 신호 패드(400)의 상면을 보호한다. 상기 제2 신호 패드(400)의 상면은 상대적으로 부식에 취약한 제2 상부 신호 패드(402)로 이루어지기 때문에, 상기 패드 전극(500)이 상기 제5 콘택홀(CH5)을 통해서 노출된 상기 제2 상부 신호 패드(402)의 상면을 가리도록 형성됨으로써 상기 제2 상부 신호 패드(402)의 부식을 방지하게 된다.

[0093] 상기 패드 전극(500)은 전술한 애노드 전극(180)과 유사하게 하부 패드 전극(501), 중앙 패드 전극(502) 및 상부 패드 전극(503)을 포함하여 이루어질 수 있다.

[0094] 상기 하부 패드 전극(501)은 상기 제2 상부 신호 패드(402)와 상기 중앙 패드 전극(502) 사이에 형성되어 상기 제2 상부 신호 패드(402)의 상면 및 상기 중앙 패드 전극(502)의 하면이 부식되는 것을 방지할 수 있다. 따라서, 상기 하부 패드 전극(501)의 산화도는 상기 제2 상부 신호 패드(402) 및 상기 중앙 패드 전극(502) 각각의 산화도보다 작을 수 있다. 즉, 상기 하부 패드 전극(501)을 이루는 물질이 상기 제2 상부 신호 패드(402) 및 상기 중앙 패드 전극(502) 각각을 이루는 물질보다 내식성이 강한 물질로 이루어질 수 있다.

[0095] 상기 중앙 패드 전극(502)은 상기 하부 패드 전극(501)과 상기 상부 패드 전극(503) 사이에 형성되며, 전술한 중앙 애노드 전극(182)과 동일한 은(Ag)으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다. 상대적으로 저항이 낮은 중앙 패드 전극(502)의 두께는 상대적으로 저항이 높은 하부 패드 전극(501) 및 상부 패드 전극(503) 각각의 두께보다 두껍게 형성되는 것이 패드 전극(500)의 전체 저항을 줄일 수 있어 바람직하다.

[0096] 상기 상부 패드 전극(503)은 상기 중앙 패드 전극(502)의 상면에 형성되어, 상기 중앙 패드 전극(502)의 상면이 부식되는 것을 방지할 수 있다. 따라서, 상기 상부 패드 전극(503)의 산화도는 상기 중앙 패드 전극(502)의 산화도보다 작을 수 있다. 즉, 상기 상부 패드 전극(503)을 이루는 물질이 상기 중앙 패드 전극(502)을 이루는 물질보다 내식성이 강한 물질로 이루어질 수 있다.

[0097] 상기 상부 패드 전극(503)은 상기 상부 애노드 전극(183)과 동일한 물질 및 동일한 두께로 형성될 수 있고, 상기 중앙 패드 전극(502)은 상기 중앙 애노드 전극(182)과 동일한 물질 및 동일한 두께로 형성될 수 있고, 상기 하부 패드 전극(501)은 상기 하부 애노드 전극(181)과 동일한 물질 및 동일한 두께로 형성될 수 있으며, 이 경우 상기 패드 전극(500) 및 상기 애노드 전극(180)을 동일한 공정을 통해 동시에 형성할 수 있는 장점이 있다.

[0098] 상기 제1 뱅크층(190)은 상기 패드 전극(500) 상에 형성되어 있다. 상기 패드 영역(PA)에 형성된 제1 뱅크층(190)은 상기 액티브 영역(AA)에 형성된 제1 뱅크층(190)과 동일한 물질 및 동일한 두께로 동시에 형성된다.

[0099] 상기 제1 뱅크층(190)에는 상기 패드 전극(500)의 일부를 노출시키는 제6 콘택홀(CH6)이 구비되어 있다. 따라서, 상기 패드 전극(500)은 상기 제6 콘택홀(CH6)을 통해서 노출되어 외부의 구동 회로와 전기적으로 연결될 수 있다.

- [0100] 특히, 상기 제1 뱅크층(190)는 상기 패드 전극(500)의 상면을 노출시키면서 상기 패드 전극(500)의 양 끝단을 가리도록 형성된다. 따라서, 부식에 취약한 상기 패드 전극(500)의 측면, 특히, 중앙 패드 전극(502)의 측면이 외부로 노출되는 것이 방지되어 상기 패드 전극(500)의 측면이 부식되는 것을 방지할 수 있다.
- [0101] 이와 같은 본 발명의 일 실시예에 따르면, 상기 제2 신호 패드(400)가 상기 제4 콘택홀(CH4)을 통해서 노출된 상기 제1 신호 패드(300)의 상면을 가리기 때문에 상기 제1 신호 패드(300)의 부식이 방지될 수 있고, 상기 패드 전극(500)이 상기 제5 콘택홀(CH5)을 통해서 노출된 상기 제2 신호 패드(400)의 상면을 가리기 때문에 상기 제2 신호 패드(400)의 부식이 방지될 수 있다.
- [0102] 또한, 상기 패드 전극(500)은 상기 제6 콘택홀(CH6)을 통해서 외부로 노출되지만 외부로 노출되는 상기 상부 패드 전극(503)은 내식성이 우수한 도전물로 이루어지고, 상대적으로 부식에 취약한 상기 패드 전극(500)의 측면은 상기 제1 뱅크층(190)에 의해 가려지기 때문에, 상기 패드 전극(500)의 부식이 방지될 수 있다.
- [0103] 특히, 본 발명의 일 실시예에 따르면, 패드 영역(PA)의 제4 콘택홀(CH4)은 액티브 영역(AA)의 제1 콘택홀(CH1) 및 상기 제2 콘택홀(CH2)과 동시에 형성될 수 있고, 패드 영역(PA)의 제5 콘택홀(CH5)은 액티브 영역(AA)의 제3 콘택홀(CH3)과 동시에 형성될 수 있고, 패드 영역(PA)의 제6 콘택홀(CH6)을 구비한 제1 뱅크층(190)은 액티브 영역(AA)의 제1 뱅크층(190)과 동시에 형성될 수 있기 때문에, 상기 제4 콘택홀(CH4), 제5 콘택홀(CH5), 및 제6 콘택홀(CH6) 형성을 위한 별도의 마스크 공정이 필요하지 않은 장점이 있다.
- [0104] 도 3a 내지 도 3f는 본 발명의 일 실시예에 따른 전계 발광 표시 장치의 제조방법을 보여주는 공정 단면도로서, 이는 전술한 도 2에 따른 전계 발광 표시 장치의 제조방법에 관한 것이다. 따라서, 동일한 구성에 대해서는 동일한 도면부호를 부여하였고, 각각의 구성의 물질 및 구조 등에 있어서 반복되는 부분에 대한 중복 설명은 생략된다.
- [0105] 우선, 도 3a에서 알 수 있듯이, 기판(100) 상에 액티브층(110), 게이트 절연막(120), 게이트 전극(130), 층간 절연막(140), 소스 전극(150), 드레인 전극(160), 제1 신호 패드(300), 및 제2 신호 패드(400)를 차례로 형성한다.
- [0106] 보다 구체적으로 설명하면, 상기 기판(100) 상에 상기 액티브층(110)을 형성하고, 상기 액티브층(110) 상에 상기 게이트 절연막(120)을 형성하고, 상기 게이트 절연막(120) 상에 상기 게이트 전극(130)과 상기 제1 신호 패드(300)를 형성하고, 상기 게이트 전극(130)과 상기 제1 신호 패드(300) 상에 상기 층간 절연막(140)을 형성하고, 상기 게이트 절연막(120) 및 상기 층간 절연막(140)의 소정 영역을 제거하여 제1 콘택홀(CH1)과 제2 콘택홀(CH2)을 형성함과 더불어 상기 층간 절연막(140)의 소정 영역을 제거하여 제4 콘택홀(CH4)을 형성하고, 그 후 상기 제1 콘택홀(CH1)을 통해서 상기 액티브층(110)의 일단 영역과 연결되는 상기 드레인 전극(160), 상기 제2 콘택홀(CH2)을 통해 상기 액티브층(110)의 타단 영역과 연결되는 상기 소스 전극(150), 그리고 상기 제4 콘택홀(CH4)을 통해 상기 제1 신호 패드(300)와 연결되는 상기 제2 신호 패드(400)를 형성한다.
- [0107] 여기서, 상기 액티브층(110), 상기 게이트 전극(130), 상기 소스 전극(150), 및 상기 드레인 전극(160)은 액티브 영역(AA)에 형성하고, 상기 게이트 절연막(120) 및 상기 층간 절연막(140)은 액티브 영역(AA)에서 패드 영역(PA)까지 연장되도록 형성하고, 상기 제1 신호 패드(300) 및 상기 제2 신호 패드(400)는 패드 영역(PA)에 형성한다. 이와 같은 공정에 의해서, 상기 액티브 영역(AA)에 박막 트랜지스터(T)가 형성되고, 상기 패드 영역(PA)에 상기 제1 신호 패드(300) 및 상기 제2 신호 패드(400)가 형성된다.
- [0108] 상기 제1 콘택홀(CH1), 상기 제2 콘택홀(CH2), 및 상기 제4 콘택홀(CH4)은 동일한 마스크 공정을 통해 동시에 형성할 수 있다.
- [0109] 상기 게이트 전극(130)은 하부 게이트 전극(131)과 상부 게이트 전극(132)으로 이루어지고, 상기 제1 신호 패드(300)는 제1 하부 신호 패드(301) 및 제1 상부 신호 패드(302)로 이루어진다. 이와 같은 게이트 전극(130) 및 제1 신호 패드(300)는 동일한 물질로 동일한 패터닝 공정에 의해서 동시에 형성할 수 있다.
- [0110] 상기 소스 전극(150)은 하부 소스 전극(151)과 상부 소스 전극(152)으로 이루어지고, 상기 드레인 전극(160)은 하부 드레인 전극(161)과 상부 드레인 전극(162)으로 이루어지고, 상기 제2 신호 패드(400)는 제2 하부 신호 패드(401)와 제2 상부 신호 패드(402)로 이루어진다. 이와 같은 소스 전극(150), 드레인 전극(160), 및 제2 신호 패드(400)는 동일한 물질로 동일한 패터닝 공정에 의해서 동시에 형성할 수 있다.
- [0111] 다음, 도 3b에서 알 수 있듯이, 상기 소스 전극(150), 상기 드레인 전극(160), 및 상기 제2 신호 패드(400) 상에 패시베이션층(165)을 형성하고, 상기 패시베이션층(165) 상에 평탄화층(170)을 형성하고, 상기 평탄화층

(170)과 상기 패시베이션층(165)의 소정 영역을 제거하여 제3 콘택홀(CH3)을 형성함과 더불어 상기 패시베이션층(165)의 소정 영역을 제거하여 제5 콘택홀(CH5)을 형성한다.

[0112] 상기 패시베이션층(165)은 액티브 영역(AA)에서 패드 영역(PA)까지 연장되도록 형성하고, 상기 평탄화층(170)은 액티브 영역(AA)에 형성한다. 상기 패드 영역(PA)에는 박막 트랜지스터가 형성되지 않기 때문에 그 표면을 평탄화시킬 필요성이 적으며, 따라서 상기 패드 영역(PA)에는 상기 평탄화층(170)을 형성하지 않을 수 있다.

[0113] 상기 패시베이션층(165) 및 상기 평탄화층(170)에 구비된 제3 콘택홀(CH3)에 의해서 상기 소스 전극(150)이 외부로 노출되고, 상기 패시베이션층(165)에 구비된 제5 콘택홀(CH5)에 의해서 상기 제2 신호 패드(400)가 외부로 노출된다. 한편, 상기 제3 콘택홀(CH3)을 통해 상기 드레인 전극(160)이 외부로 노출되도록 할 수도 있다.

[0114] 본 발명의 일 실시예에 따르면, 상기 소스 전극(150) 또는 드레인 전극(160)을 외부로 노출시키기 위한 상기 제3 콘택홀(CH3)과 상기 제2 신호 패드(400)를 외부로 노출시키기 위한 상기 제5 콘택홀(CH5)를 동시에 형성할 수 있으며, 그에 따라 하나의 마스크 공정을 통해서 상기 제3 콘택홀(CH3)과 상기 제5 콘택홀(CH5)을 형성할 수 있어 마스크 공정 증가를 방지할 수 있다.

[0115] 이에 대해서 구체적으로 설명하면, 상기 제5 콘택홀(CH5)에 의해서 노출되는 제2 상부 신호 패드(402)는 부식에 취약하기 때문에 상기 제2 상부 신호 패드(402)에 식각액 등이 접촉하지 않도록 해야 하는데, 본 발명의 일 실시예에 따르면, 후술하는 도 3c 공정에 의해서 상기 노출되는 제2 상부 신호 패드(402)를 패드 전극(500)으로 덮기 때문에 상기 제2 상부 신호 패드(402)에 식각액 등이 접촉할 염려가 없다. 그와 같은 이유로 인해서, 상기 제5 콘택홀(CH5)을 상기 제3 콘택홀(CH3)과 동시에 형성할 수 있다.

[0116] 다음, 도 3c에서 알 수 있듯이, 상기 액티브 영역(AA) 내의 평탄화층(170) 상에 애노드 전극(180)을 형성하고, 상기 패드 영역(PA) 내의 패시베이션층(165) 상에 패드 전극(500)을 형성한다.

[0117] 상기 애노드 전극(180)은 상기 제3 콘택홀(CH3)을 통해서 상기 소스 전극(150) 또는 상기 드레인 전극(160)과 연결되도록 형성하고, 상기 패드 전극(500)은 상기 제5 콘택홀(CH5)을 통해서 상기 제2 신호 패드(400)와 연결되도록 형성한다.

[0118] 상기 애노드 전극(180)은 하부 애노드 전극(181), 중앙 애노드 전극(182) 및 상부 애노드 전극(183)으로 이루어지고, 상기 패드 전극(500)은 하부 패드 전극(501), 중앙 패드 전극(502) 및 상부 패드 전극(503)으로 이루어진다.

[0119] 상기 애노드 전극(180), 및 상기 패드 전극(500)은 서로 동일한 물질을 동일한 패터닝 공정을 통해서 동시에 형성할 수 있다.

[0120] 다음, 도 3d에서 알 수 있듯이, 상기 애노드 전극(180)의 상면을 노출시키면서 상기 애노드 전극(180)의 양 끝단을 가리는 제1 뱅크층(190)을 상기 액티브 영역(AA)에 형성함과 더불어 상기 패드 전극(500)의 상면을 노출시키면서 상기 패드 전극(500)의 양 끝단을 가리는 제1 뱅크층(190)을 상기 패드 영역(PA)에 형성한다.

[0121] 이때, 상기 패드 영역(PA)에 형성된 상기 제1 뱅크층(190)은 제6 콘택홀(CH6)을 구비하도록 형성하며, 따라서 상기 제6 콘택홀(CH6)에 의해서 상기 패드 전극(500)의 상면이 노출된다.

[0122] 상기 액티브 영역(AA)의 제1 뱅크층(190)과 상기 패드 영역(PA)의 제1 뱅크층(190)은 서로 동일한 물질로 동일한 공정을 통해 동시에 형성한다.

[0123] 다음, 도 3e에서 알 수 있듯이, 상기 액티브 영역(AA)에 구비된 상기 제1 뱅크층(190) 상에 제2 뱅크층(200)을 형성한다.

[0124] 상기 제2 뱅크층(200)은 상기 제1 뱅크층(190)보다 좁은 폭을 가지도록 형성한다. 상기 제2 뱅크층(200)은 친수성을 가지는 유기 절연물에 불소(fluorine)와 같은 소수성 물질을 혼합한 용액을 도포한 후 포토리소그라피 공정을 통해 패턴 형성할 수 있다. 상기 포토리소그라피 공정시 조사되는 광에 의해 상기 불소와 같은 소수성 물질이 제2 뱅크층(200)의 상부(200a)로 이동할 수 있고, 그에 따라 상기 제2 뱅크층(200)의 상부(200a)는 소수성 성질을 가지게 되고 그 외의 부분은 친수성 성질을 가지게 된다.

[0125] 다음, 도 3f에서 알 수 있듯이, 상기 애노드 전극(180) 상에 발광층(210)을 형성한다.

[0126] 한편, 도시하지는 않았지만, 상기 발광층(210) 및 상기 제2 뱅크층(200) 상에 캐소드 전극을 형성할 수 있다.

[0127] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실

시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

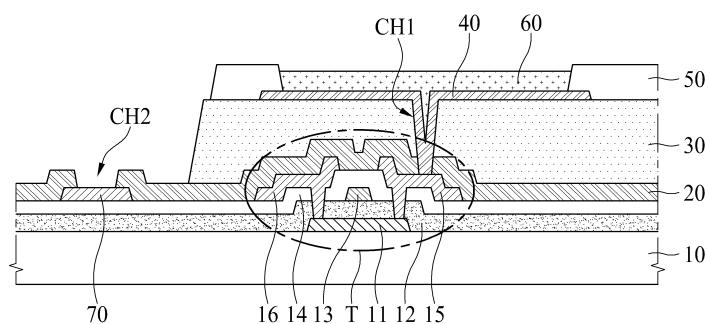
부호의 설명

[0128]

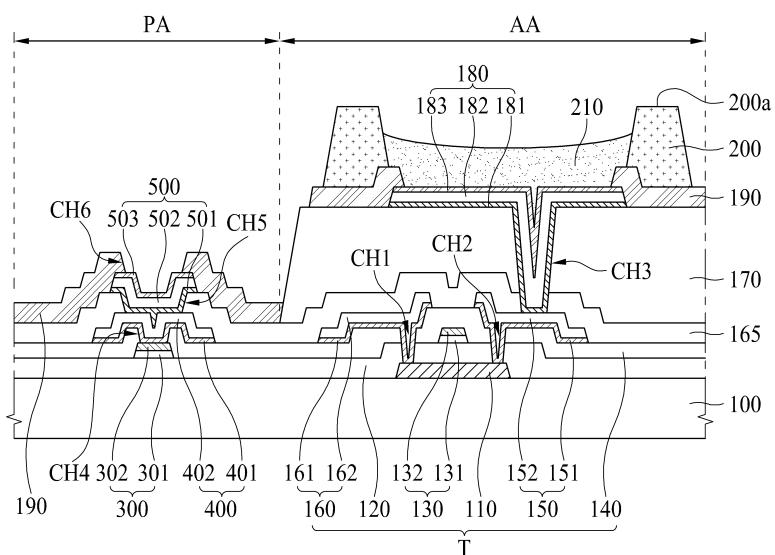
| | |
|---------------|---------------|
| 100: 기판 | T: 박막 트랜지스터 |
| 165: 패시베이션층 | 170: 평탄화층 |
| 180: 애노드 전극 | 190: 제1 뱅크층 |
| 200: 제2 뱅크층 | 210: 발광층 |
| 300: 제1 신호 패드 | 400: 제2 신호 패드 |
| 500: 패드 전극 | |

도면

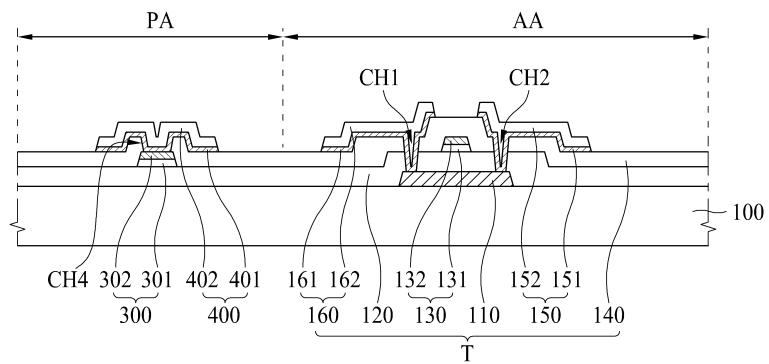
도면1



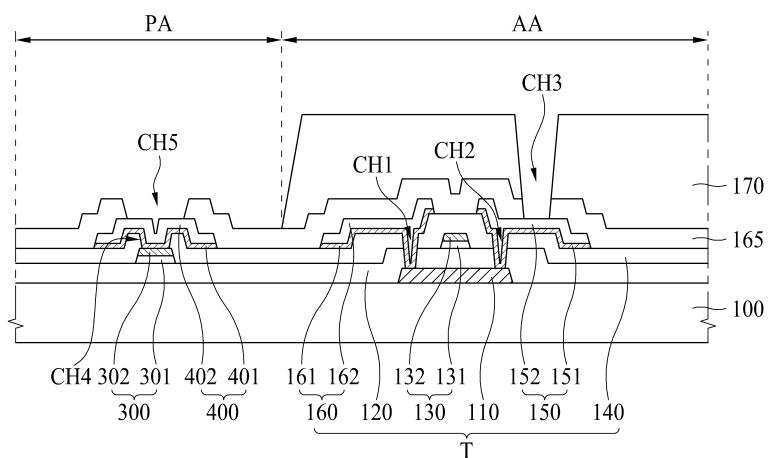
도면2



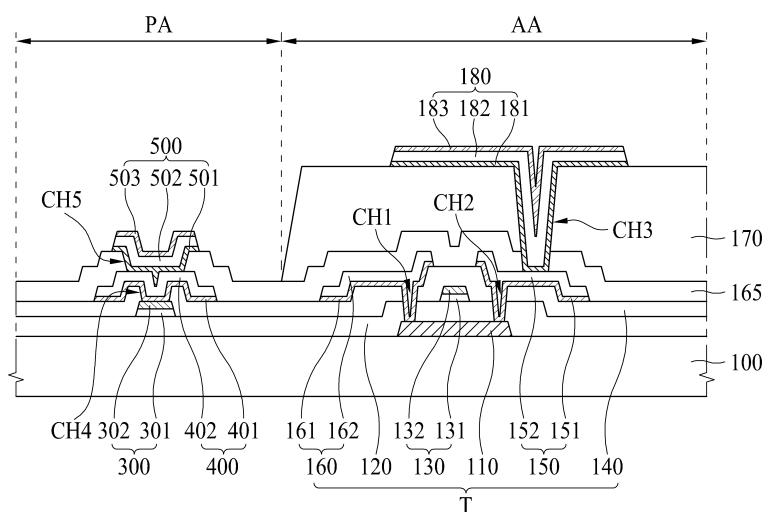
도면3a



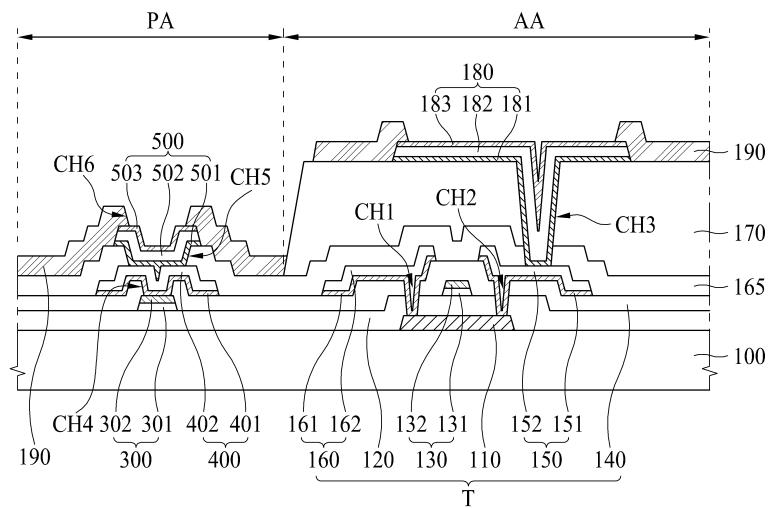
도면3b



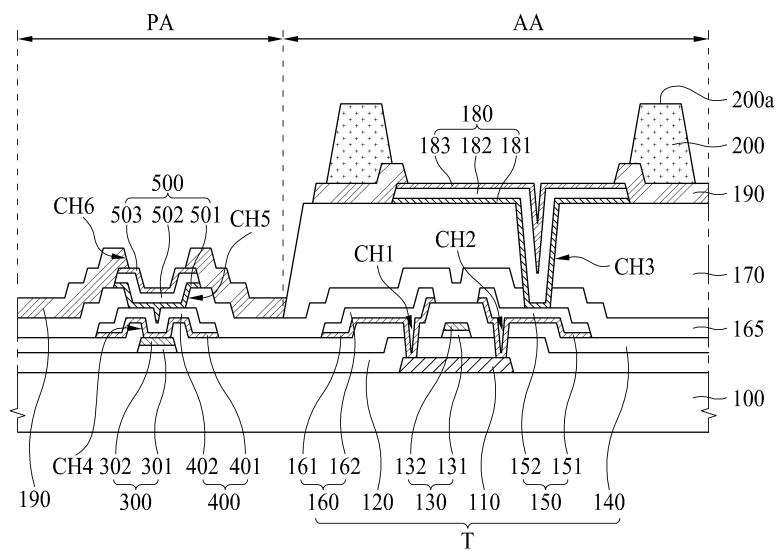
도면3c



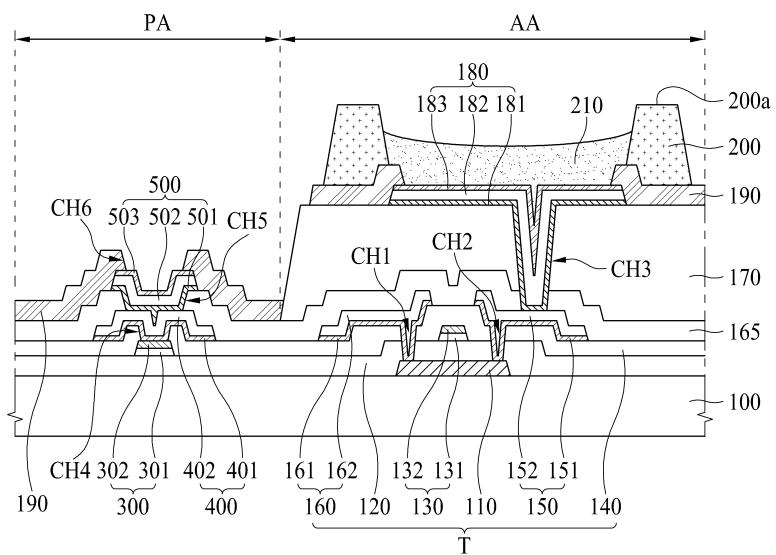
도면3d



도면3e



도면3f



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 电致发光显示装置及其制造方法 | | |
| 公开(公告)号 | KR1020180077742A | 公开(公告)日 | 2018-07-09 |
| 申请号 | KR1020160182391 | 申请日 | 2016-12-29 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | SEUNGHAN PAEK 백승한 JIHOON LEE 이지훈 | | |
| 发明人 | 백승한 이지훈 | | |
| IPC分类号 | H01L27/32 H01L27/12 H01L51/52 | | |
| CPC分类号 | H01L27/3276 H01L27/3246 H01L51/5206 H01L27/3248 H01L27/3279 H01L27/1288 H01L2227/323 | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明提供了一种电致发光显示器，其包括第一堤层，该第一堤层用于暴露阳极电极和焊盘电极的每一个上侧，同时它覆盖配备的焊盘电极，阳极电极和焊盘电极的每一端由配备的阳极电极组成。基板和基板的有源区域，以及包括有源区域和焊盘区域的基板的焊盘区域。

