



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0073112  
(43) 공개일자 2018년07월02일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2230/00 (2013.01)

(21) 출원번호 10-2016-0176607  
(22) 출원일자 2016년12월22일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
정용민  
경기도 고양시 일산서구 중앙로 1471, 1303동  
1904호(주엽동, 문촌마을13단지아파트)

심다혜  
경기도 파주시 월롱면 엘씨디로 201, 105동 614  
호(정다운마을기숙사)

박지현  
부산광역시 동구 수정로40번길 12 (수정동)

(74) 대리인  
박영복

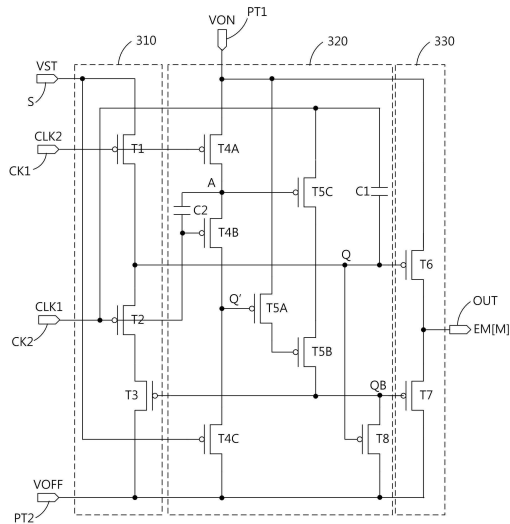
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 발광 제어 드라이버 및 그를 이용한 유기 발광 다이오드 표시 장치

(57) 요약

본 발명은 회로 구성을 단순화하면서도 출력 불량을 방지할 수 있는 발광 제어 드라이버 및 그를 이용한 유기 발광 다이오드 표시 장치에 관한 것으로, 일 실시예에 따른 발광 제어 드라이버의 각 스테이지는 Q 노드 제어부, Q' 노드 제어부, QB 제어부, 출력 버퍼부를 포함한다. Q 노드 제어부는 세트 단자와 제1 및 제2 클럭 단자와 QB 노드에 의해 제어되는 제1 내지 제3 트랜지스터를 포함하여 Q 노드를 제어한다. Q' 노드 제어부는 제1 및 제2 클럭 단자와 세트 단자에 의해 제어되는 제4A, 제4B, 제4C 트랜지스터를 포함하여 Q' 노드를 제어한다. QB 노드 제어부는 Q' 노드 제어부에 의해 제어되는 제5A, 제5B, 제5C 트랜지스터와, Q 노드에 의해 제어되는 제8 트랜지스터를 포함하여 QB 노드를 제어한다. 출력 버퍼부는 Q 노드 및 QB 노드에 의해 제어되는 제6 및 제7 트랜지스터를 포함하여 출력 단자를 통해 EM 출력을 공급한다.

대표도 - 도3



(52) CPC특허분류  
G09G 2320/041 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

서로 종속적으로 접속된 다수의 스테이지를 갖는 발광 제어 드라이버에서,

각 스테이지는

스타트 신호 또는 전단 스테이지의 출력이 세트 신호로 공급되는 세트 단자와, 제1 및 제2 클럭 신호 중 어느 한 클럭이 공급되는 제1 클럭 단자와, 나머지 클럭이 공급되는 제2 클럭 단자와, 게이트 온 전압이 공급되는 제1 전원 단자와, 게이트 오프 전압이 공급되는 제2 전원 단자와, 화소 어레이의 발광 제어 라인 및 후단 스테이지의 세트 단자와 접속되고 발광 제어 출력을 공급하는 출력 단자를 구비하고,

상기 제1 클럭 단자에 의해 제어되어 상기 세트 단자와 Q 노드 사이의 전류 패스를 스위칭하는 제1 트랜지스터와, 상기 Q 노드와 제2 전원 단자 사이의 전류 패스를 스위칭하기 위하여 상기 제2 클럭 단자에 의해 제어되는 제2 트랜지스터 및 QB 노드에 의해 제어되는 제3 트랜지스터를 포함하는 Q 노드 제어부와;

상기 제1 전원 단자와 Q' 노드 사이의 전류 패스를 스위칭하기 위하여 상기 제1 클럭 단자에 의해 제어되는 제4A 트랜지스터 및 상기 제2 클럭 단자에 의해 제어되는 제4B 트랜지스터와, 상기 세트 단자에 의해 제어되어 상기 Q' 노드와 상기 제2 전원 단자 사이의 전류 패스를 스위칭하는 제4C 트랜지스터를 포함하는 Q' 노드 제어부와;

상기 Q' 노드에 의해 제어되어 상기 제1 전원 단자의 상기 게이트 온 전압을 공급하는 제5A 트랜지스터와, 상기 제2 클럭 단자와 상기 QB 노드 사이의 전류 패스를 스위칭하기 위하여 상기 제5A 트랜지스터의 출력에 의해 제어되는 제5B 트랜지스터 및 상기 제4A 및 제4B 트랜지스터 사이의 A 노드에 의해 제어되는 제5C 트랜지스터를 포함하는 QB 노드 제어부와;

상기 Q 노드에 의해 제어되어 상기 제1 전원 단자와 상기 출력 단자 사이의 전류 패스를 스위칭하는 제6 트랜지스터와, 상기 QB 노드에 의해 제어되어 상기 제2 전원 단자와 상기 출력 단자 사이의 전류 패스를 스위칭하는 제7 트랜지스터를 포함하는 출력 버퍼부를 포함하고,

상기 제2 클럭 단자와 상기 A 노드 사이에 접속된 제1 커패시터를 포함하며,

상기 QB 노드 제어부는 상기 Q 노드에 의해 제어되어 상기 QB 노드와 상기 제2 전원 단자 사이의 전류 패스를 스위칭하는 제8 트랜지스터를 더 포함하는 발광 제어 드라이버.

#### 청구항 2

청구항 1에 있어서,

상기 각 스테이지는

상기 제1 클럭 단자와 상기 Q 노드 사이에 접속된 제2 커패시터를 더 포함하는 발광 제어 드라이버.

#### 청구항 3

청구항 1에 있어서,

상기 제1 및 제2 클럭 신호는 상반된 위상을 갖는 펄스 신호이고,

상기 제1 클럭 단자에 공급되는 클럭은, 상기 세트 단자에 공급되는 상기 세트 신호와 라이징 타임 및 폴링 타이밍이 동기하며, 상기 세트 신호의 게이트 오프 레벨 동안 적어도 2개의 게이트 오프 레벨 및 적어도 1개의 게이트 온 레벨을 포함하고,

상기 제2 클럭 단자에 공급되는 클럭은, 상기 출력 단자에서 출력되는 상기 발광 제어 출력과 라이징 타임 및 폴링 타이밍이 동기하며, 상기 발광 제어 출력의 게이트 오프 레벨 동안 적어도 2개의 게이트 오프 레벨 및 적어도 1개의 게이트 온 레벨을 포함하는 발광 제어 드라이버.

**청구항 4**

청구항 3에 있어서,

상기 제1 커패시터는

상기 제1 클럭 단자의 제어에 의해 상기 제4A 트랜지스터가 턴-오프되고, 상기 제2 클럭 단자에 해당 클럭의 게이트 온 레벨이 공급될 때, 상기 A 노드를 상기 해당 클럭의 게이트 온 레벨보다 더욱 낮은 게이트 온 레벨로 하강시키는 발광 제어 드라이버.

**청구항 5**

청구항 3에 있어서,

상기 제1 클럭 단자의 제어에 의해 상기 제4A 트랜지스터가 턴-오프되고, 상기 제2 클럭 단자의 제어에 의해 상기 제4B 트랜지스터가 턴-온되고, 상기 세트 단자의 제어에 의해 상기 제4C 트랜지스터가 턴-온되는 기간 동안, 상기 제2 클럭 단자에 공급된 상기 해당 클럭의 로우 레벨과 상기 제1 커패시터에 의해 상기 A 노드가 로우 레벨이 되고, 제4A 트랜지스터를 통해 상기 Q' 노드가 상기 A 노드를 따라 로우 레벨로 감소하였다가, 상기 Q' 노드는 상기 A 노드와 함께, 상기 4C 트랜지스터를 통해 공급되는 상기 게이트 오프 전압의 하이 레벨로 증가하고,

상기 QB 노드 제어부는 상기 A 노드 및 Q' 노드가 로우 레벨일 때 상기 게이트 온 전압을 상기 QB 노드에 공급하고, 상기 A 노드 및 Q' 노드가 하이 레벨일 때 상기 QB 노드를 상기 게이트 온 전압 상태에서 플로팅시키는 발광 제어 드라이버.

**청구항 6**

화소 어레이가 위치하는 표시 영역과, 그 표시 영역을 둘러싸는 비표시 영역을 포함하는 표시 패널과;

상기 표시 패널의 비표시 영역에 내장되고 상기 화소 어레이의 게이트 라인들을 구동하는 스캔 드라이버와,

상기 표시 패널의 비표시 영역에 내장되고 상기 화소 어레이의 발광 제어 라인을 구동하는 청구항 1 내지 5 중 어느 한 청구항에 기재된 발광 제어 드라이버를 포함하는 유기 발광 다이오드 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 회로 구성을 단순화하면서도 출력 불량을 방지할 수 있는 발광 제어 드라이버 및 그를 이용한 유기 발광 다이오드 표시 장치에 관한 것이다.

**배경 기술**

[0002] 최근 표시 장치로 각광 받고 있는 평판 표시 장치로는 액정을 이용한 액정 표시 장치(Liquid Crystal Display; LCD), 유기 발광 다이오드(Organic Light Emitting Diode; OLED)를 이용한 OLED 표시 장치, 전기영동 입자를 이용한 전기영동 표시 장치(ElectroPhoretic Display; EPD) 등이 대표적이다.

[0003] 이들 중 OLED 표시 장치의 각 화소는 OLED 소자와, OLED 소자를 독립적으로 구동하는 화소 회로를 구비한다. 화소 회로는 OLED 소자에 구동 전류를 공급하는 구동 박막 트랜지스터(Thin Film Transistor; 이하 TFT)와, 구동 TFT와 접속되어 데이터 신호 등을 스위칭하는 적어도 하나의 스위칭 TFT를 포함하고, 구동 TFT를 통해 OLED 소자로 흐르는 전류를 스위칭하여 OLED 소자의 발광 기간을 조절하는 발광 제어 TFT를 더 포함하기도 한다.

[0004] OLED 소자의 발광량은 통상 데이터 신호에 따라 구동 전류를 가변시킴으로써 제어할 수 있다. 한편, 발광 제어 TFT를 이용하여 구동 전류가 공급되는 발광 기간을 PWM(Pulse Width Modulation) 방식으로 조절함으로써 발광 듀티비를 조절하여 OLED 소자의 발광량을 제어할 수 있다.

[0005] OLED는 표시 장치는 스위칭 TFT와 접속된 게이트 라인을 구동하는 스캔 드라이버와, 발광 제어 TFT에 접속된 발광 제어 라인을 구동하는 발광 제어(이하, EM) 드라이버를 구비하며, 이들은 화소들의 TFT 어레이와 함께 형성되어 표시 패널에 게이트-인-패널(Gate In Panel; GIP) 방식으로 내장될 수 있다.

[0006] 스캔 드라이버는 스캔 출력을 순차적으로 발생시키고, EM 드라이버는 스캔 드라이버의 스캔 출력을 이용하여 EM 출력을 순차적으로 발생시킨다. EM 드라이버는 스캔 드라이버의 스캔 출력을 반전시키는 인버터로 구성될 수 있으며, 이 경우 인버터형 EM 드라이버의 리셋 타이밍을 결정하며 EM 출력을 순차적으로 리셋시키기 위한 리셋용 스캔 드라이버가 추가적으로 필요하다.

[0007] 이로 인하여, 스캔 드라이버, 리셋용 스캔 드라이버, EM 드라이버를 GIP 방식으로 패널에 내장하는 경우 GIP 회로 면적이 증가하여 베젤(Bezel) 크기가 증가되므로 네로우 베젤(Narrow Bezel)을 위하여 회로 구성을 줄이는 방안이 요구된다.

[0008] 한편, EM 드라이버의 EM 출력은 스캔 출력과 대비하여 게이트 오프 기간(비발광 기간) 및 게이트 온 기간(발광 기간)이 상대적으로 길게 홀딩되어야 하므로, 회로 구성을 줄이는 경우 외부 온도의 저하 등에 의해 TFT의 구동 특성이 떨어지더라도 안정적인 EM 출력을 확보할 수 있는 방안이 고려되어야 한다.

**발명의 내용**

**해결하려는 과제**

[0009] 본 발명은 회로 구성을 단순화하면서도 출력 불량을 방지할 수 있는 발광 제어 드라이버 및 그를 이용한 유기 발광 다이오드 표시 장치를 제공한다.

**과제의 해결 수단**

[0010] 본 발명의 일 실시예에 따른 발광 제어 드라이버에서, 각 스테이지는 스타트 신호 또는 전단 스테이지의 출력이 세트 신호로 공급되는 세트 단자와, 제1 및 제2 클럭 신호 중 어느 한 클럭이 공급되는 제1 클럭 단자와, 나머지 클럭이 공급되는 제2 클럭 단자와, 게이트 온 전압이 공급되는 제1 전원 단자와, 게이트 오프 전압이 공급되는 제2 전원 단자와, 화소 어레이의 발광 제어 라인 및 후단 스테이지의 세트 단자와 접속되고 발광 제어 출력을 공급하는 출력 단자를 구비한다.

[0011] 일 실시예에 따른 각 스테이지는 Q 노드 제어부, Q' 노드 제어부, QB 노드 제어부, 출력 버퍼부를 포함한다.

[0012] Q 노드 제어부는 제1 클럭 단자에 의해 제어되어 세트 단자와 Q 노드 사이의 전류 패스를 스위칭하는 제1 트랜지스터와, Q 노드와 제2 전원 단자 사이의 전류 패스를 스위칭하기 위하여 제2 클럭 단자에 의해 제어되는 제2 트랜지스터 및 QB 노드에 의해 제어되는 제3 트랜지스터를 포함한다.

[0013] Q' 노드 제어부는 제1 전원 단자와 Q' 노드 사이의 전류 패스를 스위칭하기 위하여 제1 클럭 단자에 의해 제어되는 제4A 트랜지스터 및 제2 클럭 단자에 의해 제어되는 제4B 트랜지스터와, 세트 단자에 의해 제어되어 Q' 노드와 제2 전원 단자 사이의 전류 패스를 스위칭하는 제4C 트랜지스터를 포함한다.

[0014] QB 노드 제어부는 Q' 노드에 의해 제어되어 제1 전원 단자의 게이트 온 전압을 공급하는 제5A 트랜지스터와, 제2 클럭 단자와 QB 노드 사이의 전류 패스를 스위칭하기 위하여 제5A 트랜지스터의 출력에 의해 제어되는 제5B 트랜지스터와 제4A 및 제4B 트랜지스터 사이의 A 노드에 의해 제어되는 제5C 트랜지스터를 포함한다. QB 노드 제어부는 Q 노드에 의해 제어되어 QB 노드와 제2 전원 단자 사이의 전류 패스를 스위칭하는 제8 트랜지스터를 더 포함한다.

[0015] 출력 버퍼부는 Q 노드에 의해 제어되어 제1 전원 단자와 출력 단자 사이의 전류 패스를 스위칭하는 제6 트랜지스터와, QB 노드에 의해 제어되어 제2 전원 단자와 출력 단자 사이의 전류 패스를 스위칭하는 제7 트랜지스터를 포함한다.

[0016] 각 스테이지는 제2 클럭 단자와 A 노드 사이에 접속된 제1 커패시터와, 제1 클럭 단자와 Q 노드 사이에 접속된 제2 커패시터를 더 포함한다.

[0017] 일 실시예에 따른 유기 발광 다이오드 표시 장치는 화소 어레이가 위치하는 표시 영역과, 그 표시 영역을 둘러싸는 비표시 영역을 포함하는 표시 패널과; 표시 패널의 비표시 영역에 내장되고 화소 어레이의 게이트 라인들을 구동하는 스캔 드라이버와, 표시 패널의 비표시 영역에 내장되고 화소 어레이의 발광 제어 라인을 구동하는 전술한 발광 제어 드라이버를 포함한다.

**발명의 효과**

[0018] 일 실시예에 따른 발광 제어(EM) 드라이버는 EM 스타트 신호 및 2상의 EM 클럭을 이용하여 EM 스타트 신호가 쉬프트된 EM 출력을 발생하는 EM 스테이지들로 구성됨으로써 스캔 드라이버와 독립되고 리셋용 스캔 드라이버가 필요하지 않으므로 스캔 드라이버 및 EM 드라이버가 내장되는 표시 장치의 베젤 크기를 감소시킬 수 있다.

[0019] 또한, 일 실시예에 따른 발광 제어(EM) 드라이버는 QB 노드 제어부를 이용하여 QB 노드의 온 상태를 안정적으로 홀딩시킴으로써 TFT의 특성이 떨어지는 경우라도 안정적인 EM 출력을 공급할 수 있다.

**도면의 간단한 설명**

[0020] 도 1은 본 발명의 일 실시예에 따른 발광 제어 드라이버를 포함하는 OLED 표시 장치의 구성을 개략적으로 나타낸 블록도이다.

도 2는 본 발명의 일 실시예에 따른 스캔 드라이버 및 EM 드라이버의 일부 스테이지를 나타낸 블록도이다.

도 3은 본 발명의 일 실시예에 따른 EM 드라이버 중 어느 하나의 EM 스테이지의 회로 구성을 나타낸 등가회로도이다.

도 4는 도 3에 도시된 EM 스테이지의 구동 파형도이다.

도 5a 내지 도 5c는 도 3에 도시된 EM 스테이지에서 EM 출력으로 게이트 오프 전압을 출력하는 기간의 동작 과정을 단계적으로 나타낸 도면이다.

도 6은 본 발명의 일 실시예에 따른 어느 하나의 EM 스테이지를 구동한 시뮬레이션 결과를 나타낸 파형도이다.

**발명을 실시하기 위한 구체적인 내용**

[0021] 이하, 본 발명의 바람직한 실시예들을 첨부 도면을 참조하여 상세히 설명하기로 한다.

[0022] 도 1은 본 발명의 일 실시예에 따른 스캔 드라이버를 내장한 표시 장치의 구성을 개략적으로 나타낸 블록도이다.

[0023] 도 4에 도시된 표시 장치는 화소 어레이(100) 및 스캔 드라이버(200)와 발광 제어(EM) 드라이버(300)를 포함하는 표시 패널(400), 데이터 드라이버(500), 타이밍 컨트롤러(600) 등을 구비한다.

[0024] 타이밍 컨트롤러(600)는 호스트 세트로부터 공급된 영상 데이터와 함께 기본 타이밍 제어 신호를 입력한다. 타이밍 컨트롤러(600)는 화질 보상이나 소비 전력 감소 등을 위한 다양한 데이터 처리 방법을 이용하여 영상 데이터를 변조하고 변조된 영상 데이터를 데이터 드라이버(500)로 출력한다.

[0025] 타이밍 컨트롤러(600)는 기본 타이밍 제어 신호를 이용하여 데이터 드라이버(500)의 동작 타이밍을 제어하는 제어 신호들과, 스캔 드라이버(200)의 동작 타이밍을 제어하는 제어 신호들과, EM 드라이버(300)의 동작 타이밍을 제어하는 제어 신호들을 생성하여 공급한다.

[0026] 타이밍 컨트롤러(600)는 레벨 쉬프터(250)를 통해 스캔 드라이버(200) 및 EM 드라이버(300)의 제어 신호들을 공급할 수 있다. 레벨 쉬프터(250)는 전원부에 내장될 수 있다. 레벨 쉬프터(250)는 타이밍 컨트롤러(600)로부터의 제어 신호들, 즉 스캔용 스타트 신호 및 클럭 신호들과, 발광 제어용 스타트 신호 및 클럭 신호들의 TTL(Transistor Transistor Logic) 전압을 화소 어레이(100)의 TFT 구동을 위한 게이트 온 전압(게이트 로우 전압) 및 게이트 오프 전압(게이트 하이 전압)으로 레벨 쉬프팅하여 스캔 드라이버(200) 및 EM 드라이버(300)로 공급한다.

[0027] 데이터 드라이버(500)는 타이밍 컨트롤러(600)로부터 제어 신호들 및 영상 데이터를 공급받는다. 데이터 드라이버(500)는 제어 신호들에 따라 구동되어, 디지털 영상 데이터를 각각 아날로그 영상 데이터 신호로 변환하고, 아날로그 영상 데이터 신호를 표시 패널(400)의 데이터 라인들로 각각 공급한다.

[0028] 데이터 드라이버(500)는 표시 패널(400)의 데이터 라인들을 분할 구동하는 다수의 데이터 드라이브 IC로 구성되고, 각 데이터 드라이브 IC는 TCP(Tape Carrier Package), COF(Chip On Film), FPC(Flexible Print Circuit) 등과 같은 회로 필름에 실장되어 표시 패널(400)에 TAB(Tape Automatic Bonding) 방식으로 부착되거나, COG(Chip On Glass) 방식으로 표시 패널(400) 상에 실장될 수 있다.

[0029] 표시 패널(400)은 화소들이 매트릭스형으로 배치된 화소 어레이(100)를 통해 영상을 표시한다. 화소 어레이(100)는 적색, 녹색, 청색 화소들을 포함하고, 휘도 향상을 위한 백색 화소를 추가로 포함하기도 한다. 각 화소

는 OLED 소자와, OLED 소자를 독립적으로 구동하는 화소 회로를 포함한다. 각 화소 회로는 스캔 드라이버(200)와 접속된 게이트 라인에 의해 제어되는 스위칭 TFT와, EM 드라이버(300)와 접속된 발광 제어 라인에 의해 제어되는 발광 제어 TFT와, OLED 소자를 구동하는 구동 TFT 등을 포함한다.

- [0030] 스캔 드라이버(200) 및 EM 드라이버(300)는 화소 어레이(100)와 함께 형성되어 표시 패널(400)의 비표시 영역, 즉 화소 어레이(100)의 일측 또는 양측과 인접한 비표시 영역에 내장된 GIP 타입으로 구성된다. 스캔 드라이버(200)는 화소 어레이(100)의 게이트 라인들을 순차 구동하고, EM 드라이버(300)는 화소 어레이(100)의 발광 제어 라인들을 순차 구동한다.
- [0031] 스캔 드라이버(200)는 서로 종속적으로 접속되고 각 게이트 라인에 개별적인 스캔 출력(SCAN)을 공급하는 다수의 스캔 스테이지를 구비하며, 편의상 도 2에는 제N번째 내지 제N+1번째 스캔 스테이지(S-ST[N], S-ST[N+1], N은 자연수)만 나타내고 있다.
- [0032] EM 드라이버(300)는 서로 종속적으로 접속되고 각 발광 제어 라인에 개별적인 발광 제어 출력(EM)을 공급하는 다수의 EM 스테이지를 구비하며, 편의상 도 2에는 제M번째 EM 스테이지(EM-ST[M], M은 자연수)만 나타내고 있다.
- [0033] 도 2를 참조하면, 스캔 드라이버(200)에서 N번째 스캔 스테이지(S-ST[N])의 스캔 출력(SCAN[N])은 N번째 화소(P[N]) 및 N+1번째 화소(P[N+1])에 공급되고, N+1번째 스캔 스테이지(S-ST[N+1])의 스캔 출력(SCAN[N+1])은 N+1번째 화소(P[N+1]) 및 N+2번째 화소에 공급된다.
- [0034] EM 드라이버(300)에서 M번째 EM 스테이지(EM-ST[M])의 출력(EM[M])은 N번째 화소(P[N]) 및 N+1번째 화소(P[N+1])에 공급된다.
- [0035] 도 3은 본 발명의 일 실시예에 따른 EM 드라이버 중 어느 하나의 EM 스테이지의 회로 구성을 나타낸 도면이고, 도 4는 도 3에 도시된 EM 스테이지의 구동 파형도이다.
- [0036] 이하에서 "전단 스테이지"는 해당 스테이지의 이전(상부)에 위치하는 적어도 하나의 스테이지들 중 어느 하나를 의미하고, "후단 스테이지"는 해당 스테이지의 이후(하부)에 위치하는 적어도 하나의 스테이지들 중 어느 하나를 의미한다.
- [0037] 각 EM 스테이지는 세트 단자(S), 제1 및 제2 클럭 단자(CK1, CK2), 제1 및 제2 전원 단자(PT1, PT2), 출력 단자(OUT)를 구비한다.
- [0038] 각 EM 스테이지의 세트 단자(S)는 스타트 신호 라인을 통해 공급된 EM 스타트 신호(EMVST) 또는 전단 EM 스테이지의 출력 단자로부터 공급된 전단 EM 출력을 세트 신호로 공급받는다.
- [0039] 각 EM 스테이지의 제1 및 제2 클럭 단자(CK1, CK2)는 상반된 위상을 갖는 2상 클럭 신호들(CLK2, CLK1)을 각각 공급받는다. 각 EM 스테이지의 제1 클럭 단자(CK1)에는 제2 클럭 신호(CLK2)가 공급되면, 제2 클럭 단자(CK2)에는 제2 클럭 신호(CLK2)와 반전 위상을 갖는 제1 클럭 신호(CLK1)가 공급된다.
- [0040] M번째 EM 스테이지의 제1 및 제2 클럭 단자(CK1, CK2)가 제2 및 제1 클럭 신호(CLK2, CLK1)를 각각 공급받는 경우, M+1번째 EM 스테이지의 제1 및 제2 클럭 단자(CK1, CK2)는 M번째 EM 스테이지와 반대로 제1 및 제2 클럭 신호(CLK1, CLK2)를 각각 공급받는다.
- [0041] 각 EM 스테이지의 제1 전원 단자(PT1)는 제1 전원 라인을 통해 공급되는 게이트 온 전압(VON)을 공급받고, 제2 전원 단자(PT2)는 제2 전원 라인을 통해 공급되는 게이트 오프 전압(VOFF)을 공급받는다.
- [0042] 각 EM 스테이지의 출력 단자(OUT)는 표시 패널의 발광 제어 라인과 접속되어 EM 출력(EM)을 출력함과 아울러 후단 스테이지의 세트 단자와 접속되어 EM 출력(EM)을 캐리 신호로 공급한다.
- [0043] 도 3에 도시된 각 EM 스테이지는 12개의 트랜지스터들(T1~T3, T4A~T4C, T5A~T5C, T6~T8)로 구성된다. 트랜지스터들(T1~T3, T4A~T4C, T5A~T5C, T6~T8)은 비정질 실리콘 반도체층을 이용하는 비정질 트랜지스터를 이용하거나, 폴리 실리콘 반도체층을 이용하는 폴리 트랜지스터를 이용하거나, 금속 산화물 반도체층을 이용하는 옥사이드(Oxide) 트랜지스터를 이용한다. 트랜지스터들(T1~T3, T4A~T4C, T5A~T5C, T6~T8)은 표시 패널의 트랜지스터들과 함께 P-채널 또는 N-채널 타입의 트랜지스터로 구성될 수 있다. 이하에서는 트랜지스터들(T1~T3, T4A~T4C, T5A~T5C, T6~T8) 및 표시 패널의 트랜지스터들이 모두 P-채널 타입의 트랜지스터로 구성된 경우만을 예로 들어 설명하지만, N-채널 타입의 트랜지스터도 적용될 수 있다.

- [0044] 각 EM 스테이지는 출력 버퍼부(340)와, 출력 버퍼부(340)의 Q 노드를 제어하는 Q 노드 제어부(310)와, 출력 버퍼부(340)의 QB 노드를 제어하는 QB 노드 제어부(330)와, QB 노드 제어부(330)의 Q' 노드를 제어하는 Q' 노드 제어부(320)를 포함한다.
- [0045] 출력 버퍼부(340)는 제6 및 제7 트랜지스터(T6, T7)를 포함한다. 제6 트랜지스터(T6)는 Q 노드에 의해 제어되어 제1 전원 단자(PT1)와 출력 단자(OUT) 사이의 전류 패스를 스위칭하고, 제7 트랜지스터(T7)은 QB 노드에 의해 제어되어 제2 전원 단자(PT2)와 출력 단자(OUT) 사이의 전류 패스를 스위칭한다. 제6 트랜지스터(T6)는 Q 노드의 전압이 로우 레벨일 때 턴-온되어 제1 전원 단자(PT1)로 공급되는 로우 레벨의 게이트 온 전압(VON)을 출력 단자(OUT)를 통해 EM 출력의 게이트 온 전압(VON)으로 공급한다. 제7 트랜지스터(T7)는 QB 노드의 전압이 로우 레벨일 때 턴-온되어 제2 전원 단자(PT2)로 공급되는 하이 레벨의 게이트 오프 전압(Voff)을 출력 단자(OUT)를 통해 EM 출력의 게이트 오프 전압(VOFF)으로 공급한다.
- [0046] Q 노드 제어부(310)는 제1 내지 제3 트랜지스터(T1, T2, T3)를 포함한다.
- [0047] 제1 트랜지스터(T1)는 제1 클럭 단자(CK1)에 의해 제어되어 세트 단자(S)와 Q 노드 사이의 전류 패스를 스위칭한다. 제1 트랜지스터(T1)는 제1 클럭 단자(CK1)에 공급되는 제2 클럭 신호(CLK)에 응답하여, 세트 단자(S)로 공급되는 세트 신호를 Q 노드로 공급한다. 세트 단자(S)에는 스타트 신호(VST) 또는 전단 EM 스테이지로부터 공급되는 전단 EM 출력이 세트 신호로 공급된다. 제1 트랜지스터(T1)는 제1 클럭 단자(CK1)에 공급되는 제2 클럭 신호(CLK)가 로우 레벨일 때 턴-온되어 세트 단자(S)로 공급되는 세트 신호의 로우 레벨 또는 하이 레벨의 전압을 Q 노드에 공급한다. 제2 트랜지스터(T2)는 제2 클럭 단자(CK2)에 의해 제어되고, 제3 트랜지스터(T3)는 QB 노드에 의해 제어되어 Q 노드와 제2 전원 단자(PT2) 사이의 전류 패스를 스위칭한다. 제2 트랜지스터(T2)는 제2 클럭 단자(CK2)에 공급되는 제1 클럭 신호(CLK1)가 로우 레벨일 때 턴-온되고, 제3 트랜지스터(T3)는 QB 노드가 QB 노드 제어부(320)에 의해 로우 레벨일 때 턴-온되어, 제2 전원 단자(PT)로부터의 하이 레벨의 게이트 오프 전압(VOFF)을 Q 노드에 공급한다.
- [0048] Q' 노드 제어부(320)는 제1 및 제2 클럭 단자(CK1, CK2)와 세트 단자(S)에 의해 제어되어 A 노드 및 Q' 노드의 충방전을 제어하는 제4A 내지 제4C 트랜지스터(T4A, T4B, T4C)를 구비한다. 또한, Q' 노드 제어부(320)는 제4A 트랜지스터(T4A) 및 제4B 트랜지스터(T4B) 사이의 A 노드와 제4B 트랜지스터(TB)의 게이트 전극 사이에 접속된 제1 커패시터(C1)를 더 포함한다.
- [0049] 제4A 트랜지스터(T4A)는 제1 클럭 단자(CK1)에 의해 제어되어 제1 전원 단자(PT1)와 A 노드 사이의 전류 패스를 스위칭하고, 제4B 트랜지스터(T4B)는 제2 클럭 단자(CK2)에 의해 제어되어 A 노드와 Q' 노드 사이의 전류 패스를 스위칭하고, 제4C 트랜지스터(T4C)는 세트 단자(S)에 의해 제어되어 Q' 노드와 제2 전원 단자(PT2) 사이의 전류 패스를 스위칭한다. 제4A 트랜지스터(T4A)는 제1 클럭 단자(CK1)에 공급되는 제2 클럭 신호(CLK2)가 로우 레벨일 때 턴-온되어 제1 전원 단자(PT1)으로부터의 로우 레벨의 게이트 온 전압(VON)을 A 노드에 공급한다. 제4B 트랜지스터(T4B)는 제2 클럭 단자(CK2)에 공급되는 제1 클럭 신호(CLK1)가 로우 레벨일 때 턴-온되어 A 노드와 Q' 노드를 연결한다. 제4C 트랜지스터(T4C)는 세트 단자(S)에 공급되는 세트 신호가 로우 레벨일 때 턴-온되어 제2 전원 단자(PT2)로부터의 하이 레벨의 게이트 오프 전압(VOFF)을 Q' 노드에 공급한다. A 노드와 제4B 트랜지스터(TB)의 게이트 전극 사이에 접속된 제1 커패시터(C1)는 제2 클럭 단자(CK2)와 A 노드를 분리하는 역할을 하고, 제4A 트랜지스터(T4A) 및 제4B 트랜지스터(T4B)의 동작에 따라 A 노드를 충전시키며, 제2 클럭 단자(CK2)로부터 공급되는 제1 클럭 신호(CLK1)의 로우 레벨에 따라 A 노드의 전압을 더 낮게 부트스트랩핑하는 역할을 한다.
- [0050] QB 노드 제어부(330)는 A 노드 및 Q' 노드에 의해 제어되어 QB 노드의 충방전을 제어하는 제5A 내지 제5C 트랜지스터(T5A, T5B, T5C)를 구비한다. 또한, QB 노드 제어부(320)는 Q 노드에 의해 제어되어 QB 노드를 제어하는 제8 트랜지스터(T8)를 추가로 구비한다.
- [0051] 제5A 트랜지스터(T5A)는 Q' 노드에 의해 제어되어 제1 전원 단자(PT1)와 제5B 트랜지스터(T5B)의 게이트 전극 사이의 전류 패스를 스위칭한다. 제5B 트랜지스터(T5B)는 제5A 트랜지스터(T5A)의 출력에 의해 제어되고, 제5C 트랜지스터(T5C)는 A 노드에 의해 제어되어, 제2 클럭 단자(CK2)와 QB 노드 사이의 전류 패스를 스위칭한다. 제5A 트랜지스터(T5A)는 제1 클럭 단자(CK1)에 공급되는 제2 클럭 신호(CLK2)가 로우 레벨일 때 턴-온되어 제1 전원 단자(PT1)으로부터의 로우 레벨의 게이트 온 전압(VON)을 제5B 트랜지스터(T5B)의 게이트 전극에 공급하여 제5B 트랜지스터(T5B)를 턴-온시킨다. 제5C 트랜지스터(T5C)는 A 노드가 로우 레벨일 때 턴-온되어 제2 클럭 단자(CK2)에 공급되는 제1 클럭 신호(CLK1)를 제5B 트랜지스터(T5B)를 통해 QB 노드로 공급한다.

- [0052] 제2 클럭 단자(CK2)와 Q 노드 사이에는 제1 클럭 신호(CLK1)가 하이 레벨일 때마다 Q 노드의 전위를 잡아주는 제2 커패시터(C2)가 더 구비될 수 있다.
- [0053] 이하, 도 4에 도시된 구동 파형을 참조하여 도 3에 도시된 EM 스테이지의 구동 과정을 구체적으로 설명한다. 특히, 도 4에 도시된 제4 내지 제6 기간은 도 5a 내지 도 5c를 참조하여 설명한다.
- [0054] 도 4를 참조하면, 2상 클럭 신호들(CLK1, CLK2)은 반전 위상을 갖고, 로우 레벨(L) 구간과 하이 레벨(H) 구간이 교대로 반복되는 펄스 형태를 갖는다. 도 2에 도시된 트랜지스터들(T1~T3, T4A~T4C, T5A~T5C, T6~T8)이 모두 P-채널 타입이므로, 게이트 온 전압(VON)은 로우 레벨이고, 게이트 오프 전압(VOFF)은 하이 레벨을 갖는다.
- [0055] 제1 클럭 단자(CK1)에 공급되는 제2 클럭 신호(CLK2)는 세트 단자(S)에 공급되는 세트 신호와 라이징 타임 및 폴링 타이밍이 동기하며, 세트 신호의 게이트 오프 레벨(하이 레벨) 동안 적어도 2개의 게이트 오프 레벨(하이 레벨)과 적어도 1개의 게이트 온 레벨(로우 레벨)을 포함한다. 제2 클럭 단자(CK2)에 공급되는 제1 클럭 신호(CLK1)는 출력 단자(OUT)에서 출력되는 EM 출력과 라이징 타임 및 폴링 타이밍이 동기하며, EM 출력의 게이트 오프 레벨(하이 레벨) 동안 적어도 2개의 게이트 오프 레벨(하이 레벨)과 적어도 1개의 게이트 온 레벨(로우 레벨)을 포함한다.
- [0056] 도 3 및 도 4를 참조하면, 제1 기간(t1) 동안, 세트 단자(S)에는 스타트 신호(VST)의 로우 레벨(L)이 공급되고, 제1 클럭 단자(CK1)에는 제2 클럭 신호(CLK2)의 로우 레벨(L)이 공급되며, 제2 클럭 단자(CK2)에는 제1 클럭 신호(CLK1)의 하이 레벨(H)이 공급된다.
- [0057] 제2 클럭 신호(CLK2)의 로우 레벨(L)에 의해 제1 트랜지스터(T1), 제4A 트랜지스터(T4A)가 턴-온되고, 스타트 신호(VST)의 로우 레벨(L)에 의해 제4C 트랜지스터(T4C)가 턴-온된다. 턴-온된 제1 트랜지스터(T1)에 의해 Q 노드는 세트 신호의 로우 레벨(L)이 공급되어 제6 트랜지스터(T6)가 턴-온되고, 턴-온된 제6 트랜지스터(T6)는 제1 전원 단자(PT1)로부터의 게이트 온 전압(VON)을 출력 단자(OUT)를 통해 EM 출력으로 공급한다. 이때, Q 노드의 로우 레벨(L)에 의해 제8 트랜지스터(T8)가 턴-온되어 QB 노드는 제2 전원 단자(PT2)로부터의 게이트 오프 전압(VOFF)이 공급되어 하이 레벨(H)이 되므로 제3 및 제7 트랜지스터(T3, T7)는 턴-오프된다.
- [0058] 한편, 제1 기간(t1) 동안, 제4A 트랜지스터(T4A)가 턴-온되어 A 노드에 제1 전원 단자(PT1)로부터의 게이트 온 전압(VON)이 공급되고 제5C 트랜지스터(T5C)가 턴-온되지만, 제1 클럭 신호(CLK1)의 하이 레벨(H)에 의해 제2 및 제4B 트랜지스터(T2, T4B)는 턴-오프되고, 턴-온된 제4C 트랜지스터(T4C)를 통해 제2 전원 단자(PT2)로부터의 게이트 오프 전압(VOFF)이 공급되어 Q' 노드는 로우 레벨(L)이 되므로, 제5A 및 제5B 트랜지스터(T5A, T5B)는 턴-오프된다.
- [0059] 도 3 및 도 4를 참조하면, 제2 기간(t2) 동안, 세트 단자(S)에는 스타트 신호(VST)의 로우 레벨(L)이 공급되고, 제1 클럭 단자(CK1)에는 제2 클럭 신호(CLK2)의 하이 레벨(H)이 공급되며, 제2 클럭 단자(CK2)에는 제1 클럭 신호(CLK1)의 로우 레벨(L)이 공급된다.
- [0060] 제2 클럭 신호(CLK2)의 하이 레벨(H)에 의해 제1 트랜지스터(T1), 제4A 트랜지스터(T4A)가 턴-오프되고, 스타트 신호(VST)의 로우 레벨(L)에 의해 제4C 트랜지스터(T4C)가 턴-온 상태를 유지된다. 턴-오프된 제1 트랜지스터(T1)에 의해 Q 노드는 이전의 로우 레벨(L) 상태에서 플로팅되나, 제1 클럭 신호(CLK1)의 로우 레벨(L)이 공급되는 제2 커패시터(C2)에 의해 Q 노드는 로우 레벨(L)을 유지하고, 제6 트랜지스터(T6)가 턴-온 상태를 유지하여 제1 전원 단자(PT1)로부터의 게이트 온 전압(VON)을 출력 단자(OUT)를 통해 EM 출력으로 공급한다. 이때, Q 노드의 로우 레벨(L)에 의해 제8 트랜지스터(T8)는 이전의 턴-온 상태를 유지하므로 제3 및 제7 트랜지스터(T3, T7)도 이전의 턴-오프 상태를 유지한다.
- [0061] 한편, 제2 기간(t2) 동안, 제1 클럭 신호(CLK1)의 로우 레벨(L)에 의해 제2 트랜지스터(T2)와 함께 제4B 트랜지스터(T4B)가 턴-온되고, 턴-온된 제4C 및 제4B 트랜지스터(T4C)를 통해 제2 전원 단자(PT2)로부터의 게이트 오프 온 전압(VOFF)이 공급되어 A 노드 및 Q' 노드는 하이 레벨(H)이 되므로, 제5A 내지 제5C 트랜지스터(T5A, T5B, T5C)는 턴-오프된다.
- [0062] 도 3 및 도 4를 참조하면, 제3 기간(t3) 동안, 세트 단자(S)에는 스타트 신호(VST)의 하이 레벨(H)이 공급되고, 제1 클럭 단자(CK1)에는 제2 클럭 신호(CLK2)의 로우 레벨(L)이 공급되며, 제2 클럭 단자(CK2)에는 제1 클럭 신호(CLK1)의 하이 레벨(H)이 공급된다.
- [0063] 제2 클럭 신호(CLK2)의 로우 레벨(L)에 의해 제1 트랜지스터(T1)가 턴-온되어 Q 노드에는 스타트 신호(VST)의 하이 레벨(H)이 공급되므로 제6 트랜지스터(T6)는 턴-오프되고, 하이 레벨(H)의 Q 노드에 의해 제8 트랜지스터

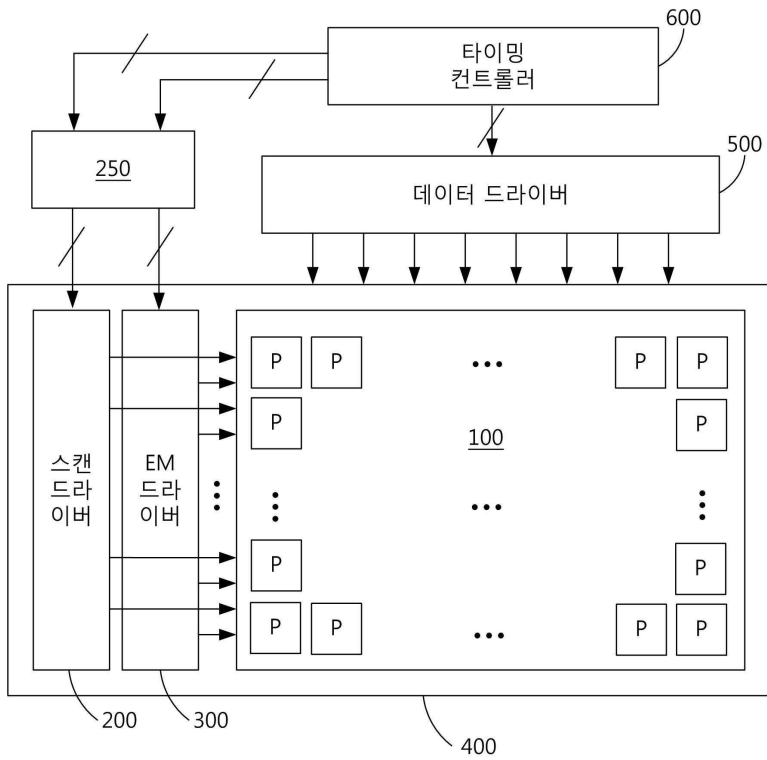
(T8)도 턴-오프되어 QB 노드는 이전의 하이 레벨(H) 상태에서 플로팅되므로 제7 트랜지스터(T7)도 턴-오프된다. 따라서, 출력 단자(OUT)는 플로팅되어 이전의 로우 레벨(L) 상태의 EM 출력을 유지한다.

- [0064] 제3 기간(t3) 동안, 제4A 트랜지스터(T4A)가 턴-온되어 A 노드에 제1 전원 단자(PT1)로부터의 게이트 온 전압(VON)이 공급되고 제5C 트랜지스터(T5C)가 턴-온되지만, 제1 클럭 신호(CLK1)의 하이 레벨(H)에 의해 제2 및 제4B 트랜지스터(T2, T4B)는 턴-오프되고, 하이 레벨(H)의 스타트 신호(VST)에 의해 제4C 트랜지스터(T4C)도 턴-오프되므로, Q' 노드는 플로팅되어 이전의 하이 레벨(H) 상태를 유지하므로 제5A 및 제5B 트랜지스터(T5A, T5B)는 턴-오프된다.
- [0065] 도 4 및 도 5a를 참조하면, 제4 기간(t4) 동안, 세트 단자(S)에는 스타트 신호(VST)의 하이 레벨(H)이 공급되고, 제1 클럭 단자(CK1)에는 제2 클럭 신호(CLK2)의 하이 레벨(H)이 공급되며, 제2 클럭 단자(CK2)에는 제1 클럭 신호(CLK1)의 로우 레벨(L)이 공급된다.
- [0066] 제2 클럭 신호(CLK2)의 하이 레벨(H)에 의해 제1 트랜지스터(T1), 제4A 트랜지스터(T4A)가 턴-오프되고, 스타트 신호(VST)의 하이 레벨(H)에 의해 제4C 트랜지스터(T4C)가 턴-오프되며, 제1 클럭 신호(CLK1)의 로우 레벨(L)에 의해 제2 트랜지스터(T2)와 함께 제4B 트랜지스터(T4B)가 턴-온된다. 이때, A 노드는 제1 클럭 신호(CLK1)의 로우 레벨(L)이 공급되는 제1 커패시터(C)에 의해 이전의 로우 레벨에서 더욱 낮은 로우 레벨(LL)로 부트스트랩핑되고, 턴-온된 제4B 트랜지스터(T4B)를 통해 Q' 노드도 로우 레벨(L)이 된다. A 노드 및 Q' 노드의 로우 레벨(L)에 의해 제5A 내지 제5C 트랜지스터(T5A, T5B, T5C)가 턴-온되고, 턴-온된 제5C 및 제5B 트랜지스터(T5C, T5B)를 통해 QB 노드에는 제1 클럭 신호(CLK1)의 로우 레벨(L)이 공급되어, 제3 및 제7 트랜지스터(T3, T7)가 턴-온된다. 턴-온된 제7 트랜지스터(T7)는 제2 전원 단자(PT2)로부터의 게이트 오프 전압(VOFF)을 출력 단자(OUT)를 통해 EM 출력으로 공급한다. 이때, 턴-온된 제2 및 제3 트랜지스터(T2, T3)를 통해 Q 노드에는 제2 전원 단자(PT2)로부터의 게이트 오프 전압(VOFF)이 공급되어 제6 트랜지스터(T6)는 이전의 턴-오프 상태를 유지한다.
- [0067] 도 4 및 도 5b를 참조하면, 제5 기간(t5) 동안, 세트 단자(S)에는 스타트 신호(VST)의 하이 레벨(H)이 공급되고, 제1 클럭 단자(CK1)에는 제2 클럭 신호(CLK2)의 로우 레벨(L)이 공급되며, 제2 클럭 단자(CK2)에는 제1 클럭 신호(CLK1)의 하이 레벨(H)이 공급된다.
- [0068] 제2 클럭 신호(CLK2)의 로우 레벨(L)에 의해 제1 및 제4A 트랜지스터(T1, T4A)가 턴-온된다. 턴-온된 제1 트랜지스터(T1)를 통해 Q 노드에는 스타트 신호(VST)의 하이 레벨(H)이 공급되어 제6 트랜지스터(T6)는 이전의 턴-오프 상태를 유지한다. 턴-온된 제4A 트랜지스터(T4A)를 통해 제1 전원 단자(PT1)으로부터의 게이트 온 전압(VON)이 공급되어 A 노드는 로우 레벨(L)이 된다. 제1 클럭 신호(CLK1)의 하이 레벨(H)에 의해 제2 및 제4B 트랜지스터(T2, T4B)는 턴-오프되고, 하이 레벨(H)의 스타트 신호(VST)에 의해 제4C 트랜지스터(T4C)도 턴-오프되므로 Q' 노드는 이전의 로우 레벨(L) 상태에서 플로팅된다. 로우 레벨(L)의 A 노드 및 Q' 노드에 의해 제5A 내지 제5C 트랜지스터(T5A, T5B, T5C)가 턴-온되어 QB 노드에는 제1 클럭 신호(CLK1)의 하이 레벨(H)이 공급되고, 제3 및 제7 트랜지스터(T3, T7)는 턴-오프된다. 따라서, 출력 단자(OUT)는 플로팅되어 이전의 하이 레벨(H) 상태의 EM 출력을 유지한다. 한편, QB 노드의 하이 레벨의 영향을 받아 플로팅 상태인 Q' 노드의 레벨의 전위가 약간 상승하기는 하나 QB 노드에는 영향을 주지 않는다.
- [0069] 도 4 및 도 5c를 참조하면, 제6 기간(t6) 동안, 세트 단자(S)에는 스타트 신호(VST)의 로우 레벨(L)이 공급되고, 제1 클럭 단자(CK1)에는 제2 클럭 신호(CLK2)의 하이 레벨(H)이 공급되며, 제2 클럭 단자(CK2)에는 제1 클럭 신호(CLK1)의 로우 레벨(L)이 공급된다.
- [0070] 제2 클럭 신호(CLK2)의 하이 레벨(H)에 의해 제1 트랜지스터(T1), 제4A 트랜지스터(T4A)가 턴-오프되고, 제1 클럭 신호(CLK1)의 로우 레벨(L)에 의해 제2 트랜지스터(T2)와 함께 제4B 트랜지스터(T4B)가 턴-온되며, 스타트 신호(VST)의 로우 레벨(L)에 의해 제4C 트랜지스터(T4C)가 턴-온된다.
- [0071] 제1 클럭 신호(CLK1)의 로우 레벨(L)이 공급된 제1 커패시터(C1)에 의해 더 낮아진 A 노드의 로우 레벨(L)과 턴-온된 제4B 트랜지스터(T4B)에 의해, Q' 노드는 A 노드를 따라 로우 레벨(L)로 급격하게 감소하였다가, 턴-온된 제4C 트랜지스터(T4C)를 통해 공급되는 게이트 오프 전압(VOFF)에 의해 Q' 노드는 A 노드와 함께 하이 레벨(H)로 상승한다.
- [0072] 제6 기간(t6) 중 A 노드 및 Q' 노드가 로우 레벨(L)인 구간에서, 제5A 내지 제5C 트랜지스터(T5A, T5B, T5C)가 턴-온되어 QB 노드는 제1 클럭 신호(CLK1)의 로우 레벨(L)을 공급받고, 로우 레벨(L)의 QB 노드에 의해 제7 트랜지스터(T7)가 턴-온되어 제2 전원 단자(PT2)로부터의 게이트 오프 전압(VOFF)이 EM 출력으로 공급된다. 이어

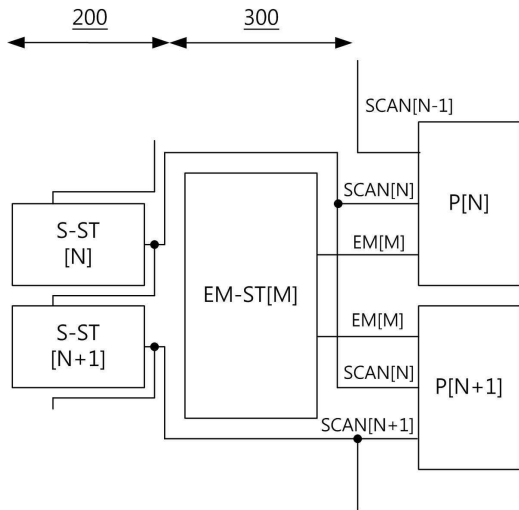


도면

도면1

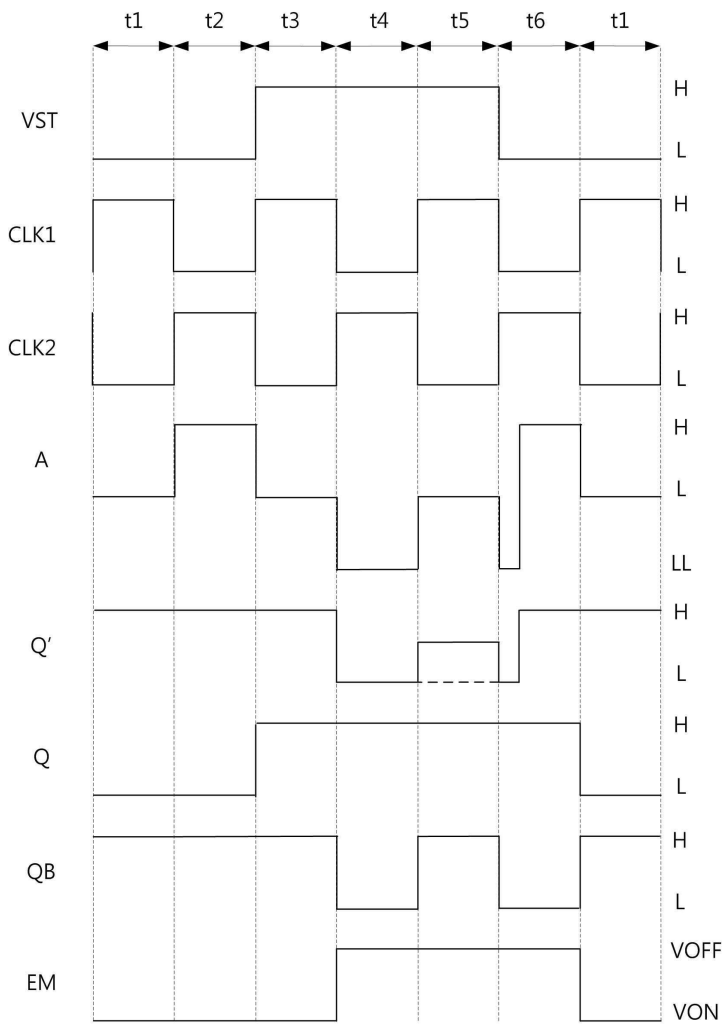


도면2

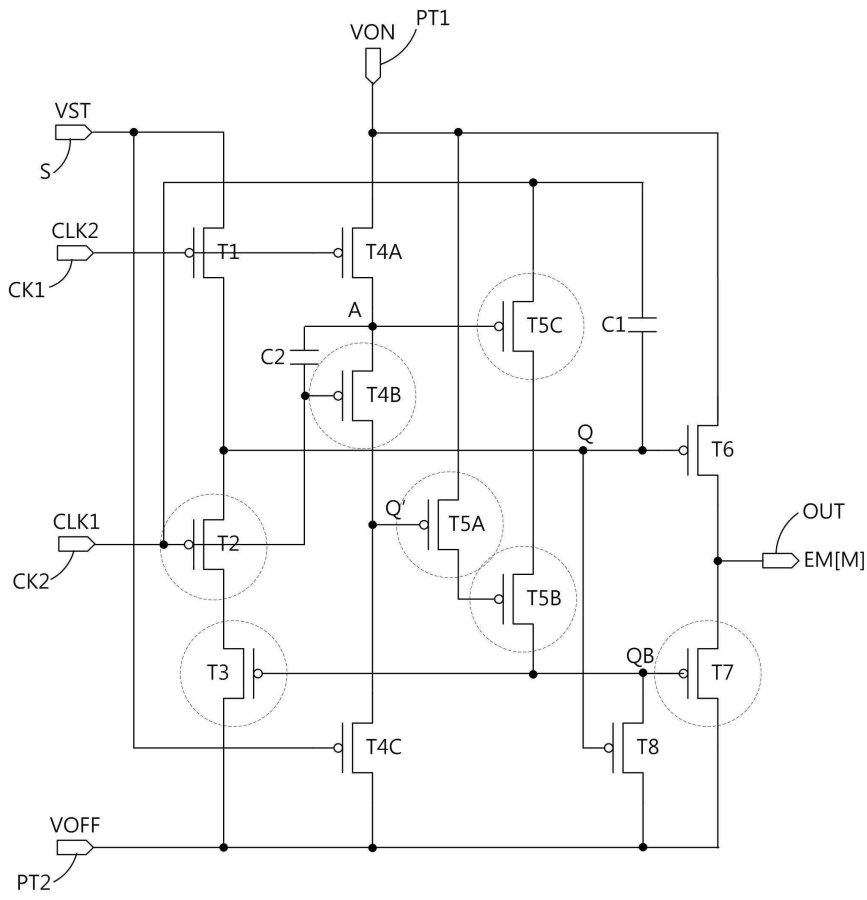




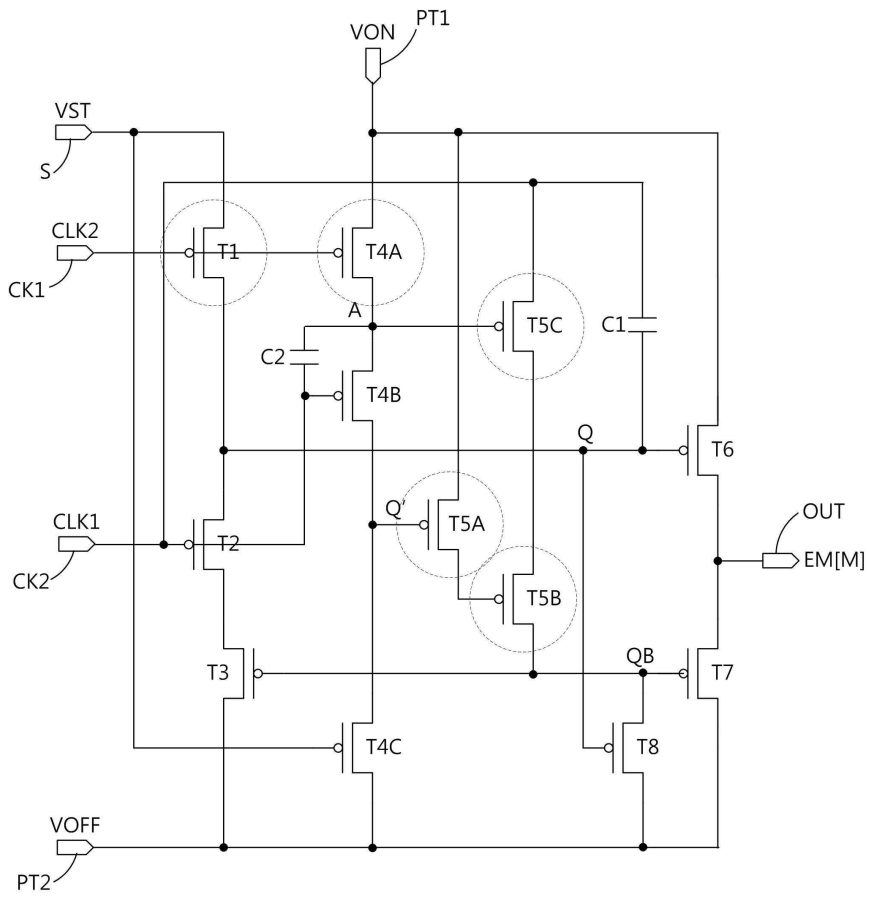
도면4



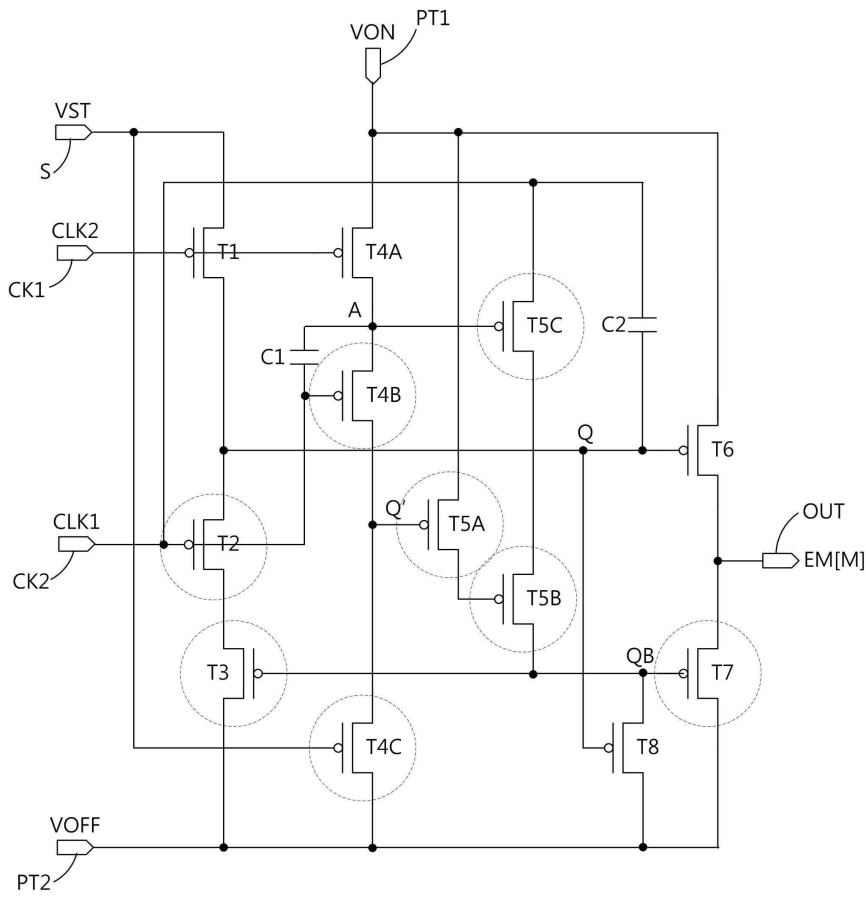
도면5a



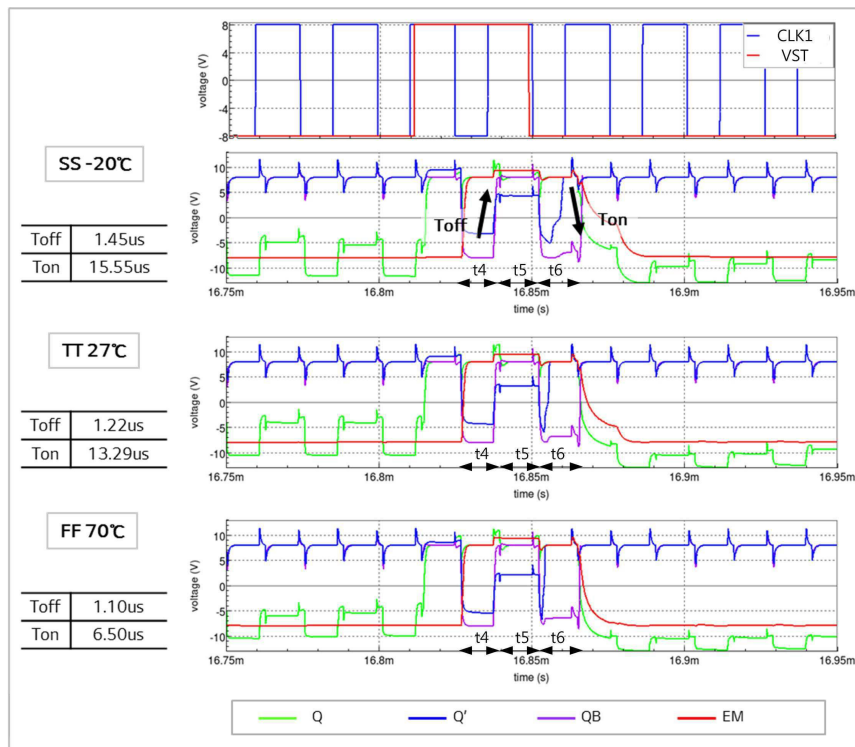
도면5b



도면5c



도면6



专利名称(译)	发射控制驱动器和使用其的有机发光二极管显示器		
公开(公告)号	<a href="#">KR1020180073112A</a>	公开(公告)日	2018-07-02
申请号	KR1020160176607	申请日	2016-12-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEONG YONG MIN 정용민 SHIM DA HYE 심다혜 PARK JI HYEON 박지현		
发明人	정용민 심다혜 박지현		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2320/041		
代理人(译)	Bakyoungbok		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明中，根据所述发射控制驱动器的一个实施例和使用该能够防止输出故障，同时简化了电路结构的相同的有机发光二极管显示装置，Q节点控制器，Q节点控制器中的发光控制驱动器的每一级QB控制单元和输出缓冲单元。Q节点控制单元控制Q节点，包括由置位端子，第一和第二时钟端子以及QB节点控制的第一至第三晶体管。Q节点控制单元包括由第一和第二时钟端子控制的第四A，第四B和第四C晶体管以及控制Q节点的置位端子。QB节点控制单元控制QB节点，包括由Q节点控制单元控制的第五A，第五B和第五C晶体管以及由Q节点控制的第八晶体管。输出缓冲器部分包括由Q节点和QB节点控制的第六和第七晶体管，以通过输出端子提供EM输出。

