



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0063565
(43) 공개일자 2018년06월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/3241 (2016.01)

(52) CPC특허분류
G09G 3/3241 (2013.01)
G09G 2300/0842 (2013.01)

(21) 출원번호 10-2016-0163448
(22) 출원일자 2016년12월02일
심사청구일자 없음

(71) 출원인
주식회사 실리콘웍스
대전광역시 유성구 테크노2로 222 (탑립동)

(72) 발명자
황동현
서울시 강동구 상암로 11 선사현대아파트 110동 2507호
이세원
대전시 유성구 상대로 17 303동 504호 (한화비발디)

(74) 대리인
특허법인(유한)유일하이스트, 김은구, 송해모

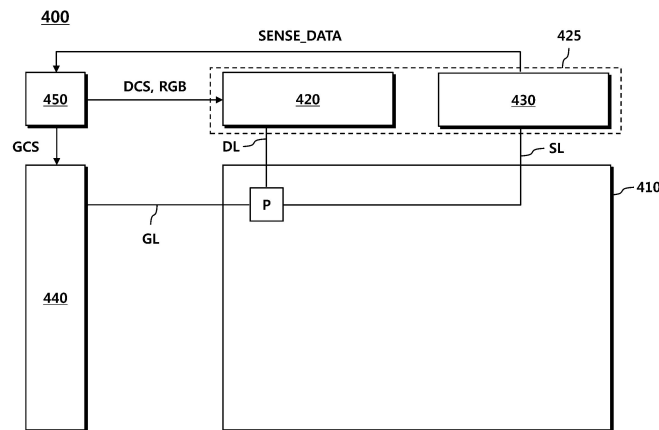
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 전류미러링회로, 패널구동장치 및 OLED드라이버

(57) 요약

본 발명은 복수의 OLED화소의 특성을 동시에 센싱하는 기술을 제공한다. 또한, OLED화소의 특성을 센싱하기 위해 사용되는 전류미러링회로는, OLED화소의 특성 센싱 이외의 다른 기술분야에도 적용될 수 있는데, 이러한 전류미러링회로는 복수의 출력단자로 균일한 크기-일정 오차범위 이내의 크기-의 센싱전류를 출력할 수 있다.

대표도



명세서

청구범위

청구항 1

제1전류 및 제2전류를 생성하는 전류생성부; 및

상기 제1전류를 미러링하는 N타입 출력트랜지스터 및 상기 제2전류를 미러링하는 P타입 출력트랜지스터를 포함하고, 상기 P타입 출력트랜지스터의 미러링전류와 상기 N타입 출력트랜지스터의 미러링전류의 차이에 해당되는 전류를 각 출력단자로 공급하는 복수의 전류미러링부를 포함하고,

각 전류미러링부의 상기 N타입 출력트랜지스터의 소스측은 제1배선의 서로 다른 위치로 순차적으로 연결되고, 상기 각 전류미러링부의 상기 P타입 출력트랜지스터의 소스측은 제2배선의 서로 다른 위치로 순차적으로 연결되는 전류미러링회로.

청구항 2

제1항에 있어서,

상기 각 전류미러링부의 상기 N타입 출력트랜지스터의 소스측은 상기 제1배선의 서로 다른 위치에 일정한 간격으로 연결되고,

상기 각 전류미러링부의 상기 P타입 출력트랜지스터의 소스측은 상기 제2배선의 서로 다른 위치에 일정한 간격으로 연결되는 전류미러링회로.

청구항 3

제1항에 있어서,

상기 각 전류미러링부의 상기 N타입 출력트랜지스터의 채널 두께(L) 및 폭(W)은 실질적으로 서로 동일하고,

상기 각 전류미러링부의 상기 P타입 출력트랜지스터의 채널 두께(L) 및 폭(W)은 실질적으로 서로 동일한 전류미러링회로.

청구항 4

제1항에 있어서,

상기 제1배선에서 인접한 상기 N타입 출력트랜지스터 사이에 형성되는 라인저항이 R_n 이고, 상기 제2배선에서 인접한 상기 P타입 출력트랜지스터 사이에 형성되는 라인저항이 R_p 이며, 상기 제1전류와 상기 R_n 의 곱과 상기 제2전류와 상기 R_p 의 곱은 일정한 오차범위 이내의 값을 가지는 전류미러링회로.

청구항 5

복수의 화소가 배치되고, 상기 화소를 구동하기 위한 복수의 데이터라인 및 상기 화소의 특성을 센싱하기 위한 복수의 센싱라인이 배치되는 패널을 구동하는 장치에 있어서,

복수의 출력단자를 통해 상기 복수의 센싱라인으로 동시에 테스트전류를 공급하고, 상기 테스트전류에 의해 상기 화소에 형성되는 센싱신호를 디지털변환하여 화소센싱데이터를 생성하는 센싱회로; 및

상기 화소센싱데이터를 이용하여 보상처리한 영상데이터를 수신하고, 상기 영상데이터를 데이터전압으로 변환하여 상기 데이터라인으로 공급하는 데이터구동회로를 포함하고,

상기 복수의 출력단자의 위치별로 상기 테스트전류의 크기를 표시할 때, 가운데 위치의 출력단자로 흐르는 상기 테스트전류의 크기가 양단 위치의 출력단자로 흐르는 상기 테스트전류의 크기보다 크거나 작은 포물선형태가 되는 패널구동장치.

청구항 6

제5항에 있어서,
상기 센싱회로는,

제1전류를 미러링하는 N타입 출력트랜지스터 및 제2전류를 미러링하는 P타입 출력트랜지스터를 포함하고, 상기 P타입 출력트랜지스터의 미러링전류와 상기 N타입 출력트랜지스터의 미러링전류의 차이에 해당되는 전류를 상기 출력단자로 공급하는 복수의 전류미러링부를 포함하는 패널구동장치.

청구항 7

제6항에 있어서,

상기 각 전류미러링부의 상기 N타입 출력트랜지스터의 소스측은 상기 제1배선의 서로 다른 위치에 일정한 간격으로 연결되고,

상기 각 전류미러링부의 상기 P타입 출력트랜지스터의 소스측은 상기 제2배선의 서로 다른 위치에 일정한 간격으로 연결되는 패널구동장치.

청구항 8

제5항에 있어서,

상기 센싱회로는,

상기 화소로부터 상기 센싱신호를 수신하고 처리하여 아날로그신호를 출력하는 센싱부,

상기 아날로그신호를 디지털데이터로 변환하는 아날로그디지털변환부, 및

상기 디지털데이터에 따라 상기 화소센싱데이터를 생성하고 출력하는 출력부를 포함하는 패널구동장치.

청구항 9

복수의 OLED(Organic Light Emitting Diode)화소가 배치되고, 상기 OLED화소를 구동하기 위한 복수의 데이터라인 및 상기 OLED화소의 특성을 센싱하기 위한 복수의 센싱라인이 배치되는 OLED패널을 구동하는 OLED드라이버에 있어서,

제1전류를 미러링하는 N타입 출력트랜지스터 및 제2전류를 미러링하는 P타입 출력트랜지스터를 포함하고, 상기 P타입 출력트랜지스터의 미러링전류와 상기 N타입 출력트랜지스터의 미러링전류의 차이에 해당되는 테스트전류를 각 출력단자를 통해 상기 복수의 센싱라인으로 공급하는 복수의 전류미러링부, 및 상기 센싱라인에 형성되는 센싱신호를 디지털변환하여 화소센싱데이터를 생성하는 센싱회로; 및

상기 화소센싱데이터를 이용하여 보상처리한 영상데이터를 수신하고, 상기 영상데이터를 데이터전압으로 변환하여 상기 데이터라인으로 공급하는 데이터구동회로를 포함하는 OLED드라이버.

청구항 10

제9항에 있어서,

상기 테스트전류가 상기 출력단자로 공급될 때,

상기 데이터구동회로는 상기 OLED화소에 배치되는 구동트랜지스터를 턴오프시키는 데이터전압을 상기 데이터라인으로 공급하는 OLED드라이버.

발명의 설명

기술 분야

[0001] 본 발명은 전류를 미러링하여 복수의 출력단자로 공급하는 회로에 관한 것이다.

배경 기술

[0002] OLED(Organic Light Emitting Diode)패널에는 다수의 OLED화소가 배치된다. 다수의 OLED화소는 제조과정에서의 환경 차이 혹은 OLED화소가 배치되는 위치의 차이에 의해 서로 다른 특성을 가질 수 있다.

- [0003] 한편, 각각의 OLED화소가 가지는 특성의 차이를 반영하지 않고 OLED화소를 구동하는 경우, OLED화소가 원하는 밝기로 구동되고, 화질이 저하되는 문제가 발생하게 된다.
- [0004] 이러한 문제를 개선하기 위해, OLED화소의 특성을 센싱하고 센싱된 OLED화소의 특성에 따라 영상데이터를 보상하는 기술이 개발되고 있다. 그런데, 종래의 기술은 OLED화소의 특성을 개별적으로 센싱함으로써 OLED패널에 배치되는 OLED화소들 전체를 센싱하는데 많은 시간을 소요하고 있다.
- [0005] 특히, 제조공정에서의 시간은 제조비용과의 연관성이 높는데, 제조공정에서 품질개선을 위해 수 천 개에 이르는 OLED화소를 개별적으로 센싱하는 경우, 제조비용이 높아지는 문제를 초래하게 된다.

발명의 내용

- [0006] 이러한 배경에서, 본 발명의 목적은, 일 측면에서, 복수의 OLED화소의 특성을 동시에 센싱하는 기술을 제공하는 것이다.
- [0007] 한편, OLED화소의 특성을 센싱하기 위해 사용되는 전류미러링회로는, OLED화소의 특성 센싱 이외의 다른 기술분야에도 적용될 수 있는데, 이러한 측면에서, 본 발명의 목적은, 복수의 출력단자로 균일한 크기-일정 오차범위 이내의 크기-의 센싱전류를 출력하는 전류미러링 기술을 제공하는 것이다.
- [0008] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 제1전류 및 제2전류를 생성하는 전류생성부; 및 상기 제1전류를 미러링하는 N타입 출력트랜지스터 및 상기 제2전류를 미러링하는 P타입 출력트랜지스터를 포함하고, 상기 P타입 출력트랜지스터의 미러링전류와 상기 N타입 출력트랜지스터의 미러링전류의 차이에 해당되는 전류를 각 출력단자로 공급하는 복수의 전류미러링부를 포함하고, 각 전류미러링부의 상기 N타입 출력트랜지스터의 소스측은 제1배선의 서로 다른 위치로 순차적으로 연결되고, 상기 각 전류미러링부의 상기 P타입 출력트랜지스터의 소스측은 제2배선의 서로 다른 위치로 순차적으로 연결되는 전류미러링회로를 제공한다.
- [0009] 다른 측면에서, 본 발명은, 복수의 화소가 배치되고, 상기 화소를 구동하기 위한 복수의 데이터라인 및 상기 화소의 특성을 센싱하기 위한 복수의 센싱라인이 배치되는 패널을 구동하는 장치에 있어서, 복수의 출력단자를 통해 상기 복수의 센싱라인으로 동시에 테스트전류를 공급하고, 상기 테스트전류에 의해 상기 화소에 형성되는 센싱신호를 디지털변환하여 화소센싱데이터를 생성하는 센싱회로; 및 상기 화소센싱데이터를 이용하여 보상처리한 영상데이터를 수신하고, 상기 영상데이터를 데이터전압으로 변환하여 상기 데이터라인으로 공급하는 데이터구동회로를 포함하고, 상기 복수의 출력단자의 위치별로 상기 테스트전류의 크기를 표시할 때, 가운데 위치의 출력단자로 흐르는 상기 테스트전류의 크기가 양단 위치의 출력단자로 흐르는 상기 테스트전류의 크기보다 크거나 작은 포물선형태가 되는 패널구동장치를 제공한다.

[0010] 또 다른 측면에서, 본 발명은, 복수의 OLED(Organic Light Emitting Diode)화소가 배치되고, 상기 OLED화소를 구동하기 위한 복수의 데이터라인 및 상기 OLED화소의 특성을 센싱하기 위한 복수의 센싱라인이 배치되는 OLED패널을 구동하는 OLED드라이버에 있어서, 제1전류를 미러링하는 N타입 출력트랜지스터 및 제2전류를 미러링하는 P타입 출력트랜지스터를 포함하고, 상기 P타입 출력트랜지스터의 미러링전류와 상기 N타입 출력트랜지스터의 미러링전류의 차이에 해당되는 테스트전류를 각 출력단자를 통해 상기 복수의 센싱라인으로 공급하는 복수의 전류미러링부, 및 상기 센싱라인에 형성되는 센싱신호를 디지털변환하여 화소센싱데이터를 생성하는 센싱회로; 및 상기 화소센싱데이터를 이용하여 보상처리한 영상데이터를 수신하고, 상기 영상데이터를 데이터전압으로 변환하여 상기 데이터라인으로 공급하는 데이터구동회로를 포함하는 OLED드라이버를 제공한다.

[0011] 이상에서 설명한 바와 같이 본 발명에 의하면, 복수의 OLED화소의 특성을 동시에 센싱할 수 있게 된다. 이를 통해, 제조시간을 단축하고 제조비용을 절감할 수 있다. 또한, 본 발명에 의하면, 전류미러링회로가 복수의 출력단자로 균일한 크기-일정 오차범위 이내의 크기-의 센싱전류를 출력할 수 있게 된다. 이를 통해, 센싱오차를 줄일 수 있고, 센싱값을 다시 보정해야하는 번거로움을 줄일 수 있게 된다.

도면의 간단한 설명

- [0012] 도 1은 일반적인 전류미러링회로의 일 예시 구성도이다.
- 도 2는 일 실시예에 따른 전류미러링회로의 구성도이다.
- 도 3은 출력단자의 위치별 테스트전류의 크기를 나타내는 그래프이다.
- 도 4는 일 실시예에 따른 OLED 표시장치의 구성도이다.

도 5는 도 4의 각 화소에 대한 화소 구조 및 데이터구동회로와 센싱회로에서 화소로 입출력되는 신호를 나타내는 도면이다.

도 6은 일 실시예에 따른 전류미러링회로를 이용하여 센싱신호처리회로의 센싱오차를 보정하는 것을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [0014] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 또 다른 구성 요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0015] 도 1은 일반적인 전류미러링회로의 일 예시 구성도이다.
- [0016] 도 1을 참조하면, 전류미러링회로(10)는 전류생성부(12) 및 복수의 전류미러링부(20a, 20b, ..., 20n)를 포함할 수 있다.
- [0017] 전류생성부(12)는 전류원(CS)를 포함하고 있으면서, 전류원(CS)을 통해 기준전류(Ia0)를 생성할 수 있다.
- [0018] 그리고, 복수의 전류미러링부(20a, 20b, ..., 20n)는 기준전류(Ia0)를 미러링하고 복수의 출력단자(OUT1, OUT2, ..., OUTn)로 미러링전류(Ia1, Ia2, ..., Ian)를 출력한다.
- [0019] 전류생성부(12)는 입력트랜지스터(Ta0)를 포함하고, 복수의 전류미러링부(20a, 20b, ..., 20n)는 각각 출력트랜지스터(Ta1, Ta2, ..., Tan)를 포함한다.
- [0020] 입력트랜지스터(Ta0)와 출력트랜지스터(Ta1, Ta2, ..., Tan)는 게이트배선(30)을 통해 게이트단자가 상호 연결되고, 소스배선(32)을 통해 소스단자가 상호 연결된다.
- [0021] 이러한 연결에서, 소스배선(32)에 라인저항이 없다면, 각 트랜지스터(Ta0, Ta1, Ta2, ..., Tan)의 게이트전압(Vg)과 소스전압(Va)은 동일하게 되어, 입력트랜지스터(Ta0)에 흐르는 기준전류(Ia0)와 실질적으로 동일한 크기를 가지는 미러링전류(Ia1, Ia2, ..., Ian)가 출력트랜지스터(Ta1, Ta2, ..., Tan)에 흐르게 된다. 그리고, 출력트랜지스터(Ta1, Ta2, ..., Tan)의 드레인단자와 연결되는 출력단자(OUT1, OUT2, ..., OUTn)에도 실질적으로 동일한 크기의 미러링전류(Ia1, Ia2, ..., Ian)가 흐르게 된다.
- [0022] 그런데, 실제 회로에 있어서는 소스배선(32)에 라인저항(Ra1, Ra2, ..., Ran)이 있기 때문에, 출력트랜지스터(Ta1, Ta2, ..., Tan)의 소스전압(Va+Δa1, Va+Δa2, ..., Va+Δan)은 서로 다르게 형성된다. 반면, 게이트배선(30)은 정전용량부하(capacitive load)이기 때문에 라인저항과 실질적으로 관련없이 출력트랜지스터(Ta1, Ta2, ..., Tan)는 동일한 게이트전압(Vg)을 가질 수 있다. 이에 따라, 각 트랜지스터(Ta0, Ta1, Ta2, ..., Tan)의 게이트-소스전압은 서로 다르게 되고, 각 트랜지스터(Ta0, Ta1, Ta2, ..., Tan)로 흐르는 전류(Ia0, Ia1, Ia2, ..., Ian)도 서로 다르게 된다.
- [0023] 이러한 일반적인 전류미러링회로를 이용하게 되면, 각 출력단자(OUT1, OUT2, ..., OUTn)로 흐르는 미러링전류(Ia1, Ia2, ..., Ian)의 크기가 달라지게 되어, 정확한 센싱을 하지 못하는 문제가 발생할 수 있다. 혹은, 각 출력단자(OUT1, OUT2, ..., OUTn)의 편차를 보상하기 위해, 센싱값을 후처리해야 하는 문제가 발생할 수 있다.
- [0024] 도 2는 일 실시예에 따른 전류미러링회로의 구성도이다.
- [0025] 도 2를 참조하면, 전류미러링회로(200)는 전류생성부(210) 및 복수의 전류미러링부(220a, 220b, ..., 220n)를 포함할 수 있다.
- [0026] 전류생성부(210)는 제1전류(In0) 및 제2전류(Ip0)를 생성할 수 있다. 전류생성부(210)는 제1전류(In0)를 생성하는 제1전류생성부(212) 및 제2전류(Ip0)를 생성하는 제2전류생성부(214)를 포함할 수 있다.

- [0027] 제1전류생성부(212)는 제1전류원(CS1)과 N타입 입력트랜지스터(Tn0)를 포함할 수 있다.
- [0028] N타입 입력트랜지스터(Tn0)의 일측-예를 들어, 드레인측(이하에서는 '드레인측'이라 함)-은 제1전류원(CS1)과 연결되고, 타측-예를 들어, 소스측(이하에서는 '소스측'이라 함)-은 구동저전압(VSS)과 연결될 수 있다. 그리고, 제1전류원(CS1)의 일측은 구동고전압(VDD)과 연결되고, 타측은 N타입 입력트랜지스터(Tn0)의 드레인측과 연결될 수 있다.
- [0029] 제2전류생성부(214)는 제2전류원(CS2)과 P타입 입력트랜지스터(Tp0)를 포함할 수 있다.
- [0030] P타입 입력트랜지스터(Tp0)의 일측-예를 들어, 소스측(이하에서는 '소스측'이라 함)-은 구동고전압(VDD)과 연결되고, 타측-예를 들어, 드레인측(이하에서는 '드레인측'이라 함)-은 제2전류원(CS2)과 연결될 수 있다. 그리고, 제2전류원(CS2)의 일측은 P타입 입력트랜지스터(Tp0)의 드레인측과 연결되고, 타측은 구동저전압(VSS)과 연결될 수 있다.
- [0031] 복수의 전류미러링부(220a, 220b, ..., 220n)는 각각 제1전류(In0)를 미러링하는 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn) 및 제2전류(Ip0)를 미러링하는 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)를 포함할 수 있다. N타입 입력트랜지스터(Tn0) 및 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)는 NMOS(N-channel Metal Oxide Semiconductor)일 수 있다. 그리고, P타입 입력트랜지스터(Tp0) 및 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)는 PMOS(P-channel Metal Oxide Semiconductor)일 수 있다.
- [0032] 각각의 전류미러링부(220a, 220b, ..., 220n)에서 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 소스측은 제1배선(230)에 연결되고, 드레인측은 출력단자(OUT1, OUT2, ..., OUTn)에 연결될 수 있다. 그리고, 각각의 전류미러링부(220a, 220b, ..., 220n)에서 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 소스측은 제2배선(232)에 연결되고, 드레인측은 출력단자(OUT1, OUT2, ..., OUTn)에 연결될 수 있다.
- [0033] 그리고, 복수의 전류미러링부(220a, 220b, ..., 220n)는 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 미러링 전류(Ip1, Ip2, ..., Ipn; 이하 'P타입 미러링전류'라 함)와 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 미러링전류(In1, In2, ..., Inn; 이하 'N타입 미러링전류'라 함)의 차이에 해당되는 테스트전류(It1, It2, ..., Itn)를 출력단자(OUT1, OUT2, ..., OUTn)로 공급할 수 있다.
- [0034] 전류생성부(210)와의 연결 관계를 보면, 복수의 전류미러링부(220a, 220b, ..., 220n)에 배치되는 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 소스측은 N타입 입력트랜지스터(Tn0)의 소스측과 연결되는 제1배선(230)의 서로 다른 위치로 순차적으로 연결될 수 있다. 그리고, 복수의 전류미러링부(220a, 220b, ..., 220n)에 배치되는 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 소스측은 P타입 입력트랜지스터(Tp0)의 소스측과 연결되는 제2배선(232)의 서로 다른 위치로 순차적으로 연결될 수 있다.
- [0035] N타입 입력트랜지스터(Tn0)의 게이트측과 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 게이트측은 제3배선(234)을 통해 연결될 수 있는데, 제3배선(234)은 정전용량부하와 같이 작동하기 때문에 N타입 입력트랜지스터(Tn0)와 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 게이트전압(Vgn)은 실질적으로 동일할 수 있다.
- [0036] P타입 입력트랜지스터(Tp0)의 게이트측과 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 게이트측은 제4배선(236)을 통해 연결될 수 있는데, 제4배선(236)은 정전용량부하와 같이 작동하기 때문에 P타입 입력트랜지스터(Tp0)와 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 게이트전압(Vgp)은 실질적으로 동일할 수 있다.
- [0037] 한편, 제1배선(230)은 제1전류생성부(212)에 배치되는 N타입 입력트랜지스터(Tn0)의 소스측과 복수의 전류미러링부(220a, 220b, ..., 220n)에 배치되는 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 소스측을 연결시키는 배선인데, 각각의 전류미러링부(220a, 220b, ..., 220n)가 일정한 소자 면적을 가지고 있기 때문에, N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 소스측은 제1배선(230)에서 서로 다른 위치로 연결될 수 있다. 그리고, 제1배선(230)에는 라인저항(Rn1, Rn2, ..., Rnn)이 존재하고, 제1배선(230)을 통해 N타입 미러링전류(In1, In2, ..., Inn)가 흐르기 때문에, 각 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 소스측 전압(Vsn+Δn1, Vsn+Δn2, ..., Vsn+Δnn)은 서로 다를 수 있다.
- [0038] 또한, 제2배선(232)은 제2전류생성부(214)에 배치되는 P타입 입력트랜지스터(Tp0)의 소스측과 복수의 전류미러링부(220a, 220b, ..., 220n)에 배치되는 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 소스측을 연결시키는 배선인데, 각각의 전류미러링부(220a, 220b, ..., 220n)가 일정한 소자 면적을 가지고 있기 때문에, P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 소스측은 제2배선(232)에서 서로 다른 위치로 연결될 수 있다. 그리고, 제2배선(232)에는 라인저항(Rp1, Rp2, ..., Rpn)이 존재하고, 제2배선(232)을 통해 P타입 미러링전류(Ip1, Ip2,

..., I_{pn})가 흐르기 때문에, 각 P타입 출력트랜지스터(T_{p1}, T_{p2}, ..., T_{pn})의 소스측 전압(V_{sp}+Δ_{p1}, V_{sp}+Δ_{p2}, ..., V_{sp}+Δ_{pn})은 서로 다를 수 있다.

- [0039] 이렇게 제1배선(230)과 제2배선(232)에 존재하는 라인저항에 의해 출력트랜지스터의 소스측 전압이 달라지고, 각 출력트랜지스터에 흐르는 미러링전류도 달라지지만, 일 실시예에 따른 전류미러링회로(200)는 라인저항에 의해 발생하는 미러링전류의 편차를 상측과 하측에 각각 위치하는 P타입 출력트랜지스터(T_{p1}, T_{p2}, ..., T_{pn})와 N타입 출력트랜지스터(T_{n1}, T_{n2}, ..., T_{nn})가 서로 상쇄시키도록 함으로써 그 편차의 크기를 현저하게 줄일 수 있게 된다.
- [0040] 제1전류미러링부(220a)를 참조하여 편차가 상쇄되는 예시를 설명한다.
- [0041] [수식 1] $I_{t1} = I_{p1} - I_{n1}$
- [0042] 제1출력단자(OUT1)로 흐르는 제1테스트전류(I_{t1})는 수식 1과 같이 제1P타입 미러링전류(I_{p1})와 제1N타입 미러링전류(I_{n1})의 차이로 결정될 수 있다.
- [0043] [수식 2] $I_{p1} = k_p * (V_{sp} - \Delta_{p1} - V_{gp} - V_{th})^2$
- [0044] [수식 3] $I_{n1} = k_p * (V_{gn} - V_{sn} - \Delta_{n1} - V_{th})^2$
- [0045] 그리고, 제1P타입 미러링전류(I_{p1})는 수식 2와 같이 게이트-소스전압(V_{sp} - Δ_{p1} - V_{gp})에서 문턱전압(V_{th})을 뺀 값을 제공하고, 그 결과값에 트랜지스터 계수(k_p)를 곱해 결정할 수 있다. 그리고, 제1N타입 미러링전류(I_{n1})는 수식 3과 같이 게이트-소스전압(V_{gn} - V_{sn} - Δ_{n1})에서 문턱전압(V_{th})을 뺀 값을 제공하고, 그 결과값에 트랜지스터 계수(k_p)를 곱해 결정할 수 있다.
- [0046] [수식 4] $I_{t1} = k_p * (V_{sp} - V_{gp} - V_{gn} + V_{sn} - (\Delta_{p1} - \Delta_{n1})) * (V_{sp} - V_{gp} + V_{gn} - V_{sn} - \Delta_{p1} - \Delta_{n1} - 2 * V_{th})$
- [0047] 수식 1, 수식 2 및 수식 3을 정리하면, 제1테스트전류(I_{t1})은 수식 4와 같이 정리될 수 있다.
- [0048] [수식 5] $V_{sp} - V_{gp} + V_{gn} - V_{sn} \gg \Delta_{p1} + \Delta_{n1} + 2 * V_{th}$
- [0049] 수식 5에서 게이트-소스전압의 합(V_{sp} - V_{gp} + V_{gn} - V_{sn})이 전압강하(Δ_{p1} 및 Δ_{n1}) 및 2배의 문턱전압(V_{th})의 합보다 훨씬 크기 때문에, 수식 4에서, 전압강하(Δ_{p1} 및 Δ_{n1}) 및 2배의 문턱전압(V_{th})의 합은 무시될 수 있다.
- [0050] [수식 6] $I_{t1} \approx k_p * (V_{sp} - V_{gp} - V_{gn} + V_{sn} - (\Delta_{p1} - \Delta_{n1})) * (V_{sp} - V_{gp} + V_{gn} - V_{sn})$
- [0051] 수식 5에 따라, 수식 4를 정리하면, 제1테스트전류(I_{t1})은 수식 6과 같이 정리될 수 있다.
- [0052] [수식 7] $I_{p0} - I_{n0} = k_p * (V_{sp} - V_{gp} - V_{gn} + V_{sn}) * (V_{sp} - V_{gp} + V_{gn} - V_{sn})$
- [0053] 수식 7은 제2전류(I_{p0})에서 제1전류(I_{n0})를 뺀 값을 나타내는데, 수식 7과 수식 6을 비교하면, (Δ_{p1} - Δ_{n1}) 부분에서 차이가 난다. 일 실시예에 따른 전류미러링회로(200)에서 상측과 하측은 서로 대칭적인 형태를 나타낼 수 있는데, 이에 따라, (Δ_{p1} - Δ_{n1}) 값은 작은 값을 가지게 되고, 제2전류(I_{p0})에서 제1전류(I_{n0})를 뺀 값과 제1테스트전류(I_{t1})의 차이는 크지 않게 된다.
- [0054] 또한, 제2배선(232)에 형성되는 전압강하(Δ_{p1})와 제1배선(230)에 형성되는 전압강하(Δ_{n1})는 제2배선-제1라인저항(R_{p1}) 및 제1배선-제1라인저항(R_{n1})의 설계에 따라 동일하게 조정될 수도 있다.
- [0055] [수식 8] $\Delta_{p1} = R_{p1} * (I_{p1} + I_{p2} + \dots + I_{pn})$
- [0056] 제2배선(232)의 전압강하(Δ_{p1})는 수식 8과 같이, P타입 입력트랜지스터(T_{p0})의 소스측과 제1P타입 출력트랜지스터(T_{p1})의 소스측 사이의 제2배선-제1라인저항(R_{p1})에 각 P타입 미러링전류(I_{p1}, I_{p2}, ..., I_{pn})를 모두 합한 것을 서로 곱해 계산할 수 있다.
- [0057] [수식 9] $\Delta_{n1} = R_{n1} * (I_{n1} + I_{n2} + \dots + I_{nn})$
- [0058] 그리고, 제1배선(230)의 전압강하(Δ_{n1})는 수식 9와 같이, N타입 입력트랜지스터(T_{n0})의 소스측과 제1N타입 출력트랜지스터(T_{n1})의 소스측 사이의 제1배선-제1라인저항(R_{n1})에 각 N타입 미러링전류(I_{n1}, I_{n2}, ..., I_{nn})를 모두 합한 것을 서로 곱해 계산할 수 있다.
- [0059] 수식 8과 수식 9에서, 제2배선-제1라인저항(R_{p1})과 제1배선-제1라인저항(R_{n1})을 적절히 설계하여 (Δ_{p1} - Δ_{n1})

1)을 실질적으로 0 혹은 매우 작은 값으로 만들 수 있다. 일 예로서, 제2배선-제1라인저항(Rp1)과 제2전류(Ip0)의 곱과, 제1배선-제1라인저항(Rn1)과 제1전류(In0)의 곱이 일정한 오차범위 이내의 값을 가지도록 형성되면, ($\Delta p1 - \Delta n1$)은 실질적으로 0이 되거나 매우 작은 값으로 무시할 수 있게 된다.

- [0060] 수식 1 내지 수식 9를 참조하여 설명한 내용은 모든 전류미러링부(220a, 220b, ..., 220n)에 적용될 수 있고, 이에 따라, 전류미러링부(200)는 모든 출력단자(OUT1, OUT2, ..., OUTn)로 적은 편차를 가지는 테스트전류(It1, It2, ..., Itn)를 공급할 수 있다.
- [0061] 한편, 각 전류미러링부(220a, 220b, ..., 220n)의 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 소스측은 제1배선(230)의 서로 다른 위치에 일정한 간격으로 연결될 수 있다. 이러한 실시예에서, 제1배선(230)의 폭 및 두께가 일정한 경우, 인접한 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 소스측 사이에 형성되는 라인저항들(Rn1, Rn2, ..., Rnn)의 크기는 실질적으로 동일할 수 있다.
- [0062] 그리고, 각 전류미러링부(220a, 220b, ..., 220n)의 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 소스측은 제2배선(232)의 서로 다른 위치에 일정한 간격으로 연결될 수 있다. 이러한 실시예에서, 제2배선(232)의 폭 및 두께가 일정한 경우, 인접한 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 소스측 사이에 형성되는 라인저항들(Rp1, Rp2, ..., Rpn)의 크기는 실질적으로 동일할 수 있다.
- [0063] 제1배선(230)에서 크기가 같고, 인접한 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 소스측 사이에 형성되는 라인저항을 Rn이라 하고, 제2배선(232)에서 인접한 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 소스측 사이에 형성되는 라인저항을 Rp라고 할 때, 제1전류(In0)와 Rn의 곱과 제2전류(Ip0)와 Rp의 곱이 일정한 오차범위 이내의 값을 가지면, 인접한 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 소스측 사이에 형성되는 전압강하(Δn)과 인접한 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 소스측 사이에 형성되는 전압강하(Δp)는 실질적으로 동일하거나 일정한 오차범위 이내에 있을 수 있다.
- [0064] 한편, 각 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 트랜지스터계수(kpn)는 서로 같을 수 있다. 그리고, 각 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 트랜지스터계수(kpp)는 서로 같을 수 있다.
- [0065] [수식 10]
- [0066] $kpn = 1/2 * \mu n * Cox * W/L$
- [0067] $kpp = 1/2 * \mu p * Cox * W/L$
- [0068] $\mu n, \mu p$: 모빌리티, Cox : 공정파라미터, W : 채널 폭, L : 채널 두께
- [0069] 각 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 트랜지스터계수(kpn)를 서로 같게 하기 위해, 각 N타입 출력트랜지스터(Tn1, Tn2, ..., Tnn)의 채널 두께(L) 및 폭(W)은 실질적으로 서로 동일할 수 있다.
- [0070] 그리고, 각 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 트랜지스터계수(kpp)를 서로 같게 하기 위해, 각 P타입 출력트랜지스터(Tp1, Tp2, ..., Tpn)의 채널 두께(L) 및 폭(W)은 실질적으로 서로 동일할 수 있다.
- [0071] 복수의 출력단자(OUT1, OUT2, ..., OUTn)의 위치별로 테스트전류(It1, It2, ..., Itn)의 크기를 표시하면 도 3과 같다.
- [0072] 도 3은 출력단자의 위치별 테스트전류의 크기를 나타내는 그래프이다.
- [0073] 도 3에서 점선은 도 1의 예시에 따른 전류미러링회로의 출력단자별 테스트전류(Ia)의 크기를 나타내고, 실선은 일 실시예에 따른 전류미러링회로의 출력단자별 테스트전류(It)의 크기를 나타낸다. 그리고, 도 3에서, 제1출력단자(OUT1)로부터 제n출력단자(OUTn) 쪽으로 갈수록 위치상으로 전류생성부와 멀어지는 것을 의미한다.
- [0074] 도 3을 참조하면, 도 1의 예시에 따른 전류미러링회로의 출력단자별 테스트전류는 전류생성부로부터 멀어질수록 작아진다. 이는 출력트랜지스터의 소스측 배선의 라인저항에 따라 출력트랜지스터의 게이트-소스전압이 전류생성부로부터 멀어질수록 점점 작아지기 때문이다.
- [0075] 반면, 일 실시예에 따른 전류미러링회로의 출력단자별 테스트전류는 출력단자의 위치와 상관없이 일정한 오차범위(Err) 이내에 해당된다. 다만, 일 실시예에 따른 전류미러링회로의 출력단자의 위치별로 테스트전류(It)의 크기를 표시하면, 그 표시형태가 도 3과 같이 가운데 위치의 출력단자로 흐르는 테스트전류(Itc)의 크기가 양단 위치의 출력단자로 흐르는 테스트전류(Ita, Itb)의 크기보다 크거나 작은 포물선형태가 된다. 이는 수식 1 내지 수식 8에서 크기가 작아 무시했던 부분이 미세하게 영향을 미치기 때문이다. 다만, 이러한 미세한 영향이 크기

않아, 전체 테스트전류(It)는 일정한 오차범위(Err) 내에 해당되게 된다.

- [0076] 일 실시예에 따른 전류미러링회로는 다양한 어플리케이션에 적용될 수 있다. 아래에서는 전류미러링회로가 OLED 화소의 특성을 측정하는 어플리케이션에 적용되는 예시를 설명한다.
- [0077] 도 4는 일 실시예에 따른 OLED 표시장치의 구성도이다.
- [0078] 도 4를 참조하면, 표시장치(400)는 OLED패널(410) 및 OLED패널(410)을 구동하는 패널구동장치(420, 430, 440, 450)를 포함할 수 있다.
- [0079] OLED패널(410)에는 복수의 데이터라인(DL), 복수의 게이트라인(GL) 및 복수의 센싱라인(SL)이 배치되고, 복수의 화소(P)가 배치될 수 있다.
- [0080] 패널구동장치는 데이터구동회로(420), 센싱회로(430), 게이트구동회로(440), 데이터처리회로(450) 등으로 구성될 수 있다.
- [0081] 패널구동장치에서, 게이트구동회로(440)는 턴온전압 혹은 턴오프전압의 스캔신호를 게이트라인(GL)으로 공급할 수 있다. 턴온전압의 스캔신호가 화소(P)로 공급되면 해당 화소(P)는 데이터라인(DL)과 연결되고 턴오프전압의 스캔신호가 화소(P)로 공급되면 해당 화소(P)와 데이터라인(DL)의 연결은 해제된다.
- [0082] 패널구동장치에서, 데이터구동회로(420)는 데이터라인(DL)으로 데이터전압을 공급한다. 데이터라인(DL)으로 공급된 데이터전압은 스캔신호에 따라 데이터라인(DL)과 연결된 화소(P)로 전달되게 된다.
- [0083] 패널구동장치에서, 센싱회로(430)는 각 화소(P)에 형성되는 센싱신호-예를 들어, 전압, 전류 등-를 수신한다. 센싱회로(430)는 스캔신호에 따라 각 화소(P)와 연결될 수도 있고, 별도의 센싱신호에 따라 각 화소(P)와 연결될 수도 있다. 이때, 센싱신호는 게이트구동회로(440)에 의해 생성될 수 있다.
- [0084] 패널구동장치에서, 데이터처리회로(450)는 게이트구동회로(440) 및 데이터구동회로(420)로 각종 제어신호를 공급할 수 있다. 데이터처리회로(450)는 각 프레임에서 구현하는 타이밍에 따라 스캔이 시작되도록 하는 게이트제어신호(GCS)를 생성하여 게이트구동회로(440)로 전송할 수 있다. 그리고, 데이터처리회로(450)는 외부에서 입력되는 영상데이터를 데이터구동회로(420)에서 사용하는 데이터 신호 형식에 맞게 전환한 영상데이터(RGB)를 데이터구동회로(420)로 출력할 수 있다. 또한, 데이터처리회로(450)는 각 타이밍에 맞게 데이터구동회로(420)가 각 화소(P)로 데이터전압을 공급하도록 제어하는 데이터제어신호(DCS)를 전송할 수 있다.
- [0085] 데이터처리회로(450)는 화소(P)의 특성에 따라 영상데이터(RGB)를 보상하여 전송할 수 있다. 이때, 데이터처리회로(450)는 센싱회로(430)로부터 화소센싱데이터(SENSE_DATA)를 수신할 수 있다. 화소센싱데이터(SENSE_DATA)에는 화소(P)의 특성에 대한 측정값이 포함될 수 있다.
- [0086] 한편, 데이터구동회로(420)는 소스드라이버라는 명칭으로 불리울 수 있다. 그리고, 게이트구동회로(440)는 게이트드라이버라는 명칭으로 불리울 수 있다. 그리고, 데이터처리회로(450)는 타이밍컨트롤러라는 명칭으로 불리울 수 있다. 데이터구동회로(420)와 센싱회로(430)는 하나의 집적회로(125)에 포함되어 있으면서, OLED드라이버라는 명칭으로 불리울 수 있다. 또한, 데이터구동회로(420), 센싱회로(430) 및 데이터처리회로(450)는 하나의 집적회로에 포함되어 있으면서, 통합IC라는 명칭으로 불리울 수 있다. 본 실시예가 이러한 명칭으로 제한되는 것은 아니나, 아래 실시예에 대한 설명에서는 소스드라이버, 게이트드라이버, 타이밍컨트롤러 등에서 일반적으로 알려진 일부 구성들의 설명은 생략한다. 따라서, 실시예에 대한 이해에 있어서는 이러한 일부 구성들이 생략되어 있는 것을 고려하여야 한다.
- [0087] 한편, OLED패널(410)에 배치되는 화소(P)들은 유기발광다이오드(OLED: Organic Light Emitting Diode) 및 하나 이상의 트랜지스터를 포함할 수 있다. 각 화소(P)에 포함되는 유기발광다이오드(OLED) 및 트랜지스터의 특성은 시간 혹은 주변 환경에 따라 변할 수 있다. 일 실시예에 따른 센싱회로(430)는 각 화소(P)에 포함된 이러한 구성요소들의 특성을 센싱하여 데이터처리회로(450)로 전송할 수 있다.
- [0088] 도 2 내지 도 3을 참조하여 설명한 전류미러링회로는 센싱회로(430)에 포함될 수 있다. 도 5를 참조하여, 센싱회로(430)에서의 전류미러링회로의 기능을 설명한다.
- [0089] 도 5는 도 4의 각 화소에 대한 화소 구조 및 데이터구동회로와 센싱회로에서 화소로 입출력되는 신호를 나타내는 도면이다.
- [0090] 도 5를 참조하면, 화소(P)는 유기발광다이오드(OLED), 구동트랜지스터(DRT), 스위칭트랜지스터(SWT), 센싱트랜

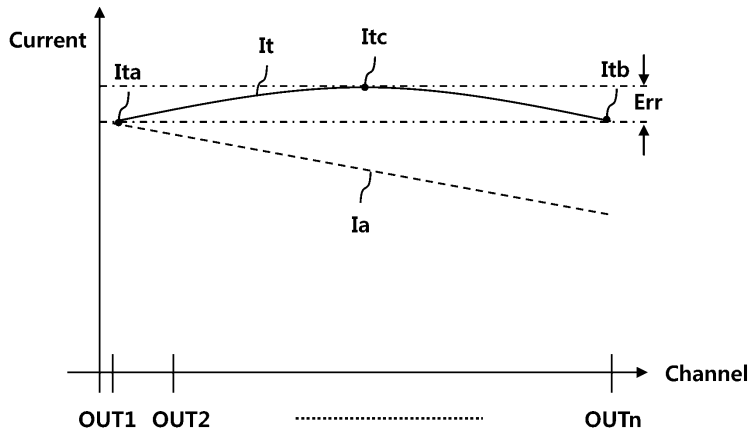
지스터(SENT) 및 스토리지캐패시터(Cstg) 등을 포함할 수 있다.

- [0091] 유기발광다이오드(OLED)는 애노드전극, 유기층 및 캐소드전극 등으로 이루어질 수 있다. 구동트랜지스터(DRT)의 제어에 따라 애노드전극은 구동전압(EVDD)과 연결되고 캐소드전극은 기저전압(EVSS)과 연결되면서 발광하게 된다.
- [0092] 구동트랜지스터(DRT)는 유기발광다이오드(OLED)로 공급되는 구동전류를 제어함으로써 유기발광다이오드(OLED)의 밝기를 제어할 수 있다.
- [0093] 구동트랜지스터(DRT)의 제1노드(N1)는 유기발광다이오드(OLED)의 애노드전극과 전기적으로 연결될 수 있으며, 소스 노드 혹은 드레인 노드일 수 있다. 구동트랜지스터(DRT)의 제2노드(N2)는 스위칭트랜지스터(SWT)의 소스 노드 혹은 드레인 노드와 전기적으로 연결될 수 있으며, 게이트 노드일 수 있다. 구동트랜지스터(DRT)의 제3노드(N3)는 구동전압(EVDD)을 공급하는 구동전압라인(DVL)과 전기적으로 연결될 수 있으며, 드레인 노드 혹은 소스 노드일 수 있다.
- [0094] 스위칭트랜지스터(SWT)는 데이터라인(DL)과 구동트랜지스터(DRT)의 제2노드(N2) 사이에 전기적으로 연결되고, 게이트 라인(GL)을 통해 스캔신호를 공급받아 턴온될 수 있다.
- [0095] 이러한 스위칭트랜지스터(SWT)가 턴온되면 데이터라인(DL)을 통해 데이터구동회로(420)로부터 공급된 데이터전압(Vdata)이 구동트랜지스터(DRT)의 제2노드(N2)로 전달되게 된다.
- [0096] 스토리지캐패시터(Cstg)는 구동트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 전기적으로 연결될 수 있다.
- [0097] 스토리지캐패시터(Cstg)는 구동트랜지스터(DRT)의 제1노드(N1)와 제2노드(N2) 사이에 존재하는 기생캐패시터일 수도 있고, 구동트랜지스터(DRT)의 외부에 의도적으로 설계한 외부 캐패시터일 수 있다.
- [0098] 센싱트랜지스터(SENT)는 구동트랜지스터(DRT)의 제1노드(N1)와 센싱라인(S)을 연결시킬 수 있다.
- [0099] 제1노드(N1)와 센싱라인(S)이 연결될 때, 센싱회로(430)에 포함된 전류미러링회로(200)는 유기발광다이오드(OLED)로 테스트전류(I_t)를 공급할 수 있다. 그리고, 센싱회로(430)에 포함된 센싱신호처리회로(432)는 유기발광다이오드(OLED)에 형성되는 센싱신호(V_{sense})-예를 들어, 전압-를 수신하고 처리할 수 있다. 센싱회로(430)는 센싱라인(SL)을 통해 전달되는 센싱신호(V_{sense})를 이용하여 화소(P)의 특성을 측정하게 된다.
- [0100] 유기발광다이오드(OLED)에 형성되는 센싱신호(V_{sense})를 측정하면, 유기발광다이오드(OLED)의 기생정전용량, 전류특성 등의 유기발광다이오드(OLED)의 열화정도를 파악할 수 있다.
- [0101] 센싱회로(430)는 이러한 측정값을 데이터처리회로(도 4의 450 참조)로 전송할 수 있다. 그리고, 데이터처리회로(도 4의 450 참조)는 이러한 측정값을 분석하여 각 화소(P)의 특성을 파악할 수 있다.
- [0102] 한편, 센싱회로(430)는 OLED패널에 배치되는 다수의 화소(P)에 대한 특성치를 측정해야 하는데, 이때, 측정시간을 단축시키기 위해, 전류미러링회로(200)는 복수의 출력단자를 통해 복수의 센싱라인(SL)으로 동시에 테스트전류(I_t)를 공급할 수 있다. 그리고, 센싱신호처리회로(432)는 테스트전류(I_t)에 의해 화소(P)에 형성되는 센싱신호(V_{sense})를 디지털변환하여 화소센싱데이터(도 4의 SENSE_DATA 참조)를 생성할 수 있다.
- [0103] 복수의 출력단자에서 출력되는 테스트전류(I_t)는 도 2 내지 도 3을 참조하여 설명한 것과 같이 편차가 일정한 오차범위 이내에 해당될 수 있다. 예를 들어, 도 3에 도시된 것과 같이, 전류미러링회로(200)의 복수의 출력단자의 위치별로 테스트전류(I_t)의 크기를 표시하면, 가운데 위치의 출력단자로 흐르는 테스트전류의 크기가 양단 위치의 출력단자로 흐르는 테스트전류의 크기보다 크거나 작은 포물선형태가 될 수 있다.
- [0104] 한편, 센싱회로(430)와 데이터구동회로(420)는 화소(P)에 대한 특성의 센싱이 정확하게 이루어질 수 있도록 유기적으로 작동할 수 있다. 예를 들어, 전류미러링회로(200)가 복수의 출력단자로 동시에 테스트전류(I_t)를 공급할 때, 데이터구동회로(420)는 화소(P)에 배치되는 구동트랜지스터(DRT)를 턴오프시키는 데이터전압(Vdata)을 데이터라인(DL)으로 공급할 수 있다. 이러한 예시에서, 구동트랜지스터(DRT)의 턴오프에 따라, 테스트전류(I_t)는 다른 구성에 영향을 받지 않고, 유기발광다이오드(OLED)로만 흐를 수 있게 된다.
- [0105] 한편, 도 2 내지 도 3을 참조하여 설명한 전류미러링회로는 센싱신호처리회로(432)의 센싱오차를 보정하는데에도 적용될 수 있다.
- [0106] 도 6은 일 실시예에 따른 전류미러링회로를 이용하여 센싱신호처리회로의 센싱오차를 보정하는 것을 설명하기

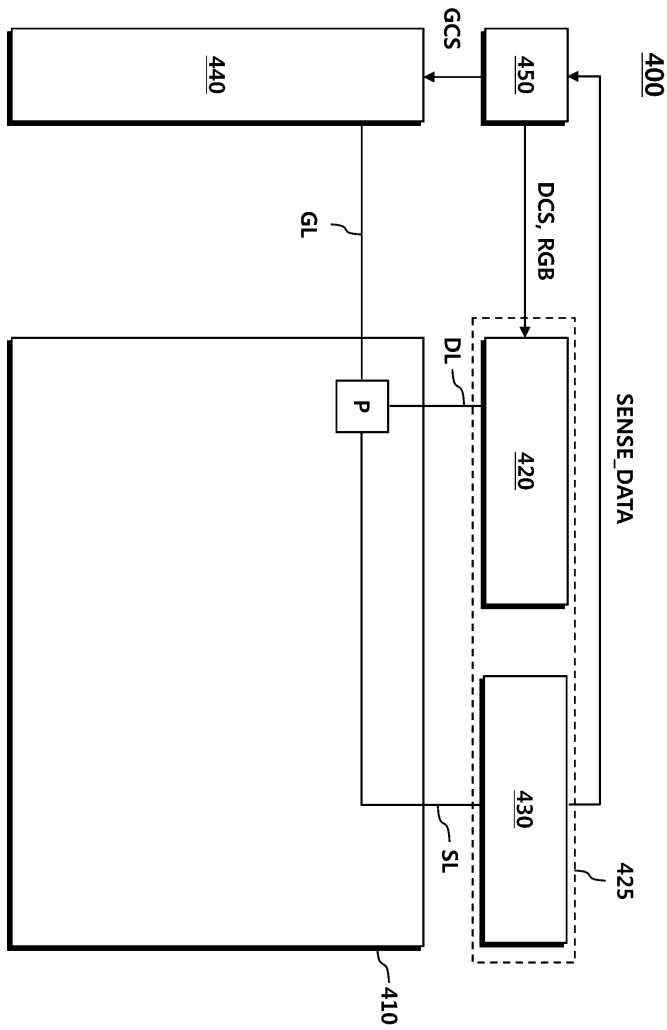
위한 도면이다.

- [0107] 도 6을 참조하면, 센싱신호처리회로(432)에는 화소(P)로부터 센싱신호를 수신하고 처리하여 아날로그신호를 출력하는 센싱부(610), 아날로그신호를 디지털데이터로 변환하는 아날로그디지털변환부(620) 및 디지털데이터에 따라 화소센싱데이터를 생성하고 출력하는 출력부(630) 등이 포함될 수 있다.
- [0108] 한편, 전류미러링회로(200)가 동시에 복수의 센싱라인(SL)으로 테스트전류(It)를 공급하기 때문에, 센싱신호처리회로(432) 또한, 복수의 센싱신호를 수신할 수 있도록 복수의 센싱부(610)를 포함할 수 있다. 이때, 복수의 센싱부(610)에 배치되는 소자들의 편차에 의해 각 센싱라인(SL)에 대한 측정값에 편차가 발생할 수 있다.
- [0109] 이러한 복수의 센싱부(610)에서의 센싱편차를 보상하기 위해, 전류미러링회로(200)는 화소(P)가 아닌 센싱신호처리회로(432)의 복수의 센싱부(610)로 동시에 복수의 테스트전류(It)를 공급할 수 있다.
- [0110] 도 6을 참조하면, 화소(P)에 배치되는 센싱트랜지스터가 턴오프되고, 전류미러링회로(200)가 복수의 센싱라인(SL)으로 테스트전류(It)를 동시에 공급하면, 이러한 테스트전류(It)는 복수의 센싱부(610)로 전달된다. 전술한 것과 같이 테스트전류(It)의 편차는 매우 작기 때문에, 센싱신호처리회로(432)는 각 센싱부(610)를 통해 측정되는 값을 비교하여 각 센싱부(610)의 측정편차를 보정할 수 있다.
- [0111] 이상에서 설명한 바와 같이 본 실시예에 의하면, 복수의 OLED화소의 특성을 동시에 센싱할 수 있게 된다. 이를 통해, 제조시간을 단축하고 제조비용을 절감할 수 있다. 또한, 본 실시예에 의하면, 전류미러링회로가 복수의 출력단자로 균일한 크기-일정 오차범위 이내의 크기-의 센싱전류를 출력할 수 있게 된다. 이를 통해, 센싱오차를 줄일 수 있고, 센싱값을 다시 보정해야하는 번거로움을 줄일 수 있게 된다.
- [0112] 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재될 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥 상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0113] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

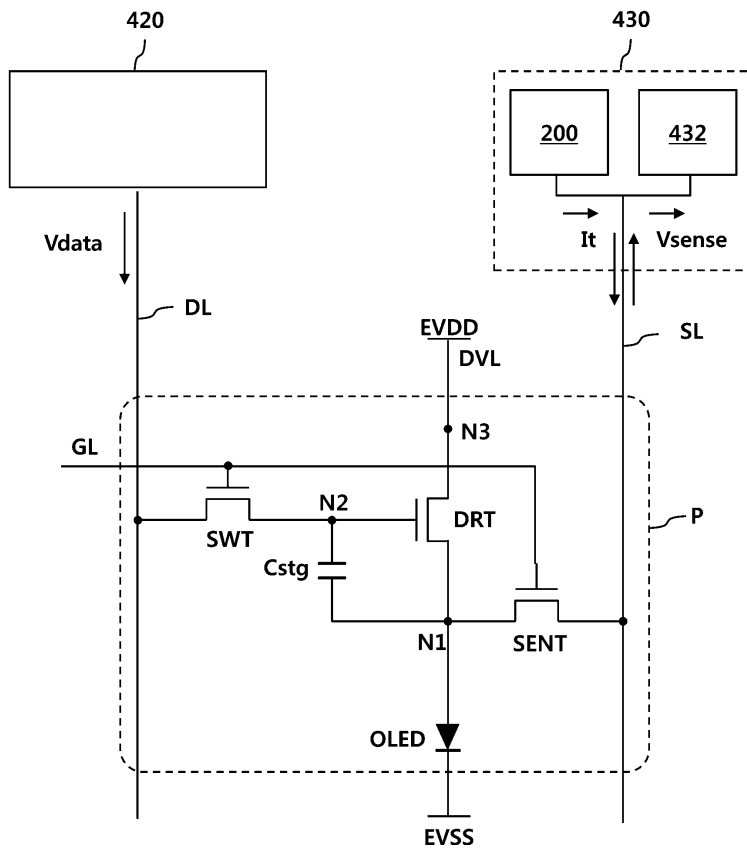
도면3



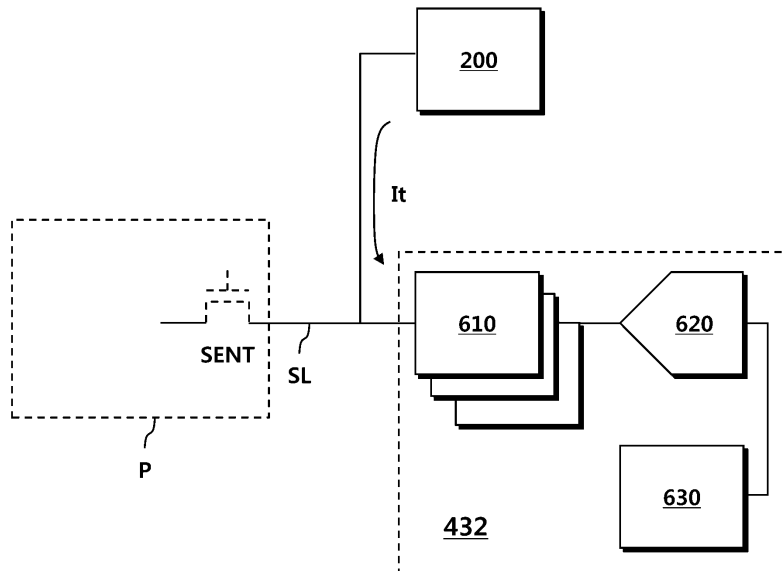
도면4



도면5



도면6



专利名称(译)	电流镜像电路，面板驱动器和OLED驱动器		
公开(公告)号	KR1020180063565A	公开(公告)日	2018-06-12
申请号	KR1020160163448	申请日	2016-12-02
[标]申请(专利权)人(译)	硅工厂股份有限公司		
申请(专利权)人(译)	주식회사실리콘웍스		
[标]发明人	HWANG DONG HYUN 황동현 LEE SE WON 이세원		
发明人	황동현 이세원		
IPC分类号	G09G3/3241		
CPC分类号	G09G3/3241 G09G2300/0842 G05F3/16 G09G3/006 G09G3/3233 G09G2320/0233 G09G2320/0295 G09G2320/0693		
代理人(译)	宋. Gimeungu		
外部链接	Espacenet		

摘要(译)

本发明提供了一种用于同时感测多个OLED像素的特性的技术。用于感测OLED像素的特性的电流镜像电路也可以应用于除OLED像素的特征感测之外的其他技术领域。这种电流镜像电路具有在均匀尺寸 - 恒定误差范围内的多个输出端子。的感应电流 - 。

