



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0080780
(43) 공개일자 2017년07월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/3208 (2013.01)
G09G 2310/0262 (2013.01)

(21) 출원번호 10-2015-0189680

(22) 출원일자 2015년12월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

유상호

경기도 파주시 책향기로 441 1013동 1403호 (동패동, 책향기마을동문굿모닝힐아파트)

김범식

경기도 수원시 팔달구 효원로308번길 16 (인계동, 한화 꿈에그린 파크) 101동 501호

(74) 대리인

특허법인로알

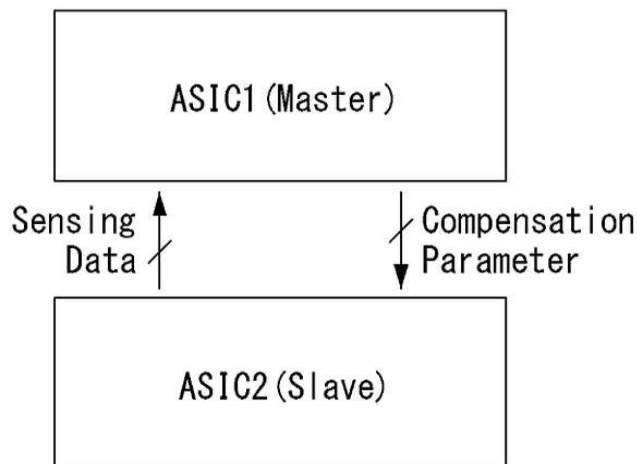
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 프로그램머블 주문형 반도체 회로를 포함한 유기발광 표시장치와 그 구동방법

(57) 요약

본 발명에 따른 유기발광 표시장치는 제1 해상도를 갖는 표시패널과, 상기 제1 해상도보다 낮은 제2 해상도용 ASIC(Application Specific Integrated Circuit)들을 구비하여, 상기 표시패널을 분할 구동하는 ASIC 플랫폼(Platform)을 포함하고, 분할 구동을 담당하는 상기 제2 해상도용 ASIC들 중에서 어느 한 ASIC이 총괄 제어를 위한 마스터(Master)로 프로그래밍 되고, 상기 제2 해상도용 ASIC들 중에서 상기 마스터를 제외한 나머지 ASIC이 상기 마스터의 제어를 받는 슬레이브(Slave)로 프로그래밍된다.

대 표 도 - 도2



명세서

청구범위

청구항 1

제1 해상도를 갖는 표시패널; 및

상기 제1 해상도보다 낮은 제2 해상도용 ASIC(Application Specific Integrated Circuit)들을 구비하여, 상기 표시패널을 분할 구동하는 ASIC 플랫폼(Platform)을 포함하고,

분할 구동을 담당하는 상기 제2 해상도용 ASIC들 중에서 어느 한 ASIC이 총괄 제어를 위한 마스터(Master)로 프로그래밍 되고, 상기 제2 해상도용 ASIC들 중에서 상기 마스터를 제외한 나머지 ASIC이 상기 마스터의 제어를 받는 슬레이브(Slave)로 프로그래밍되는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 마스터와 상기 슬레이브는 CPU(Central Processing Unit) 버스를 통해 상호 통신하는 유기발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 CPU 버스는 브이 바이 원(V-by-One) 인터페이스 방식으로 구현되는 유기발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 마스터는 상기 표시패널의 제1 표시면에 포함된 픽셀들의 전기적 특성에 따른 제1 센싱값을 획득하고,

상기 슬레이브는 상기 표시패널의 제2 표시면에 포함된 픽셀들의 전기적 특성에 따른 제2 센싱값을 획득하는 유기발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 마스터는 상기 제1 센싱값에 기초한 제1 보상값을 산출하여 제1 메모리에 저장하고, 상기 슬레이브로부터 전송받은 상기 제2 센싱값에 기초한 제2 보상값을 산출하여 상기 슬레이브로 전송하고,

상기 슬레이브는 상기 마스터로부터 전송 받은 제2 보상값을 제2 메모리에 저장하고,

상기 제1 보상값과 상기 제2 보상값에는 상기 제1 표시면과 상기 제2 표시면 사이의 경계부에 대한 스무드(Smooth) 처리 결과가 반영된 유기발광 표시장치.

청구항 6

제 4 항에 있어서,

상기 마스터는 상기 제1 센싱값에 기초한 제1 보상값을 산출하여 제1 메모리에 저장하고,

상기 슬레이브는 상기 제2 센싱값에 기초한 제2 보상값을 산출하여 제2 메모리에 저장하며,

상기 제2 센싱값 중 일부가 상기 슬레이브에서 상기 마스터로 전송되고, 상기 제1 표시면과 상기 제2 표시면 사이의 경계부에 대한 스무드(Smooth) 처리는 상기 제2 센싱값 중 일부와 상기 제1 센싱값에 기초하여 상기 마스터에서 수행된 후 상기 제1 보상값과 상기 제2 보상값에 추가로 반영되는 유기발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 제2 해상도용 ASIC들은,

상기 표시패널의 제1 상부 표시면에 연결된 제1 드라이버 유닛을 제어하며 마스터로 동작하는 제1 ASIC;

상기 표시패널의 제2 상부 표시면에 연결된 제2 드라이버 유닛을 제어하며 제1 슬레이브로 동작하는 제2 ASIC;

상기 표시패널의 제1 하부 표시면에 연결된 제3 드라이버 유닛을 제어하며 제2 슬레이브로 동작하는 제3 ASIC;
및

상기 표시패널의 제2 하부 표시면에 연결된 제4 드라이버 유닛을 제어하며 제3 슬레이브로 동작하는 제4 ASIC를 포함하고,

상기 제1 드라이버 유닛과 상기 제2 드라이버 유닛은 동시에 구동되고, 상기 제3 드라이버 유닛과 상기 제4 드라이버 유닛은 동시에 구동되는 유기발광 표시장치.

청구항 8

제 1 항에 있어서,

상기 제2 해상도용 ASIC들은,

상기 표시패널의 상부 표시면에 연결된 제1 드라이버 유닛과 제2 드라이버의 유닛을 제어하며 마스터로 동작하는 제1 ASIC; 및

상기 표시패널의 하부 표시면에 연결된 제3 드라이버 유닛과 제4 드라이버의 유닛을 제어하며 슬레이브로 동작하는 제2 ASIC를 포함하고,

상기 제1 드라이버 유닛과 상기 제2 드라이버 유닛은 순차 구동되고, 상기 제3 드라이버 유닛과 상기 제4 드라이버 유닛은 순차 구동되는 유기발광 표시장치.

청구항 9

제1 해상도를 갖는 표시패널을 갖는 유기발광 표시장치의 구동방법에 있어서,

상기 제1 해상도보다 낮으며 분할 구동을 담당하는 제2 해상도용 ASIC(Application Specific Integrated Circuit)들 중에서 어느 한 ASIC을 총괄 제어를 위한 마스터(Master)로 동작시키고, 상기 제2 해상도용 ASIC들 중에서 상기 마스터를 제외한 나머지 ASIC을 상기 마스터의 제어를 받는 슬레이브(Slave)로 동작시키는 단계와,

상기 마스터와 상기 슬레이브의 동작을 통해 상기 표시패널을 분할 구동하는 단계를 포함한 유기발광 표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 표시패널을 분할 구동하는 단계는,

상기 마스터를 통해 상기 표시패널의 제1 표시면에 포함된 픽셀들의 전기적 특성에 따른 제1 센싱값을 획득하는 단계와,

상기 슬레이브를 통해 상기 표시패널의 제2 표시면에 포함된 픽셀들의 전기적 특성에 따른 제2 센싱값을 획득하는 단계를 포함한 유기발광 표시장치의 구동방법.

청구항 11

제 10 항에 있어서,

상기 표시패널을 분할 구동하는 단계는,

상기 마스터를 통해 상기 제1 센싱값에 기초한 제1 보상값을 산출하여 제1 메모리에 저장하고, 상기 슬레이브로부터 전송받은 상기 제2 센싱값에 기초한 제2 보상값을 산출하여 상기 슬레이브로 전송하는 단계와,

상기 슬레이브를 통해 상기 마스터로부터 전송 받은 제2 보상값을 제2 메모리에 저장하는 단계를 더 포함하고,
상기 제1 보상값과 상기 제2 보상값에는 상기 제1 표시면과 상기 제2 표시면 사이의 경계부에 대한 스무드(Smooth) 처리 결과가 반영된 유기발광 표시장치의 구동방법.

청구항 12

제 10 항에 있어서,
상기 표시패널을 분할 구동하는 단계는,
상기 마스터를 통해 상기 제1 센싱값에 기초한 제1 보상값을 산출하여 제1 메모리에 저장하는 단계와,
상기 슬레이브를 통해 상기 제2 센싱값에 기초한 제2 보상값을 산출하여 제2 메모리에 저장하는 단계와,
상기 제2 센싱값 중 일부를 상기 슬레이브에서 상기 마스터로 전송하는 단계와,
상기 마스터를 통해 상기 제1 표시면과 상기 제2 표시면 사이의 경계부에 대한 스무드(Smooth) 처리를 수행한 후 그 스무드 처리 결과를 상기 제1 보상값과 상기 제2 보상값에 추가로 반영하는 단계를 더 포함하는 유기발광 표시장치의 구동방법.

청구항 13

제 9 항에 있어서,
상기 표시패널을 분할 구동하는 단계에서,
상기 표시패널의 제1 상부 표시면에 연결된 제1 드라이버 유닛과 상기 표시패널의 제2 상부 표시면에 연결된 제2 드라이버 유닛을 동시에 구동시키고,
상기 표시패널의 제1 하부 표시면에 연결된 제3 드라이버 유닛과 상기 표시패널의 제2 하부 표시면에 연결된 제4 드라이버 유닛을 동시에 구동시키는 유기발광 표시장치의 구동방법.

청구항 14

제 9 항에 있어서,
상기 표시패널을 분할 구동하는 단계에서,
상기 표시패널의 상부 표시면에 연결된 제1 드라이버 유닛과 제2 드라이버의 유닛을 순차 구동시키고,
상기 표시패널의 하부 표시면에 연결된 제3 드라이버 유닛과 제4 드라이버의 유닛을 순차 구동시키는 유기발광 표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 프로그래머블 주문형 반도체 회로를 포함한 유기발광 표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

- [0004] 유기발광 표시장치는 OLED를 각각 포함한 화소들을 매트릭스 형태로 배열하고 입력 영상 데이터의 계조에 따라 화소들의 휘도를 조절한다. 화소들 각각은 자신의 게이트전극과 소스전극 사이에 걸리는 전압에 따라 OLED에 흐르는 구동전류를 제어하는 구동 소자 즉, 구동 TFT(Thin Film Transistor)를 포함한다. OLED와 구동 TFT는 온도나 열화에 의해 그 전기적 특성이 변한다. OLED 및/또는 구동 TFT의 전기적 특성이 화소들마다 달라지면 동일 영상 데이터에 대해 화소들 간 휘도가 달라지므로 원하는 화상 구현이 어렵다.
- [0005] OLED와 구동 TFT에 대한 전기적 특성 변화에 따른 휘도 편차를 보상하기 위해 외부 보상 기술이 알려져 있다. 외부 보상 기술은 OLED나 구동 TFT의 전기적 특성을 센싱하고, 그 센싱값을 기초로 휘도 편차가 보상되도록 디지털 비디오 데이터를 변조하는 것이다. 이러한 영상 데이터에 대한 변조 동작은 시스템 온 칩(System On Chip) 기반의 주문형 반도체 회로(Application Specific Integrated Circuit, 이하, ASIC이라 함)에서 수행될 수 있다. ASIC은 표시패널로부터 지속적으로 입력되는 센싱값에 기초하여 보상용 파라미터를 추출하고, 이 보상용 파라미터를 이용한 연산 과정을 통해 영상 데이터를 변조한다.
- [0006] 한편, 최근 유기발광 표시장치의 기술 이슈는 고 해상도, 및 대면적을 구현하는 데 있다. 특히 고 해상도 구현을 위한 기술 연구는 현재 상용화되어 있는 4K(3840* 2160) 해상도에서 8K(7680x4320) 해상도로 전환되고 있다. 이에 도 1과 같이, 다수의 4K 해상도용 ASIC들을 통해 8K 해상도용 구동 시스템을 구현하는 방안이 제안되고 있다.
- [0007] 도 1을 참조하면, 종래 기술은 8K 해상도용 구동 시스템을 구현하기 위해 4개의 4K 해상도용 ASIC들(SLV1~SLV4)로 8K 해상도의 표시패널을 분할 구동한다. ASIC들(SLV1,SLV2,SLV3,SLV4)은 각각 표시패널의 제1 내지 제4 분할면(PA,PB,PC,PD)의 구동을 담당한다. 표시패널의 상부 표시면(PA,PB)과 하부 표시면(PC,PD)은 동시에 스캔된다.
- [0008] 그런데, 종래 기술에서는 외부 보상을 구현하기 위한 센싱 및 보상값 계산, 프레임 단위의 영상 처리를 위해 총괄 제어를 수행하는 마스터 칩(Master Chip)이 반드시 필요하다. 마스터 칩은 추가 ASIC(MAS)으로 구현되며, 표시패널의 분할 표시면에 대한 구동을 직접 담당하지는 않는다. 마스터 칩은 풀 프레임 센싱 데이터를 통해 보상 연산을 수행하고, 프레임 단위로 영상 처리 알고리즘을 수행하여 화질을 향상시킨다. 이와 같이, 종래 기술은 4K 해상도용 ASIC으로 8K 해상도를 구현할 때 마스터 칩인 별도의 ASIC(MAS)이 더 필요하므로 제조 비용, 소비전력 및 발열이 증가하는 문제가 있다.

발명의 내용

해결하려는 과제

- [0009] 따라서, 본 발명의 목적은 고 해상도의 표시패널을 저 해상도용 ASIC들로 분할 구동하되, 분할 구동을 담당하는 ASIC들 중 어느 하나를 마스터 칩으로 설계하여 분할 구동에 필요한 ASIC 개수를 줄일 수 있도록 한 유기발광 표시장치와 그 구동방법을 제공하는 데 있다.

과제의 해결 수단

- [0010] 상기 목적을 달성하기 위하여, 본 발명에 따른 유기발광 표시장치는 제1 해상도를 갖는 표시패널과, 상기 제1 해상도보다 낮은 제2 해상도용 ASIC(Application Specific Integrated Circuit)들을 구비하여, 상기 표시패널을 분할 구동하는 ASIC 플랫폼(Platform)을 포함하고, 분할 구동을 담당하는 상기 제2 해상도용 ASIC들 중에서 어느 한 ASIC이 총괄 제어를 위한 마스터(Master)로 프로그래밍 되고, 상기 제2 해상도용 ASIC들 중에서 상기 마스터를 제외한 나머지 ASIC이 상기 마스터의 제어를 받는 슬레이브(Slave)로 프로그래밍된다.
- [0011] 상기 마스터와 상기 슬레이브는 CPU(Central Processing Unit) 버스를 통해 상호 통신한다.
- [0012] 상기 CPU 버스는 브이 바이 원(V-by-One) 인터페이스 방식으로 구현된다.
- [0013] 상기 마스터는 상기 표시패널의 제1 표시면에 포함된 픽셀들의 전기적 특성에 따른 제1 센싱값을 획득하고, 상기 슬레이브는 상기 표시패널의 제2 표시면에 포함된 픽셀들의 전기적 특성에 따른 제2 센싱값을 획득한다.
- [0014] 상기 마스터는 상기 제1 센싱값에 기초한 제1 보상값을 산출하여 제1 메모리에 저장하고, 상기 슬레이브로부터 전송받은 상기 제2 센싱값에 기초한 제2 보상값을 산출하여 상기 슬레이브로 전송하고, 상기 슬레이브는 상기 마스터로부터 전송 받은 제2 보상값을 제2 메모리에 저장하고, 상기 제1 보상값과 상기 제2 보상값에는 상기 제1 표시면과 상기 제2 표시면 사이의 경계부에 대한 스무드(Smooth) 처리 결과가 반영된다.

- [0015] 상기 마스터는 상기 제1 센싱값에 기초한 제1 보상값을 산출하여 제1 메모리에 저장하고, 상기 슬레이브는 상기 제2 센싱값에 기초한 제2 보상값을 산출하여 제2 메모리에 저장하며, 상기 제2 센싱값 중 일부가 상기 슬레이브에서 상기 마스터로 전송되고, 상기 제1 표시면과 상기 제2 표시면 사이의 경계부에 대한 스무드(Smooth) 처리는 상기 제2 센싱값 중 일부와 상기 제1 센싱값에 기초하여 상기 마스터에서 수행된 후 상기 제1 보상값과 상기 제2 보상값에 추가로 반영된다.
- [0016] 상기 제2 해상도용 ASIC들은, 상기 표시패널의 제1 상부 표시면에 연결된 제1 드라이버 유닛을 제어하며 마스터로 동작하는 제1 ASIC과, 상기 표시패널의 제2 상부 표시면에 연결된 제2 드라이버 유닛을 제어하며 제1 슬레이브로 동작하는 제2 ASIC과, 상기 표시패널의 제1 하부 표시면에 연결된 제3 드라이버 유닛을 제어하며 제2 슬레이브로 동작하는 제3 ASIC과, 상기 표시패널의 제2 하부 표시면에 연결된 제4 드라이버 유닛을 제어하며 제3 슬레이브로 동작하는 제4 ASIC를 포함하고, 상기 제1 드라이버 유닛과 상기 제2 드라이버 유닛은 동시에 구동되고, 상기 제3 드라이버 유닛과 상기 제4 드라이버 유닛은 동시에 구동된다.
- [0017] 상기 제2 해상도용 ASIC들은, 상기 표시패널의 상부 표시면에 연결된 제1 드라이버 유닛과 제2 드라이버의 유닛을 제어하며 마스터로 동작하는 제1 ASIC과, 상기 표시패널의 하부 표시면에 연결된 제3 드라이버 유닛과 제4 드라이버의 유닛을 제어하며 슬레이브로 동작하는 제2 ASIC를 포함하고, 상기 제1 드라이버 유닛과 상기 제2 드라이버 유닛은 순차 구동되고, 상기 제3 드라이버 유닛과 상기 제4 드라이버 유닛은 순차 구동된다.¶
- [0018] 또한, 본 발명은 제1 해상도를 갖는 표시패널을 갖는 유기발광 표시장치의 구동방법으로서, 상기 제1 해상도보다 낮으며 분할 구동을 담당하는 제2 해상도용 ASIC(Application Specific Integrated Circuit)들 중에서 어느 한 ASIC을 총괄 제어를 위한 마스터(Master)로 동작시키고, 상기 제2 해상도용 ASIC들 중에서 상기 마스터를 제외한 나머지 ASIC을 상기 마스터의 제어를 받는 슬레이브(Slave)로 동작시키는 단계와, 상기 마스터와 상기 슬레이브의 동작을 통해 상기 표시패널을 분할 구동하는 단계를 포함한다.

발명의 효과

- [0019] 본 발명은 분할 구동을 담당하는 ASIC들 중 어느 하나를 마스터 칩으로 설계하여 분할 구동에 필요한 ASIC 개수를 줄이고, 그에 따라 제조 비용, 소비 전력, 및 발열 등을 줄일 수 있다.

도면의 간단한 설명

- [0020] 도 1은 종래 ASIC 플랫폼(Platform)을 보여주는 도면.
- 도 2 및 도 3은 본 발명의 ASIC 플랫폼을 보여주는 도면들.
- 도 4는 본 발명의 ASIC 플랫폼에 따른 센싱 및 보상 순서를 보여주는 흐름도.
- 도 5 및 도 6은 본 발명의 일 실시예에 따라 4개의 4K 해상도용 ASIC들로 8K 해상도의 표시패널을 분할 구동하는 개념을 보여주는 도면.
- 도 7은 도 5 및 도 6에 따라 120Hz 4면 분할 구동시 드라이버 유닛들의 구동 순서를 보여주는 도면.
- 도 8은 본 발명의 일 실시예에 따라 2개의 4K 해상도용 ASIC들로 8K 해상도의 표시패널을 분할 구동하는 개념을 보여주는 도면.
- 도 9는 도 8에 따라 120Hz 2면 분할 구동시 드라이버 유닛들의 구동 순서를 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 도 2 내지 도 9를 참조하여, 본 발명의 바람직한 실시예를 구체적으로 설명한다.
- [0022] 도 2 및 도 3은 본 발명의 유기발광 표시장치에 구비된 ASIC 플랫폼을 보여준다.
- [0023] 도 2를 참조하면, 본 발명의 ASIC 플랫폼은 표시패널의 제1 해상도보다 낮은 제2 해상도용 ASIC(Application Specific Integrated Circuit)들(ASIC1, ASIC2)을 구비하여, 표시패널을 분할 구동한다. 특히, 본 발명의 ASIC 플랫폼에서는, 분할 구동을 담당하는 제2 해상도용 ASIC들(ASIC1, ASIC2) 중에서 어느 한 ASIC(ASIC1)을 총괄 제어를 위한 마스터(Master)로 프로그래밍 하고, 제2 해상도용 ASIC들(ASIC1, ASIC2) 중에서 마스터를 제외한 나머지 ASIC(ASIC2)을 마스터(ASIC1)의 제어를 받는 슬레이브(Slave)로 프로그래밍한다. 본 발명의 ASIC 플랫폼은 표시패널에 대한 분할 구동을 담당하지 않으면서 마스터 기능만을 수행하는 추가 ASIC이 필요 없다. 본 발명의

ASIC 플랫폼은 분할 구동을 담당하는 ASIC들(ASIC1, ASIC2) 중 어느 하나(ASIC1)를 마스터 칩으로 설계하여 분할 구동에 필요한 ASIC 개수를 줄이고, 그에 따라 제조 비용, 소비 전력, 및 발열 등을 줄일 수 있다.

[0024] 본 발명의 표시패널에는 다수의 데이터라인들 및 센싱라인들과, 다수의 게이트라인들이 교차되고, 이 교차영역마다 외부 보상용 화소들이 매트릭스 형태로 배치되어 화소 어레이를 구성한다. 각 화소는 데이터라인들 중 어느 하나에, 센싱라인들 중 어느 하나에, 그리고 게이트라인들 중 어느 하나에 접속될 수 있다. 개구율이 넓게 확보되도록, 적어도 2개 이상의 화소들이 하나의 센싱라인을 공유할 수 있다. 일 화소 유닛은 적색 화소, 녹색 화소, 청색 화소, 백색 화소를 포함한 4개의 화소들로 구성될 수 있으나, 그에 한정되지 않는다. 화소 각각은 도시하지 않은 전원생성부로부터 고전위 구동전압과 저전위 구동전압을 공급받는다.

[0025] 본 발명의 화소는 OLED, 구동 TFT(Thin Film Transistor), 스토리지 커패시터, 및 다수의 스위치 TFT들을 포함할 수 있다. TFT들은 P 타입으로 구현되거나 또는, N 타입으로 구현되거나 또는, P 타입과 N 타입이 혼용된 하이브리드 타입으로 구현될 수 있다. 또한, TFT의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.

[0026] 외부 보상용 화소 어레이를 포함한 유기발광 표시장치는 본원 출원인에 의해 기출원된 출원번호 제10-2013-0134256호(2013/11/06), 출원번호 제10-2013-0141334호(2013/11/20), 출원번호 제10-2013-0149395호(2013/12/03), 출원번호 제10-2014-0086901호(2014/07/10), 출원번호 제10-2014-0079255호(2014/06/26), 출원번호 제10-2014-0079587호(2014/06/27), 출원번호 제10-2014-0119357호(2014/09/05) 등에 나타나 있다.

[0028] 본 발명의 유기발광 표시장치는 화상 표시 동작과 외부 보상 동작을 수행한다. 외부 보상 동작은 화상 표시 동작 중의 수직 블랭크 기간에서 수행되거나, 또는 화상 표시가 시작되기 전의 파워 온 시퀀스 기간에서 수행되거나, 또는 화상 표시가 끝난 후의 파워 오프 시퀀스 기간에서 수행될 수 있다. 수직 블랭크 기간은 화상 데이터가 기입되지 않는 기간으로서, 1 프레임분의 화상 데이터가 기입되는 수직 액티브 구간들 사이마다 배치된다. 파워 온 시퀀스 기간은 구동 전원이 온 된 후부터 화상이 표시될 때까지의 기간을 의미한다. 파워 오프 시퀀스 기간은 화상 표시가 끝난 후부터 구동 전원이 오프 될 때까지의 기간을 의미한다.

[0029] 이러한 화소 어레이를 갖는 본 발명의 유기발광 표시장치는 외부 보상 기술을 통해 화소들의 전기적 특성을 센싱하고, 그 센싱값을 기초로 입력 영상 데이터를 변조함으로써 화소들의 전기적 특성 편차에 따른 휘도 편차를 보상한다. 센싱값에 따른 보상값 연산 동작은 마스터(ASIC1)에서만 수행될 수 있다. 또는, 센싱값에 따른 보상값 연산 동작은 마스터(ASIC1) 및 슬레이브(ASIC2) 모두에서 수행될 수도 있다. 한편, 센싱값 획득 동작과 입력 영상 데이터에 대한 변조 동작은 마스터(ASIC1) 및 슬레이브(ASIC2) 각각에서 개별적으로 수행될 수 있다.

[0030] 도 3을 참조하면, 본 발명의 ASIC 플랫폼은 표시패널의 제1 해상도보다 낮은 제2 해상도용 ASIC들(ASIC1, ASIC2, ASIC3, ASIC4)을 포함하여, 표시패널을 분할 구동할 수 있다. ASIC들(ASIC1, ASIC2, ASIC3, ASIC4) 중에서, ASIC1이 마스터로 프로그래밍되고, ASIC2, ASIC3, 및 ASIC4가 각각 제1 내지 제3 슬레이브(Slave #1~Slave#3)로 프로그래밍될 수 있다.

[0031] 마스터(ASIC1)는 마이크로 콘트롤러 유닛(Micro Controller Unit, 이하, MCU)와, 타이밍 콘트롤러(TCON)과, 프로그래머블 보조 프로세서(Programmable Co-Processor)를 포함할 수 있다.

[0032] MCU는 마스터(ASIC1) 내에서 이뤄지는 전반적인 연산 동작을 제어한다. 외부 보상 동작이 수행될 때, MCU는 드라이버 유닛으로부터 입력되는 화소들에 대한 센싱값을 미리 설정된 보상 알고리즘에 적용하여 보상용 파라미터(보상값)를 산출한다. 보상 알고리즘은 프로그래밍 방식으로 변경 가능하다. 화소들에 대한 센싱값에는 OLED의 동작점 전압, 구동 TFT의 문턱전압, 및 구동 TFT의 전자 이동도 중 적어도 어느 하나가 포함된다. MCU는 보상값을 메모리에 저장한다. 한편, 메모리에는 외부 보상 기술을 제외한 공지의 다양한 영상 처리 기술에 대응하여, 그 영상 처리를 위한 영상 처리용 파라미터가 더 저장될 수도 있다. 영상 처리용 파라미터는 다양한 방식의 영상 처리 기술에 대응하여 적절한 값으로 미리 선택되어 메모리에 저장될 수 있다.

[0033] 프로그래머블 보조 프로세서는 입력 영상 데이터를 변조하기 위해 미리 정해지는 연산 경로를 가지며 그 연산 경로가 MCU를 통해 변경 가능한 연산 로직회로를 포함한다. 연산 로직회로에 이뤄지는 연산 경로에 의해 연산 결과가 결정된다. 연산 수식이 바뀌면 연산 경로가 달라지는 데, 연산 경로는 MCU를 통해 프로그래밍 가능한 룩업 테이블로 구현될 수 있다. 입력 영상 데이터를 변조하기 위한 연산 수식(또는, 연산 알고리즘)은 패널 모델 변경 등과 같은 기술 이슈에 따라 변경될 수 있다. 본 발명은 연산 로직회로 내의 연산 경로를 원하는 연산 수식에 맞게 프로그래밍 할 수 있기 때문에 물리적으로 칩을 재설계할 필요 없이 연산 수식을 적절히 변경할 수

있다. 프로그래머블 보조 프로세서는 연산 로직회로를 통해 보상용 파라미터를 입력 영상 데이터에 적용하여 변조 데이터를 생성할 수 있다. 한편, 프로그래머블 보조 프로세서는 연산 로직회로를 통해 영상 처리용 파라미터를 입력 영상 데이터에 적용하여 변조 데이터를 생성할 수도 있다.

- [0034] 타이밍 컨트롤러(TCON)는 프로그래머블 보조 프로세서에서 생성된 변조 데이터와, 표시패널을 구동하는 구동회로들의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 외부 인터페이스 회로를 통해 출력한다.
- [0035] 한편, 제1 내지 제3 슬레이브(ASIC2, ASIC3, ASIC4) 각각도 전용한 MCU와, 프로그래머블 보조 프로세서를 포함할 수 있다.
- [0036] 이러한 마스터(ASIC1)와 슬레이브들(ASIC2, ASIC3, ASIC4)은 밴드폭이 넓고 고속 통신에 적합한 CPU(Central Processing Unit) 버스를 통해 상호 통신함으로써, 센싱값과 보상값을 주고 받을 수 있다. CPU 버스는 고속 직렬 인터페이스 방식으로 구현될 수 있으며, 일 예로 브이 바이 원(V-by-One) 방식의 내부 인터페이스 방식으로 구현될 수 있다.
- [0037] 도 4는 도 2의 ASIC 플랫폼에 따른 센싱 및 보상 순서를 보여주는 흐름도이다.
- [0038] 도 4를 참조하면, 외부 보상을 위한 센싱 프로세스가 시작되면, 마스터(ASIC1)에 연결된 제1 드라이버 유닛은 표시패널의 제1 표시면에 대한 센싱 동작을 수행하고, 슬레이브(ASIC2)에 연결된 제2 드라이버 유닛은 표시패널의 제2 표시면에 대한 센싱 동작을 수행한다(S1, S2).
- [0039] 그러면, 마스터(ASIC1)는 표시패널의 제1 표시면에 포함된 픽셀들의 전기적 특성에 따른 제1 센싱값을 획득하게 되고, 슬레이브(ASIC2)는 표시패널의 제2 표시면에 포함된 픽셀들의 전기적 특성에 따른 제2 센싱값을 획득하게 된다. 이때, 슬레이브(ASIC2)는 보상값 산출 동작이 마스터(ASIC1)에서 일괄적으로 수행되도록, 획득된 제2 센싱값을 마스터(ASIC1)로 전송할 수 있다(S3).
- [0040] 그러면, 마스터(ASIC1)는 제1 센싱값에 기초한 제1 보상값을 산출하여 제1 메모리에 저장하고, 슬레이브(ASIC2)로부터 전송받은 제2 센싱값에 기초한 제2 보상값을 산출하여 슬레이브(ASIC2)로 전송할 수 있다. 슬레이브(ASIC2)는 마스터(ASIC1)로부터 전송 받은 제2 보상값을 제2 메모리에 저장할 수 있다(S4~S7). 한편, 제1 표시면과 제2 표시면은 분할 구동되므로, 제1 센싱값과 제2 센싱값 간의 차이에 의해 제1 표시면과 제2 표시면 사이의 경계가 눈에 쉽게 시인될 수 있다. 이러한 사이드 이펙트(side effect)를 방지하기 위해, 마스터(ASIC1)는 제1 보상값과 제2 보상값을 산출한 후, 제1 표시면과 제2 표시면 사이의 경계부에서 제1 보상값과 제2 보상값을 추가로 스무드(Smooth) 처리 할 수 있다.
- [0041] 한편, 보상값 산출 동작은 마스터(ASIC1)뿐만 아니라 슬레이브(ASIC2)에서도 수행될 수 있다. 다만, 이 경우에도 제1 표시면과 제2 표시면 사이의 경계부에 대한 스무드 처리는 마스터(ASIC1)에서 수행될 수 있다. 구체적으로, 마스터(ASIC1)는 제1 센싱값에 기초한 제1 보상값을 산출하여 제1 메모리에 저장하고, 슬레이브(ASIC2)는 제2 센싱값에 기초한 제2 보상값을 산출하여 제2 메모리에 저장할 수 있다. 이어서, 경계부에 대한 스무드 처리를 위해 제2 센싱값 중 일부만이 슬레이브(ASIC2)에서 마스터(ASIC1)로 전송된다. 그러면, 마스터(ASIC1)는 제1 센싱값과 슬레이브(ASIC2)로부터의 제2 센싱값에 기초하여 경계부에 대한 스무드(Smooth) 처리를 수행하고, 그 결과를 제1 보상값에 추가로 반영한다. 그리고, 경계부에 대한 스무드(Smooth) 처리 결과를 슬레이브(ASIC2)에 전송한다. 슬레이브(ASIC2)는 경계부에 대한 스무드(Smooth) 처리 결과를 제2 보상값에 추가로 반영한다.
- [0042] 도 5 및 도 6은 본 발명의 일 실시예에 따라 4개의 4K 해상도용 ASIC들로 8K 해상도의 표시패널을 분할 구동하는 개념을 보여준다. 그리고, 도 7은 도 5 및 도 6에 따라 120Hz 4면 분할 구동시 드라이버 유닛들의 구동 순서를 보여준다.
- [0043] 도 5 내지 도 7을 참조하면, 8K 해상도의 표시패널을 분할 구동하기 위한 4K 해상도용 ASIC들은 제1 ASIC 내지 제4 ASIC(ASIC1~ASIC4)을 포함한다.
- [0044] 제1 ASIC(ASIC1)은 표시패널의 제1 상부 표시면(PA)에 연결된 제1 드라이버 유닛(DDV1)을 제어하며 마스터로 동작한다. 제1 ASIC(ASIC1)은 CPU 버스를 통해 제2 ASIC 내지 제4 ASIC(ASIC2~ASIC4)과 통신하고, 그 통신 결과에 기초하여 제1 상부 표시면(PA)에 대한 제1 보상값을 얻어 제1 메모리(M1)에 저장한다. 제1 드라이버 유닛(DDV1)은 표시패널의 제1 상부 표시면(PA)에 구비된 제1 데이터라인들과 제1 센싱라인들을 구동하기 위한 다수의 제1 소스 IC(Integrated Circuit)들을 포함한다.
- [0045] 제2 ASIC(ASIC2)은 표시패널의 제2 상부 표시면(PB)에 연결된 제2 드라이버 유닛(DDV2)을 제어하며 제1 슬레이브(Slave#1)로 동작한다. 제2 ASIC(ASIC2)은 CPU 버스를 통해 제1 ASIC(ASIC1)과 통신하고, 그 통신 결과에 기

초하여 제2 상부 표시면(PB)에 대한 제2 보상값을 얻어 제2 메모리(M2)에 저장한다. 제2 드라이버 유닛(DDV2)은 표시패널의 제2 상부 표시면(PB)에 구비된 제2 데이터라인들과 제2 센싱라인들을 구동하기 위한 다수의 제2 소스 IC들을 포함한다.

[0046] 제3 ASIC(ASIC3)은 표시패널의 제3 상부 표시면(PC)에 연결된 제3 드라이버 유닛(DDV3)을 제어하며 제2 슬레이브(Slave#2)로 동작한다. 제3 ASIC(ASIC3)은 CPU 버스를 통해 제1 ASIC(ASIC1)과 통신하고, 그 통신 결과에 기초하여 제3 상부 표시면(PC)에 대한 제3 보상값을 얻어 제3 메모리(M3)에 저장한다. 제3 드라이버 유닛(DDV3)은 표시패널의 제3 상부 표시면(PC)에 구비된 제3 데이터라인들과 제3 센싱라인들을 구동하기 위한 다수의 제3 소스 IC들을 포함한다.

[0047] 제4 ASIC(ASIC4)은 표시패널의 제4 상부 표시면(PD)에 연결된 제4 드라이버 유닛(DDV4)을 제어하며 제3 슬레이브(Slave#3)로 동작한다. 제4 ASIC(ASIC4)은 CPU 버스를 통해 제1 ASIC(ASIC1)과 통신하고, 그 통신 결과에 기초하여 제4 상부 표시면(PD)에 대한 제4 보상값을 얻어 제4 메모리(M4)에 저장한다. 제4 드라이버 유닛(DDV4)은 표시패널의 제4 상부 표시면(PD)에 구비된 제4 데이터라인들과 제4 센싱라인들을 구동하기 위한 다수의 제4 소스 IC들을 포함한다.

[0048] 제1 내지 제4 소스 IC들 각각은, 각 데이터라인에 연결된 다수의 디지털-아날로그 컨버터들(이하, DAC)과, 각 센싱라인에 연결된 다수의 센싱 유닛들과, 센싱 유닛들을 선택적으로 아날로그-디지털 컨버터(이하, ADC)에 연결하는 먹스부를 포함할 수 있다.

[0049] DAC는 화상 표시 동작시 각 ASIC로부터 입력되는 영상 데이터를 화상 표시용 데이터전압으로 변환하여 데이터라인들에 공급할 수 있다. DAC는 외부 보상 동작시 일정 레벨의 외부 보상용 데이터전압을 생성하여 데이터라인들에 공급할 수 있다. 센싱 유닛은 센싱 라인에 초기화전압(혹은, 기준전압)을 공급하거나, 센싱 라인을 통해 입력되는 센싱값을 샘플링하여 ADC에 공급할 수 있다. 센싱 유닛은 전압 센싱형으로 구현될 수도 있고, 전류 센싱형으로 구현될 수도 있다. 전압 센싱형 센싱 유닛은 본원 출원인에 의해 기출원된 출원번호 제10-2013-0134256호(2013/11/06), 출원번호 제10-2013-0141334호(2013/11/20), 출원번호 제10-2013-0149395호(2013/12/03), 출원번호 제10-2014-0119357호(2014/09/05) 등에 나타나 있다. 한편, 전류 센싱형 센싱 유닛은 본원 출원인에 의해 기출원된 출원번호 제10-2014-0086901호(2014/07/10), 출원번호 제10-2014-0079255호(2014/06/26), 출원번호 제10-2014-0079587호(2014/06/27) 등에 나타나 있다.

[0050] 표시패널의 게이트라인들을 구동하는 게이트 드라이버는 IC 타입으로 표시패널에 부착되거나 또는, 표시패널의 비 표시영역 상에 직접 형성될 수 있다. 게이트 드라이버는 양방향 스캔 방식에 따라 표시패널의 상부 표시면(PA,PB)에서는 위에서 아래로 스캔을 진행하고, 그와 동시에 표시패널의 하부 표시면(PC,PD)에서는 아래에서 위로 스캔을 진행한다.

[0051] 본 발명에 따르면, 4개의 4K 해상도용 ASIC들(120Hz)을 CPU 버스를 통해 연결하고 프로그래밍을 통해 마스터 및 슬레이브#1~슬레이브#3를 설정함으로써 8K 120Hz용 모듈을 구동할 수 있다. 이를 위해, 제1 드라이버 유닛(DDV1)과 제2 드라이버 유닛(DDV2)은 도 7과 같이 어드레스 핀 셋팅 등을 통해 동시에 구동되고, 또한, 제3 드라이버 유닛(DDV3)과 제4 드라이버 유닛(DDV4)도 어드레스 핀 셋팅 등을 통해 동시에 구동될 수 있다.

[0052] 도 8은 본 발명의 일 실시예에 따라 2개의 4K 해상도용 ASIC들로 8K 해상도의 표시패널을 분할 구동하는 개념을 보여준다. 그리고, 도 9는 도 8에 따라 120Hz 2면 분할 구동시 드라이버 유닛들의 구동 순서를 보여준다.

[0053] 도 8 및 도 9를 참조하면, 8K 해상도의 표시패널을 분할 구동하기 위한 4K 해상도용 ASIC들은 제1 ASIC(ASIC1)과 제2 ASIC(ASIC2)을 포함한다.

[0054] 제1 ASIC(ASIC1)은 표시패널의 상부 표시면(S1)에 연결된 제1 드라이버 유닛(DDV1)과 제2 드라이버 유닛(DDV2)을 제어하며 마스터로 동작한다. 제1 ASIC(ASIC1)은 CPU 버스를 통해 제2 ASIC(ASIC2)과 통신하고, 그 통신 결과에 기초하여 상부 표시면(S1)에 대한 제1 보상값을 얻어 제1 메모리에 저장한다. 제1 드라이버 유닛(DDV1)은 표시패널의 상부 표시면(S1)에 구비된 제1 데이터라인들과 제1 센싱라인들을 구동하기 위한 다수의 제1 소스 IC들을 포함한다. 그리고, 제2 드라이버 유닛(DDV2)은 표시패널의 상부 표시면(S1)에 구비된 제2 데이터라인들과 제2 센싱라인들을 구동하기 위한 다수의 제2 소스 IC들을 포함한다.

[0055] 제2 ASIC(ASIC2)은 표시패널의 하부 표시면(S2)에 연결된 제3 드라이버 유닛(DDV3)과 제4 드라이버 유닛(DDV4)을 제어하며 슬레이브로 동작한다. 제2 ASIC(ASIC2)은 CPU 버스를 통해 제1 ASIC(ASIC1)과 통신하고, 그 통신 결과에 기초하여 하부 표시면(S2)에 대한 제2 보상값을 얻어 제2 메모리에 저장한다. 제3 드라이버 유닛(DDV3)은 표시패널의 하부 표시면(S2)에 구비된 제3 데이터라인들과 제3 센싱라인들을 구동하기 위한 다수의 제3 소스

IC들을 포함한다. 그리고, 제4 드라이버 유닛(DDV4)은 표시패널의 하부 표시면(S2)에 구비된 제4 데이터라인들과 제4 센싱라인들을 구동하기 위한 다수의 제4 소스 IC들을 포함한다.

[0056] 본 발명에 따르면, 2개의 4K 해상도용 ASIC들(120Hz)을 CPU 버스를 통해 연결하고 프로그래밍을 통해 마스터 및 슬레이브를 설정함으로써 8K 60Hz용 모듈을 구동할 수 있다. 이를 위해, 제1 드라이버 유닛(DDV1)과 제2 드라이버 유닛(DDV2)은 도 9와 같이 어드레스 핀 셋팅 등을 통해 순차 구동되고, 또한, 제3 드라이버 유닛(DDV3)과 제4 드라이버 유닛(DDV4)도 어드레스 핀 셋팅 등을 통해 순차 구동될 수 있다. 이는 구동 주파수를 낮추어 ASIC 개수를 저감하는 방안이다.

[0057] 상술한 바와 같이, 본 발명은 분할 구동을 담당하는 ASIC들 중 어느 하나를 마스터 칩으로 설계하여 분할 구동에 필요한 ASIC 개수를 줄이고, 그에 따라 제조 비용, 소비 전력, 및 발열 등을 줄일 수 있다.

[0058] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

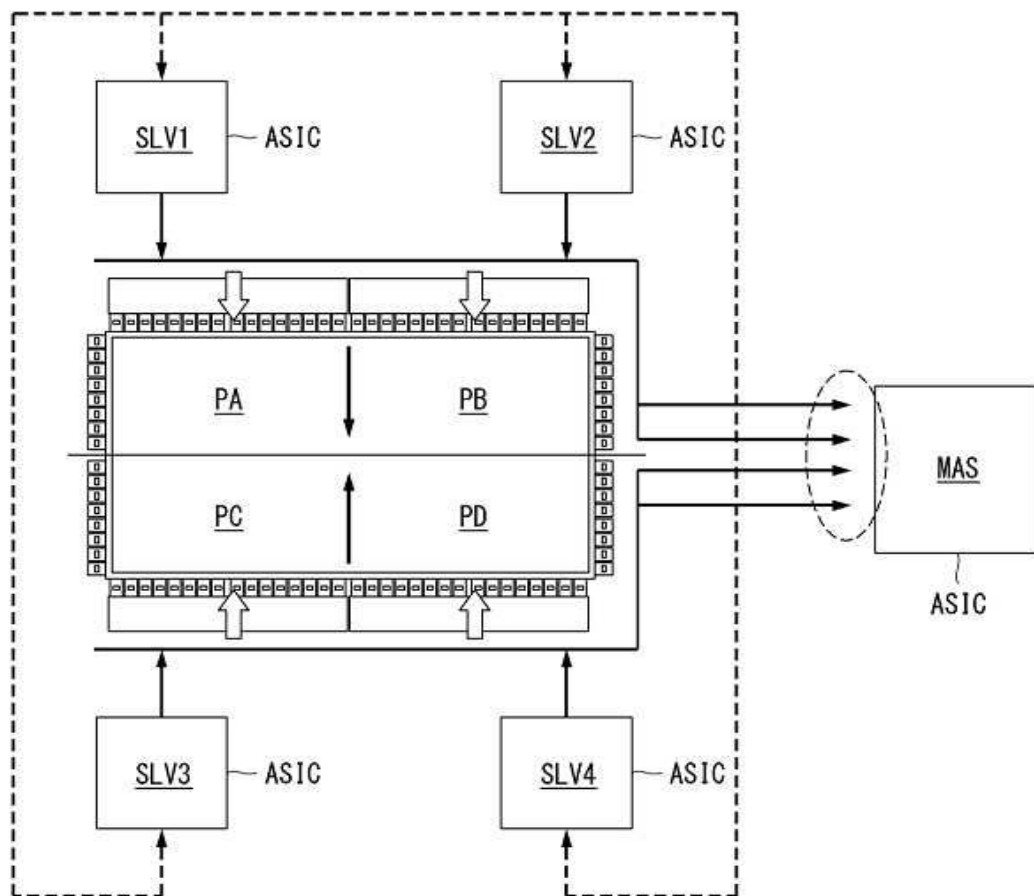
부호의 설명

[0059] ASIC1~ASIC4: 프로그래머블 주문형 반도체 회로

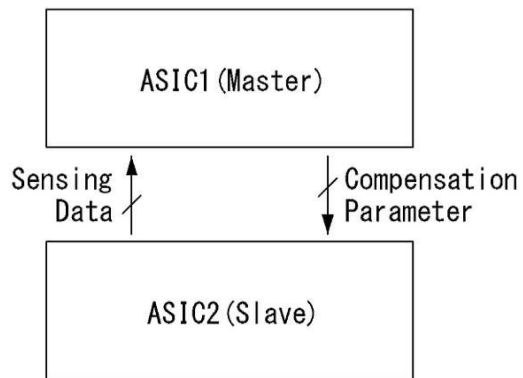
M1~M4: 메모리 DDV1~DDV4: 드라이버 유닛

도면

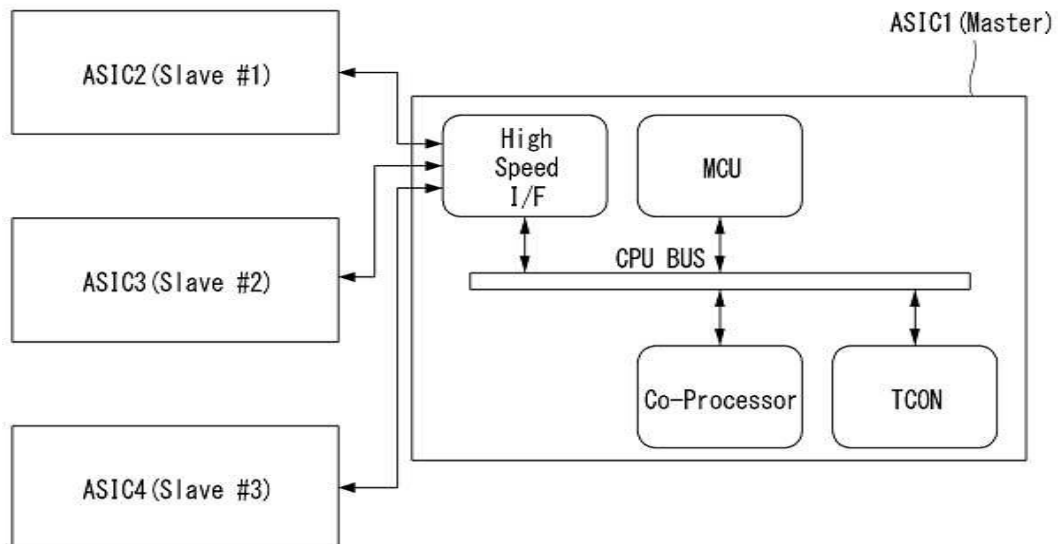
도면1



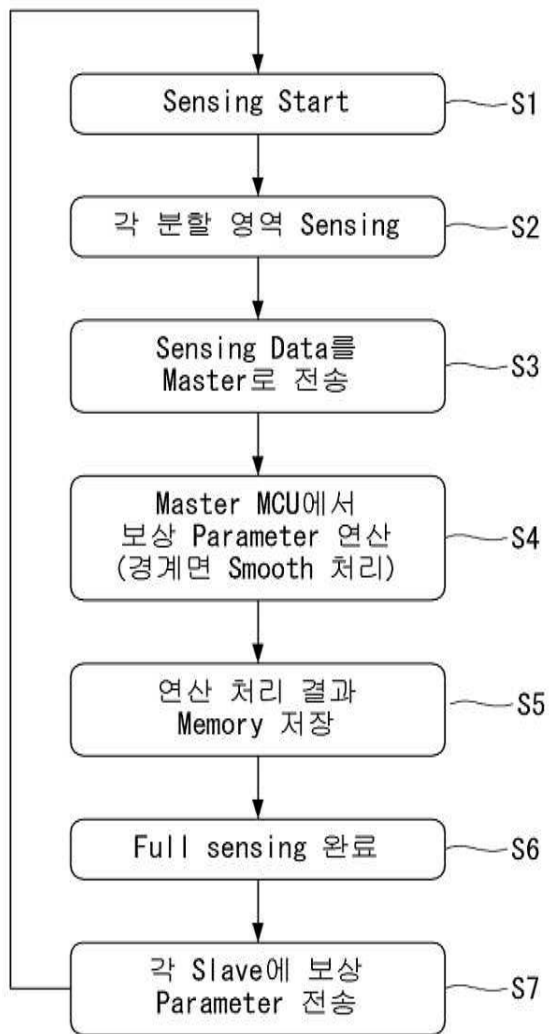
도면2



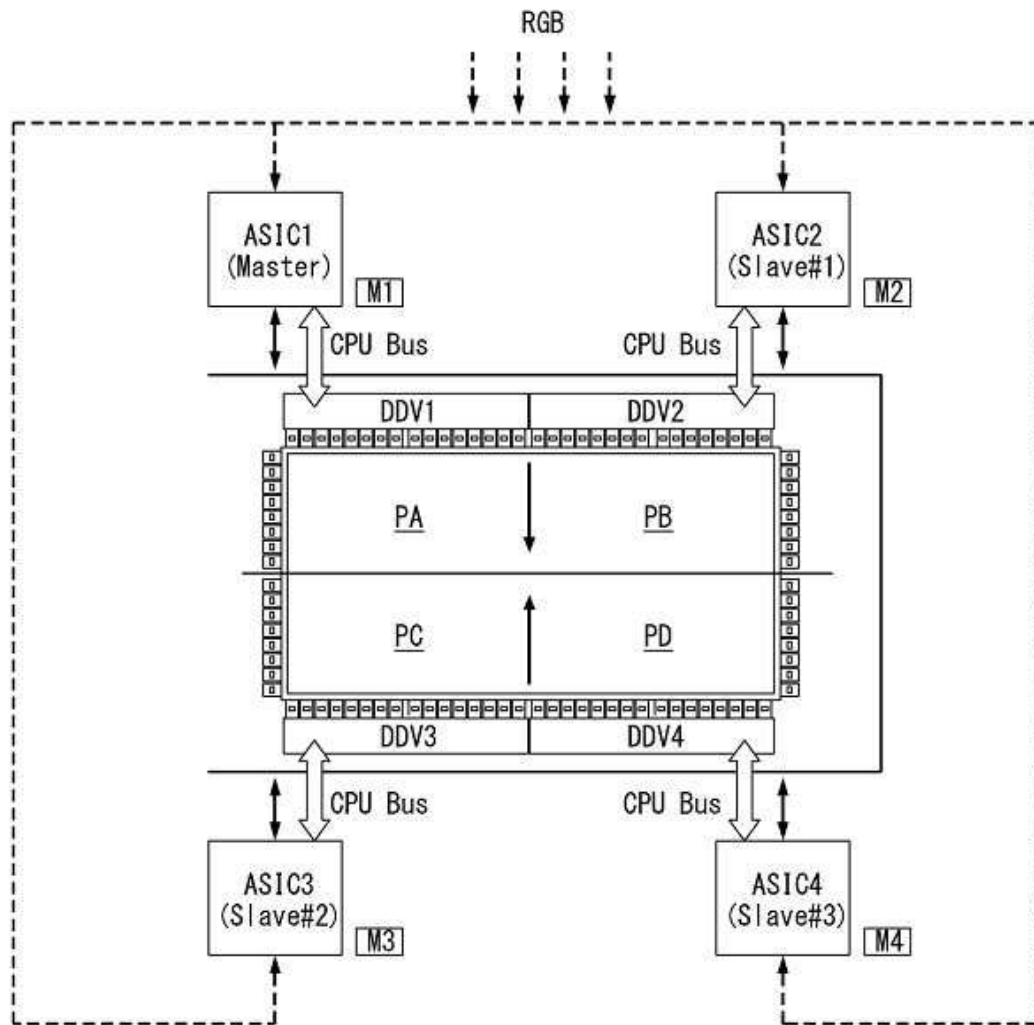
도면3



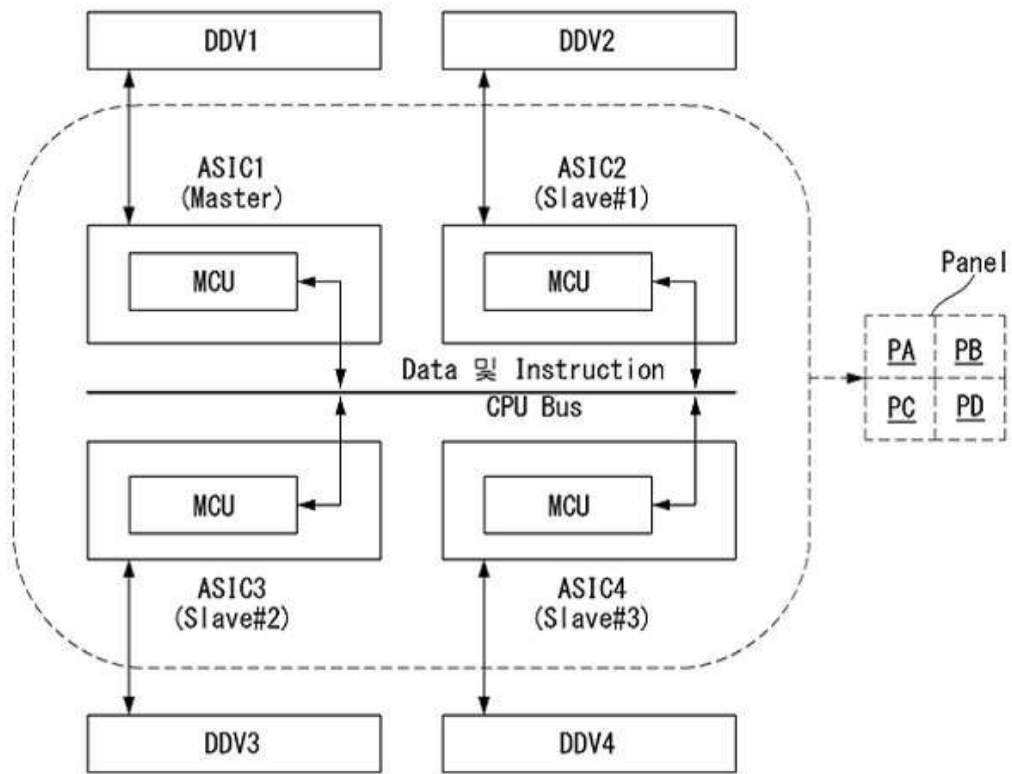
도면4



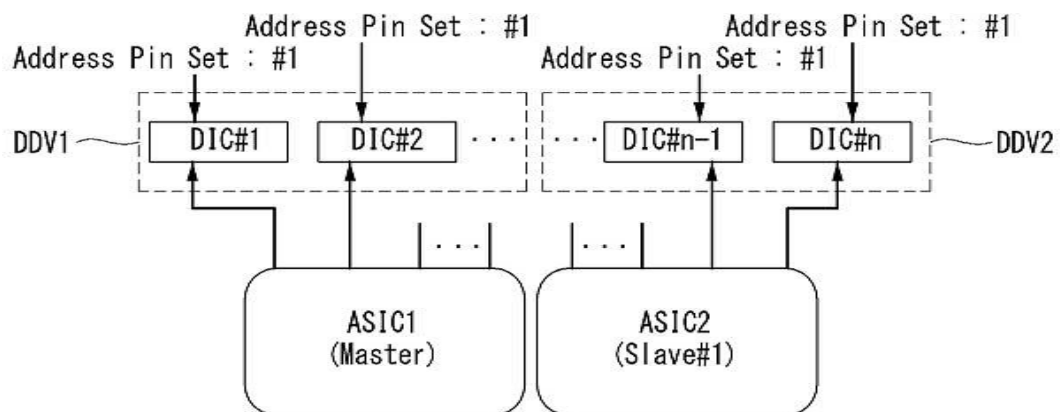
도면5



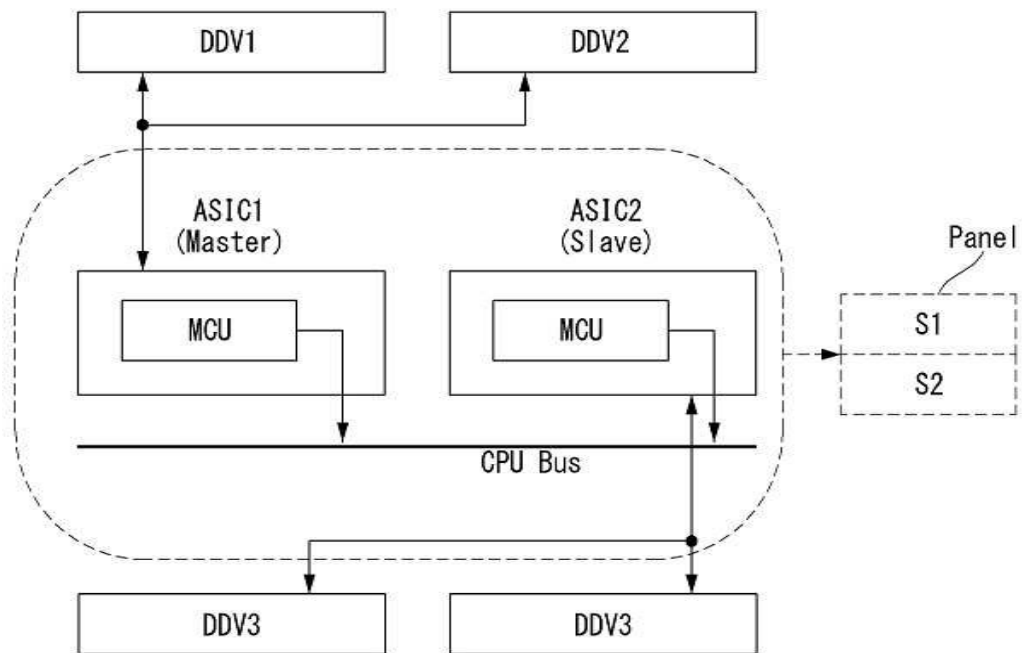
도면6



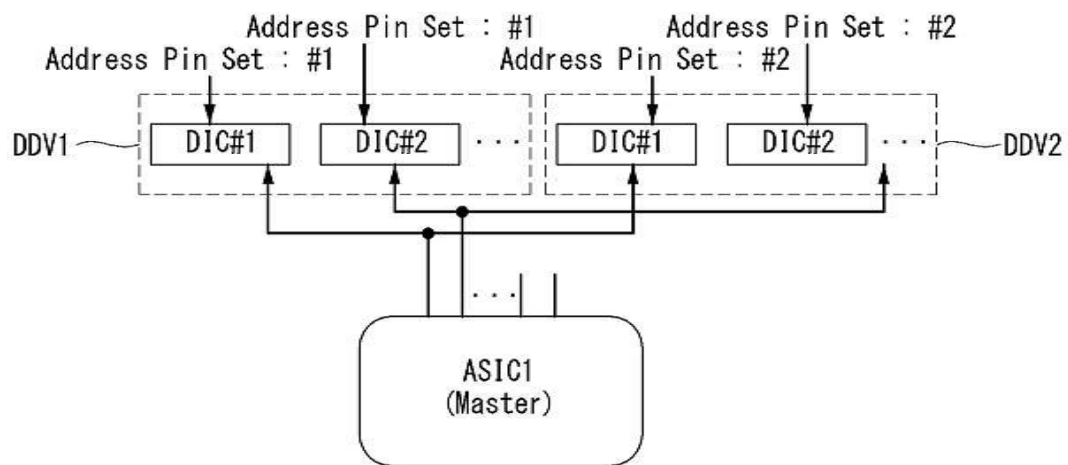
도면7



도면8



도면9



专利名称(译)	标题：包括可编程定制半导体电路的有机发光显示装置及其驱动方法		
公开(公告)号	KR1020170080780A	公开(公告)日	2017-07-11
申请号	KR1020150189680	申请日	2015-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YU SANG HO 유상호 KIM BUM SIK 김범식		
发明人	유상호 김범식		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3208 G09G2310/0262		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光显示器包括具有第一分辨率的显示面板和用于低于第一分辨率的第二分辨率的专用集成电路 (ASIC)，并且其中负责分区驱动的第二分辨率的ASIC之一被编程为用于整体控制的主设备和在第二分辨率ASIC中的除主设备之外的其余ASIC Lt; RTI ID = 0.0 > Slave

