



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0036865  
(43) 공개일자 2017년04월03일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) G09G 3/32 (2016.01)  
H01L 51/52 (2006.01)  
(52) CPC특허분류  
H01L 27/3272 (2013.01)  
G09G 3/3233 (2013.01)  
(21) 출원번호 10-2015-0132407  
(22) 출원일자 2015년09월18일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
오재영  
경기도 고양시 일산동구 노루목로 100 213동 802호 (장항동, 호수마을2단지아파트)  
박상무  
경기도 고양시 일산동구 위시티4로 46 211동 802호 (식사동, 위시티일산자이2단지아파트)  
강입국  
경기도 파주시 교하읍 동패리 책향기 마을 1698번지 동문굿모닝힐 1006-401호  
(74) 대리인  
특허법인로얄

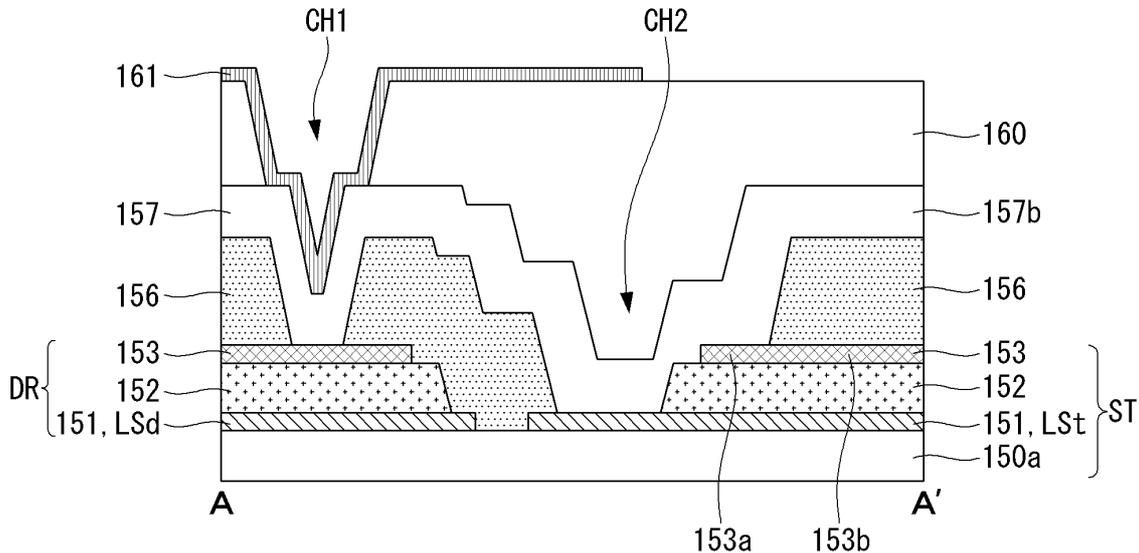
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기전계발광표시장치

(57) 요약

본 발명은 광차단층 사용시, 서브 픽셀에 포함된 특정 트랜지스터의 문턱전압이 이동하는 사이드 이펙트를 방지할 수 있는 접속 구조를 이용하여 표시 패널의 구동 신뢰성과 수명을 향상시킨다. 이를 위해, 제1광차단층은 스위칭 트랜지스터의 도체화 된 전극에 연결되고, 제2광차단층은 구동 트랜지스터의 도체화 된 전극에 연결된다.

대표도 - 도10



(52) CPC특허분류

*H01L 27/3211* (2013.01)  
*H01L 27/3248* (2013.01)  
*H01L 27/3258* (2013.01)  
*H01L 27/3262* (2013.01)  
*H01L 51/5281* (2013.01)  
*G09G 2300/0842* (2013.01)  
*H01L 2227/32* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기관 상에 위치하며 스위칭 트랜지스터, 구동 트랜지스터 및 센싱 트랜지스터의 채널영역에 각각 대응하여 위치하는 제1 내지 제3광차단층;

상기 제1 내지 제3광차단층 상에 위치하는 버퍼층;

상기 버퍼층에 각각 대응하여 위치하며 상기 스위칭 트랜지스터, 상기 구동 트랜지스터 및 상기 센싱 트랜지스터의 소오스 및 드레인영역에 대응하여 도체화 된 전극을 갖는 산화물 반도체층; 및

상기 산화물 반도체층 상에 위치하는 절연층을 포함하고,

상기 제1광차단층은 상기 스위칭 트랜지스터의 도체화 된 전극에 연결되고, 상기 제2광차단층은 상기 구동 트랜지스터의 도체화 된 전극에 연결된 유기전계발광표시장치.

#### 청구항 2

제1항에 있어서,

상기 제1광차단층과 상기 스위칭 트랜지스터의 도체화 된 전극은 상기 절연층의 제1측 콘택홀을 통해 노출되고,

상기 절연층 상에 위치하는 소오스 드레인금속층에 의해 전기적으로 연결되는 유기전계발광표시장치.

#### 청구항 3

제2항에 있어서,

상기 제1측 콘택홀은

상기 스위칭 트랜지스터의 도체화 된 전극의 외곽 경계선에 위치하는 유기전계발광표시장치.

#### 청구항 4

제3항에 있어서,

상기 제1측 콘택홀은

상기 구동 트랜지스터와 상기 스위칭 트랜지스터의 사이에 위치하거나 상기 스위칭 트랜지스터와 데이터라인의 사이에 위치하는 유기전계발광표시장치.

#### 청구항 5

제1항에 있어서,

상기 제3광차단층은

상기 제1광차단층과 일체형으로 구비된 유기전계발광표시장치.

#### 청구항 6

제4항에 있어서,

상기 제3광차단층은

상기 제1광차단층과 분리되어 배치된 유기전계발광표시장치.

#### 청구항 7

제6항에 있어서,

상기 제3광차단층과 상기 센싱 트랜지스터의 도체화 된 전극은 상기 절연층의 제2층 콘택홀을 통해 노출되고, 상기 절연층 상에 위치하는 소오스 드레인금속층에 의해 전기적으로 연결되는 유기전계발광표시장치.

**청구항 8**

제7항에 있어서,

상기 제2층 콘택홀은

상기 센싱 트랜지스터의 도체화 된 전극의 외곽 경계선에 위치하는 유기전계발광표시장치.

**청구항 9**

제8항에 있어서,

상기 제2층 콘택홀은

상기 구동 트랜지스터와 센싱 트랜지스터의 사이에 위치하거나 상기 센싱 트랜지스터와 제1전원라인의 사이에 위치하는 유기전계발광표시장치.

**청구항 10**

제1항에 있어서,

상기 제1광차단층은 상기 스위칭 트랜지스터의 제2전극에 연결되고, 상기 제3광차단층은 상기 구동 트랜지스터의 제2전극에 연결된 유기전계발광표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기전계발광표시장치에 관한 것이다.

**배경 기술**

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 유기전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시패널과 표시패널을 구동하는 구동부가 포함된다. 구동부에는 표시패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 유기전계발광표시장치는 장시간 사용시 서브 픽셀 내에 포함된 소자의 특성(문턱전압, 전류 이동도 등)이 변하는 문제가 있다. 이를 보상하고자 서브 픽셀 내에 소자의 특성을 센싱 하는 회로를 추가하는 방식이 제안된바 있다. 또한, 유기전계발광표시장치는 서브 픽셀 내에 포함된 소자(예: 박막 트랜지스터)를 외광으로부터 보호 및 안정화하기 위해 외광을 차단하는 역할을 하는 광차단층을 추가하는 방식이 제안된바 있다.

[0005] 그런데 종래 유기전계발광표시장치는 서브 픽셀을 구성하는 소자의 복잡도가 증가하게 됨에 따라 광차단층을 다른 전극이나 배선에 전기적으로 연결할 경우, 서브 픽셀에 포함된 특정 트랜지스터의 문턱전압이 이동하는 등 사이드 이펙트를 야기하고 있는바 이의 개선이 요구된다.

**발명의 내용**

**해결하려는 과제**

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 광차단층 사용시, 서브 픽셀에 포함된 특정 트랜지스터의 문턱전압이 이동하는 사이드 이펙트를 방지하여 표시 패널의 구동 신뢰성, 수명 및 표시 품질을 향상하는 것이다.

**과제의 해결 수단**

- [0007] 상술한 과제 해결 수단으로 본 발명은 제1 내지 제3광차단층, 버퍼층, 산화물 반도체층 및 절연층을 포함하는 유기전계발광표시장치를 제공한다. 제1 내지 제3광차단층은 기판 상에 위치하며 스위칭 트랜지스터, 구동 트랜지스터 및 센싱 트랜지스터의 채널영역에 각각 대응하여 위치한다. 버퍼층은 제1 내지 제3광차단층 상에 위치한다. 산화물 반도체층은 버퍼층에 각각 대응하여 위치하며 스위칭 트랜지스터, 구동 트랜지스터 및 센싱 트랜지스터의 소오스 및 드레인영역에 대응하여 도체화 된 전극을 갖는다. 절연층은 산화물 반도체층 상에 위치한다. 제1광차단층은 스위칭 트랜지스터의 도체화 된 전극에 연결되고, 제2광차단층은 구동 트랜지스터의 도체화 된 전극에 연결된다.
- [0008] 제1광차단층과 스위칭 트랜지스터의 도체화 된 전극은 절연층의 제1콘택홀을 통해 노출되고, 절연층 상에 위치하는 소오스 드레인금속층에 의해 전기적으로 연결될 수 있다.
- [0009] 제1콘택홀은 스위칭 트랜지스터의 도체화 된 전극의 외곽 경계선에 위치할 수 있다.
- [0010] 제1콘택홀은 구동 트랜지스터와 스위칭 트랜지스터의 사이에 위치하거나 스위칭 트랜지스터와 데이터라인의 사이에 위치할 수 있다.
- [0011] 제3광차단층은 제1광차단층과 일체형으로 구비될 수 있다.
- [0012] 제3광차단층은 제1광차단층과 분리되어 배치될 수 있다.
- [0013] 제3광차단층과 센싱 트랜지스터의 도체화 된 전극은 절연층의 제2콘택홀을 통해 노출되고, 절연층 상에 위치하는 소오스 드레인금속층에 의해 전기적으로 연결될 수 있다.
- [0014] 제2콘택홀은 센싱 트랜지스터의 도체화 된 전극의 외곽 경계선에 위치할 수 있다.
- [0015] 제2콘택홀은 구동 트랜지스터와 센싱 트랜지스터의 사이에 위치하거나 센싱 트랜지스터와 제1전원라인의 사이에 위치할 수 있다.
- [0016] 제1광차단층은 스위칭 트랜지스터의 제2전극에 연결되고, 제3광차단층은 구동 트랜지스터의 제2전극에 연결될 수 있다.

**발명의 효과**

- [0017] 본 발명은 광차단층 사용시, 서브 픽셀에 포함된 특정 트랜지스터의 문턱전압이 이동하는 사이드 이펙트를 방지할 수 있는 접속 구조를 이용하여 표시 패널의 구동 신뢰성과 수명을 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 광차단층의 사용에 따른 사이드 이펙트를 제거하여 표시 품질을 향상시킬 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0018] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 블록도.
- 도 2는 서브 픽셀의 개략적인 회로 구성도.
- 도 3은 본 발명의 제1실시예에 따른 서브 픽셀의 회로 구성 예시도.
- 도 4는 본 발명의 제1실시예에 따른 표시패널의 단면 예시도.
- 도 5 내지 도 9는 본 발명의 제1실시예에 따른 서브 픽셀의 공정 순서를 개략적으로 설명하기 위한 평면도들.
- 도 10은 도 9의 A-A'영역의 단면도.
- 도 11은 본 발명의 제2실시예에 따른 서브 픽셀의 회로 구성 예시도.
- 도 12 내지 도 16은 본 발명의 제2실시예에 따른 서브 픽셀의 공정 순서를 개략적으로 설명하기 위한 평면도들.
- 도 17은 도 16의 A-A'영역의 단면도.
- 도 18은 도 16의 B-B'영역의 단면도.

**발명을 실시하기 위한 구체적인 내용**

- [0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0020] <제1실시예>
- [0021] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 본 발명의 제1실시예에 따른 서브 픽셀의 회로 구성 예시도이다.
- [0022] 도 1에 도시된 바와 같이, 본 발명의 제1실시예에 따른 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.
- [0023] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0024] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0025] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0026] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호(또는 게이트신호)를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0027] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0028] 서브 픽셀은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식으로 형성된다. 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0029] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0030] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)과 제2전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0031] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.
- [0032] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱라인(VREF)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스라인과 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 센싱노드에 공급하거나 센싱노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0033] 보상회로(CC)와 더불어 서브 픽셀 내에 포함된 소자의 구성 및 접속 관계를 설명하면 다음과 같다.
- [0034] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의

애노드전극에 제2전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 제1전극 또는 제2전극은 트랜지스터의 소오스전극(트랜지스터의 타입에 따라 드레인전극이 될 수도 있음) 또는 드레인전극(트랜지스터의 타입에 따라 소오스전극이 될 수도 있음)을 의미한다.

- [0035] 센싱 트랜지스터(ST)의 동작 시간은 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)은 공통으로 공유하도록 연결될 수 있다.
- [0036] 센싱라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분리(구분)된다.
- [0037] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0038] 스위칭 트랜지스터(SW), 구동 트랜지스터(DR) 및 센싱 트랜지스터(ST)의 채널영역과 대응하는 하부층 또는 상부층에는 광차단층(LSs, LSd, LSt)이 형성된다. 광차단층(LSs, LSd, LSt)은 외광으로부터 스위칭 트랜지스터(SW), 구동 트랜지스터(DR) 및 센싱 트랜지스터(ST)를 보호 및 안정화하기 위해 존재한다. 광차단층(LSs, LSd, LSt)은 외광을 차단하는 역할을 한다.
- [0039] 스위칭 트랜지스터(SW)는 제1광차단층(LSs)에 의해 채널영역이 보호된다. 제1광차단층(LSs)은 스위칭 트랜지스터(SW)의 제2전극에 연결된다. 구동 트랜지스터(DR)는 제2광차단층(LSd)에 의해 채널영역이 보호된다. 제2광차단층(LSd)은 구동 트랜지스터(DR)의 제2전극에 연결된다. 센싱 트랜지스터(ST)는 제3광차단층(LSt)에 의해 채널영역이 보호된다. 제3광차단층(LSt)은 스위칭 트랜지스터(SW)의 제2전극에 연결된다.
- [0040] 한편, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0041] 이하, 본 발명의 제1실시예에 따른 표시패널과 표시패널을 구성하는 서브 픽셀의 단면도/평면도를 참조하여 이에 대한 설명을 자세히 다룬다.
- [0042] 도 4는 본 발명의 제1실시예에 따른 표시패널의 단면 예시도이고, 도 5 내지 도 9는 본 발명의 제1실시예에 따른 서브 픽셀의 공정 순서를 개략적으로 설명하기 위한 평면도들이며, 도 10은 도 9의 A-A' 영역의 단면도이다.
- [0043] 도 4에 도시된 바와 같이, 표시 패널(150)은 기판(150a)과 보호기판(또는 필름)(150b) 사이에 위치하는 픽셀(P)을 포함한다. 픽셀(P)이 배치된 영역은 표시영역(AA)으로 정의되고, 픽셀(P)이 배치되지 않은 표시영역(AA)의 외곽은 비표시영역(NA)으로 정의된다.
- [0044] 픽셀(P)은 적색(R), 백색(W), 청색(B) 및 녹색(G) 이상 4개의 서브 픽셀로 이루어진 것을 일례로 하나 이는 적색(R), 청색(B) 및 녹색(G) 이상 3개의 서브 픽셀로 이루어질 수도 있다. 적색(R), 백색(W), 청색(B) 및 녹색(G) 서브 픽셀은 수평 또는 수직 방향으로 배치된다. 서브 픽셀의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다.
- [0045] 도 4에 도시된 하나의 서브 픽셀은 도 3에 설명된 회로를 기반으로 다음과 같이 형성된다. 다만, 본 발명의 제1 실시예는 서브 픽셀의 소자영역에 형성된 광차단층 그리고 광차단층과 관계되는 트랜지스터들의 접속 관계 및 적층 관계를 다루므로 서브 픽셀의 개구영역에 대한 도시 및 설명은 생략한다.
- [0046] 도 5 내지 도 9에 도시된 바와 같이, 기판(150a) 상에는 서브 픽셀의 소자영역(SPA)과 개구영역(SPE)이 정의된다. 서브 픽셀의 소자영역(SPA)에는 구동 트랜지스터(DR), 커패시터(Cst), 스위칭 트랜지스터(SW), 및 센싱 트

랜지스터(ST)가 형성된다. 서브 픽셀의 소자영역(SPA)의 상부에 위치하는 서브 픽셀의 개구영역(SPE)에는 유기 발광다이오드(OLED)가 형성된다.

- [0047] 기관(150a) 상에는 광차단층(151)이 형성된다. 광차단층(151)은 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 반도체층(153)에 대응하는 제1 및 제3광차단층(LSs, LSt)과 구동 트랜지스터(DR)의 반도체층(153)에 대응하는 제2광차단층(LSd)이 분리되어 형성된다. 광차단층(151)은 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 반도체층(153)을 모두 커버하기 위해 일체형(또는 공통)으로 형성되는 부분(LSs, LSt)과 구동 트랜지스터(DR)의 반도체층(153)을 하나만 커버하기 위해 형성되는 부분(LSd)으로 분리된다.
- [0048] 광차단층(151) 상에는 버퍼층(152)이 형성된다. 버퍼층(152)은 광차단층(151)에 대응하여 형성된다. 버퍼층(152) 상에는 반도체층(153)이 형성된다. 반도체층(153)은 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)가 차지하는 영역으로 각각 분리되어 형성된다.
- [0049] 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 반도체층(153)은 산화물 반도체(예: IGZO)로 이루어진다. 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 반도체층(153)은 채널영역이 되는 부분과 도체화 공정에 의해 도체화 된 부분을 포함한다.
- [0050] 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 반도체층(153)은 산화물 반도체(예: IGZO)로 이루어지므로 도체화 공정을 실시하게 되면 공정이 진행된 영역이 반도체가 아닌 도체가 된다. 그리고 반도체층(153)의 도체화 된 부분은 트랜지스터의 소오스전극(또는 소오스영역) 및 드레인전극(또는 드레인영역)이 된다. 즉, 반도체층(153)은 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 소오스 및 드레인영역에 대응하여 도체화 된 전극을 갖는다.
- [0051] 반도체층(153) 상에는 제1절연층(154)이 형성된다. 제1절연층(154) 상에는 게이트금속층(155)이 형성된다. 제1절연층(154)은 게이트절연층으로 정의될 수 있는데, 이는 상부에 형성되는 게이트전극과 동일하게 섬(Island) 형태로 패터닝될 수 있다.
- [0052] 게이트금속층(155a ~ 155d)은 제1 내지 제4게이트금속층(155a ~ 155d)을 포함한다. 제1게이트금속층(155a)은 제1전원라인(EVDD)을 인접하는 서브 픽셀에 연결해 주는 연결전극이 된다. 제1게이트금속층(155a)은 니은(⊔)자형상의 전극으로 패터닝될 수 있다. 제2게이트금속층(155b)은 구동 트랜지스터(DR)의 게이트전극이 된다. 제2게이트금속층(155b)은 수직방향이 더 긴 바(Bar) 형태의 전극으로 패터닝될 수 있다. 제3게이트금속층(155c)은 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 게이트전극이 되면서 스캔라인(GL)이 된다. 제3게이트금속층(155c)은 수평 방향을 따라 배치되며, 두 개의 라인으로 분기되는 부분을 포함할 수 있다. 제4게이트금속층(155d)은 센싱 트랜지스터(ST)의 제1전극과 연결되는 센싱라인(VREF)이 된다. 제4게이트금속층(155d)은 수평 방향을 따라 배치되며, 두 개의 라인으로 분기되는 부분을 포함할 수 있다.
- [0053] 게이트금속층(155a ~ 155d) 상에는 제2절연층(156)이 형성된다. 제2절연층(156)은 하부 구조물과 상부에 형성되는 구조물 간의 전기적 절연을 하는 층간 절연층으로 정의될 수 있다.
- [0054] 제2절연층(156)에는 하부 구조물의 일부를 노출하는 다수의 콘택홀이 형성된다. 다수의 콘택홀은 홀 마스크에 의해 형성된다. 홀 마스크에 의해 제2절연층(156)에는 제1콘택홀(CH1) 및 제2콘택홀(CH2)을 포함하는 다수의 콘택홀이 형성된다. 제2콘택홀(CH2)은 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 하부에 위치하는 제1 및 제3광차단층(LSs, LSt)을 센싱 트랜지스터(SW) 또는 스위칭 트랜지스터(SW)의 제1 또는 제2전극에 공통으로 연결하기 위해 사용된다. 이와 관련된 설명은 도 10을 참조하여 다시 설명한다.
- [0055] 제2절연층(156) 상에는 소오스 드레인금속층(157a ~ 157e)이 형성된다. 제1소오스 드레인금속층(157a)은 제1전원라인(EVDD)이 된다. 제1소오스 드레인금속층(157a)은 수직 방향을 따라 배치되며, 서브 픽셀과 연결되는 부분만 수평 방향으로 일부 돌출된다. 제2소오스 드레인금속층(157b)은 스위칭 트랜지스터(SW)의 제2전극과 구동 트랜지스터(DR)의 게이트전극(155b)을 연결함과 동시에 커패시터(Cst)의 일측 전극이 된다. 제2소오스 드레인금속층(157b)은 구동 트랜지스터(DR)의 게이트전극을 도체화한 영역과 중첩하는 면적이 넓게 패터닝될 수 있다. 제3소오스 드레인금속층(157c)은 구동 트랜지스터(DR)의 제2전극과 센싱 트랜지스터(ST)의 제2전극을 연결하는 연결전극이 된다. 제3소오스 드레인금속층(157c)은 L자형상으로 패터닝될 수 있다. 제4소오스 드레인금속층(157d)은 데이터라인(DLn1)이 된다. 제4소오스 드레인금속층(157d)은 수직 방향을 따라 배치되며, 서브 픽셀과 연결되는 부분만 수평 방향으로 일부 돌출된다. 제5소오스 드레인금속층(157e)은 센싱 트랜지스터(ST)의 제1전극을 센싱라인(VREF)에 연결하는 연결전극이 된다. 제5소오스 드레인금속층(157e)은 1자형상 또는 I자형상으로 패터닝될 수 있다.

- [0056] 소오스 드레인금속층(157a ~ 157e) 상에는 제3절연층(158)이 형성된다. 제3절연층(158)은 기판(150a) 상에 형성된 트랜지스터 등의 구조물을 보호하기 위한 보호층으로 정의될 수 있다.
- [0057] 제3절연층(158) 상에는 서브 픽셀의 개구영역(SPE)에 대응하여 컬러필터(미도시)가 형성된다. 이하의 공정에 의해 형성되는 유기 발광다이오드가 백색을 발광하는 경우 제3절연층(158) 상에는 컬러필터가 형성되지만, 유기 발광다이오드가 자체적으로 적색, 녹색, 청색 등의 유색을 발광할 경우 컬러필터는 미형성된다.
- [0058] 제3절연층(159) 상에는 제4절연층(160)이 형성된다. 제4절연층(160)은 표면을 평탄화하는 코팅층으로 정의될 수 있다. 제3절연층(158) 및 제4절연층(160)은 구동 트랜지스터(DR)의 소오스전극의 일부를 노출하는 콘택홀을 갖는다.
- [0059] 제4절연층(160) 상에는 화소전극(161)이 형성된다. 화소전극(161)은 유기 발광다이오드(OLED)의 애노드전극으로 정의될 수 있다. 화소전극(161)은 제4절연층(160)을 통해 노출된 소오스전극에 전기적으로 연결된다. 화소전극(161)은 유기 발광층으로부터 발광된 빛을 기판(150a) 방향으로 출사할 수 있도록 투명전극으로 선택될 수 있다.
- [0060] 제4절연층(160) 상에는 बैं크층(미도시)이 형성된다. बैं크층은 화소전극(161)의 일부를 노출하는 개구영역을 가지며, 실질적인 발광영역을 정의하게 된다. बैं크층 상에는 유기 발광층과 상부전극(미도시)이 형성된다. 상부전극은 유기 발광다이오드(OLED)의 캐소드전극으로 정의될 수 있다. 상부전극은 미도시된 제2전원라인에 전기적으로 연결된다. 상부전극은 유기 발광층으로부터 발광된 빛이 기판(150a) 방향으로만 출사되도록 불투명전극으로 선택될 수 있다. 그러나 표시패널의 목적, 기능 등에 따라 유기 발광층으로부터 발광된 빛을 기판(150a)의 반대 방향 또는 양방향으로 출사하기 위해 상부전극 또한 투명전극으로 선택하는 경우도 있다.
- [0061] 앞서 도 3을 참조하여 설명한 바와 같이, 본 발명의 제1실시예는 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 하부에 위치하는 제1 및 제3광차단층(LSs, LSt)과 구동 트랜지스터(DR)의 제2광차단층(LSd)을 분리하는데, 그 이유를 설명하면 다음과 같다.
- [0062] 실험예에서는 광차단층(LSs, LSd, LSt)을 전기적으로 안정화하기 위해 구동 트랜지스터(DR)의 제2전극(센싱노드)에 모두 공통으로 연결하였다. 이 구조를 기반으로 실험을 한 결과, 구동 트랜지스터(DR)의 제2전극을 통해 흐르는 전압(Vs)이 광차단층(LSs, LSd, LSt)에도 인가됨에 따라 스위칭 트랜지스터(SW)의 문턱전압이 이동하는 문제가 야기됨을 확인하였다.
- [0063] 이와 같은 문제로 인하여, 스위칭 트랜지스터(SW)의 문턱전압(Vth)이 지속적으로 네거티브 방향으로 이동(-Vth Shift)할 경우 로직로우의 스캔신호(트랜지스터를 턴오프하는 신호 또는 전압; 예 VGL)가 인가되었음에도 스위칭 트랜지스터(SW)가 턴온되는 현상이 발생(VGL > Vth 관계를 갖지만 Vth가 VGL보다 낮아지게 되므로)하게 된다. 즉, 스위칭 트랜지스터(SW)가 턴온되지 말아야 하는 구간에서도 턴온 동작을 하게 된다.
- [0064] 본 발명의 제1실시예는 실험예의 문제를 해결하기 위해, 앞서 설명한 바와 같이 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 제1 및 제3광차단층(LSs, LSt)과 구동 트랜지스터(DR)의 제2광차단층(LSd)을 전기적으로 분리하고 시뮬레이션을 하였다.
- [0065] 본 발명의 제1실시예를 기반으로 시뮬레이션을 한 결과, 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 제1 및 제3광차단층(LSs, LSt)과 구동 트랜지스터(DR)의 제2광차단층(LSd)이 전기적으로 분리되어 있어 스위칭 트랜지스터(SW)의 문턱전압이 이동하는 사이드 이펙트는 개선 및 해소할 수 있는 것으로 나타났다.
- [0066] 도 9 및 도 10에 도시된 바와 같이, 제1콘택홀(CH1)은 제2소오스 드레인금속층(157b)의 일부를 노출한다. 제1콘택홀(CH1)을 통해 노출된 제2소오스 드레인금속층(157b)은 화소전극(161)과 전기적으로 연결된다.
- [0067] 제2콘택홀(CH2)(제2측 콘택홀)은 센싱 트랜지스터(ST)의 제2전극(153a)과 그 하부에 위치하는 제3광차단층(151, LSt)의 일부를 노출한다. 센싱 트랜지스터(ST)의 제2전극(153a)은 도체화 된 반도체층(153)에 의해 이루어진다. 제2전극(153a)과 인접한 영역은 채널영역(153b)이다.
- [0068] 제2콘택홀(CH2)은 센싱 트랜지스터(ST)의 제2전극(153a)과 그 하부에 위치하는 제3광차단층(151, LSt)의 일부를 노출하기 위해 센싱 트랜지스터(ST)의 제2전극(153a)의 외곽 경계선에 형성된다. 제2콘택홀(CH2)을 센싱 트랜지스터(ST)의 제2전극(153a)의 외곽 경계선에 형성하면 하나의 콘택홀로도 센싱 트랜지스터(ST)의 제2전극(153a)과 그 하부에 위치하는 제3광차단층(151, LSt)을 전기적으로 연결할 수 있는 구멍을 만들 수 있게 된다. 제2콘택홀(CH2)은 구동 트랜지스터(DR)와 센싱 트랜지스터(ST) 사이에 위치하거나 센싱 트랜지스터(ST)와 제1전원라

인(EVDD) 사이에 위치할 수 있다.

- [0069] 센싱 트랜지스터(ST)의 하부에 위치하는 제3광차단층(151, LSt)은 제2소오스 드레인금속층(157b)에 의해 구동 트랜지스터의 게이트전극과 연결된다.
- [0070] 앞서 설명하였듯이, 제3광차단층(151, LSt)은 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 반도체층(153)을 모두 커버하기 위해 공통으로 형성된다. 따라서, 센싱 트랜지스터(ST)의 하부에 위치하는 제3광차단층(151, LSt)만 구동 트랜지스터(DR)의 게이트전극에 연결하면 된다.
- [0071] 본 발명의 제1실시예에서는 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 제1 및 제3광차단층(151, LSs, LSt)을 센싱 트랜지스터(ST)의 제2전극(153a)에 공통으로 연결하는 것을 일례로 하였다. 그러나 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 제1 및 제3광차단층(151, LSs, LSt)은 센싱 트랜지스터(ST)의 제1전극에 공통으로 연결될 수도 있다. 그 이유는 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 제1 및 제3광차단층(151, LSs, LSt)을 구동 트랜지스터(DR)의 제2광차단층(LSd)과 전기적으로 분리하면 본 발명의 제1실시예에 따른 효과를 얻을 수 있기 때문이다.
- [0072] 이하에서는 제1실시예와 달리 방식으로 광차단층을 분리한 구조를 설명한다.
- [0073] <제2실시예>
- [0074] 도 11은 본 발명의 제2실시예에 따른 서브 픽셀의 회로 구성 예시도이고, 도 12 내지 도 16은 본 발명의 제2실시예에 따른 서브 픽셀의 공정 순서를 개략적으로 설명하기 위한 평면도들이며, 도 17은 도 16의 A-A'영역의 단면도이고, 도 18은 도 16의 B-B'영역의 단면도이다.
- [0075] 도 11에 도시된 바와 같이, 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.
- [0076] 스위칭 트랜지스터(SW), 구동 트랜지스터(DR) 및 센싱 트랜지스터(ST)의 채널영역과 대응하는 하부층 또는 상부층에는 광차단층(LSs, LSd, LSt)이 형성된다. 광차단층(LSs, LSd, LSt)은 외광으로부터 스위칭 트랜지스터(SW), 구동 트랜지스터(DR) 및 센싱 트랜지스터(ST)를 보호 및 안정화하기 위해 존재한다. 광차단층(LSs, LSd, LSt)은 외광을 차단하는 역할을 한다.
- [0077] 스위칭 트랜지스터(SW)는 제1광차단층(LSs)에 의해 채널영역이 보호된다. 제1광차단층(LSs)은 스위칭 트랜지스터(SW)의 제2전극에 연결된다. 구동 트랜지스터(DR)는 제2광차단층(LSd)에 의해 채널영역이 보호된다. 제2광차단층(LSd)은 구동 트랜지스터(DR)의 제2전극에 연결된다. 센싱 트랜지스터(ST)는 제3광차단층(LSt)에 의해 채널영역이 보호된다. 제3광차단층(LSt)은 구동 트랜지스터(DR)의 제2전극에 연결된다. 제3광차단층(LSt)은 센싱 트랜지스터(ST)의 제1전극에 연결될 수도 있다. 이 경우, 제3광차단층(LSt)은 제2광차단층(LSd)과 물리적/전기적으로 분리된다. 그러나 이하의 설명에서는 스위칭 트랜지스터(SW)의 광차단층과 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 광차단층을 물리적/전기적으로 분리된 것을 일례로 한다.
- [0078] 하나의 서브 픽셀은 도 11에 설명된 회로를 기반으로 다음과 같이 형성된다. 다만, 본 발명의 제1실시예는 서브 픽셀의 소자영역에 형성된 광차단층 그리고 광차단층과 관계되는 트랜지스터들의 접속 관계 및 적층 관계를 다루므로 서브 픽셀의 개구영역에 대한 도시 및 설명은 생략한다.
- [0079] 도 12 내지 도 16에 도시된 바와 같이, 기관(150a) 상에는 서브 픽셀의 소자영역(SPA)과 개구영역(SPE)이 정의된다. 서브 픽셀의 소자영역(SPA)에는 구동 트랜지스터(DR), 커패시터(Cst), 스위칭 트랜지스터(SW), 및 센싱 트랜지스터(ST)가 형성된다. 서브 픽셀의 소자영역(SPA)의 상부에 위치하는 서브 픽셀의 개구영역(SPE)에는 유기 발광다이오드(OLED)가 형성된다.
- [0080] 기관(150a) 상에는 광차단층(151)이 형성된다. 광차단층(151)은 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 반도체층(153)에 각각 대응하는 제1, 제2 및 제3광차단층(LSs, LSt, LSd)이 모두 분리되어 형성된다. 광차단층(151)은 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 반

도체층(153)을 각각 커버하기 위해 독립된 형태로 분리된다.

- [0081] 광차단층(151) 상에는 버퍼층(152)이 형성된다. 버퍼층(152)은 광차단층(151)에 대응하여 형성된다. 버퍼층(152) 상에는 반도체층(153)이 형성된다. 반도체층(153)은 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)가 차지하는 영역으로 각각 분리되어 형성된다.
- [0082] 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 반도체층(153)은 산화물 반도체(예: IGZO)로 이루어진다. 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 반도체층(153)은 채널영역이 되는 부분과 도체화 공정에 의해 도체화 된 부분을 포함한다.
- [0083] 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 반도체층(153)은 산화물 반도체(예: IGZO)로 이루어지므로 도체화 공정을 실시하게 되면 공정이 진행된 영역이 반도체가 아닌 도체가 된다. 그리고 반도체층(153)의 도체화 된 부분은 트랜지스터의 소오스전극(또는 소오스영역) 및 드레인전극(또는 드레인영역)이 된다. 즉, 반도체층(153)은 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 소오스 및 드레인영역에 대응하여 도체화 된 전극을 갖는다.
- [0084] 반도체층(153) 상에는 제1절연층(154)이 형성된다. 제1절연층(154) 상에는 게이트금속층(155)이 형성된다. 제1절연층(154)은 게이트절연층으로 정의될 수 있는데, 이는 상부에 형성되는 게이트전극과 동일하게 섬(Island) 형태로 패터닝될 수 있다.
- [0085] 게이트금속층(155a ~ 155d)은 제1 내지 제4게이트금속층(155a ~ 155d)을 포함한다. 제1게이트금속층(155a)은 제1전원라인(EVDD)을 인접하는 서브 픽셀에 연결해 주는 연결전극이 된다. 제1게이트금속층(155a)은 니온(⌊)자형상의 전극으로 패터닝될 수 있다. 제2게이트금속층(155b)은 구동 트랜지스터(DR)의 게이트전극이 된다. 제2게이트금속층(155b)은 수직방향이 더 긴 바(Bar) 형태의 전극으로 패터닝될 수 있다. 제3게이트금속층(155c)은 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 게이트전극이 되면서 스캔라인(GL)이 된다. 제3게이트금속층(155c)은 수평 방향을 따라 배치되며, 두 개의 라인으로 분기되는 부분을 포함할 수 있다. 제4게이트금속층(155d)은 센싱 트랜지스터(ST)의 제1전극과 연결되는 센싱라인(VREF)이 된다. 제4게이트금속층(155d)은 수평 방향을 따라 배치되며, 두 개의 라인으로 분기되는 부분을 포함할 수 있다.
- [0086] 게이트금속층(155a ~ 155d) 상에는 제2절연층(156)이 형성된다. 제2절연층(156)은 하부 구조물과 상부에 형성되는 구조물 간의 전기적 절연을 하는 층간 절연층으로 정의될 수 있다.
- [0087] 제2절연층(156)에는 하부 구조물의 일부를 노출하는 다수의 콘택홀이 형성된다. 다수의 콘택홀은 홀 마스크에 의해 형성된다. 홀 마스크에 의해 제2절연층(156)에는 제1콘택홀(CH1) 내지 제2콘택홀(CH3)을 포함하는 다수의 콘택홀이 형성된다. 제2콘택홀(CH2)은 센싱 트랜지스터(ST)의 하부에 위치하는 제3광차단층(LSt)을 센싱 트랜지스터(ST)의 제1 또는 제2전극에 연결하기 위해 사용된다. 제3콘택홀(CH3)은 스위칭 트랜지스터(SW)의 제1광차단층(LSs)을 스위칭 트랜지스터(SW)의 제1 또는 제2전극에 연결하기 위해 사용된다. 이와 관련된 설명은 도 17 및 도 18을 참조하여 다시 설명한다.
- [0088] 제2절연층(156) 상에는 소오스 드레인금속층(157a ~ 157e)이 형성된다. 제1소오스 드레인금속층(157a)은 제1전원라인(EVDD)이 된다. 제1소오스 드레인금속층(157a)은 수직 방향을 따라 배치되며, 서브 픽셀과 연결되는 부분만 수평 방향으로 일부 돌출된다. 제2소오스 드레인금속층(157b)은 스위칭 트랜지스터(SW)의 제2전극과 구동 트랜지스터(DR)의 게이트전극(155b)을 연결함과 동시에 커패시터(Cst)의 일측 전극이 된다. 제2소오스 드레인금속층(157b)은 구동 트랜지스터(DR)의 게이트전극을 도체화한 영역과 중첩하는 면적이 넓게 패터닝될 수 있다. 제3소오스 드레인금속층(157c)은 구동 트랜지스터(DR)의 제2전극과 센싱 트랜지스터(ST)의 제2전극을 연결하는 연결전극이 된다. 제3소오스 드레인금속층(157c)은 L자형상으로 패터닝될 수 있다. 제4소오스 드레인금속층(157d)은 데이터라인들(DLn1)이 된다. 제4소오스 드레인금속층(157d)은 수직 방향을 따라 배치되며, 서브 픽셀과 연결되는 부분만 수평 방향으로 일부 돌출된다. 제5소오스 드레인금속층(157e)은 센싱 트랜지스터(ST)의 제1전극을 센싱라인(VREF)에 연결하는 연결전극이 된다. 제5소오스 드레인금속층(157e)은 1자형상 또는 I자형상으로 패터닝될 수 있다.
- [0089] 소오스 드레인금속층(157a ~ 157e) 상에는 제3절연층(158)이 형성된다. 제3절연층(158)은 기관(150a) 상에 형성된 트랜지스터 등의 구조물을 보호하기 위한 보호층으로 정의될 수 있다.
- [0090] 제3절연층(158) 상에는 서브 픽셀의 개구영역(SPE)에 대응하여 컬러필터(미도시)가 형성된다. 이하의 공정에 의해 형성되는 유기 발광다이오드가 백색을 발광하는 경우 제3절연층(158) 상에는 컬러필터가 형성되지만, 유기

발광다이오드가 자체적으로 적색, 녹색, 청색 등의 유색을 발광할 경우 컬러필터는 미형성된다.

- [0091] 제3절연층(159) 상에는 제4절연층(160)이 형성된다. 제4절연층(160)은 표면을 평탄화하는 코팅층으로 정의될 수 있다. 제3절연층(158) 및 제4절연층(160)은 구동 트랜지스터(DR)의 소오스전극의 일부를 노출하는 콘택홀을 갖는다.
- [0092] 제4절연층(160) 상에는 화소전극(161)이 형성된다. 화소전극(161)은 유기 발광다이오드(OLED)의 애노드전극으로 정의될 수 있다. 화소전극(161)은 제4절연층(160)을 통해 노출된 소오스전극에 전기적으로 연결된다. 화소전극(161)은 유기 발광층으로부터 발광된 빛을 기관(150a) 방향으로 출사할 수 있도록 투명전극으로 선택될 수 있다.
- [0093] 제4절연층(160) 상에는 बैं크층(미도시)이 형성된다. बैं크층은 화소전극(161)의 일부를 노출하는 개구영역을 가지며, 실질적인 발광영역을 정의하게 된다. बैं크층 상에는 유기 발광층과 상부전극(미도시)이 형성된다. 상부전극은 유기 발광다이오드(OLED)의 캐소드전극으로 정의될 수 있다. 상부전극은 미도시된 제2전원라인에 전기적으로 연결된다. 상부전극은 유기 발광층으로부터 발광된 빛이 기관(150a) 방향으로만 출사되도록 불투명전극으로 선택될 수 있다. 그러나 표시패널의 목적, 기능 등에 따라 유기 발광층으로부터 발광된 빛을 기관(150a)의 반대방향 또는 양방향으로 출사하기 위해 상부전극 또한 투명전극으로 선택하는 경우도 있다.
- [0094] 앞서 도 11을 참조하여 설명한 바와 같이, 본 발명의 제2실시예는 스위칭 트랜지스터(SW)의 하부에 위치하는 제1광차단층(LSs)과 구동 트랜지스터(DR) 및 센싱 트랜지스터(ST)의 하부에 위치하는 제2 및 제3광차단층(LSd, LSt)을 분리하는데, 그 이유를 설명하면 다음과 같다.
- [0095] 종래에는 광차단층(LSs, LSd, LSt)을 전기적으로 안정화하기 위해 구동 트랜지스터(DR)의 제2전극(센싱노드)에 모두 공통으로 연결하였다. 이 구조를 기반으로 실험을 한 결과, 구동 트랜지스터(DR)의 제2전극을 통해 흐르는 전압(Vs)이 광차단층(LSs, LSd, LSt)에도 인가됨에 따라 스위칭 트랜지스터(SW)의 문턱전압이 이동하는 문제가 야기됨을 확인하였다.
- [0096] 이와 같은 문제로 인하여, 스위칭 트랜지스터(SW)의 문턱전압(Vth)이 지속적으로 네거티브 방향으로 이동(-Vth Shift)할 경우 로직로우의 스캔신호(트랜지스터를 턴오프하는 신호 또는 전압; 예 VGL)가 인가되었음에도 스위칭 트랜지스터(SW)가 턴온되는 현상이 발생(VGL > Vth 관계를 갖지만 Vth가 VGL보다 낮아지게 되므로)하게 된다. 즉, 스위칭 트랜지스터(SW)가 턴온되지 말아야 하는 구간에서도 턴온 동작을 하게 된다.
- [0097] 본 발명의 제2실시예는 종래의 문제를 해결하기 위해, 앞서 설명한 바와 같이 스위칭 트랜지스터(SW)의 광차단층(LSs)과 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 광차단층(LSt, LSd)을 전기적으로 분리하고 시뮬레이션을 하였다. 본 발명의 제2실시예를 기반으로 시뮬레이션을 한 결과, 스위칭 트랜지스터(SW)의 광차단층(LSs)과 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR)의 광차단층(LSt, LSd)이 전기적으로 분리되어 있어 스위칭 트랜지스터(SW)의 문턱전압이 이동하는 사이드 이펙트는 개선 및 해소할 수 있는 것으로 나타났다.
- [0098] 도 16 및 도 17에 도시된 바와 같이, 제1콘택홀(CH1)은 제2소오스 드레인금속층(157b)의 일부를 노출한다. 제1콘택홀(CH1)을 통해 노출된 제2소오스 드레인금속층(157b)은 화소전극(161)과 전기적으로 연결된다.
- [0099] 제2콘택홀(CH2)(제2측 콘택홀)은 센싱 트랜지스터(ST)의 제2전극(153a)과 그 하부에 위치하는 제3광차단층(151, LSt)의 일부를 노출한다. 센싱 트랜지스터(ST)의 제2전극(153a)은 도체화 된 반도체층(153)에 의해 이루어진다. 제2전극(153a)과 인접한 영역은 채널영역(153b)이다.
- [0100] 제2콘택홀(CH2)은 센싱 트랜지스터(ST)의 제2전극(153a)과 그 하부에 위치하는 제3광차단층(151, LSt)의 일부를 노출하기 위해 센싱 트랜지스터(ST)의 제2전극(153a)의 외곽 경계선에 형성된다. 제2콘택홀(CH2)을 센싱 트랜지스터(ST)의 제2전극(153a)의 외곽 경계선에 형성하면 하나의 콘택홀로도 센싱 트랜지스터(ST)의 제2전극(153a)과 그 하부에 위치하는 제3광차단층(151, LSt)을 전기적으로 연결할 수 있는 구멍을 만들 수 있게 된다. 제2콘택홀(CH2)은 구동 트랜지스터(DR)와 센싱 트랜지스터(ST) 사이에 위치하거나 센싱 트랜지스터(ST)와 제1전원라인(EVDD) 사이에 위치할 수 있다.
- [0101] 센싱 트랜지스터(ST)의 하부에 위치하는 제3광차단층(151, LSt)은 제2소오스 드레인금속층(157b)에 의해 구동 트랜지스터의 게이트전극과 연결된다.
- [0102] 도 16 및 도 18에 도시된 바와 같이, 제3콘택홀(CH3)(제1측 콘택홀)은 스위칭 트랜지스터(SW)의 제2전극(153a)과 그 하부에 위치하는 제1광차단층(151, LSs)의 일부를 노출한다. 스위칭 트랜지스터(SW)의 제2전극(153a)은

도체화 된 반도체층(153)에 의해 이루어진다. 제2전극(153a)과 인접한 영역은 채널영역(153b)이다.

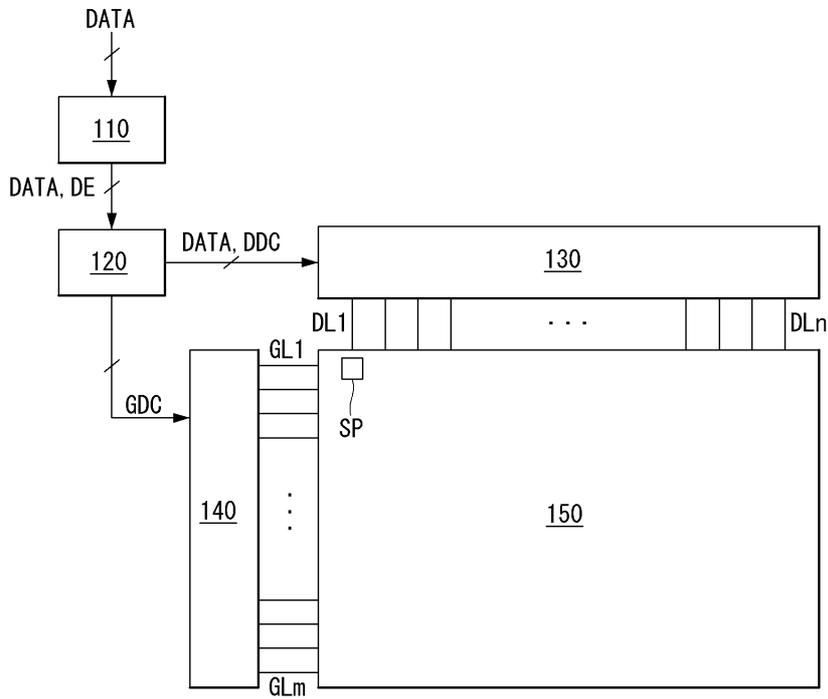
- [0103] 제3콘택홀(CH3)은 스위칭 트랜지스터(SW)의 제2전극(153a)과 그 하부에 위치하는 제1광차단층(151, LSs)의 일부를 노출하기 위해 스위칭 트랜지스터(SW)의 제2전극(153a)의 외곽 경계선에 형성된다. 제3콘택홀(CH3)을 스위칭 트랜지스터(SW)의 제2전극(153a)의 외곽 경계선에 형성하면 하나의 콘택홀로도 스위칭 트랜지스터(SW)의 제2전극(153a)과 그 하부에 위치하는 제1광차단층(151, LSs)을 전기적으로 연결할 수 있는 구멍을 만들 수 있게 된다. 제3콘택홀(CH3)은 구동 트랜지스터(DR)와 스위칭 트랜지스터(SW) 사이에 위치하거나 스위칭 트랜지스터(SW)와 제1데이터라인(DLn1) 사이에 위치할 수 있다.
- [0104] 스위칭 트랜지스터(SW)의 하부에 위치하는 제1광차단층(151, LSs)은 제3소오스 드레인금속층(157c)에 의해 구동 트랜지스터(DR)의 제2전극과 연결된다.
- [0105] 본 발명의 제2실시예에서는 센싱 트랜지스터(ST)의 제3광차단층(151, LSt)을 센싱 트랜지스터(ST)의 제2전극(153a)에 연결하고, 스위칭 트랜지스터(SW)의 제1광차단층(151, LSs)을 구동 트랜지스터(DR)의 제2전극에 연결하는 것을 일례로 하였다. 그러나 스위칭 트랜지스터(SW)의 제1광차단층(151, LSs)은 스위칭 트랜지스터(SW)의 제1전극에 연결되고 센싱 트랜지스터(ST)의 제3광차단층(151, LSt)은 센싱 트랜지스터(ST)의 제1전극에 연결될 수도 있다. 그 이유는 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 제1 및 제3광차단층(151, LSs, LSt)을 구동 트랜지스터(DR)의 제2광차단층(LSd)과 전기적으로 분리하면 본 발명의 제2실시예에 따른 효과를 얻을 수 있기 때문이다.
- [0106] 이상 본 발명은 광차단층 사용시, 서브 픽셀에 포함된 특정 트랜지스터의 문턱전압이 이동하는 사이드 이펙트를 방지할 수 있는 접속 구조를 이용하여 표시 패널의 구동 신뢰성과 수명을 향상시킬 수 있는 효과가 있다. 또한, 본 발명은 광차단층의 사용에 따른 사이드 이펙트를 제거하여 표시 품질을 향상시킬 수 있는 효과가 있다.
- [0107] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**부호의 설명**

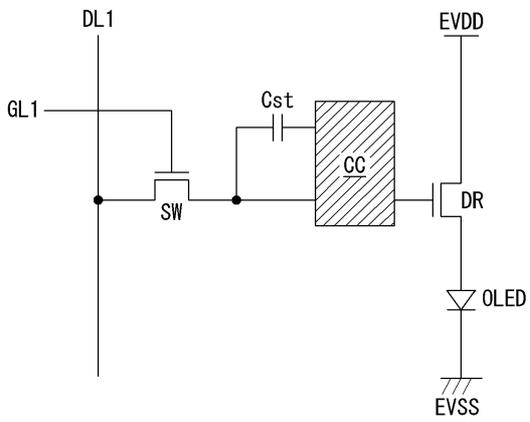
- [0108] 110: 영상 처리부 120: 타이밍 제어부
- 130: 데이터 구동부 140: 스캔 구동부
- 150: 표시 패널 ST: 센싱 트랜지스터
- DR: 구동 트랜지스터 SW: 스위칭 트랜지스터
- VREF: 센싱라인 DLn1: 데이터라인
- 151: 광차단층 152: 버퍼층
- 155a ~ 155d: 게이트금속층 157a ~ 157e: 소오스 드레인금속층

도면

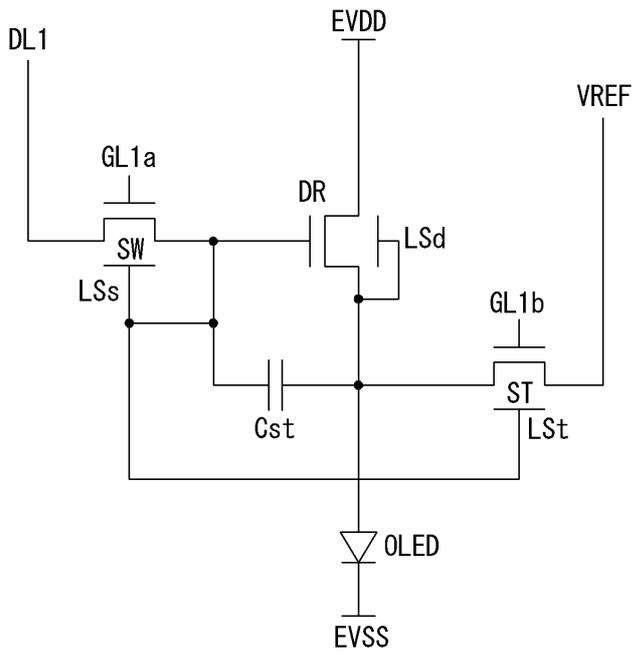
도면1



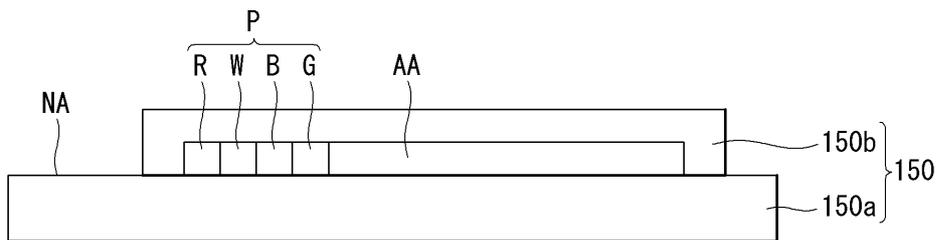
도면2



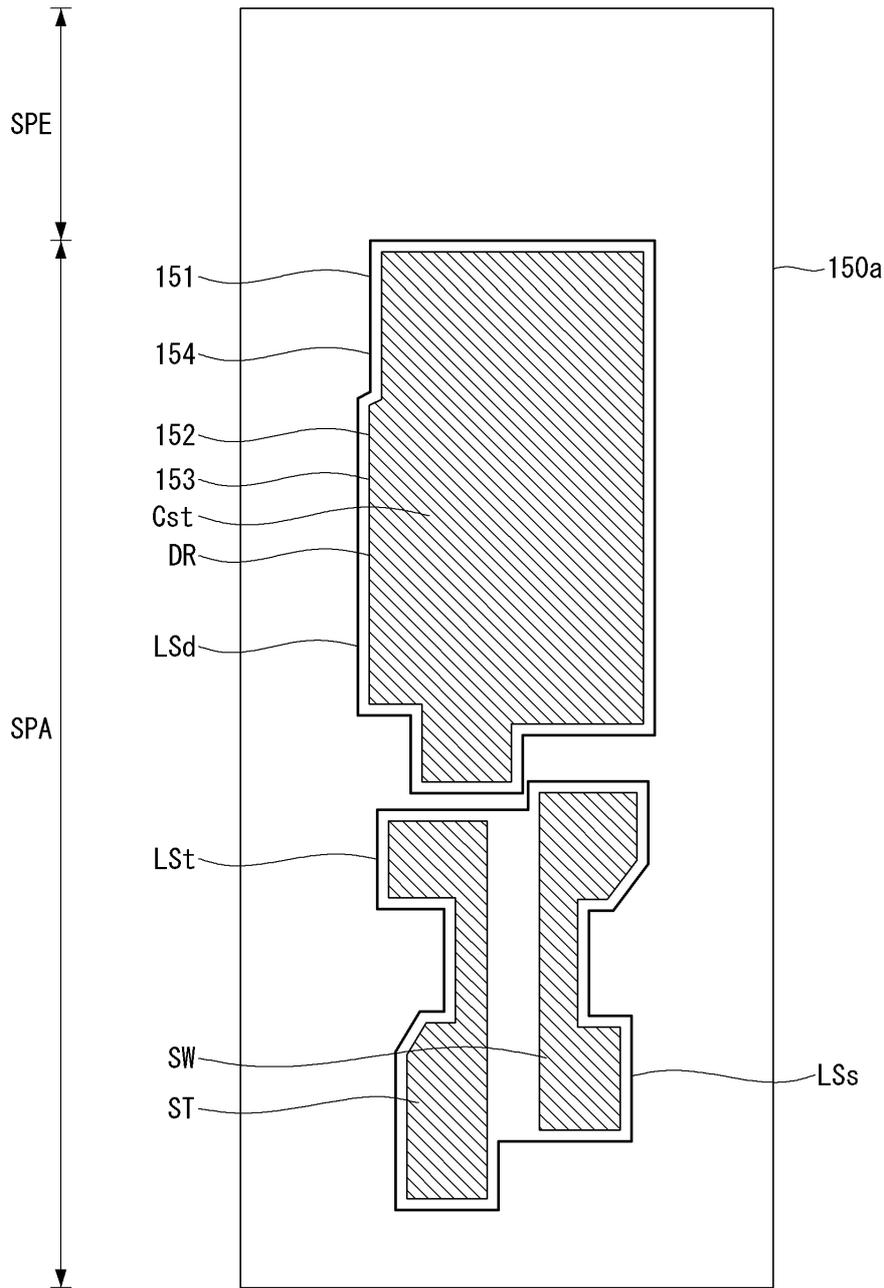
도면3



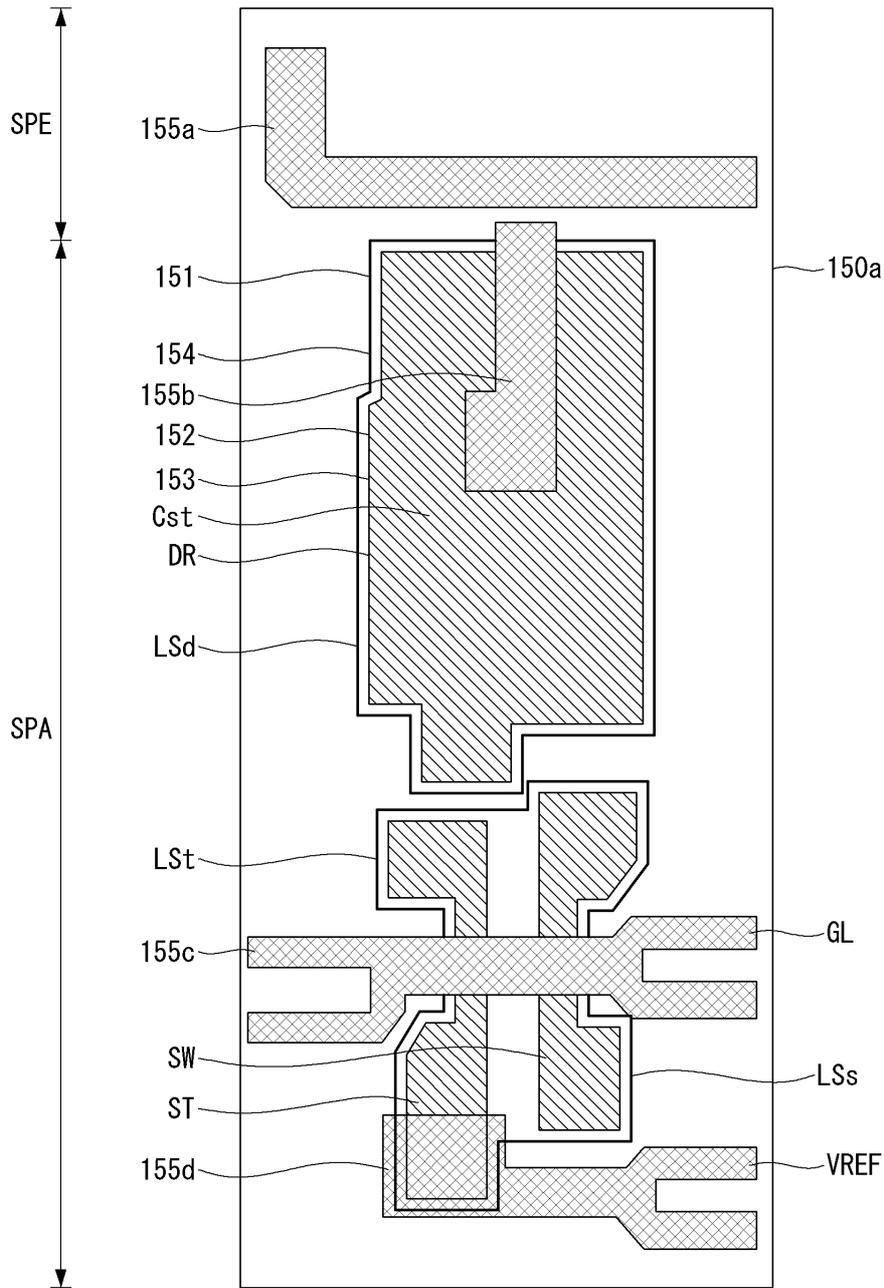
도면4



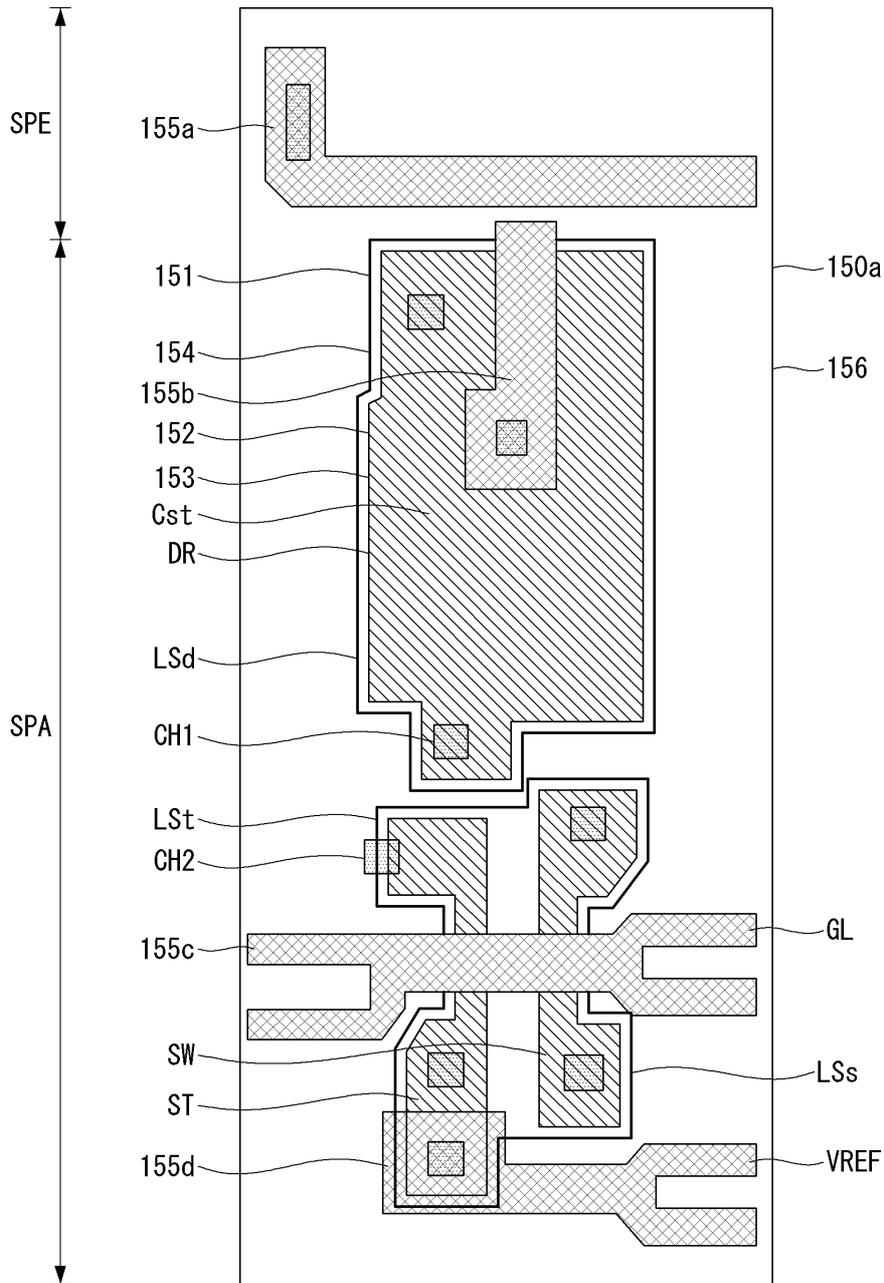
도면5



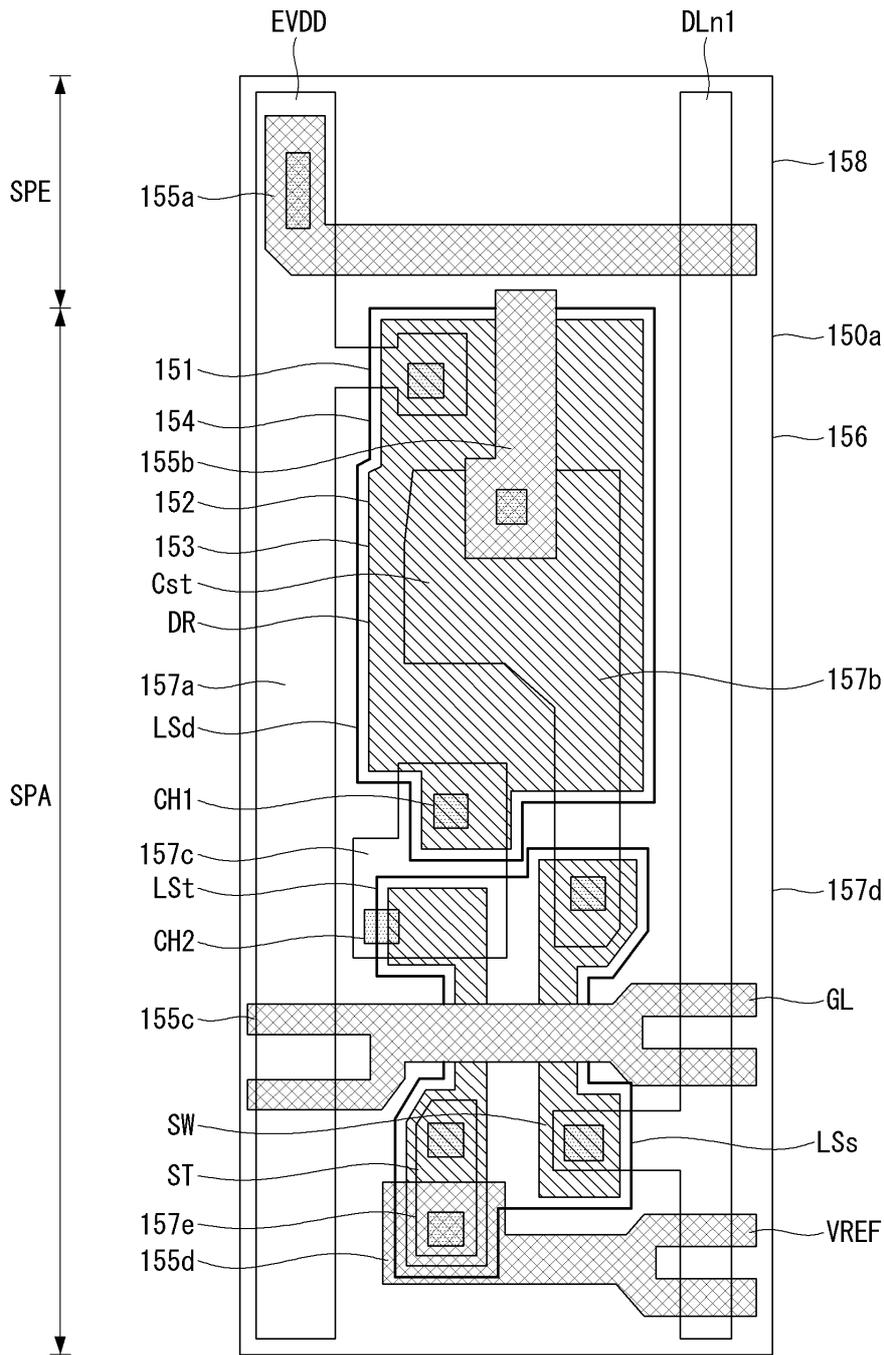
도면6



도면7

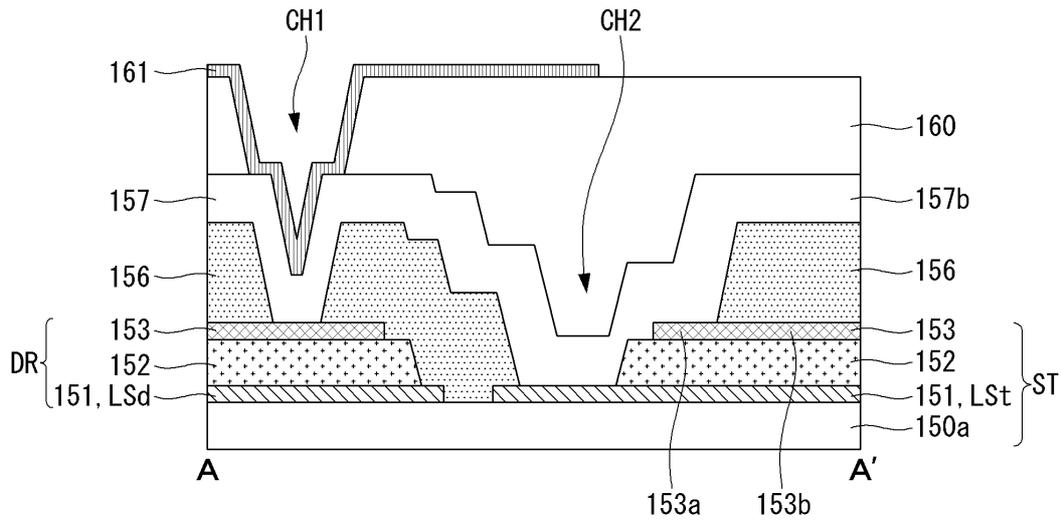


도면8

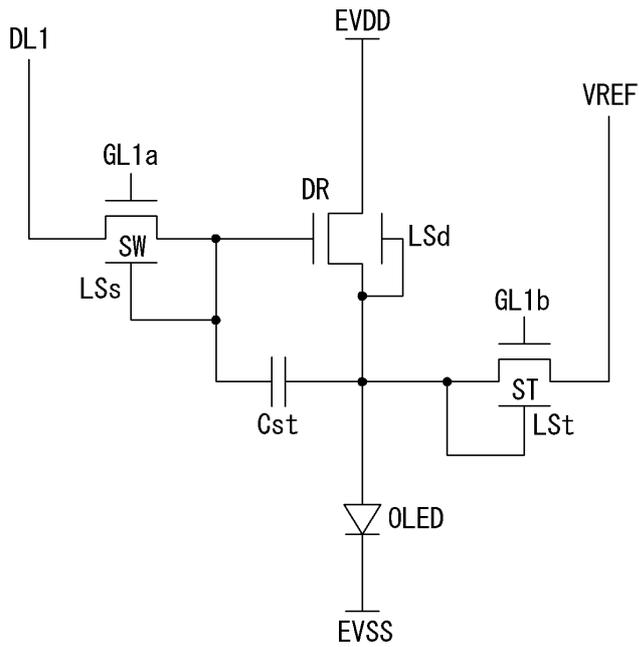




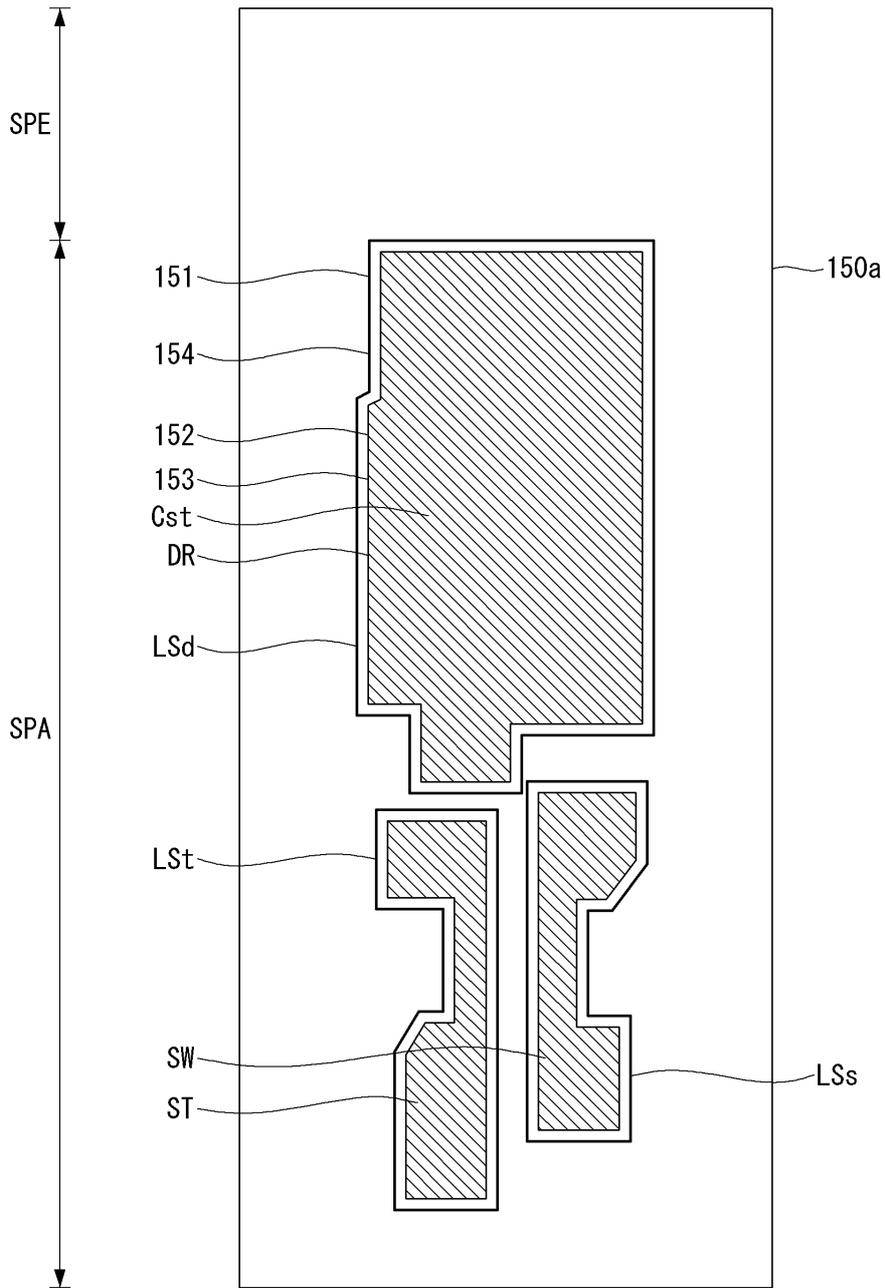
도면10



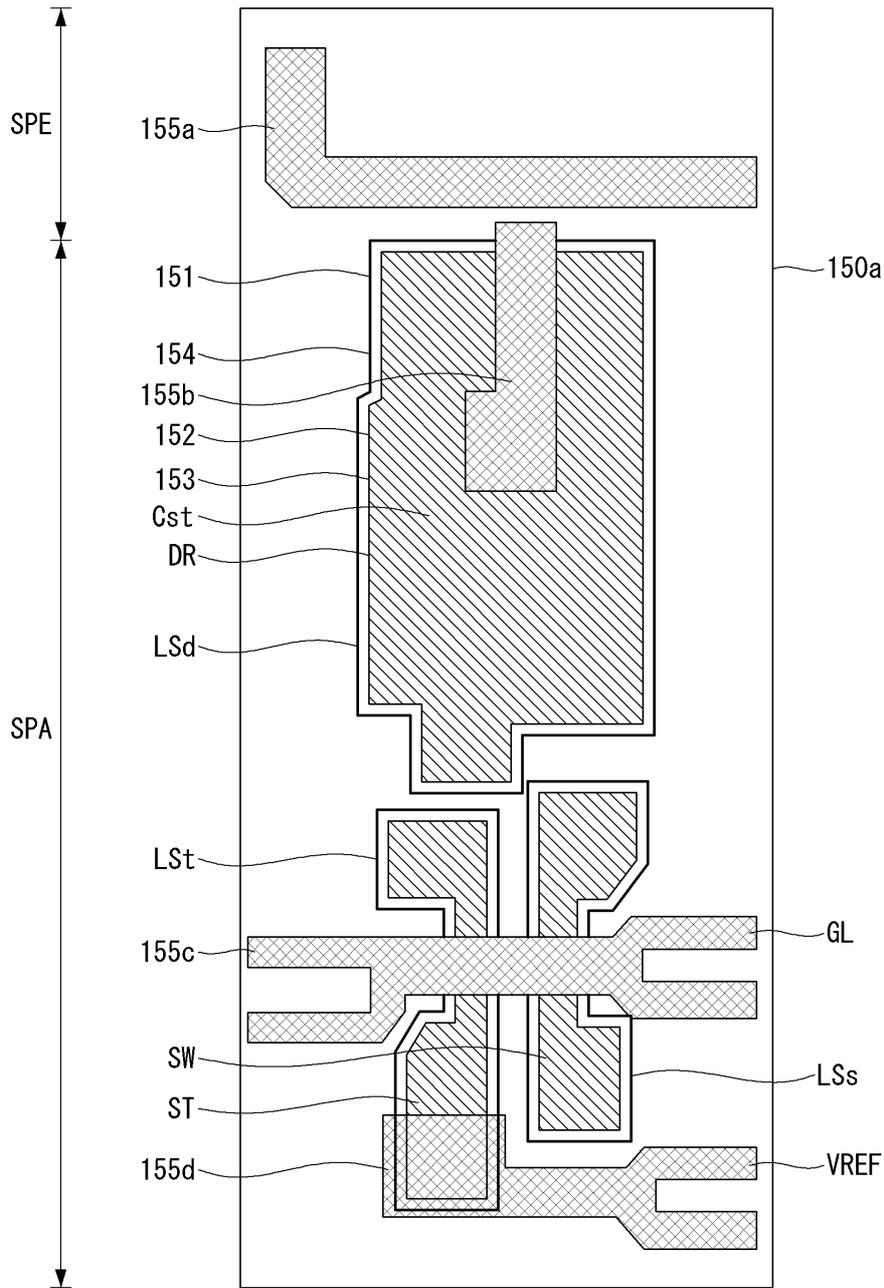
도면11



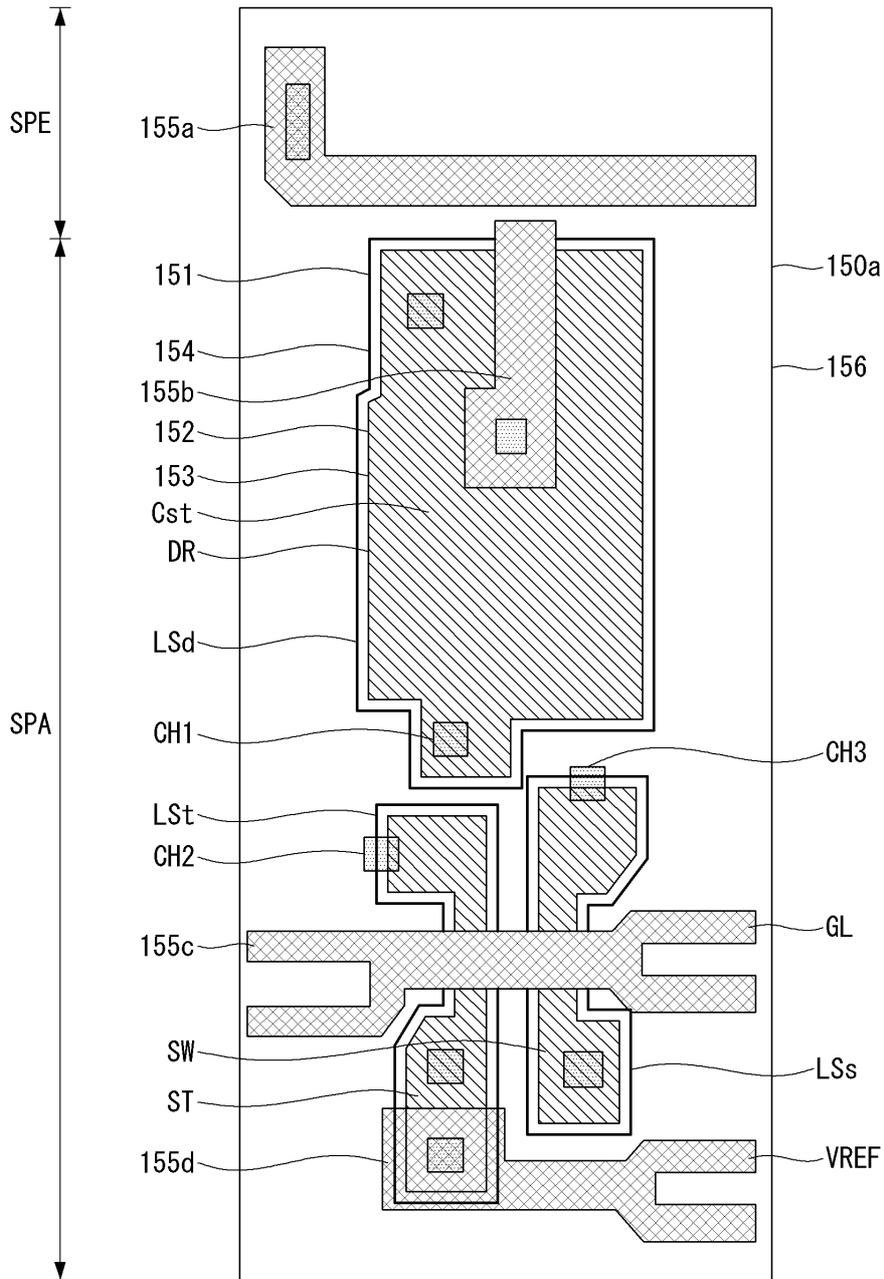
도면12



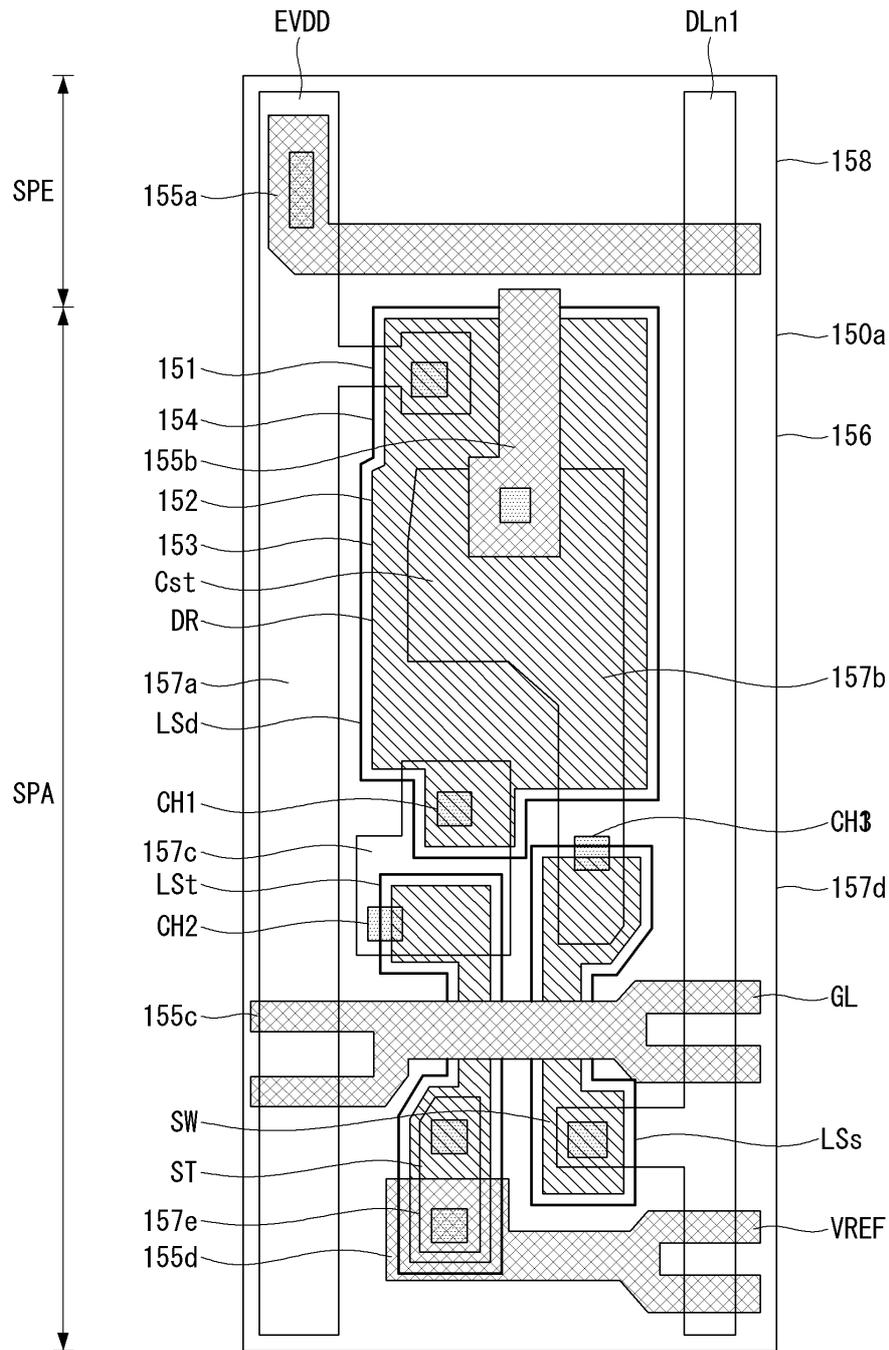
도면13



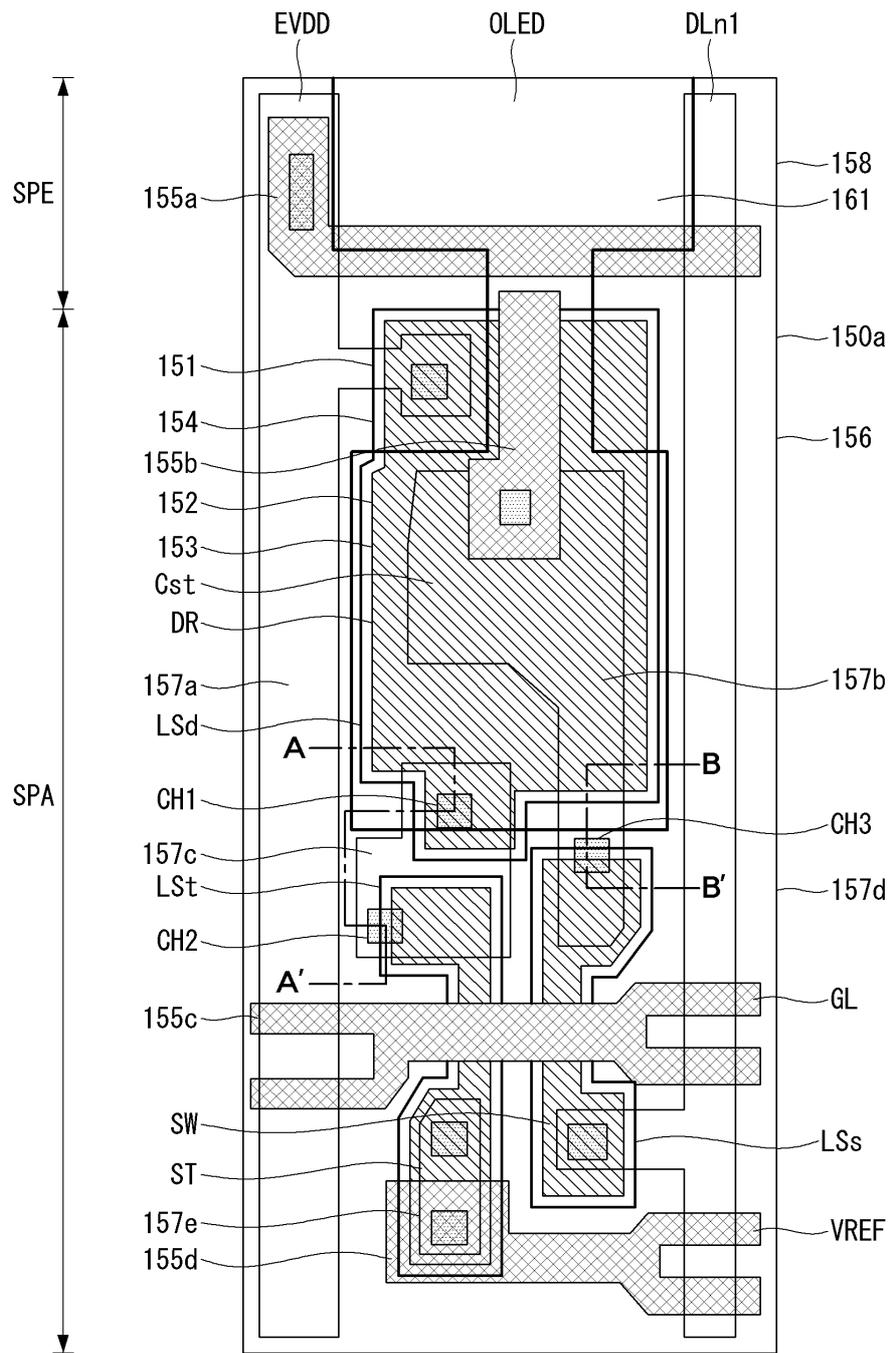
도면14



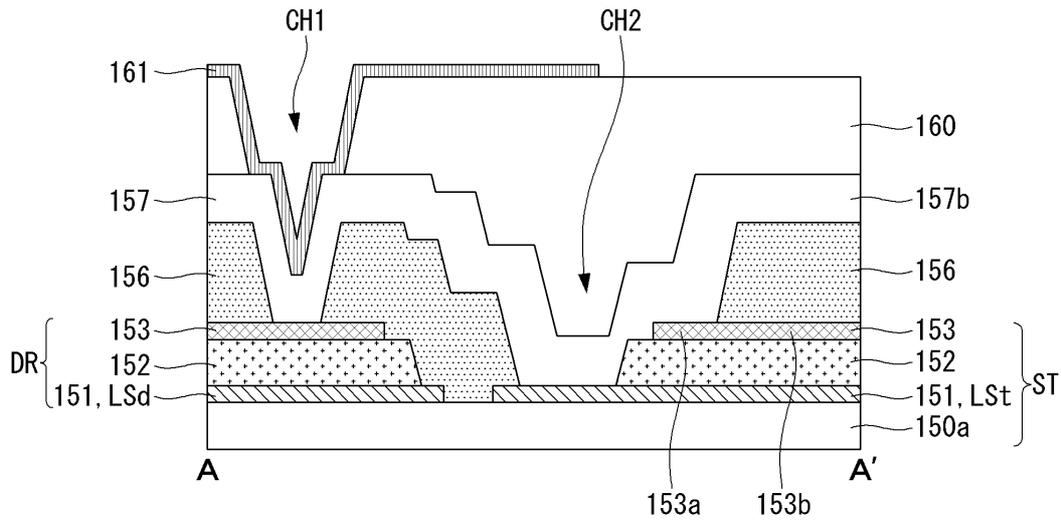
도면15



도면16



도면17



도면18

