



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0031850
(43) 공개일자 2017년03월22일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 51/5237 (2013.01)
H01L 27/3225 (2013.01)
(21) 출원번호 10-2015-0129093
(22) 출원일자 2015년09월11일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
장주녕
경기도 용인시 기흥구 삼성로 1 (농서동)
(74) 대리인
리엔목특허법인

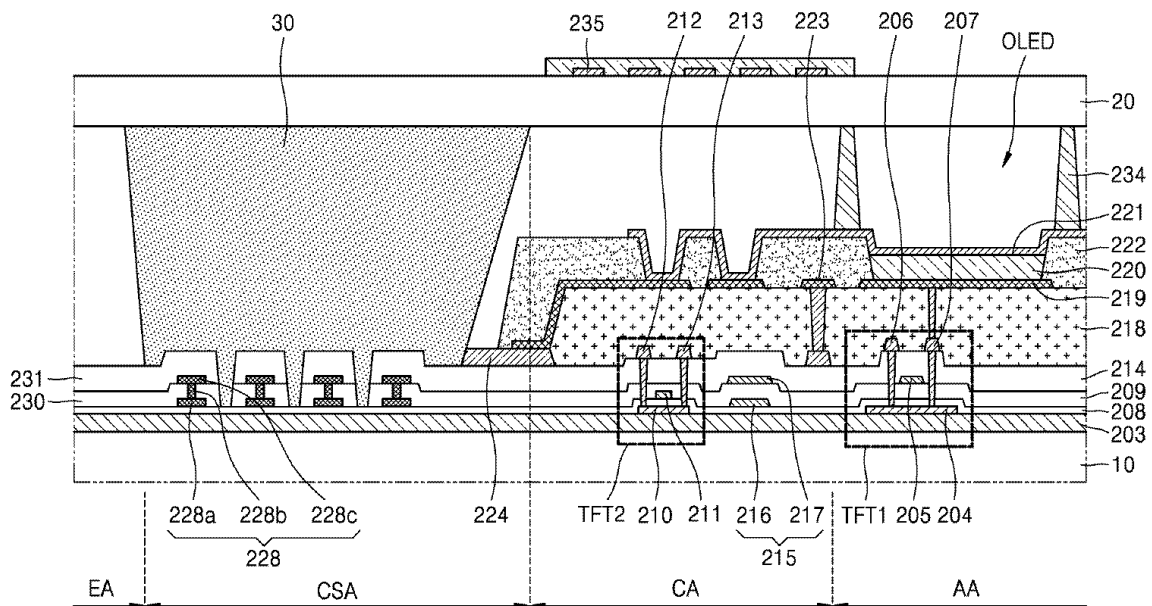
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치를 제공한다. 본 유기 발광 표시 장치는, 표시 영역 및 주변 영역을 포함하는 제1 기판, 제1 기판과 대면하는 제2 기판, 제1 기판의 상기 주변 영역상에 배치되며 복수 개의 제1 홀을 포함하는 제1 금속층, 제1 금속층상에 배치되며 제1 홀과 크기와 다른 복수 개의 제2 홀을 포함하는 제2 금속층, 제2 금속층상에 배치되며 제2 홀과 크기와 다른 복수 개의 제3 홀을 갖는 제3 금속층 및 제1 기판과 상기 제2 기판을 접합시키며 제1 내지 제3 홀 중 일부 영역을 채우는 밀봉 부재;를 포함한다.

대표도



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3265 (2013.01)

H01L 51/5203 (2013.01)

H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

표시 영역 및 주변 영역을 포함하는 제1 기관;

상기 제1 기관과 대면하는 제2 기관;

상기 제1 기관의 상기 주변 영역상에 배치되며, 복수 개의 제1 홀을 포함하는 제1 금속층;

상기 제1 금속층상에 배치되며, 상기 제1 홀과 크기와 다른 복수 개의 제2 홀을 포함하는 제2 금속층;

상기 제2 금속층상에 배치되며, 상기 제2 홀과 크기와 다른 복수 개의 제3 홀을 갖는 제3 금속층; 및

상기 제1 기관과 상기 제2 기관을 접합시키며, 상기 제1 내지 제3 홀 중 일부 영역을 채우는 밀봉 부재;를 포함하는 유기 발광 표시 장치.

청구항 2

제 1항에 있어서,

상기 제2 홀의 크기는,

상기 제1 및 제3 홀 중 적어도 하나의 크기보다 큰 유기 발광 표시 장치.

청구항 3

제 1항에 있어서,

상기 제1 홀의 크기와 상기 제3 홀의 크기는 동일한 유기 발광 표시 장치.

청구항 4

제 1항에 있어서,

상기 제1 홀의 크기는 상기 제2 및 제3 홀의 크기보다 작은 발광 유기 표시 장치.

청구항 5

제 1항에 있어서,

상기 제1 홀 및 상기 제3 홀 중 적어도 하나는,

상기 제2 홀과 중첩되는 유기 발광 표시 장치.

청구항 6

제 1항에 있어서,

상기 제2 금속층은,

상기 제1 금속층과 접하는 유기 발광 표시 장치.

청구항 7

제 1항에 있어서,

상기 제2 금속층은,

상기 제3 금속층과 접하는 유기 발광 표시 장치.

청구항 8

제 1항에 있어서,

상기 제1 금속층을 덮는 제1 절연층;을 더 포함하는 유기 발광 표시 장치.

청구항 9

제 8항에 있어서,

상기 제1 절연층은,

상기 제2 금속층의 측면을 감싸고, 상기 제2 금속층의 상면을 노출시키는 유기 발광 표시 장치.

청구항 10

제 8항에 있어서,

상기 제1 절연층은,

상기 제1 및 제2 홀과 중첩되는 제4 홀을 포함하는 유기 발광 표시 장치.

청구항 11

제 10항에 있어서,

상기 밀봉 부재는,

상기 제4 홀을 채우는 유기 발광 표시 장치.

청구항 12

제 8항에 있어서,

상기 제1 절연층은,

상기 표시 영역에 배치된 게이트 절연막과 동일한 물질을 포함하는 유기 발광 표시 장치.

청구항 13

제 8항에 있어서,

상기 제3 금속층을 덮는 제2 절연층;을 더 포함하는 유기 발광 표시 장치.

청구항 14

제 13항에 있어서,

상기 제2 절연층의 물질은,

상기 제1 절연층의 물질과 다른 유기 발광 표시 장치.

청구항 15

제 14항에 있어서,

상기 제2 절연층은,

상기 표시 영역에 배치된 층간 절연막과 동일한 물질을 포함하는 유기 발광 표시 장치.

청구항 16

제 1항에 있어서,

상기 제1 내지 제3 금속층 중 적어도 두개는 동일한 물질을 포함하는 유기 발광 표시 장치.

청구항 17

제 1항에 있어서,

상기 제1 및 제3 금속층 중 적어도 하나는,

상기 표시 영역에 배치된 커패시터의 전극과 동일한 물질을 포함하는 유기 발광 표시 장치.

청구항 18

제 1항에 있어서,

표시 영역 및 주변 영역을 포함하는 제1 기관;

상기 제1 기관과 대면하는 제2 기관;

상기 제1 기관의 상기 주변 영역상에 배치되며, 복수 개의 제1 관통홀을 포함하는 금속층; 및

상기 제1 기관과 상기 제2 기관을 접합시키며, 상기 제1 관통홀 중 일부 영역을 채우는 밀봉 부재;를 포함하고,

상기 제1 관통홀의 가운데 영역의 단면 크기는 상기 제1 관통홀의 양단의 단면 크기보다 큰 유기 발광 표시 장치.

청구항 19

제 18항에 있어서,

상기 금속층을 덮고, 상기 제1 관통홀의 일부 영역과 중첩되는 제2 관통홀을 포함하는 절연층;을 더 포함하는 유기 발광 표시 장치.

청구항 20

제 19항에 있어서,

상기 밀봉 부재는,

상기 제2 관통홀을 채우는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 이미지 또는 영상과 같은 시각 정보를 사용자에게 제공하기 위하여 사용되는 장치이다. 이러한 표시 장치는 이미지 또는 영상과 같은 시각 정보를 표현하기 위하여 다양한 형태로 제작되고 있다.

[0003] 특히, 유기 발광 표시 장치는 유기 화합물을 전기적으로 여기시켜 발광시키는 자발광형 표시로 낮은 전압에서 구동이 가능하고, 박형화가 용이하며 광시야각, 빠른 응답속도 등 액정표지 장치에 있어서 문제점으로 지적된 결점을 해결할 수 있는 차세대 표시로 주목받고 있다.

[0004] 이러한 유기 발광 표시 장치의 경우 하부 기관과 상부 기관을 접합할 시 밀봉 부재를 이용할 수 있다. 이러한 밀봉 부재가 위치하는 영역은 표시가 이루어지지 않는 데드 스페이스(dead space)가 된다.

[0005] 데드 스페이스를 줄이면 박리가 발생할 가능성이 높아질 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 실시예는 데드 스페이스를 줄이면서 밀봉 부재의 박리를 줄일 수 있는 유기 발광 표시 장치를 제공한다.

[0007] 본 발명의 일 실시예는 밀봉 부재의 접합력을 향상시키는 유기 발광 표시 장치를 제공한다.

과제의 해결 수단

- [0008] 일 유형에 따른 유기 발광 표시 장치는, 표시 영역 및 주변 영역을 포함하는 제1 기관; 상기 제1 기관과 대면하는 제2 기관; 상기 제1 기관의 상기 주변 영역상에 배치되며, 복수 개의 제1 홀을 포함하는 제1 금속층; 상기 제1 금속층상에 배치되며, 상기 제1 홀과 크기와 다른 복수 개의 제2 홀을 포함하는 제2 금속층; 상기 제2 금속층상에 배치되며, 상기 제2 홀과 크기와 다른 복수 개의 제3 홀을 갖는 제3 금속층; 및 상기 제1 기관과 상기 제2 기관을 접합시키며, 상기 제1 내지 제3 홀 중 일부 영역을 채우는 밀봉 부재;를 포함한다.
- [0009] 그리고, 상기 제2 홀의 크기는, 상기 제1 및 제3 홀 중 적어도 하나의 크기보다 클 수 있다.
- [0010] 또한, 상기 제1 홀의 크기와 상기 제3 홀의 크기는 동일할 수 있다.
- [0011] 그리고, 상기 제1 홀 및 상기 제3 홀 중 적어도 하나는, 상기 제2 홀과 중첩될 수 있다.
- [0012] 또한, 상기 제2 금속층은, 상기 제1 금속층과 접할 수 있다.
- [0013] 그리고, 상기 제2 금속층은, 상기 제3 금속층과 접할 수 있다.
- [0014] 또한, 상기 제1 금속층을 덮는 제1 절연층;을 더 포함할 수 있다.
- [0015] 그리고, 상기 제1 절연층은, 상기 제2 금속층의 측면을 감싸고, 상기 제2 금속층의 상면을 노출시킬 수 있다.
- [0016] 또한, 상기 제1 절연층은, 상기 제1 및 제2 홀과 중첩되는 제4 홀을 포함할 수 있다.
- [0017] 그리고, 상기 밀봉 부재는, 상기 제4 홀을 채울 수 있다.
- [0018] 또한, 상기 제1 절연층은, 상기 표시 영역에 배치된 게이트 절연막과 동일한 물질을 포함할 수 있다.
- [0019] 그리고, 상기 제3 금속층을 덮는 제2 절연층;을 더 포함할 수 있다.
- [0020] 또한, 상기 제2 절연층의 물질은, 상기 제1 절연층의 물질과 다를 수 있다.
- [0021] 그리고, 상기 제2 절연층은, 상기 표시 영역에 배치된 층간 절연막과 동일한 물질을 포함할 수 있다.
- [0022] 또한, 상기 제1 내지 제3 금속층 중 적어도 두 개는 동일한 물질을 포함할 수 있다.
- [0023] 그리고, 상기 제1 및 제3 금속층 중 적어도 하나는, 상기 표시 영역에 배치된 커패시터의 전극과 동일한 물질을 포함할 수 있다.
- [0024] 한편, 다른 실시예에 따른 유기 발광 표시 장치는, 표시 영역 및 주변 영역을 포함하는 제1 기관; 상기 제1 기관과 대면하는 제2 기관; 상기 제1 기관의 상기 주변 영역상에 배치되며, 복수 개의 제1 관통홀을 포함하는 금속층; 및 상기 제1 기관과 상기 제2 기관을 접합시키며, 상기 제1 관통홀 중 일부 영역을 채우는 밀봉 부재;를 포함하고, 상기 제1 관통홀의 가운데 영역의 단면 크기는 상기 제1 관통홀의 양단의 단면 크기보다 클 수 있다.
- [0025] 그리고, 상기 금속층을 덮고, 상기 제1 관통홀의 일부 영역과 중첩되는 제2 관통홀을 포함하는 절연층;을 더 포함할 수 있다.
- [0026] 또한, 상기 밀봉 부재는, 상기 제2 관통홀을 채울 수 있다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 따른 디스플레이 장치를 개략적으로 도시한 구성도이다.
- 도 2는 도 1의 디스플레이 장치를 개략적으로 도시한 평면도이다.
- 도 3은 본 발명의 도 1에 도시된 디스플레이 장치의 일부를 확대 도시한 단면도이다.
- 도 4는 도 3의 금속층이 포함된 주변 영역을 확대한 단면도이다.
- 도 5는 도 3의 금속층이 포함된 주변 영역에 대한 평면도이다.
- 도 6는 일 실시예에 따른 금속층의 구조에 따른 디스플레이 장치의 박리 여부를 실험한 결과이다.
- 도 7은 다른 실시예에 따른 제1 내지 제3 금속층의 구조를 나타낸 평면도이다.
- 도 8은 또 다른 실시예에 따른 디스플레이 장치의 일부를 확대 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있는 것으로, 이하의 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0029] 제 1, 제 2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.
- [0030] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0031] 한편, 층, 막, 영역, 판 등의 각종 구성요소가 다른 구성요소 "상에" 있다고 할 때, 이는 다른 구성요소 "바로 상에" 있는 경우뿐 아니라 그 사이에 다른 구성요소가 배치된 경우도 포함한다.
- [0032] 일 실시예에 있어서, 상기 디스플레이 장치(100)는 유기 발광 디스플레이 장치(organic light emitting display device, OLED)를 예를 들어 설명하나, 소정의 전원이 인가되어서 화상을 구현하는 디스플레이 장치, 예컨대, 액정 디스플레이 장치(liquid crystal display device, LCD)나, 전계 방출 디스플레이 장치(field emission display device, FED)나, 전자 종이 디스플레이 장치(electronic paper display device, EPD) 등 어느 하나의 디스플레이 장치에 한정되는 것은 아니다.
- [0033] 도 1은 본 발명의 일 실시예에 따른 디스플레이 장치(100)를 개략적으로 도시한 구성도이고, 도 2는 도 1의 디스플레이 장치(100)를 개략적으로 도시한 평면도이다.
- [0034] 도 1 및 도 2를 참조하면, 디스플레이 장치(100)는 표시 영역(40)을 포함하는 제1 기판(10), 제1 기판(10)과 대면하는 제2 기판(20), 표시 영역(40)을 감싸며 제1 기판(10)과 제2 기판(20)을 접합시키는 밀봉 부재(30)를 포함한다.
- [0035] 제1 기판(10)은 SiO₂를 주성분으로 하는 투명한 유리 재질로 이루어질 수 있다. 기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재로 형성할 수도 있다. 유연성이 있는 플렉서블한 기판일 수도 있다. 상기 플렉서블한 기판은 글래스 기판에 비하여 비중이 작아 가볍고, 잘 깨어지지 않으며, 휘어질 수 있는 특성을 가진 소재, 예컨대, 플렉서블 플라스틱 필름과 같은 고분자 소재로 제조하는 것이 바람직하다.
- [0036] 제1 기판(10)의 표시 영역(40)은 기판(10) 상에 구동용 박막트랜지스터인 트랜지스터(TA, TB), 캐패시터(Cst), 및 유기 발광소자(OELD) 등을 포함할 수 있다. 표시 영역(40)에 대한 구체적인 설명은 후술하기로 한다.
- [0037] 제2 기판(20)은 제1 기판(10)에 대응하는 것으로, 글라스재, 금속재 또는 플라스틱재 등과 같은 다양한 재료로 형성된 것일 수 있다. 도면에는 도시되어 있지 않지만, 제2 기판(20) 상에는 다양한 기능을 하는 기능막을 형성할 수 있다. 예컨대, 상기한 기능막은 편광판이나, 터치 스크린(touch screen)이나, 커버 윈도우(cover window)중 적어도 어느 하나를 포함할 수 있다.
- [0038] 터치 스크린은 상기 제2 기판(20) 상에 직접적으로 터치 스크린 패턴이 형성된 구조, 이를테면, 온-셀 터치 스크린 패널(on-cell touch screen panel)일 수 있다. 편광판은 외광이 표시 영역(40)으로부터 반사되어 나오는 것을 방지한다. 커버 윈도우는 디스플레이 장치를 보호할 수 있다.
- [0039] 제1 기판(10)과 제2 기판(20)은 밀봉 부재(30)를 통해 접합될 수 있다. 밀봉 부재(30)는 표시 영역(40)의 일부와 접하게 배치되면서 표시 영역(40)을 외부로부터 밀폐시킬 수 있다. 그리하여, 밀봉 부재(30)는 표시 영역(40)을 외부로부터 보호한다. 제1 기판(10), 제2 기판(20), 및 밀봉 부재(30)에 의하여 밀폐된 내부 공간(S)에는 흡습제나 충전재 등이 배치될 수 있다.
- [0040] 밀봉 부재(30)의 일부가 표시 영역(40)의 일부와 접함으로써 밀봉 부재(30)에 의한 데드 스페이스를 줄일 수 있다. 또한, 밀봉 부재(30)의 일부와 표시 영역(40)의 일부와 접하면서 데드 스페이스를 줄이면서 표시 영역(40)의 면적은 유지할 수 있다.

- [0041] 상기 제2 기관(20)에 의하여 커버되지 않은 제1 기관(10)의 일 가장자리에는 패드부(50)가 실장될 수 있다. 패드부(50)와 표시 영역(40)을 연결하는 금속 배선이 제1 기관(10)과 밀봉 부재(30) 사이에는 배치될 수 있다.
- [0042] 한편, 상기 밀봉 부재(30)는 소정의 열 에너지를 인가하여 용융되는 물질로 구성될 수 있다. 상기 밀봉 부재(30)는 광에 의하여 경화되는 물질일 수 있다. 예컨대, 상기 밀봉 부재(30)는 글래스 프리트(glass frit)를 포함한다.
- [0043] 예를 들어, 제1 기관(10)과 제2 기관(20)을 열라인한 후, 제2 기관(20)을 통해 UV광이나 레이저광 등의 광을 조사할 수 있다. 광의 조사에 의해 밀봉 부재(30)는 용융되고, 이때 제1 기관(10)과 제2 기관(20)은 합착할 수 있다. 밀봉 부재(30)는 녹으면서 압축되기 때문에 밀봉 부재(30)의 두께는 감소될 수 있다.
- [0044] 도 3은 본 발명의 도 1에 도시된 디스플레이 장치(100)의 일부를 확대 도시한 단면도이다. 도 4는 도 3의 금속층이 포함된 주변 영역을 확대한 단면도이고, 도 5는 도 3의 금속층이 포함된 주변 영역에 대한 평면도이다.
- [0045] 제1 기관(10)은 액티브 영역(active area, AA)과, 상기 액티브 영역(AA)의 바깥쪽으로 연장된 회로 영역(circuit area, CA)과, 상기 회로 영역(CA)의 바깥쪽으로 연장된 접합 영역(cell seal area, CSA)을 포함한다. 상기 접합 영역의 바깥쪽으로는 커팅 영역을 포함하는 가장자리 영역(edge area, EA)이 형성될 수 있다. 상기한 액티브 영역(AA)과, 회로 영역(CA)은 표시부가 되고, 그 이외의 영역을 주변 영역이라고 할 수 있다.
- [0046] 상기 액티브 영역(AA)은 화상을 표시하는 영역을 포함하며, 상기 회로 영역(CA)은 액티브 영역(AA)의 소자와 전기적으로 신호를 전달하는 회로 패턴이 형성된 영역을 포함하며, 접합 영역(CSA)은 제1 기관(10)과 제2 기관(20)을 접합하는 영역을 포함한다.
- [0047] 상기 제1 기관(10) 상에는 버퍼막(203)이 형성될 수 있다. 상기 버퍼막(203)은 상기 제1 기관(10)의 표면을 평활하게 하고, 수분이나, 외기의 침투를 방지하는 역할을 한다. 상기 버퍼막(203)은 실리콘 옥사이드와 같은 무기막이나, 폴리이미드와 같은 유기막이나, 무기막 및 유기막이 적층된 구조일 수 있다.
- [0048] 상기 액티브 영역(AA) 및 회로 영역(CA)에는 적어도 하나의 박막 트랜지스터(TFT)가 각각 형성될 수 있다. 상기 각 영역에는 박막 트랜지스터(TFT)는 복수로 구성될 수 있다. 본 실시예에 있어서, 서로 다른 종류의 박막 트랜지스터(TFT)가 각각 액티브 영역(AA) 및 회로 영역(CA)에 배치된 경우를 예로 들어 설명하도록 하나, 이는 예시적인 것일 뿐, 이에 한정되지 않는다.
- [0049] 액티브 영역(AA)에 배치된 제 1 박막 트랜지스터(TFT1)는 제 1 반도체 활성층(204), 제 1 게이트 전극(205), 제 1 소스 전극(206), 및 제 1 드레인 전극(207)을 포함한다. 상기 제 1 게이트 전극(205)과, 제 1 반도체 활성층(204) 사이에는 이들 간의 절연을 위한 제 1 게이트 절연막(208) 및 제 2 게이트 절연막(209)이 개재되어 있다.
- [0050] 회로 영역(CA)에 배치된 제 2 박막 트랜지스터(TFT2)는 제 2 반도체 활성층(210), 제 2 게이트 전극(211), 제 2 소스 전극(212), 및 제 2 드레인 전극(213)을 포함한다. 상기 제 2 반도체 활성층(210)과 제 2 게이트 전극(211) 사이에는 이들 간의 절연을 위한 제 1 게이트 절연막(208)이 개재되어 있다.
- [0051] 제 1 박막 트랜지스터(TFT1)와 제 2 박막 트랜지스터(TFT2)와 비교할 때, 상기 제 1 박막 트랜지스터(TFT1)는 반도체 활성층과 게이트 전극 사이에 제 2 게이트 절연막(209)이 더 포함되어 있다. 즉, 제 1 박막 트랜지스터(TFT1)는 제 2 박막 트랜지스터(TFT2)보다 두꺼운 게이트 절연막을 가지고 있다. 두꺼운 게이트 절연막을 가지고 있는 경우, 게이트 전극에 인가되는 게이트 전압의 구동 범위가 더 넓어질 수 있다.
- [0052] 제 1 박막 트랜지스터(TFT1)는 유기 발광 소자(OLED)를 구동하는 구동 박막 트랜지스터일 수 있다. 구동 박막 트랜지스터의 구동 범위가 넓어진다는 것은 유기 발광 소자(OLED)로부터 발광되는 빛이 보다 풍부한 계조를 가질 수 있도록 제어할 수 있다는 것을 의미한다.
- [0053] 상기 제 1 게이트 전극(205)과, 제 2 게이트 전극(211)은 동일한 층에 형성되지 않는다. 따라서, 제 1 박막 트랜지스터(TFT1)와, 제 2 박막 트랜지스터(TFT2)를 인접하게 배치하여도, 간섭이 발생하지 않기 때문에 동일한 면적에 보다 많은 소자를 배치할 수 있다.
- [0054] 상기 제 1 반도체 활성층(204) 및 제 2 반도체 활성층(210)은 버퍼막(203) 상에 형성될 수 있다. 상기 제 1 반도체 활성층(204) 및 제 2 반도체 활성층(210)은 비정질 실리콘(amorphous silicon) 또는 폴리 실리콘(poly silicon)과 같은 무기 반도체나, 유기 반도체가 사용될 수 있다.
- [0055] 일 실시예에 있어서, 상기 제 1 반도체 활성층(204) 및 제 2 반도체 활성층(210)은 산화물 반도체로 형성될 수 있다. 예컨대, 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 카드뮴(Cd), 게르마늄(Ge), 하프늄

(Hf)과 같은 4, 12, 13, 14족 금속 원소 및 이들의 조합에서 선택된 물질의 산화물을 포함한다.

- [0056] 제 1 게이트 절연막(208)은 버퍼막(203) 상에 형성되며, 상기 제 1 반도체 활성층(204) 및 제 2 반도체 활성층(210)을 커버한다.
- [0057] 제 2 게이트 전극(211)은 제 1 게이트 절연막(208) 상에 형성되며, 제 2 반도체 활성층(210)의 일 부분과 중첩될 수 있다.
- [0058] 제 2 게이트 절연막(209)은 상기 제 2 게이트 전극(211)을 커버한다.
- [0059] 상기 제 1 게이트 전극(205)은 제 2 게이트 절연막(209) 상에 형성되며, 제 1 반도체 활성층(204)의 일 부분과 중첩될 수 있다.
- [0060] 상기 제 1 게이트 전극(205) 및 제 2 게이트 전극(211)은 Au, Ag, Cu, Ni, Pt, Pd, Al, Mo, Cr 등의 단일막, 또는, 다층막을 포함하거나, Al:Nd, Mo:W와 같은 합금을 포함한다.
- [0061] 상기 제 1 게이트 절연막(208) 및 제 2 게이트 절연막(209)은 실리콘 산화물이나, 실리콘 질화물이나, 금속 산화물과 같은 무기막을 포함한다. 상기 제 1 게이트 절연막(208) 및 제 2 게이트 절연막(209)은 단일층, 또는 복층으로 형성될 수 있다.
- [0062] 상기 제 1 게이트 전극(205)을 커버하도록 층간 절연막(214)이 형성된다. 상기 층간 절연막(214)은 실리콘 산화물, 또는, 실리콘 질화물 등과 같은 무기막으로 형성될 수 있다. 일 실시예에 있어서, 상기 층간 절연막(214)은 폴리이미드와 같은 유기막으로 형성할 수 있다.
- [0063] 상기 층간 절연막(214) 상에는 제 1 소스 전극(206)과, 제 1 드레인 전극(207)이 형성되며, 이들은 콘택 홀을 통하여 제 1 반도체 활성층(204)과 콘택된다. 또한, 상기 층간 절연막(214) 상에는 제 2 소스 전극(212)과, 제 2 드레인 전극(213)이 형성되며, 이들은 콘택 홀을 통하여 제 2 반도체 활성층(210)과 콘택된다.
- [0064] 제 1 소스 전극(206), 제 2 소스 전극(212), 제 1 드레인 전극(207), 및 제 2 드레인 전극(213)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 전도성 물질 등을 포함한다.
- [0065] 상기와 같은 박막 트랜지스터(TFT)의 구조는 반드시 이에 한정되는 것은 아니며, 다양한 형태의 박막 트랜지스터(TFT)의 구조가 적용 가능하다. 예를 들면, 상기 박막 트랜지스터(TFT)는 탑 게이트(top gate) 구조로 형성된 것이나, 제 1 게이트 전극(205)이 제 1 반도체 활성층(204) 하부에 배치된 바텀 게이트(bottom gate) 구조로 형성될 수 있다.
- [0066] 회로 영역(CA)에는 커패시터(215)가 형성될 수 있다. 상기 액티브 영역(AA)에도 복수의 커패시터가 형성될 수 있음은 물론이다.
- [0067] 상기 커패시터(215)는 제 1 커패시터 전극(216), 제 2 커패시터 전극(217), 및, 이들 사이에 개재되는 제 2 게이트 절연막(209)을 포함한다. 상기 제 1 커패시터 전극(216)은 제 2 게이트 전극(211)과 동일한 물질로 형성될 수 있으며, 상기 제 2 커패시터 전극(217)은 제 1 게이트 전극(205)과 동일한 물질로 형성될 수 있다.
- [0068] 평탄화막(218)은 상기 박막 트랜지스터(TFT1, TFT2), 및 커패시터(215)를 커버한다. 상기 평탄화막(218)은 상기 층간 절연막(214) 상에 형성된다. 상기 평탄화막(218)은 그 위에 형성될 유기 발광 소자(OLED)의 발광 효율을 높이기 위하여 박막의 단차를 없애고, 평탄화시키는 역할을 한다. 일 실시예에 있어서, 상기 평탄화막(218)은 제 1 드레인 전극(207)의 일부를 노출시키는 관통홀을 가질 수 있다.
- [0069] 상기 평탄화막(218)은 절연체로 형성될 수 있다. 예컨대, 상기 평탄화막(218)은 무기물, 유기물, 또는 유기/무기 복합물로 단층 또는 복수층의 구조로 형성될 수 있으며, 다양한 증착 방법에 의하여 형성될 수 있다.
- [0070] 상기 평탄화막(218)은 아크릴계 수지(polyacrlates resin), 에폭시 수지(epoxy resin), 벤조사이클로부(benzocyclobutene, BCB) 등과 같은 유기물, 또는, 실리콘 질화물(SiNx) 등과 같은 무기물로 형성될 수 있다.
- [0071] 상기 평탄화막(218)과, 층간 절연막(214)중 어느 하나는 생략할 수 있다.
- [0072] 유기 발광 소자(OLED)는 상기 평탄화막(218) 상에 형성된다. 상기 유기 발광 소자(OLED)는 제 1 전극(219), 유기 발광층을 포함하는 중간층(220), 및 제 2 전극(221)을 포함한다.
- [0073] 픽셀 정의막(222)은 상기 평탄화막(218) 및 상기 제 1 전극(219)의 일부를 커버하며, 픽셀 영역(pixel Area, PA)과 비픽셀 영역(non-pixel area, NPA)을 정의한다.

- [0074] 상기 픽셀 정의막(222)은 유기물이나, 무기물로 형성하게 된다. 이를테면, 상기 픽셀 정의막(222)은 폴리이미드, 폴리아마이드, 벤조사이클로부텐, 아크릴 수지, 페놀 수지 등과 같은 유기물이나, SiNx와 같은 무기물로 형성할 수 있다. 상기 픽셀 정의막(222)은 단일막, 또는, 다중막으로 구성될 수 있다.
- [0075] 유기 발광 소자(OLED)의 제 1 전극(219)과, 제 2 전극(221)에서 주입되는 정공과 전자는 중간층(220)의 유기 발광층에서 결합하면서 빛이 발생할 수 있다.
- [0076] 상기 중간층(220)은 유기 발광층을 구비할 수 있다. 선택적인 다른 예로서, 상기 중간층(220)은 유기 발광층(emissive layer)을 구비하고, 그 외에 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transport layer, HTL), 전자 수송층(electron transport layer, ETL), 전자 주입층(electron injection layer, EIL)중 적어도 어느 하나를 더 구비할 수 있다. 본 실시예에서는 이에 한정되지 않고, 상기 중간층(220)이 유기 발광층을 구비하고, 기타 다양한 기능층을 더 구비할 수 있다.
- [0077] 상기 제 2 전극(221)은 상기 중간층(220) 상에 형성될 수 있다. 상기 제 2 전극(221)은 제 1 전극(219)과 전계를 형성하여, 상기 중간층(220)에서 빛이 방출될 수 있게 한다. 제 1 전극(219)은 픽셀마다 패터닝될 수 있으며, 제 2 전극(221)은 모든 픽셀에 걸쳐 공통된 전압이 인가되도록 형성될 수 있다.
- [0078] 제 1 전극(219) 및 제 2 전극(221)은 투명 전극 또는 반사형 전극을 구비할 수 있다.
- [0079] 제 1 전극(219)은 애노드로 기능하는 것으로서, 다양한 도전성 소재로 형성될 수 있다. 상기 제 1 전극(219)은 투명 전극이나, 반사형 전극으로 형성될 수 있다.
- [0080] 이를테면, 상기 제 1 전극(219)이 투명 전극으로 사용시, 상기 제 1 전극(219)은 IT0, IZO, ZnO, In2O3 등의 투명 도전막을 포함한다. 상기 제 1 전극(219)이 반사형 전극으로 사용시, 상기 제 1 전극(219)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등으로 반사막을 형성하고, 이후, 상기 반사막의 상부에 IT0, IZO, ZnO, In2O3 등의 투명 도전막을 형성할 수 있다.
- [0081] 상기 제 2 전극(221)은 캐소드로 기능할 수 있다. 상기 제 2 전극(221)은 제 1 전극(219)과 마찬가지로 투명 전극, 또는, 반사형 전극으로 형성될 수 있다.
- [0082] 예컨대, 상기 제 2 전극(221)이 투명 전극으로 사용시, 일 함수가 작은 금속, 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 이들의 화합물이 중간층(220) 상에 증착되고, 이후, 상기 금속 및 이들의 화합물 위에 IT0, IZO, ZnO, In2O3 등의 투명 도전막이 더 형성할 수 있다. 상기 제 2 전극(221)이 반사형 전극으로 사용시, Li, Ca, LiF/Ca, LiF/Al, Al, Mg 및 이들의 화합물로 형성할 수 있다.
- [0083] 상기 제 1 전극(219)은 애노드로, 상기 제 2 전극(221)은 캐소드로 기능할 수 있으나, 이에 한정되지 않는다. 예를 들면, 제 1 전극(219)이 캐소드로, 제 2 전극(221)이 애노드로 기능할 수 있다.
- [0084] 각 유기 발광 소자(OLED)마다 하나의 픽셀을 형성할 수 있으며, 각 픽셀별로 적색, 녹색, 청색 또는 백색의 색을 구현할 수 있다. 그러나, 본 개시는 이에 한정되지 않는다. 상기 중간층(220)은 픽셀의 위치에 관계없이 제 1 전극(219) 전체에 공통으로 형성될 수 있다. 이때, 유기 발광층은 예를 들어 적색, 녹색, 및 청색의 빛을 방출하는 발광 물질을 포함하는 층이 수직으로 적층되거나, 적색, 녹색, 및 청색의 빛을 방출하는 발광 물질이 혼합되어 형성될 수 있다. 백색광을 방출할 수 있다면, 다른 색의 조합이 가능함은 물론이다. 방출된 백색광을 소정의 컬러로 변환하는 색변환층이나, 컬러 필터를 더 구비할 수 있다.
- [0085] 보호층(미도시)은 제 2 전극(221) 상에 배치될 수 있다. 보호층은 유기 발광 소자(OLED)를 커버한다. 보호층(미도시)은 무기 절연막 및/또는 유기 절연막을 사용할 수 있다.
- [0086] 스페이서(234)는 비픽셀 영역(NPA)에 배치될 수 있다. 상기 스페이서(234)는 상기 제1 기판(10)과 제2 기판(20) 사이에 배치된다. 상기 스페이서(234)는 외부 충격에 의하여 표시 특성이 저하되지 않기 위하여 설치될 수 있다.
- [0087] 상기 제1 기판(10) 상에는 제2 기판(20)이 결합된다. 상기 제2 기판(20)은 외부의 수분이나 산소 등으로부터 유기 발광 소자(OLED) 및 다른 박막을 보호하는 역할을 한다.
- [0088] 상기 제2 기판(20)은 강성을 가지는 글래스 기판이나, 폴리머 기판이나, 유연성을 가지는 필름일 수 있다. 상기 제2 기판(20)은 유기막과 무기막이 교대로 적층된 구조일 수 있다.
- [0089] 상기 제2 기판(20) 상에는 터치 스크린의 역할을 할 수 있도록 복수의 터치 전극(235)이 형성될 수 있다. 이외

에, 상기 제2 기관(20) 상에는 편광 필름, 컬러 필터, 커버 윈도우와 같은 기능막이 더 형성될 수 있다.

- [0090] 상기 회로 영역(CA)에는 다양한 회로 패턴이 형성될 수 있다. 예컨대, 전원 공급 패턴, 정전기 방지 패턴 및 기타 다양한 회로 패턴이 형성될 수 있다.
- [0091] 상기 회로 영역(CA)에는 회로 배선(223)이 형성된다. 상기 회로 배선(223)은 평탄화막(218) 상에 형성될 수 있다. 상기 회로 배선(223)은 상기 제 1 전극(219)과 동일한 소재로 형성될 수 있다. 상기 회로 배선(223)은 액티브 영역(AA)의 소자, 예컨대, 제 2 전극(221)에 전기적으로 연결된 배선일 수 있다.
- [0092] 상기 회로 배선(223)은 전원 배선(224)과 연결된다. 상기 전원 배선(224)은 층간 절연막(214) 상에 형성될 수 있다. 상기 전원 배선(224)은 제 1 소스 전극(206), 제 2 소스 전극(212), 제 1 드레인 전극(207), 및 제 2 드레인 전극(213)과 동일한 소재로 형성될 수 있다. 상기 전원 배선(224)은 외부로부터 전원이 인가되는 배선일 수 있다. 일 실시예에 있어서, 상기 전원 배선(224)은 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)으로 된 삼층 구조일 수 있다. 전원 배선(224)은 도전성 물질로 형성되기 때문에 도전층이라도 할 수 있다.
- [0093] 상기 회로 배선(223)과 전원 배선(224)은 서로 다른 층에 배치될 수 있다.
- [0094] 예컨대, 상기 회로 배선(223)은 평탄화막(218) 상에 형성될 수 있다. 상기 회로 배선(223)은 상기 제 1 전극(223)과 동일한 공정에서 동일한 물질로 형성될 수 있다. 상기 전원 배선(224)은 층간 절연막(214) 상에 형성될 수 있다. 상기 전원 배선(224)은 제 1 소스 전극(206), 제 2 소스 전극(212), 제 1 드레인 전극(207), 및 제 2 드레인 전극(213)과 동일한 공정에서 동일한 물질로 형성될 수 있다.
- [0095] 상기 회로 배선(223)의 일단은 상기 전원 배선(224) 상에 접촉된다. 일 실시예에 있어서, 상기 회로 배선(223)의 적어도 일부는 상기 전원 배선(224)에 중첩될 수 있다.
- [0096] 상기 접합 영역(CSA)에는 밀봉 부재(30)가 배치된다. 상기 밀봉 부재(30)는 상기 제1 기관(10)과 제2 기관(20) 사이에 배치된다. 상기 밀봉 부재(30)의 일부 영역은 회로 영역(CA)과 접하면서 회로 영역(CA)의 둘레를 따라 배치될 수 있다. 예를 들어, 밀봉 부재(30)의 일부 영역은 전원 배선(224)과 접할 수 있다.
- [0097] 상기 밀봉 부재(30)는 글래스 프릿(glass frit)을 포함한다. 글래스 프릿은 글래스 분말에 산화물 분말을 포함한다. 산화물 분말이 포함된 글래스 프릿에 유기물을 첨가하여 젤 상태의 페이스트를 제조하고, 대략 300? 내지 500?의 온도 범위에서 소성한다. 글래스 프릿을 소성하면, 유기물은 대기 중으로 소멸되고, 젤 상태의 페이스트는 경화되어서 고체 상태의 프릿으로 존재할 수 있다.
- [0098] 밀봉 부재(30)의 하부에는 금속층(228)과 금속층(228)을 덮는 절연층(230, 231)이 배치될 수 있다. 상기한 금속층(228)은 제1 기관(10)의 주변 영역(CSA)상에 배치되며, 복수 개의 제1 관통홀(H1)을 포함할 수 있으며, 절연층(230, 231)은 금속층(228)을 덮으면서 제1 관통홀(H1)의 일부 영역과 중첩되는 제2 관통홀(H2)을 포함할 수 있다. 금속층(228)은 레이저의 열을 흡수하거나, 레이저를 반사시켜서 밀봉 부재(30)에 열을 전달하는 역할을 한다.
- [0099] 예를 들어, 도 4 및 도 5에 도시된 바와 같이, 금속층(228)은 제1 기관(10)의 주변 영역(CSA)상에 배치되며 복수 개의 제1 홀(h1)을 포함하는 제1 금속층(228a), 제1 금속층(228a)상에 배치되며 제1 홀(h1)과 크기와 다른 복수 개의 제2 홀(h2)을 포함하는 제2 금속층(228b) 및 제2 금속층(228b)상에 배치되며 제2 홀(h2)과 크기와 다른 복수 개의 제3 홀(h3)을 갖는 제3 금속층(228c)을 포함할 수 있다.
- [0100] 제1 금속층(228a)은 제1 게이트 절연막(208)상에 배치될 수 있다. 제1 금속층(228a)은 표시 영역에 배치되는 커패시터(215)의 제 1 커패시터 전극(216)과 동일한 물질을 포함할 수 있으며, 제1 금속층(228a)은 제 1 커패시터 전극(216)과 동일한 층에 배치될 수 있다. 그리고, 제 1 커패시터 전극(216)은 제 2 게이트 전극(211)과 동일한 물질로 형성될 수 있다.
- [0101] 제1 금속층(228a)은 복수 개의 제1 홀(h1)을 포함할 수 있다. 복수 개의 제1 홀(h1)은 2차원으로 배열될 수 있다. 복수 개의 제1 홀(h1)은 서로 크기가 동일할 수도 있으며, 적어도 두 개는 다를 수 도 있다. 제1 홀(h1)의 크기는 약 3 μ m 이상일 수 있으며, 제1 홀(h1)들간의 거리는 약 2.5 μ m 이상일 수 있다.
- [0102] 제2 금속층(228b)은 제1 금속층(228a)상에 배치될 수 있다. 제2 금속층(228b)은 제1 금속층(228a)과 접할 수 있다. 제2 금속층(228b)은 복수 개의 제2 홀(h2)을 포함할 수 있다. 복수 개의 제2 홀(h2)은 2차원으로 배열될 수 있다. 복수 개의 제2 홀(h2)은 서로 크기가 동일할 수도 있으며, 적어도 두 개는 다를 수 도 있다.
- [0103] 제2 홀(h2)의 크기는 제1 홀(h1)의 크기와 서로 다를 수 있다. 예를 들어, 제2 홀(h2)의 크기는 제1 홀(h1)의

크기보다 클 수 있다. 복수 개의 제2 홀(h2)이 서로 크기가 다르다 하더라도 제2 홀(h2)은 대응하는 제1 홀(h1)의 크기보다 클 수 있다. 그리고, 제2 홀(h2)의 일부 영역은 제1 홀(h1)과 중첩될 수 있다.

- [0104] 제3 금속층(228c)은 제2 금속층(228b)상에 배치될 수 있다. 제3 금속층(228c)은 제2 금속층(228b)과 접하면서 제1 금속층(228a)과 이격 배치될 수 있다. 제3 금속층(228c)은 표시 영역에 배치되는 커패시터(215)의 제 2 커패시터 전극(217)과 동일한 물질을 포함할 수 있으며, 제3 금속층(228c)은 제 3 커패시터 전극(217)과 동일한 층에 배치될 수 있다. 그리고, 제 3 커패시터 전극(216)은 제 2 게이트 전극(215)과 동일한 물질로 형성될 수 있다.
- [0105] 예를 들어, 제1 내지 제3 금속층(228a, 228b, 228c) 중 적어도 하나는 Au, Ag, Cu, Ni, Pt, Pd, Al, Mo, Cr 등을 포함하는 단일막, 또는 다층막일 수 있다. 제1 내지 제3 금속층(228a, 228b, 228c) 중 적어도 하나는 Al:Nd, Mo:W와 같은 합금일 수 있다.
- [0106] 상기와 같은 제1 내지 제3 홀(h3)의 구조 때문에 금속층(228)은 복수 개의 제1 관통홀(H1)을 갖는다. 그리고, 상기한 제1 관통홀(H1)은 가운데 영역의 단면 크기가 양단의 단면 크기보다 클 수 있다.
- [0107] 그리고, 밀봉 부재(30)의 하부에는 제1 금속층(228a)을 덮는 제1 절연층(230) 및 제3 금속층(228c)을 덮는 제2 절연층(231)이 배치될 수 있다. 그리고, 제1 및 제2 절연층(230, 231) 각각은 복수 개의 제3 및 제4 홀(h3, h4)을 갖을 수 있다.
- [0108] 상기한 제1 절연층(230)은 제1 금속층(228a)을 덮으면서 제2 금속층(228b)의 측면을 감쌀 수도 있다. 복수 개의 제4 홀(h4)은 2차원으로 배열될 수 있다. 복수 개의 제4 홀(h4)은 서로 크기가 동일할 수도 있으며, 적어도 두 개는 다를 수 도 있다. 복수 개의 제4 홀(h4) 중 적어도 두 개가 크기가 다르다 하더라도, 제4 홀(h4)의 크기는 제1 및 제2 홀(h2)의 크기보다 작을 수 있으며, 제4 홀(h4)은 제1 및 제2 홀(h2)의 일부 영역과 중첩될 수 있다. 상기한 제4 홀(h4)에는 밀봉 부재(30)가 채워질 수 있다.
- [0109] 상기한 제2 절연층(231)은 제1 절연층(230) 상에 배치되면서 제3 금속층(228c)을 덮을 수 있다. 복수 개의 제5 홀(h5)은 2차원으로 배열될 수 있다. 복수 개의 제5 홀(h5)은 서로 크기가 동일할 수도 있으며, 적어도 두 개는 다를 수 도 있다. 복수 개의 제4 홀(h4) 중 적어도 두 개가 크기가 다르다 하더라도, 제5 홀(h5)의 크기는 제3 홀(h3)의 크기보다 작을 수 있으며, 제5 홀(h5)은 제3 홀(h3)의 일부 영역과 중첩될 수 있다. 상기한 제5 홀(h5)에는 밀봉 부재(30)가 채워질 수 있다.
- [0110] 제1 절연층(230)과 제2 절연층(231)은 동일한 물질로 형성될 수도 있고, 서로 다른 물질로 형성될 수 있다. 예를 들어, 제1 절연층(230)은 제 2 게이트 절연막(209)과 동일한 물질로 형성될 수 있으며, 제2 게이트 절연막(209)과 동일한 층에 배치될 수 있다. 또는, 제 2 절연층(231)은 층간 절연막(214)과 동일한 물질로 형성될 수 있으며, 층간 절연막(214)과 동일한 층에 배치될 수도 있다.
- [0111] 앞서 기술한 제1 내지 제5 홀(h1, h2, h3, h4, h5)의 단면 형상은사각형일 수 있다. 그러나, 이에 한정되지 않는다. 제1 내지 제5 홀(h1, h2, h3, h4, h5)의 단면 형상은 사각형 이외의 다각형, 원형, 타원형 등이 될 수도 있다. 또한, 대응하는 홀들의 단면 형상은 동일할 수도 있으나, 이에 한정되지 않는다.
- [0112] 제1 및 제2 절연층(231)은 제1 내지 제3 금속층(228a, 228b, 228c)을 덮고 있기 때문에 제1 내지 제3 금속층(228a, 228b, 228c)이 레이저에 의하여 급격한 온도 상승에 따른 힐록(hillock) 현상 및 기포 발생을 방지할 수 있다. 그리고, 제1 및 제2 절연층(231) 각각은 제4 및 제5 홀(h4, h5)을 갖고 있고, 상기한 제4 및 제5 홀(h4, h5)은 밀봉 부재(30)가 채워져 있기 때문에 밀봉 부재(30)와 제1 및 제2 절연층(231)간의 접합 강도가 향상될 수 있다.
- [0113] 밀봉 부재(30) 하부에 배치된 금속층(228)은 유효 접합 면적의 확대를 통한 기구 강도 개선에 필요한 구조이다. 한편, 금속층(228)의 단면 크기가 크게 하면 금속층에 포함된 홀의 크기가 작아질 수 있다. 그러면, 홀에 절연층이 채워져서 절연층과 밀봉 부재간의 접합 면적이 줄어들 수 있다.
- [0114] 반면, 금속층의 단면 크기를 작아지면 정전 방전(electro static discharge)에 의한 박리 불량이 발생할 수 있다. 예를 들어, 정전 방전 건(gun)으로 밀봉 부재(30)의 측면을 충돌시키면 금속층(228)에 전류가 흐르게 되고, 전류에 열로 인해 금속층(228)에 열팽창이 발생하게 되어, 밀봉 부재(30)와 금속층(228)의 계면에서 열팽창계수의 차이가 발생하게 된다. 열팽창계수의 차이에 따른 응력에 의해 박리가 발생할 수 있다.
- [0115] 일 실시예에 따른 디스플레이 장치는 복수 층 구조의 금속층(228)을 포함하고 있어, 금속층(228)의 표면적이 넓어졌다. 그리하여, 금속층(228)에 전류가 흐르더라도 전류에 의한 발열을 감소시킬 수 있다. 또한, 제2 금속층

(228b)의 제2 홀(h2)은 제1 및 제3 금속층(228a, 228c)의 제1 및 제3 홀(h1, h3)보다 크기 때문에 제2 금속층(228b)은 제1 및 제3 금속층(228a, 228c)과 단차져 있다. 상기한 단차진 구조에 의해 기구 강도를 증가할 수 있다.

[0116] 도 6는 일 실시예에 따른 금속층(228)의 구조에 따른 디스플레이 장치의 박리 여부를 실험한 결과이다.

[0117] A는 밀봉 부재(30)의 하부에 홀이 없는 금속층이 포함된 경우이고, B는 밀봉 부재(30)의 하부에 제1 금속층(228a)이 포함된 경우, C는 밀봉 부재(30)의 하부에 일 실시예에 따른 제1 내지 제3 금속층(228a, 228b, 228c)이 포함된 경우이다. 밀봉 부재(30)의 물질, 기관 등은 동일한 조건으로 실험되었다. 밀봉 부재(30)에 정전 방전에 따른 접촉이 발생하면, A는 약 +19kV에서 박리가 발생하였고, B는 약 +8kV에서 박리가 발생하였으며, C는 +10kV에서 박리가 발생하였다. 또한, $2 \times 10^{15} \text{ W/m}^3$ 에서 발열 영역을 확인 결과, B가 발열 상태가 낮음을 확인할 수 있다.

[0118] 정전 방전에 의한 박리는 밀봉 부재(30)의 하부에 금속층이 없으면 정전밀봉 방전에 의한 박리를 줄일 수 있으나, 기구 강도의 특성이 약한 문제점이 있다. 그리하여, 일정한 기구 강도의 특성을 유지하면서 정전 방전에 의한 박리를 줄이기 위해서는 일 실시예에 따른 제1 내지 제3 금속층(228a, 228b, 228c)의 구조가 유리함을 알 수 있다.

[0119] 도 7은 다른 실시예에 따른 제1 내지 제3 금속층(228a, 228b, 228c)의 구조를 나타낸 평면도이다. 도 7에 도시된 바와 같이, 제1 내지 제3 금속층(228a, 228b, 228c)에 포함된 제1 내지 제3 홀(h1, h2, h3)의 크기가 서로 다를 수 있다. 예를 들어, 제2 홀(h2)의 크기가 가장 클 수 있으며, 제1 홀(h1)은 제3 홀(h3)보다 작을 수 있다. 그리하여, 제1 금속층(228a)의 표면이 넓게 형성됨으로써 유효 접합 면적을 증가시킬 수 있다.

[0120] 도 8은 또 다른 실시예에 따른 디스플레이 장치의 일부를 확대 도시한 단면도이다. 도 8에 도시된 바와 같이, 제2 금속층(228b)의 제2 홀(h2) 및 제3 금속층(228c)의 제3 홀(h3) 중 적어도 하나는 제1 금속층(228a)에 포함된 복수 개의 제1 홀(h1)과 중첩될 수 있다. 도 8의 구조도 정전 방전에 따른 박리를 저감시킬 수 있다. 도면에 도시되어 있지 않지만, 제1 금속층(228a)의 제1 홀(h1)이 제3 금속층(228c)에 포함된 복수 개의 제3 홀(h3)과 중첩될 수도 있음은 물론이다.

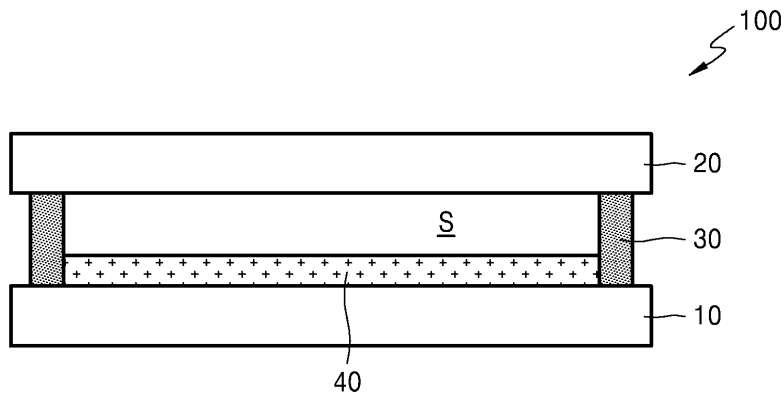
[0121] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

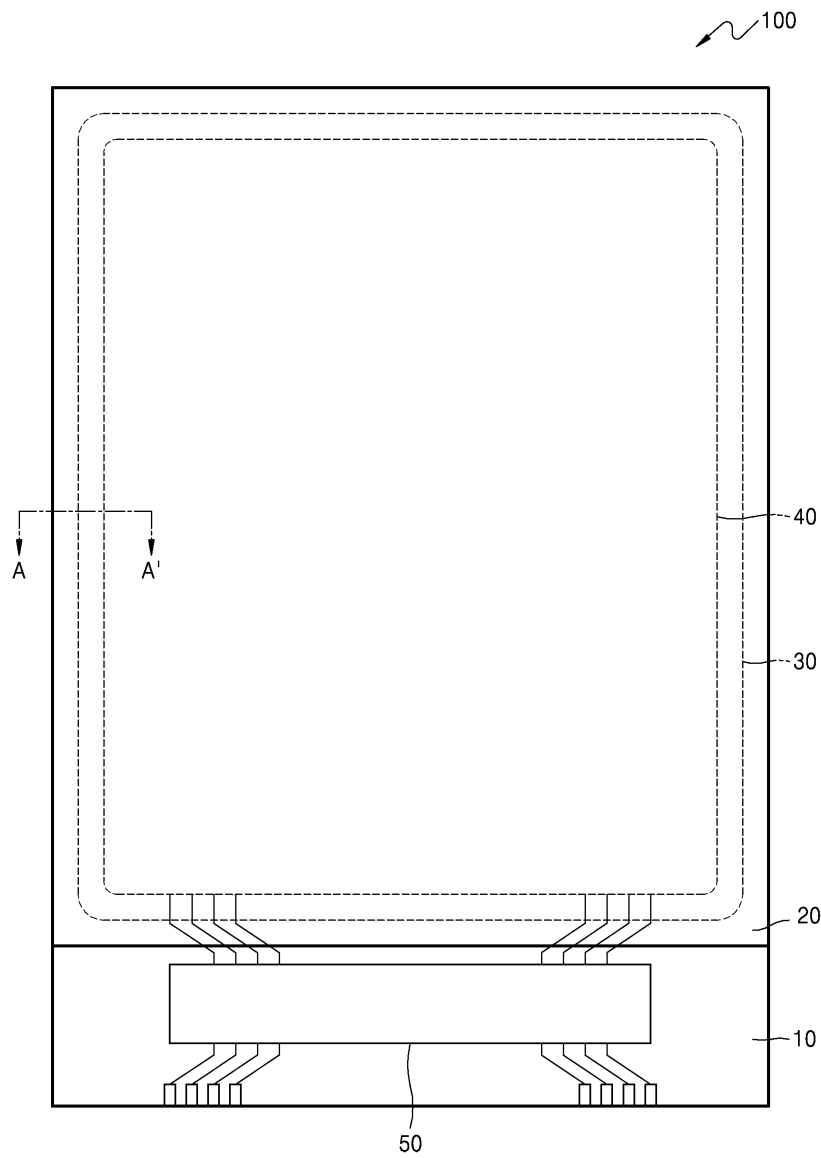
[0122]	100: 디스플레이 장치	10: 제1 기관
	20: 제2 기관	30: 밀봉 부재
	31: 제1 밀봉 영역	32: 제2 밀봉 영역
	40: 표시부	222: 화소 정의막
	224: 전원 배선	228: 금속층
	228a: 제1 금속층	228b: 제2 금속층
	228c: 제3 금속층	

도면

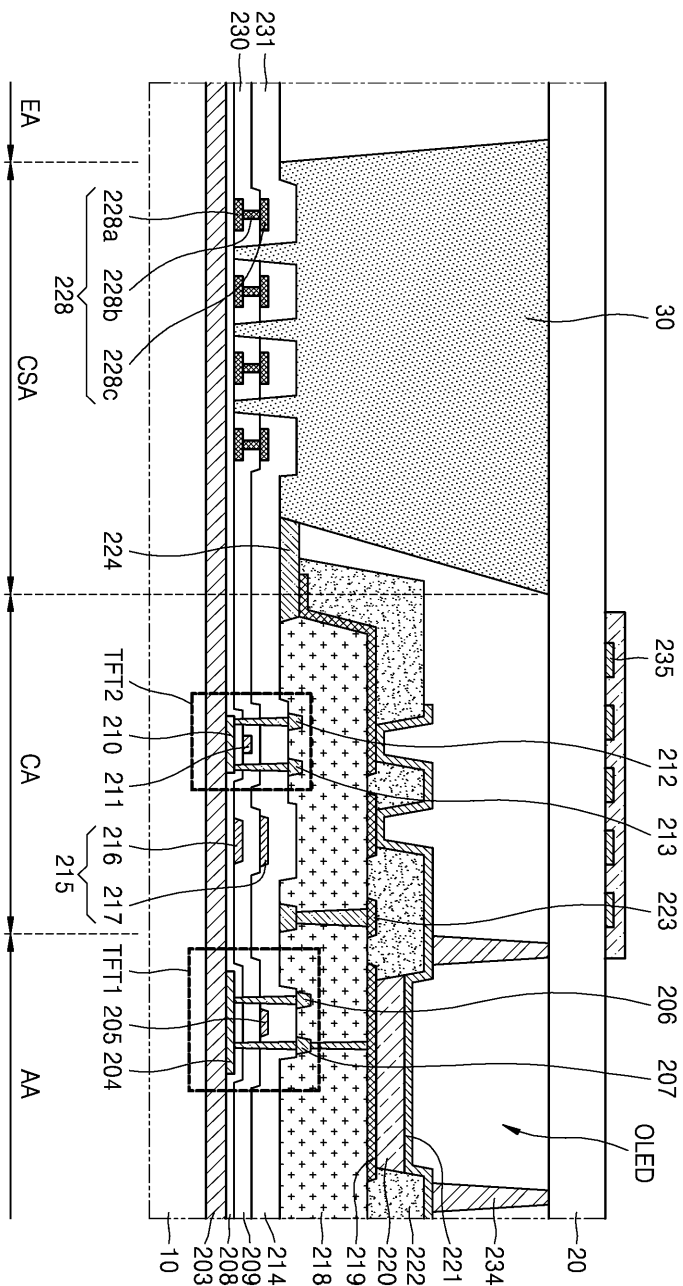
도면1



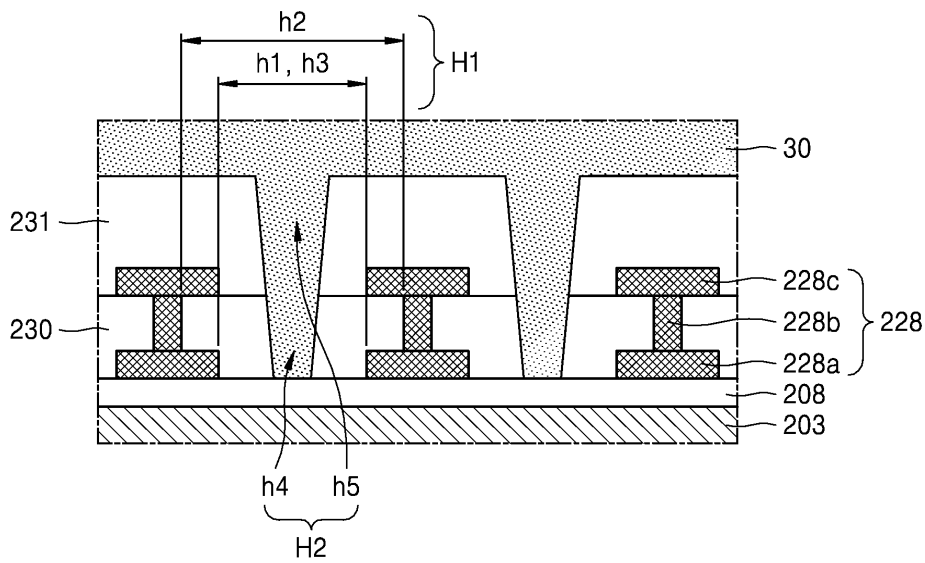
도면2



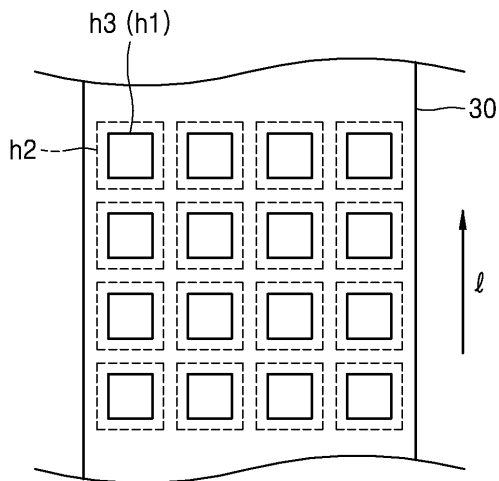
도면3



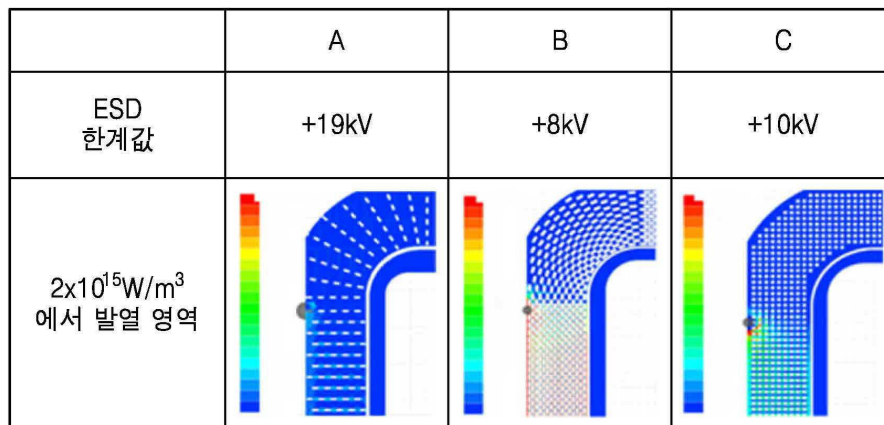
도면4



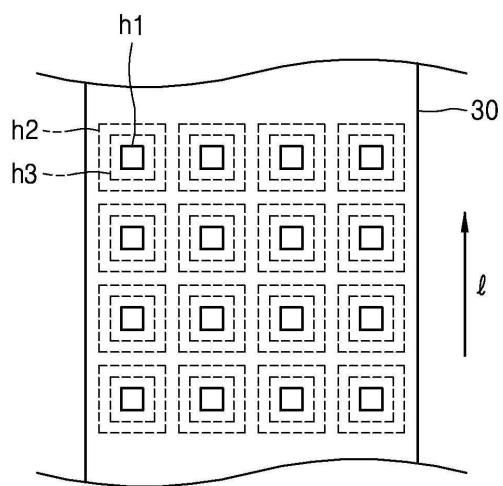
도면5



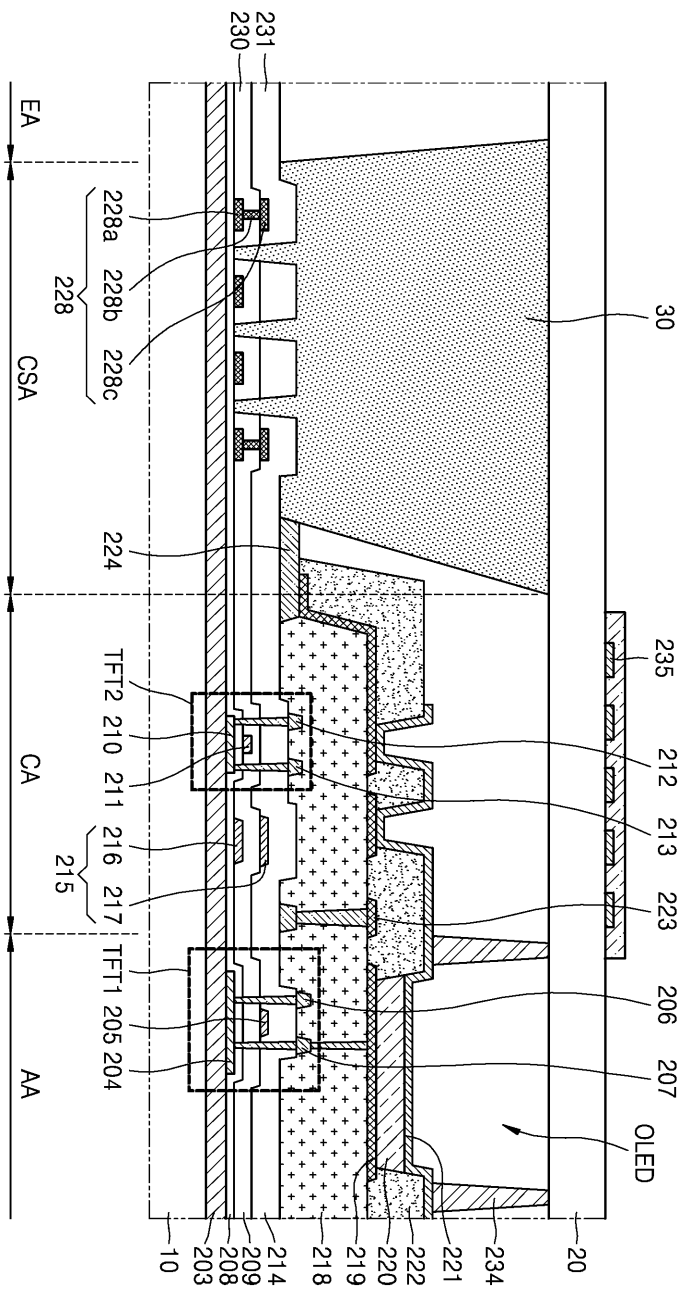
도면6



도면7



도면8



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020170031850A	公开(公告)日	2017-03-22
申请号	KR1020150129093	申请日	2015-09-11
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JANG JOO NYUNG 장주녕		
发明人	장주녕		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5237 H01L51/5203 H01L27/3225 H01L27/3258 H01L27/3265 H01L2227/32 H01L27/1222 H01L27/1237 H01L27/323 H01L27/3244 H01L51/5246		
外部链接	Espacenet		

摘要(译)

提供一种有机发光显示装置。有机发光显示器包括：第一基板，包括显示区域和外围区域；第二基板，面对第一基板；第一基板，设置在第一基板的外围区域上，并包括多个第一孔，金属层，设置在第一金属层上并包括与第一孔不同的多个第二孔的第二金属层，设置在第二金属层上并具有与第二孔不同的多个第三孔的第二金属层，第三金属层，以及连接第一基板和第二基板并填充第一至第三孔的一部分的密封构件。

