



(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(11) 공개번호 10-2015-0059604
 (43) 공개일자 2015년06월01일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
 (21) 출원번호 10-2014-0160006
 (22) 출원일자 2014년11월17일
 심사청구일자 없음
 (30) 우선권주장
 1020130142130 2013년11월21일 대한민국(KR)

(71) 출원인
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
성기영
 서울특별시 도봉구 도당로27길 24(방학동)
오충완
 경기 오산시 은여울로17번길 8, 205호 (궐동, 신
 흥연립)
 (뒷면에 계속)
 (74) 대리인
특허법인네이트

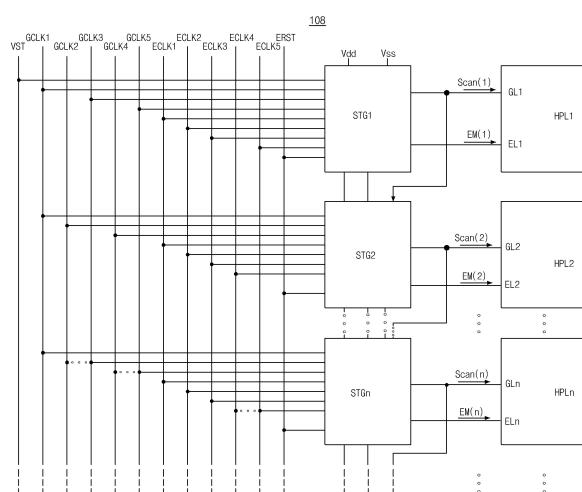
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요 약

본 발명은 스캔신호 발생부와 애미션신호 생성부를 통합하여 게이트 구동부를 구성하는 것으로써, 게이트 구동부의 실장 면적을 줄일 수 있는 효과를 갖는다. 또한, 게이트 구동부에 인가하는 신호배선들을 저감하여 네로우 베젤을 구현할 수 있는 효과를 갖는다.

대 표 도 - 도5



(72) 발명자

나세환

경기 평주시 가람로116번길 130, 706동 1904호 (와
동동, 가람마을7단지한라비발디)

박영주

서울 성동구 성수일로8길 47, 102동 2201호 (성수
동2가, 성수롯데캐슬파크)

전인영

부산 부산진구 중앙대로980번길 28

명세서

청구범위

청구항 1

다수의 화소를 포함하는 표시패널과;

상기 다수의 화소에 데이터신호를 공급하는 데이터 구동부와;

다수의 스테이지를 포함하여 상기 다수의 화소에 다수의 스캔신호 및 다수의 에미션신호를 공급하는 게이트 구동부로서,

상기 다수의 스테이지 중 적어도 하나는 상기 스캔신호를 생성하는 제1회로부와, 상기 스캔신호를 이용하여 상기 에미션신호를 생성하는 제2회로부를 포함하는 게이트 구동부;

상기 데이터 구동부 및 상기 게이트 구동부에 제어신호를 공급하는 타이밍 컨트롤러를 포함하는 유기발광다이오드 표시장치.

청구항 2

제 1 항에 있어서,

제n스테이지의 상기 제1회로부는, 제(n-1)스캔신호, 다수의 게이트클록, 고전위전압 및 저전위전압을 이용하여 제n스캔신호를 생성하고,

상기 제n스테이지의 상기 제2회로부는, 상기 제n스캔신호, 다수의 에미션트클록, 에미션 리셋 전압, 상기 고전위전압 및 상기 저전위전압을 이용하여 제n에미션신호를 생성하는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

제1스테이지의 상기 제1회로부는, 스타트전압, 상기 다수의 게이트클록, 상기 고전위전압 및 상기 저전위전압을 이용하여 제1스캔신호를 생성하고,

상기 제1스테이지의 상기 제2회로부는, 상기 스타트전압, 상기 제1스캔신호, 상기 다수의 에미션클록, 상기 에미션 리셋 전압, 상기 고전위전압 및 상기 저전위전압을 이용하여 제1에미션신호를 생성하는 유기발광다이오드 표시장치.

청구항 4

제 2 항에 있어서,

상기 다수의 게이트클록은 제1 내지 제5게이트클록을 포함하고, 상기 다수의 에미션클록은 제1 내지 제5에미션클록을 포함하는 유기발광다이오드 표시장치.

청구항 5

제 2 항에 있어서,

상기 제1회로부는 N타입의 제1 내지 제11트랜지스터와 제1커패시터를 포함하고,

상기 제2회로부는 N타입의 제12 내지 제22트랜지스터와 제2커패시터를 포함하는 유기발광다이오드 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1트랜지스터의 게이트전극은 스타트전압의 공급단자와 이전 스테이지의 상기 제1회로부 중 하나에 접속되고, 상기 제1트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제1트랜지스터의 소스전극은 상기 제2트랜지스터의 드레인전극에 접속되고,

상기 제2트랜지스터의 게이트전극은 상기 다수의 게이트클록의 공급단자 중 하나에 접속되고, 상기 제2트랜지스터의 드레인전극은 상기 제1트랜지스터의 소스전극에 접속되고, 상기 제2트랜지스터의 소스전극은 상기 제3트랜지스터의 드레인전극에 접속되고,

상기 제3트랜지스터의 게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제3트랜지스터의 드레인전극은 상기 제2트랜지스터의 소스전극에 접속되고, 상기 제3트랜지스터의 소스전극은 Q1노드에 접속되고,

상기 제4트랜지스터의 게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제4트랜지스터의 드레인전극은 상기 Q1노드에 접속되고, 상기 제4트랜지스터의 소스전극은 상기 제6트랜지스터의 드레인전극에 접속되고,

상기 제5트랜지스터의 게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제5트랜지스터의 드레인전극은 상기 Q1노드에 접속되고, 상기 제5트랜지스터의 소스전극은 상기 제11트랜지스터의 게이트전극에 접속되고,

상기 제6트랜지스터의 게이트전극은 QB1노드에 접속되고, 상기 제6트랜지스터의 드레인전극은 상기 제4트랜지스터의 소스전극에 접속되고, 상기 제6트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제7트랜지스터의 게이트전극은 상기 다수의 게이트클록의 공급단자 중 하나에 접속되고, 상기 제7트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제7트랜지스터의 소스전극은 상기 QB1노드에 접속되고,

상기 제8트랜지스터의 게이트전극은 상기 스타트전압의 공급단자와 이전 스테이지의 제1회로부 중 하나에 접속되고, 상기 제8트랜지스터의 드레인전극은 상기 QB1노드에 접속되고, 상기 제8트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제9트랜지스터의 게이트전극은 상기 제5트랜지스터의 소스전극에 접속되고, 상기 제9트랜지스터의 드레인전극은 상기 QB1노드에 접속되고, 상기 제9트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제10트랜지스터의 게이트전극은 상기 QB1노드에 접속되고, 상기 제10트랜지스터의 드레인전극은 상기 다수의 게이트클록의 공급단자 중 하나에 접속되고, 상기 제10트랜지스터의 소스전극은 상기 제11트랜지스터의 드레인전극에 접속되고,

상기 제11트랜지스터의 게이트전극은 상기 QB1노드에 접속되고, 상기 제11트랜지스터의 드레인전극은 상기 제10트랜지스터의 소스전극에 접속되고, 상기 제11트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제1커패시터는 상기 제10트랜지스터의 게이트전극과 소스전극 사이에 접속되고,

상기 제10트랜지스터의 소스전극과 상기 제11트랜지스터의 드레인전극 사이의 제1출력노드는 상기 표시패널의 게이트라인, 상기 제2회로부 및 다음 스테이지에 접속되는 유기발광다이오드 표시장치.

청구항 7

제 5 항에 있어서,

상기 제12트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제12트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제12트랜지스터의 소스전극은 Q2노드에 접속되고,

상기 제13트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제13트랜지스터의 소스전극은 QB2노드에 접속되고,

상기 제14트랜지스터의 게이트전극은 상기 QB2노드에 접속되고, 상기 제14트랜지스터의 드레인전극은 상기 Q2노드에 접속되고, 상기 제14트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제15트랜지스터의 게이트전극은 상기 에미션 리셋 전압의 공급단자에 접속되고, 상기 제15트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제15트랜지스터의 소스전극은 상기 제16트랜지스터의 드레인전극에 접속되고,

상기 제16트랜지스터의 게이트전극은 상기 제1회로부의 제1출력노드에 접속되고, 상기 제16트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제16트랜지스터의 소스전극은 상기 QB2노드에 접속되고,

상기 제17트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제17트랜지스터의 드레인전극은 상기 QB2노드에 접속되고, 상기 제17트랜지스터의 소스전극은 상기 QB2노드에 접속되고,

상기 제18트랜지스터의 게이트전극은 제2회로부의 제2출력노드에 접속되고, 상기 제18트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제18트랜지스터의 소스전극은 상기 제21트랜지스터의 소스전극에 접속되고,

상기 제19트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제19트랜지스터의 드레인전극은 상기 QB2노드에 접속되고, 상기 제19트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제20트랜지스터의 게이트전극은 상기 Q2노드에 접속되고, 상기 제20트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제20트랜지스터의 소스전극은 상기 제21트랜지스터의 드레인전극에 접속되고,

상기 제21트랜지스터의 게이트전극은 상기 QB2노드에 접속되고, 상기 제21트랜지스터의 드레인전극은 상기 제20트랜지스터의 소스전극에 접속되고, 상기 제21트랜지스터의 소스전극은 상기 제22트랜지스터의 드레인전극에 접속되고,

상기 제22트랜지스터의 게이트전극은 상기 QB2노드에 접속되고, 상기 제22트랜지스터의 드레인전극은 상기 제21트랜지스터의 소스전극에 접속되고, 상기 제22트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제2커패시터는 상기 제20트랜지스터의 게이트전극과 소스전극 사이에 접속되고,

상기 제20트랜지스터의 소스전극과 상기 제21트랜지스터의 드레인전극 사이의 상기 제2출력노드는 상기 표시패널의 에미션라인에 접속되는 유기발광다이오드 표시장치.

청구항 8

제 2 항에 있어서,

제1스테이지의 상기 제1회로부는, 스타트전압, 상기 다수의 게이트클록, Q노드 리셋 전압, 상기 고전위전압 및 상기 저전위전압을 이용하여 제1스캔신호를 생성하고,

상기 제1스테이지의 상기 제2회로부는, 상기 제1스캔신호, 상기 다수의 에미션클록, 상기 에미션 리셋 전압, 상기 고전위전압 및 상기 저전위전압을 이용하여 제1에미션신호를 생성하는 유기발광다이오드 표시장치.

청구항 9

제 2 항에 있어서,

상기 다수의 게이트클록은 제1 내지 제4게이트클록을 포함하고, 상기 다수의 에미션클록은 제1 내지 제4에미션클록을 포함하는 유기발광다이오드 표시장치.

청구항 10

제 2 항에 있어서,

상기 제1회로부는 P타입의 제1 내지 제13트랜지스터와 제1커패시터를 포함하고,

상기 제2회로부는 P타입의 제14 내지 제22트랜지스터와 제2커패시터를 포함하는 유기발광다이오드 표시장치.

청구항 11

제 10 항에 있어서,

상기 제1트랜지스터의 게이트전극은 스타트전압의 공급단자와 이전 스테이지의 상기 제1회로부 중 하나에 접속되고, 상기 제1트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제1트랜지스터의 드레인전극은 상기 제2트랜지스터의 소스전극에 접속되고,

상기 제2트랜지스터의 게이트전극은 상기 다수의 게이트클록의 공급단자 중 하나에 접속되고, 상기 제2트랜지스터의 소스전극은 상기 제1트랜지스터의 드레인전극에 접속되고, 상기 제2트랜지스터의 드레인전극은 상기 제3트랜지스터의 소스전극에 접속되고,

상기 제3트랜지스터의 게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제3트랜지스터의 소스전극은 상기 제2트랜지스터의 드레인전극에 접속되고, 상기 제3트랜지스터의 드레인전극은 Q1노드에 접속되고,

상기 제4트랜지스터의 게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제4트랜지스터의 소스전극은 상기 Q1노드에 접속되고, 상기 제4트랜지스터의 드레인전극은 상기 제7트랜지스터의 소스전극에 접속되고,

상기 제5트랜지스터의 게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제5트랜지스터의 소스전극은 상기 Q1노드에 접속되고, 상기 제5트랜지스터의 드레인전극은 상기 제8트랜지스터의 소스전극에 접속되고,

상기 제6트랜지스터의 게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제6트랜지스터의 소스전극은 상기 Q1노드에 접속되고, 상기 제6트랜지스터의 드레인전극은 상기 제10트랜지스터의 게이트전극에 접속되고,

상기 제7트랜지스터의 게이트전극은 Q노드 리셋 전압의 공급단자에 접속되고, 상기 제7트랜지스터의 소스전극은 상기 제4트랜지스터의 드레인전극에 접속되고, 상기 제7트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제8트랜지스터의 게이트전극은 QB1노드에 접속되고, 상기 제8트랜지스터의 소스전극은 상기 제5트랜지스터의 드레인전극에 접속되고, 상기 제8트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제9트랜지스터의 게이트전극은 상기 다수의 게이트클록의 공급단자 중 하나에 접속되고, 상기 제9트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제9트랜지스터의 드레인전극은 상기 QB1노드에 접속되고,

상기 제10트랜지스터의 게이트전극은 상기 스타트전압의 공급단자와 이전 스테이지의 상기 제1회로부 중 하나에 접속되고, 상기 제10트랜지스터의 소스전극은 상기 QB1노드에 접속되고, 상기 제10트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제11트랜지스터의 게이트전극은 상기 제6트랜지스터의 드레인전극에 접속되고, 상기 제11트랜지스터의 소스전극은 상기 QB1노드에 접속되고, 상기 제11트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제12트랜지스터의 게이트전극은 상기 Q1노드에 접속되고, 상기 제12트랜지스터의 소스전극은 상기 다수의 게이트클록의 공급단자 중 하나에 접속되고, 상기 제12트랜지스터의 드레인전극은 상기 제13트랜지스터의 소스전극에 접속되고,

상기 제13트랜지스터의 게이트전극은 상기 QB1노드에 접속되고, 상기 제13트랜지스터의 소스전극은 상기 제12트랜지스터의 드레인전극에 접속되고, 상기 제13트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고,

고,

상기 제1커패시터는 상기 제10트랜지스터의 게이트전극과 소스전극 사이에 접속되고,

상기 제12트랜지스터의 드레인전극과 상기 제13트랜지스터의 소스전극 사이의 제1출력노드는 상기 표시패널의 게이트라인, 상기 제2회로부 및 다음 스테이지에 접속되는 유기발광다이오드 표시장치.

청구항 12

제 10 항에 있어서,

상기 제14트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제14트랜지스터의 소스전극은 상기 고전위전압의 공급단자 접속되고, 상기 제14트랜지스터의 드레인전극은 Q2노드에 접속되고,

상기 제15트랜지스터의 게이트전극은 상기 제1회로부의 제1출력노드에 접속되고, 상기 제15트랜지스터의 소스전극은 상기 에미션 리셋 전압의 공급단자에 접속되고, 상기 제15트랜지스터의 드레인전극은 상기 QB2노드에 접속되고,

상기 제16트랜지스터의 게이트전극은 상기 QB2노드에 접속되고, 상기 제16트랜지스터의 소스전극은 상기 Q2노드에 접속되고, 상기 제16트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제17트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제17트랜지스터의 소스전극은 상기 QB2노드에 접속되고, 상기 제17트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고,

상기 제18트랜지스터의 게이트전극은 상기 제2회로부의 제2출력노드에 접속되고, 상기 제18트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제18트랜지스터의 드레인전극은 상기 QB2노드에 접속되고,

상기 제19트랜지스터의 게이트전극은 상기 제2회로부의 제2출력노드에 접속되고, 상기 제19트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제19트랜지스터의 드레인전극은 상기 제21트랜지스터의 드레인전극에 접속되고,

상기 제20트랜지스터의 게이트전극은 상기 Q2노드에 접속되고, 상기 제20트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제20트랜지스터의 드레인전극은 상기 제2출력노드에 접속되고,

상기 제21트랜지스터의 게이트전극은 상기 QB2노드에 접속되고, 상기 제21트랜지스터의 소스전극은 상기 제2출력노드에 접속되고, 상기 제21트랜지스터의 드레인전극은 상기 제22트랜지스터의 소스전극에 접속되고,

상기 제22트랜지스터의 게이트전극은 상기 Q2노드에 접속되고, 상기 제22트랜지스터의 소스전극은 상기 제21트랜지스터의 드레인전극에 접속되고, 상기 제20트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고,

상기 제2커패시터는 상기 제20트랜지스터의 게이트전극과 드레인전극 사이에 접속되고,

상기 제20트랜지스터의 드레인전극과 상기 제21트랜지스터의 소스전극 사이의 상기 제2출력노드는 상기 표시패널의 에미션라인에 접속되는 유기발광다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 근래에는 액정표시장치(LCD: liquid crystal display), 플라즈마표시장치(PDP: plasma display panel), 유기발

광다이오드 표시장치(OLED: organic light emitting diode device)와 같은 여러가지 평판표시장치(flat display device)가 활용되고 있다.

[0003] 이중, 유기발광다이오드 표시장치는 스스로 발광하는 자발광소자를 이용하므로써 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다. 이러한 유기발광다이오드 표시장치는, 전류의 양을 제어하며 유기발광다이오드의 휙도를 제어하는 전류 구동방식이 일반적으로 이용되고 있다.

[0004] 도 1은 종래의 유기발광다이오드 표시장치의 발광제어를 위한 회로구성을 나타낸 예시도이다.

[0005] 도시한 바와 같이, 종래의 유기발광다이오드 표시장치 외부시스템(12), 타이밍컨트롤러(14), 데이터 구동부(16), 게이트 구동부(18)와 패널(12)로 구성된다.

[0006] 외부시스템(10)은 수직/수평 동기신호(Vsync, Hsync)와 클럭신호(CLK)를 공급하고, 타이밍컨트롤러(14)는 외부시스템(12)으로부터 각각의 신호를 받아 게이트 구동부(18)를 제어하기 위한 게이트 제어신호(GCS)와 데이터 구동부(16)를 제어하기 위한 데이터 제어신호(DCS)를 출력한다. 또한, 타이밍 컨트롤러(14)는 외부시스템으로부터 입력되는 영상신호(RGB)를 패널(12)의 해상도에 맞게 재정렬하여 데이터 구동부(16)에 공급한다.

[0007] 데이터 드라이버(16)는 타이밍 컨트롤러(14)로부터 입력되는 데이터 제어신호(DCS)에 응답하여 영상신호(RGB)를 계조값에 대응하는 아날로그의 화소신호(데이터신호 또는 데이터전압)로 변환하며, 이렇게 변환된 화소신호가 패널(12)상의 데이터라인(DL1 내지 DLm)에 공급된다.

[0008] 게이트 구동부(18)는 타이밍 컨트롤러(14)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 게이트라인(GL1 내지 GLn)에 스캔신호를 순차적으로 공급하고, 이에 의해 패널(12) 상의 해당 수평라인의 박막트랜지스터(TFT)들이 턴-온된다. 이러한 게이트 구동부(18)는 데이터전압(Vdata)의 어드레싱 타임을 결정하기 위한 스캔신호를 각 게이트라인(GL1 ~ GLn)에 공급하는 스캔신호 생성부(18a)와, 화소(P)들의 발광 타임을 결정하기 위한 에미션신호(EM)를 각 에미션 라인(EL1 ~ ELn)에 공급하는 에미션신호 생성부(18b)를 포함한다. 이 때, 스캔신호 생성부(18a)와 에미션신호 생성부(18b)는 GIP(Gate In Panel)로 패널(12)내에 구성할 수 있다.

[0009] 패널(12)은 각 게이트 라인(GL1 ~ GLn)과 각 데이터 라인(DL1 ~ DLn)의 교차에 복수의 화소(P)가 형성되어 있다. 각 화소(P)에는 고진위전압(Vdd) 및 저진위전압(Vss)을 공급하기 위한 라인과, 스위칭 트랜지스터, 스위칭 트랜지스터를 통해 인가되는 영상신호에 의해 턴온되는 구동 트랜지스터, 각 에미션라인(EL1 ~ ELn)에 의해 구동되는 에미션 트랜지스터 및 유기발광다이오드가 형성되어 있다.

[0010] 상기한 바와 같은 종래에서 발광 제어를 위한 게이트 구동부(18)는 스캔신호 생성부(18a)와 에미션신호 생성부(18a)를 각각 구성하여 발광제어를 하고 있다. 이러한 두 개의 신호가 필요한 이유는 구동 트랜지스터의 열화에 따른 문턱전압변화(Vth shift)를 보상하기 위해 스캔신호와 에미션신호의 타이밍을 다르게 하기 위함이다.

[0011] 즉, 데이터전압이 어드레싱 되는 기간에서 스캔신호는 턴 온 레벨로 발생되고 에미션신호(EM)는 턴 오프 레벨로 발생되며, 화소(P)들이 발광되는 기간에서 스캔신호는 턴 오프 레벨로 발생되고 에미션신호(EM)는 턴 온 레벨로 발생된다.

[0012] 특히, 도시한 바와 같이 종속적으로 접속되어 순차적으로 신호를 출력하기 위해, 에미션신호 생성부(18b)는 쉬프트 레지스터(SR) 및 쉬프트 레지스터(SR)로부터 출력되는 신호를 입력받고 그 신호를 반전시켜 발광제어 펄스를 생성하는 인버터(INV)를 포함한다.

[0013] 마찬가지로 스캔신호 생성부(18a)도 종속적으로 접속되어 순차적으로 신호를 출력하기 위한 쉬프트 레지스터(SRG)를 포함한다.

[0014] 그러나, 두 가지의 신호를 생성하기 위해 스캔신호 생성부(18a)와 에미션신호 생성부(18b)를 각각 형성하는 것으로 각 생성부(18a, 18b)를 제어하기 위한 제어신호가 증가하고, 제어신호를 전달하는 배선의 수가 증가하는 문제점이 있다.

[0015] 도 2는 종래의 유기발광다이오드 표시장치에서 발광제어를 위한 게이트 구동부가 패널에 실장되는 면적을 나타낸 도면이다.

[0016] 도 2에 도시한 바와 같이, 게이트 구동부(18)를 구성하는 면적(W)이 스캔신호 생성부(18a)의 실장면적(W1)과 에미션신호 생성부(18b)의 실장면적(W2)으로 인해 증가하는 문제점이 있다. 특히 에미션신호 생성부(18b)의 쉬프트 레지스터(SR) 실장면적(W2a)과 인버터(INV) 실장면적(W2b)으로 게이트 구동부(18)를 구성하는 면적(W)이 더욱 증가하게 된다. 이에 의해 표시장치의 베젤(bezel)영역이 넓어지는 문제점이 있다.

발명의 내용

해결하려는 과제

[0017] 본 발명은 상기한 문제점을 해결하기 위한 것으로, 게이트 드라이버를 실장하기 위한 면적을 줄이고, 네로우 베젤을 구현하는 것을 목적으로 한다.

과제의 해결 수단

[0018] 전술한 바와 같이 목적을 달성하기 위해, 본 발명은 다수의 화소를 포함하는 표시패널과, 상기 다수의 화소에 데이터신호를 공급하는 데이터 구동부와, 다수의 스테이지를 포함하여 상기 다수의 화소에 다수의 스캔신호 및 다수의 에미션신호를 공급하는 게이트 구동부로서, 상기 다수의 스테이지 중 적어도 하나는 상기 스캔신호를 생성하는 제1회로부와, 상기 스캔신호를 이용하여 상기 에미션신호를 생성하는 제2회로부를 포함하는 게이트 구동부와, 상기 데이터 구동부 및 상기 게이트 구동부에 제어신호를 공급하는 타이밍 컨트롤러를 포함하는 유기발광다이오드 표시장치를 제공한다.

[0019] 그리고, 제n스테이지의 상기 제1회로부는, 제(n-1)스캔신호, 다수의 게이트클록, 고전위전압 및 저전위전압을 이용하여 제n스캔신호를 생성하고, 상기 제n스테이지의 상기 제2회로부는, 상기 제n스캔신호, 다수의 에미션클록, 에미션 리셋 전압, 상기 고전위전압 및 상기 저전위전압을 이용하여 제n에미션신호를 생성할 수 있다.

[0020] 또한, 제1스테이지의 상기 제1회로부는, 스타트전압, 상기 다수의 게이트클록, 상기 고전위전압 및 상기 저전위전압을 이용하여 제1스캔신호를 생성하고, 상기 제1스테이지의 상기 제2회로부는, 상기 스타트전압, 상기 제1스캔신호, 상기 다수의 에미션클록, 상기 에미션 리셋 전압, 상기 고전위전압 및 상기 저전위전압을 이용하여 제1에미션신호를 생성할 수 있다.

[0021] 그리고, 상기 다수의 게이트클록은 제1 내지 제5게이트클록을 포함하고, 상기 다수의 에미션클록은 제1 내지 제5에미션클록을 포함할 수 있다.

[0022] 또한, 상기 제1회로부는 N타입의 제1 내지 제11트랜지스터와 제1커패시터를 포함하고, 상기 제2회로부는 N타입의 제12 내지 제22트랜지스터와 제2커패시터를 포함할 수 있다.

[0023] 그리고, 상기 제1트랜지스터의 게이트전극은 스타트전압의 공급단자와 이전 스테이지의 상기 제1회로부 중 하나에 접속되고, 상기 제1트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제1트랜지스터의 소스전극은 상기 제2트랜지스터의 드레인전극에 접속되고, 상기 제2트랜지스터의 게이트전극은 상기 다수의 게이트클록의 공급단자 중 하나에 접속되고, 상기 제2트랜지스터의 드레인전극은 상기 제1트랜지스터의 소스전극에 접속되고, 상기 제2트랜지스터의 소스전극은 상기 제3트랜지스터의 드레인전극에 접속되고, 상기 제3트랜지스터의 게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제3트랜지스터의 드레인전극은 상기 제2트랜지스터의 소스전극에 접속되고, 상기 제3트랜지스터의 소스전극은 Q1노드에 접속되고, 상기 제4트랜지스터의 게이트전극은 상기 Q1노드에 접속되고, 상기 제4트랜지스터의 소스전극은 상기 제6트랜지스터의 드레인전극에 접속되고, 상기 제5트랜지스터의 드레인전극은 상기 Q1노드에 접속되고, 상기 제5트랜지스터의 소스전극은 상기 제11트랜지스터의 게이트전극에 접속되고, 상기 제6트랜지스터의 게이트전극은 상기 제4트랜지스터의 소스전극에 접속되고, 상기 제6트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제7트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제7트랜지스터의 소스전극은 상기 QB1노드에 접속되고, 상기 제8트랜지스터의 게이트전극은 상기 스타트전압의 공급단자와 이전 스테이지의 제1회로부 중 하나에 접속되고, 상기 제8트랜지스터의 드레인전극은 상기 QB1노드에 접속되고, 상기 제8트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제9트랜지스터의 게이트전극은 상기 제5트랜지스터의 소스전극에 접속되고, 상기 제9트랜지스터의 드레인전극은 상기 QB1노드에 접속되고, 상기 제9트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제10트랜지스터의 게이트전극은 상기 QB1노드에 접속되고, 상기 제10트랜지스터의 드레인전극은 상기 다수의 게이트클록의 공급단자 중 하나에 접속되고, 상기 제10트랜지스터의 소스전극은 상기

제11트랜지스터의 드레인전극에 접속되고, 상기 제11트랜지스터의 게이트전극은 상기 QB1노드에 접속되고, 상기 제11트랜지스터의 드레인전극은 상기 제10트랜지스터의 소스전극에 접속되고, 상기 제11트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제1커패시터는 상기 제10트랜지스터의 게이트전극과 소스전극 사이에 접속되고, 상기 제10트랜지스터의 소스전극과 상기 제11트랜지스터의 드레인전극 사이의 제1출력노드는 상기 표시패널의 게이트라인, 상기 제2회로부 및 다음 스테이지에 접속될 수 있다.

[0024] 또한, 상기 제12트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제12트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제12트랜지스터의 소스전극은 QB2노드에 접속되고, 상기 제13트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제13트랜지스터의 소스전극은 QB2노드에 접속되고, 상기 제14트랜지스터의 게이트전극은 상기 QB2노드에 접속되고, 상기 제14트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제15트랜지스터의 게이트전극은 상기 에미션 리셋 전압의 공급단자에 접속되고, 상기 제15트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제15트랜지스터의 소스전극은 상기 제16트랜지스터의 드레인전극에 접속되고, 상기 제16트랜지스터의 게이트전극은 상기 제1회로부의 제1출력노드에 접속되고, 상기 제16트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제16트랜지스터의 소스전극은 상기 QB2노드에 접속되고, 상기 제17트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제17트랜지스터의 드레인전극은 상기 QB2노드에 접속되고, 상기 제17트랜지스터의 소스전극은 상기 QB2노드에 접속되고, 상기 제18트랜지스터의 게이트전극은 제2회로부의 제2출력노드에 접속되고, 상기 제18트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제18트랜지스터의 소스전극은 상기 제21트랜지스터의 소스전극에 접속되고, 상기 제19트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제19트랜지스터의 드레인전극은 상기 QB2노드에 접속되고, 상기 제19트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제20트랜지스터의 게이트전극은 상기 Q2노드에 접속되고, 상기 제20트랜지스터의 드레인전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제20트랜지스터의 소스전극은 상기 제21트랜지스터의 드레인전극에 접속되고, 상기 제21트랜지스터의 게이트전극은 상기 QB2노드에 접속되고, 상기 제21트랜지스터의 소스전극은 상기 제20트랜지스터의 드레인전극에 접속되고, 상기 제21트랜지스터의 게이트전극은 상기 제22트랜지스터의 드레인전극에 접속되고, 상기 제22트랜지스터의 게이트전극은 상기 제21트랜지스터의 소스전극에 접속되고, 상기 제22트랜지스터의 소스전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제2커패시터는 상기 제20트랜지스터의 게이트전극과 소스전극 사이에 접속되고, 상기 제20트랜지스터의 소스전극과 상기 제21트랜지스터의 드레인전극 사이의 상기 제2출력노드는 상기 표시패널의 에미션라인에 접속될 수 있다.

[0025] 그리고, 제1스테이지의 상기 제1회로부는, 스타트전압, 상기 다수의 게이트클록, Q노드 리셋 전압, 상기 고전위전압 및 상기 저전위전압을 이용하여 제1스캔신호를 생성하고, 상기 제1스테이지의 상기 제2회로부는, 상기 제1스캔신호, 상기 다수의 에미션클록, 상기 에미션 리셋 전압, 상기 고전위전압 및 상기 저전위전압을 이용하여 제1에미션신호를 생성할 수 있다.

[0026] 또한, 상기 다수의 게이트클록은 제1 내지 제4게이트클록을 포함하고, 상기 다수의 에미션클록은 제1 내지 제4에미션클록을 포함할 수 있다.

[0027] 그리고, 상기 제1회로부는 P타입의 제1 내지 제13트랜지스터와 제1커패시터를 포함하고, 상기 제2회로부는 P타입의 제14 내지 제22트랜지스터와 제2커패시터를 포함할 수 있다.

[0028] 또한, 상기 제1트랜지스터의 게이트전극은 상기 스타트전압의 공급단자와 이전 스테이지의 상기 제1회로부 중 하나에 접속되고, 상기 제1트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제1트랜지스터의 드레인전극은 상기 제2트랜지스터의 소스전극에 접속되고, 상기 제2트랜지스터의 게이트전극은 상기 다수의 게이트클록의 공급단자 중 하나에 접속되고, 상기 제2트랜지스터의 소스전극은 상기 제1트랜지스터의 드레인전극에 접속되고, 상기 제2트랜지스터의 드레인전극은 상기 제3트랜지스터의 소스전극에 접속되고, 상기 제3트랜지스터의 게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제3트랜지스터의 소스전극은 상기 제2트랜지스터의 드레인전극에 접속되고, 상기 제3트랜지스터의 드레인전극은 Q1노드에 접속되고, 상기 제4트랜지스터의 게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제4트랜지스터의 소스전극은 상기 Q1노드에 접속되고, 상기 제4트랜지스터의 드레인전극은 상기 제7트랜지스터의 소스전극에 접속되고, 상기 제5트랜지스터의 게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제5트랜지스터의 소스전극은 상기 Q1노드에 접속되고, 상기 제5트랜지스터의 드레인전극은 상기 제8트랜지스터의 소스전극에 접속되고, 상기 제6트랜지스터의

게이트전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제6트랜지스터의 소스전극은 상기 Q1노드에 접속되고, 상기 제6트랜지스터의 드레인전극은 상기 제10트랜지스터의 게이트전극에 접속되고, 상기 제7트랜지스터의 게이트전극은 상기 Q노드 리셋 전압의 공급단자에 접속되고, 상기 제7트랜지스터의 소스전극은 상기 제4트랜지스터의 드레인전극에 접속되고, 상기 제7트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제8트랜지스터의 게이트전극은 상기 QB1노드에 접속되고, 상기 제8트랜지스터의 소스전극은 상기 제5트랜지스터의 드레인전극에 접속되고, 상기 제8트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제9트랜지스터의 게이트전극은 상기 다수의 게이트클록의 공급단자 중 하나에 접속되고, 상기 제9트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제9트랜지스터의 드레인전극은 상기 QB1노드에 접속되고, 상기 제10트랜지스터의 게이트전극은 상기 스타트전압의 공급단자와 이전 스테이지의 상기 제1회로부 중 하나에 접속되고, 상기 제10트랜지스터의 소스전극은 상기 QB1노드에 접속되고, 상기 제10트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제11트랜지스터의 게이트전극은 상기 제6트랜지스터의 드레인전극에 접속되고, 상기 제11트랜지스터의 소스전극은 상기 QB1노드에 접속되고, 상기 제11트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제12트랜지스터의 게이트전극은 상기 Q1노드에 접속되고, 상기 제12트랜지스터의 소스전극은 상기 다수의 게이트클록의 공급단자 중 하나에 접속되고, 상기 제12트랜지스터의 드레인전극은 상기 제13트랜지스터의 소스전극에 접속되고, 상기 제13트랜지스터의 게이트전극은 상기 QB1노드에 접속되고, 상기 제13트랜지스터의 소스전극은 상기 제12트랜지스터의 드레인전극에 접속되고, 상기 제13트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제1커패시터는 상기 제10트랜지스터의 게이트전극과 소스전극 사이에 접속되고, 상기 제12트랜지스터의 드레인전극과 상기 제13트랜지스터의 소스전극 사이의 제1출력노드는 상기 표시패널의 게이트라인, 상기 제2회로부 및 다음 스테이지에 접속될 수 있다.

[0029] 그리고, 상기 제14트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제14트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제14트랜지스터의 드레인전극은 Q2노드에 접속되고, 상기 제15트랜지스터의 게이트전극은 상기 제1회로부의 제1출력노드에 접속되고, 상기 제15트랜지스터의 소스전극은 상기 에미션 리셋 전압의 공급단자에 접속되고, 상기 제15트랜지스터의 드레인전극은 상기 QB2노드에 접속되고, 상기 제16트랜지스터의 게이트전극은 상기 QB2노드에 접속되고, 상기 제16트랜지스터의 소스전극은 상기 Q2노드에 접속되고, 상기 제16트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제17트랜지스터의 게이트전극은 상기 다수의 에미션클록의 공급단자 중 하나에 접속되고, 상기 제17트랜지스터의 소스전극은 상기 QB2노드에 접속되고, 상기 제17트랜지스터의 드레인전극은 상기 저전위전압의 공급단자에 접속되고, 상기 제18트랜지스터의 게이트전극은 상기 제2회로부의 제2출력노드에 접속되고, 상기 제18트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제18트랜지스터의 드레인전극은 상기 QB2노드에 접속되고, 상기 제19트랜지스터의 게이트전극은 상기 제2회로부의 제2출력노드에 접속되고, 상기 제19트랜지스터의 드레인전극은 상기 제21트랜지스터의 드레인전극에 접속되고, 상기 제20트랜지스터의 게이트전극은 상기 Q2노드에 접속되고, 상기 제20트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제20트랜지스터의 드레인전극은 상기 제22트랜지스터의 소스전극에 접속되고, 상기 제22트랜지스터의 게이트전극은 상기 Q2노드에 접속되고, 상기 제22트랜지스터의 소스전극은 상기 제21트랜지스터의 드레인전극에 접속되고, 상기 제20트랜지스터의 소스전극은 상기 고전위전압의 공급단자에 접속되고, 상기 제20트랜지스터의 드레인전극과 상기 제21트랜지스터의 소스전극 사이의 상기 제2출력노드는 상기 표시패널의 에미션라인에 접속될 수 있다.

발명의 효과

[0030] 상술한 바와 같이, 본 발명은 스캔신호 발생부와 에미션신호 생성부를 통합하여 게이트 구동부를 구성하는 것으로써, 게이트 구동부의 실장 면적을 줄일 수 있는 효과를 갖는다.

[0031] 또한, 게이트 구동부에 인가하는 신호배선들을 저감하여 네로우 베젤을 구현할 수 있는 효과를 갖는다.

도면의 간단한 설명

- [0032] 도 1은 종래의 유기발광다이오드 표시장치의 발광제어를 위한 구성을 나타낸 예시도이다.
- 도 2는 종래의 유기발광다이오드 표시장치에서 발광제어를 위한 게이트 구동부가 패널에 실장되는 면적을 나타낸 도면이다.
- 도 3은 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치를 개략적으로 나타낸 구성도이다.
- 도 4는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 제n수평 화소라인에 배치된 화소의 일 예를 나타내는 등가회로도이다.
- 도 5는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 게이트 구동부의 개략적인 블록도이다.
- 도 6a는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 제1스테이지의 구성을 나타낸 도면이다.
- 도 6b는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 제2스테이지의 구성을 나타낸 도면이다.
- 도 7은 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 게이트 구동부의 동작 특성에 따른 타이밍도이다.
- 도 8은 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치에서 발광제어를 위한 게이트 구동부가 패널에 실장되는 면적을 나타낸 도면이다.
- 도 9는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 제n수평 화소라인(n은 양의 정수)에 배치된 화소의 일 예를 도시한 도면이다.
- 도 10은 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 화소에 사용되는 신호의 파형도이다.
- 도 11은 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 게이트 구동부의 제1스테이지의 구성을 나타낸 도면이다.
- 도 12는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 게이트 구동부의 동작 특성에 따른 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0033] 이하, 첨부한 도면을 참조하여 본 발명의 실세예에 따른 유기발광다이오드 표시장치를 상세히 설명한다.

[0034] 도 3은 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치를 개략적으로 나타낸 구성도이다.

[0035] 도시한 바와 같이, 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치는 화소(P)들이 매트릭스 형태로 배열되는 표시패널(102)과, 다수의 데이터라인(DL1 ~ DLq)과, 다수의 데이터라인(DL1 ~ DLq)을 구동시키기 위한 데이터 구동부(106)와, 다수의 게이트라인(GL1 ~ GLp) 및 다수의 에미션라인(EL1 ~ ELp)과, 다수의 게이트라인(GL1 ~ GLp) 및 다수의 에미션라인(EL1 ~ ELp)을 구동시키기 위한 게이트 구동부(108)와, 각 구동부(106, 108)의 동작을 제어하는 타이밍 컨트롤러(104)와, 외부시스템(100)을 포함한다.

[0036] 표시패널(102)에는 다수의 데이터라인(DL1 ~ DLq)과, 다수의 데이터라인(DL1 ~ DLq)과 교차하는 다수의 게이트 라인(GL1 ~ GLp)과 다수의 에미션라인(EL1 ~ ELp)과, 각 라인(DL1 ~ DLq, GL1 ~ GLp, EL1 ~ ELp)의 교차영역마다 화소(P)들이 배치되어 있다.

[0037] 각각의 화소(P)는 고전위전압(Vdd), 저전위전압(Vss) 및 초기화전압(Vinit)을 공급받는다. 여기서 각각의 화소(P)는 도 4에 도시한 바와 같이 한 개의 데이터라인(DLm), 이웃한 두 개의 게이트라인들(GL1, GL(n-1)), 및 한 개의 에미션라인(ELn)에 접속될 수 있다

[0038] 타이밍 컨트롤러(104)는 외부시스템(100)으로부터 입력되는 디지털 비디오 데이터(RGB)를 표시패널(100)의 해상도에 맞게 정렬하여 데이터 구동부(106)에 공급한다. 또한 타이밍 컨트롤러(104)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭신호(CLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동부(106)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)와, 게이트 구동부(108)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GCS)를 발생시킨다.

- [0039] 데이터 구동부(106)는 데이터 제어신호(DCS)에 따라 디지털 비디오 데이터(RGB)를 아날로그 데이터전압으로 변환하여 다수의 데이터라인(DL1 ~ DLq)에 공급한다.
- [0040] 게이트 구동부(108)는 게이트 제어신호(GCS)에 따라 스캔신호(Scan1 ~ Scan(p)) 및 에미션신호(EM(1) ~ EM(p))를 생성하여 각각 다수의 게이트라인(GL1 ~ GLp)과 각각 다수의 에미션라인(EL1 ~ ELp)에 공급한다.
- [0041] 여기서 게이트 구동부(108)은 스캔신호(Scan1 ~ Scan(p))를 쉬프트 시키고, 에미션신호(EM(1) ~ EM(p))를 생성하기 위한 다수의 스테이지(STG1 ~ STGp)를 포함한다.
- [0042] 이러한 게이트 구동부(108)는 GIP(Gate In panel)방식에 따라 표시패널(100) 상에 직접 형성될 수 있다.
- [0043] 도 4는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 제n수평 화소라인(n은 양의 정수)에 배치된 화소의 일 예를 도시한 도면으로, 1화소가 4개의 트랜지스터와 2개의 커페시터를 포함하는 4T2C 구조를 나타낸다.
- [0044] 도시한 바와 같이, 화소(P)는 유기발광다이오드(E), 에미션 트랜지스터(ETr), 스위칭 트랜지스터(STr), 구동 트랜지스터(DTr), 초기화 트랜지스터(Tinit), 및 제1, 제2화소커페시터(Cp1, Cp2)를 포함한다. 각 트랜지스터(ETr, STr, DTr, Tinit)는 N-type MOSFET(Metal-Oxide Semiconductor Field Effect Transistor) 또는 P-type으로 구현될 수 있다. 이하 N-type MOSFET를 기준으로 설명한다.
- [0045] 유기발광다이오드(E)는 고전위전압(Vdd)의 입력단과 저전위전압(Vss)의 입력단 사이에 흐르는 구동전류에 의해 발광한다. 유기발광다이오드(E)의 캐소드전극은 저전위전압(Vss)의 입력단에 접속된다.
- [0046] 에미션 트랜지스터(ETr)는 고전위전압(Vdd)의 입력단과 구동 트랜지스터(DTr) 사이에 접속되며, 제n에미션라인(ELn)에 입력되는 제n에미션신호(EM(n))에 따라 고전위전압(Vdd)을 스위칭한다. 에미션 트랜지스터(ETr)의 게이트전극은 제n에미션라인(ELn)에 접속되고, 드레인전극은 고전위전압(Vdd)의 입력단에 접속되고, 소스전극은 구동 트랜지스터(DTr)의 드레인전극에 접속된다. 이 때, 에미션 트랜지스터(ETr)의 소스전극과 구동 트랜지스터(DTr)의 드레인전극이 접속된 지점을 제1노드(N1)라 칭한다.
- [0047] 스위칭 트랜지스터(STr)는 제n스캔신호(Scan(n))에 따라 데이터라인(DLn)과 구동 트랜지스터(DTr) 사이의 전류패스를 스위칭한다. 스위칭 트랜지스터(STr)의 게이트전극은 제n게이트라인(GLn)에 접속되고, 드레인전극은 데이터라인(DLn)에 접속되며, 소스전극은 구동 트랜지스터(DTr)의 게이트전극에 접속된다. 이 때, 스위칭 트랜지스터(STr)의 소스전극과 구동 트랜지스터(DTr)의 게이트전극이 접속된 지점을 제2노드(N2)라 칭한다.
- [0048] 구동 트랜지스터(DTr)는 제1노드(N1)와 유기발광다이오드(E) 사이에 접속되며, 제2노드(N2)의 전위에 따라 유기발광다이오드(E)의 애노드전극에 인가되는 구동 전류량을 제어한다. 구동 트랜지스터(DTr)의 게이트전극은 제2노드(N2)에 접속되고, 드레인전극은 제1노드(N1)에 접속되며, 소스전극은 유기발광다이오드(E)의 애노드전극에 접속된다. 이때, 구동 트랜지스터(DTr)의 소스전극과 유기발광다이오드(E)의 애노드전극이 접속된 지점을 제3노드(N3)라 칭한다.
- [0049] 초기화 트랜지스터(Tinit)는 초기화전압(Vinit)의 입력단과 제3노드(N3) 사이에 접속되며, 제n-1스캔신호(Scan(n-1))에 따라 제3노드(N3)에 초기화전압(Vinit)을 인가하여 구동 트랜지스터(DTr)의 소스전압을 초기화전압(Vinit)으로 설정한다. 초기화 트랜지스터(Tinit)의 게이트전극은 제n-1게이트라인(GL(n-1))에 접속되고, 드레인전극은 초기화전압(Vinit)의 입력단에 접속되며, 소스전극은 제3노드(N3)에 접속된다.
- [0050] 제1커페시터(C1)는 제2노드(N2)와 제3노드(N3) 사이에 접속되며, 제2커페시터(C1)는 고전위 구동전압(Vdd)의 입력단과 제3노드(N3) 사이에 접속된다. 제1커페시터(C1)는 제n에미션신호(EM(n))에 따라 구동 트랜지스터(DTr)의 문턱전압(Vth)을 저장하며, 제n스캔신호(Scan(n))에 따라 구동 트랜지스터(DTr)의 게이트전압을 설정된 프레임(frame) 시간 동안 유지시킨다. 제2커페시터(C2)는 구동 트랜지스터(DTr)의 게이트전압을 안정화시키며, 데이터전압(Vdata)의 효율을 높이는 기능을 한다.
- [0051] 이하, 상술한 유기발광다이오드 표시장치의 화소를 구동하기 위한 게이트 구동부에 대해 설명한다.
- [0052] 도 5는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 게이트 구동부의 개략적인 블록도를 도시한 도면이다.

- [0053] 도시한 바와 같이, 게이트 구동부(108)에는 고전위전압(Vdd), 저전위전압(Vss), 스타트전압(VST), 제1 내지 제5 게이트클록(GCLK1 ~ GCLK5), 제1 내지 제5에미션 클록(ECLK1 ~ ECLK5) 및 에미션 리셋 전압(ERST)을 기반으로 구동하여 스캔신호(Scan(1)~Scan(p)) 및 에미션신호(EM(1)~EM(p))를 순차적으로 출력하는 다수의 스테이지(STG1~STGp)를 포함한다.
- [0054] 예를 들어, 제1스테이지(STG1)는 고전위전압(Vdd), 저전위전압(Vss), 스타트전압(VST), 제1, 제3, 제5게이트클록(GCLK1, GCLK3, GCLK5), 제1, 제2, 제3, 제5에미션클록(ECLK1, ECLK2, ECLK3, ECLK5), 에미션 리셋 전압(ERST)을 기반으로 구동하여 제1스캔신호(Scan(1))와 제1에미션신호(EM(1))를 출력한다.
- [0055] 이때, 출력된 제1스캔신호(Scan(1))와 제1에미션신호(EM(1))는 각각 제1수평화소열(HPL1)의 제1게이트라인(GL1)과 제1에미션라인(EL1)에 인가된다.
- [0056] 제2스테이지(STG2)는 고전위전압(Vdd), 저전위전압(Vss), 제1스캔신호(Scan(1)), 제1, 제2, 제4게이트클록(GCLK1, GCLK2, GCLK4), 제1, 제2, 제3, 제4에미션클록(ECLK1, ECLK2, ECLK3, ECLK4), 에미션 리셋 전압(ERS T)을 기반으로 구동하여 제2스캔신호(Scan(2))와 제2에미션신호(EM(2))를 출력한다.
- [0057] 이때, 출력된 제2스캔신호(Scan(2))와 제2에미션신호(EM(2))는 각각 제2수평화소열(HPL2)의 제2게이트라인(GL2)과 제2에미션라인(EL2)에 인가된다.
- [0058] 제2스테이지(STG2)의 경우, 제1스테이지(STG1)의 제1스캔신호(Scan(1))를 스타트전압(VST)에 대응되는 전압으로 공급받는다. 즉, 종속단에 위치하는 스테이지는 앞단에 위치하는 스테이지의 출력신호들을 스타트전압으로 공급받는다.
- [0059] 마찬가지로, 임의의 제n스테이지(STGn)는 고전위전압(Vdd), 저전위전압(Vss), 제(n-1)스캔신호(Scan(n-1)), 제1 게이트클록(GCLK1), 제3 및 제5게이트클록(GCLK3, GCLK5)의 쌍과 제2 및 제4게이트클록(GCLK2, GCLK4)의 쌍 중 한 쌍, 제1, 제2, 제3에미션클록(ECLK1, ECLK2, ECLK3), 제4 및 제5에미션클록(ECLK4, ECLK5) 중 하나, 에미션 리셋 전압(ERST)을 기반으로 구동하여 제n스캔신호(Scan(n))와 제n에미션신호(EM(n))를 출력한다.
- [0060] 이때, 출력된 제n스캔신호(Scan(n))와 제n에미션신호(EM(n))는 각각 제n수평화소열(HPLn)의 제n게이트라인(GLn)과 제n에미션라인(ELn)에 인가된다.
- [0061] 따라서, 제2 내지 제p스테이지(STG2 내지 STGp)는 이전단 스테이지의 출력신호들을 스타트전압으로 공급받는 종속적인 접속관계로 연결된다.
- [0062] 도 6a 및 도 6b는 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 게이트 구동부의 제1 및 제2스테이지의 구성을 나타낸 도면이다.
- [0063] 도 6a에 도시된 바와 같이, 제1스테이지(STG1)는 제1회로부(BL1), 제2회로부(BL2)를 포함한다.
- [0064] 제1회로부(BL1)는 스타트전압(VST), 제1게이트클록(GCLK1), 제3게이트 클록(GCLK3), 제5게이트클록(GCLK5), 고전위전압(Vdd) 및 저전위전압(Vdd)을 이용하여 제1스캔신호(Scan(1))를 생성하는 역할을 한다.
- [0065] 제2회로부(BL2)는 제1회로부(BL1)에서 생성한 제1스캔신호(Scan(1)), 제1, 제2, 제3, 제5에미션클록(ECLK1, ECLK2, ECLK3, ECLK5), 에미션 리셋 전압(ERST), 고전위전압(Vdd) 및 저전위전압(Vss)을 이용하여 제1에미션신호(EM(1))를 생성하는 역할을 한다.
- [0066] 즉, 종래에는 스캔신호와 에미션신호를 발생시키는 쉬프트 레지스터와 에미션 구동회로를 각각 구비하는 반면, 본 발명은 쉬프트 레지스터와 에미션 구동회로를 하나로 통합하여 게이트 구동부를 구성하는 것을 특징으로 한다.
- [0067] 조금 더 자세히 설명하면, 제1회로부(BL1)는 제1 내지 제 11트랜지스터(T1~T11)와 제1구동커패시터(Cd1)를 포함한다. 제1회로부(BL1)에 포함된 트랜지스터들의 연결관계를 설명하면 다음과 같다.
- [0068] 제1트랜지스터(T1)는 스타트전압(VST)이 공급되는 단자에 게이트전극이 접속되고, 고전위전압(Vdd)이 공급되는 단자에 드레인전극이 접속되고, 제2트랜지스터(T2)의 드레인전극에 소스전극이 접속된다.
- [0069] 제2트랜지스터(T2)는 제5게이트클록(GCLK5)이 공급되는 단자에 게이트전극이 접속되고, 제1트랜지스터(T1)의 소스전극에 드레인전극이 접속되고, 제3트랜지스터(T3)의 드레인전극에 소스전극이 접속된다.

- [0070] 제3트랜지스터(T3)는 고전위전압(Vdd)이 공급되는 단자에 게이트전극이 접속되고, 제2트랜지스터(T2)의 소스전극에 드레인전극이 접속되고, Q1노드(Q1)에 소스전극이 접속된다.
- [0071] 제4트랜지스터(T4)는 고전위전압(Vdd)이 공급되는 단자에 게이트전극이 접속되고, 제3트랜지스터(T3)의 소스전극에 드레인전극이 접속되고, 제6트랜지스터(T6)의 드레인전극에 소스전극이 접속된다.
- [0072] 제5트랜지스터(T5)는 고전위전압(Vdd)이 공급되는 단자에 게이트전극이 접속되고, Q1노드(Q1)에 드레인전극이 접속되고, 제9트랜지스터(T9)의 게이트전극에 소스전극이 접속된다.
- [0073] 제6트랜지스터(T6)는 도시한 바와 같이, 오프커런트(Off-current) 특성 향상을 위해 듀얼 게이트로 구성할 수 있다. 이하 설명의 편의상 듀얼 게이트로 구성된 트랜지스터를 싱글 게이트의 구성으로 설명하도록 한다.
- [0074] 제6트랜지스터(T6)는 QB1노드(QB1)에 게이트전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 소스전극이 접속되고, 제4트랜지스터(T4)의 소스전극에 드레인전극이 접속된다.
- [0075] 제7트랜지스터(T7)는 제3게이트클록(GCLK3)이 공급되는 단자에 게이트전극이 접속되고, 고전위전압(Vdd)이 인가되는 단자에 드레인전극이 접속되고, QB1노드(QB1)에 소스전극이 접속된다.
- [0076] 제8트랜지스터(T8)는 스타트전압(VST)이 공급되는 단자에 게이트전극이 연결되고, 제7트랜지스터(T7)의 소스전극에 드레인전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 소스전극이 접속된다.
- [0077] 제9트랜지스터(T9)는 제5트랜지스터(T5)의 소스전극에 게이트전극이 접속되고, QB1노드(QB1)에 드레인전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 소스전극이 접속된다.
- [0078] 제10트랜지스터(T10)는 Q1노드(Q1)에 게이트전극이 접속되고, 제1게이트클록(GCLK1)이 공급되는 단자에 드레인전극이 접속되고, 제1게이트라인(GL1)에 소스전극이 접속되어 제1출력노드(OUT1)를 구성한다. 이때, 게이트전극과 소스전극 사이에는 제1구동커패시터(Cd1)가 위치한다.
- [0079] 제11트랜지스터(T11)는 QB1노드(QB1)에 게이트전극이 접속되고, 제10트랜지스터(T10)의 소스전극에 드레인전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 소스전극이 접속된다.
- [0080] 제2회로부(BL2)는 제12 내지 제 22트랜지스터(T12~T22)와 제2구동커패시터(Cd2)를 포함한다. 제2회로부(BL2)에 포함된 트랜지스터들의 연결관계를 설명하면 다음과 같다.
- [0081] 제12트랜지스터(T12)는 제1에미션클록(ECLK1)이 공급되는 단자에 게이트전극이 접속되고, 고전위전압(Vdd)이 공급되는 단자에 드레인전극이 접속되고, Q2노드(Q2)에 소스전극이 접속된다.
- [0082] 제13트랜지스터(T13)는 제3에미션클록(ECLK3)이 공급되는 단자에 게이트전극이 접속되고, 스타트전압(VST)이 공급되는 단자에 드레인전극이 접속되고, QB2노드(QB2)에 소스전극이 접속된다.
- [0083] 제14트랜지스터(T14)는 QB2노드(QB2)에 게이트전극이 접속되고, Q2노드(Q2)에 드레인전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 소스전극이 접속된다.
- [0084] 제15트랜지스터(T15)는 에미션 리셋 전압(ERST)이 공급되는 단자에 게이트전극이 접속되고, 고전위전압(Vdd)이 공급되는 단자에 드레인전극이 접속되고, 제16트랜지스터(T16)의 드레인전극에 소스전극이 접속된다.
- [0085] 제16트랜지스터(T16)는 제1게이트라인(GL1)에 게이트전극이 접속되고, 제15트랜지스터(T15)의 소스전극에 드레인전극이 접속되고, QB2노드(QB2)에 소스전극이 접속된다.
- [0086] 제17트랜지스터(T17)는 제5에미션클록(ECLK5)이 공급되는 단자에 게이트전극이 접속되고, QB2노드(QB2)에 드레인전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 소스전극이 접속된다.
- [0087] 제18트랜지스터(T18)는 제1에미션라인(EL(1))에 게이트전극이 접속되고, 고전위전압(Vdd)이 공급되는 단자에 드레인전극이 접속되고, 제21트랜지스터(T21)의 소스전극 및 제22트랜지스터(T22)의 드레인전극에 소스전극이 접속된다.
- [0088] 제19트랜지스터(T19)는 제2에미션클록(ECLK2)이 공급되는 단자에 게이트전극이 접속되고, QB2노드(QB2)에 드레인전극이 접속되고, 저전위전압(Vdd)이 공급되는 단자에 소스전극이 접속된다.
- [0089] 제20트랜지스터(T20)는 Q2노드(Q2)에 게이트전극이 접속되고, 고전위전압(Vdd)이 공급되는 단자에 드레인전극이 접속되고, 제1에미션라인(EL(1))에 소스전극이 접속되어 제2출력노드(OUT2)를 구성한다. 이때, 게이트전극과 소

스천극 사이에는 제2구동커패시터(Cd2)가 위치한다.

[0090] 제21트랜지스터(T21)는 QB2노드(QB2)에 게이트전극이 접속되고, 제1에미션라인(EL(1))에 드레인전극이 접속되고, 제18트랜지스터(T18)의 소스전극에 소스전극이 접속된다.

[0091] 제22트랜지스터(T22)는 QB2노드(QB2)에 게이트전극이 접속되고, 제21트랜지스터(T21)의 소스전극에 드레인전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 소스전극이 접속된다.

[0092] 도 6b에 도시한 바와 같이, 제2스테이지(STG2)는 스타트전압(VST) 대신 제n스캔신호(Scan(n))를 이용하는 제1 및 제2회로부(BL1, BL2)를 포함한다. 그리고, 제2스테이지(STG2)의 제1 및 제2회로부(BL1, BL2)는 제1스테이지(STG1)의 제1 및 제2회로부(BL1, BL2)와 구성이 유사하며, 동일한 부분에 대한 설명은 생략한다.

[0093] 제2스테이지(STG2)의 제1회로부(BL1)에서, 제1트랜지스터(T1)는 스타트전압(VST)이 공급되는 단자 대신 제1스테이지(STG1)의 제1회로부(BL1)의 제1출력노드(OUT1)에 게이트가 연결된다. 제2트랜지스터(T2)는 제5게이트클록(GCLK5)이 공급되는 단자 대신 제1게이트클록(GCLK1)이 공급되는 단자에 게이트가 연결된다. 제7트랜지스터(T7)는 제3게이트클록(GCLK3)이 공급되는 단자 대신 제4게이트클록(GCLK4)이 공급되는 단자에 게이트가 연결된다. 제10트랜지스터(T10)는 제1게이트클록(GCLK1)이 공급되는 단자 대신 제2게이트클록(GCLK2)이 공급되는 단자에 드레인이 연결된다.

[0094] 그리고, 제2스테이지(STG2)의 제1출력노드(OUT1)는 제2게이트라인(GL2), 제2스테이지(STG2)의 제2회로부(BL2) 및 제3스테이지(STG3)의 제1회로부(BL1)에 연결되고, 제2스테이지(STG2)의 제1출력노드(OUT1)로부터 출력되는 제2스캔신호(Scan(2))는 제2게이트라인(GL2), 제2스테이지(STG2)의 제2회로부(BL2) 및 제3스테이지(STG3)의 제1회로부(BL1)에 공급된다.

[0095] 제2스테이지(STG2)의 제2회로부(BL2)에서, 제20트랜지스터(T20)는 제1에미션클록(ECLK1)이 공급되는 단자 대신 제2에미션클록(ECLK2)이 공급되는 단자에 게이트가 연결된다. 제13트랜지스터(T13)는 제3에미션클록(ECLK3)이 공급되는 단자 대신 제4에미션클록(ECLK4)이 공급되는 단자에 게이트가 연결되고, 스타트전압(VST)이 공급되는 단자 대신 제1출력노드(OUT1)에 드레인이 연결된다. 제17트랜지스터(T17)는 제5에미션클록(ECLK5)이 공급되는 단자 대신 제1에미션클록(ECLK1)이 공급되는 단자에 게이트가 연결된다. 제19트랜지스터(T19)는 제2에미션클록(ECLK2)이 공급되는 단자 대신 제3에미션클록(ECLK3)이 공급되는 단자에 게이트가 연결된다.

[0096] 그리고, 제2스테이지(STG2)의 제2출력노드(OUT2)는 제2에미션라인(EL2)에 연결되고, 제2스테이지(STG2)의 제2출력노드(OUT2)로부터 출력되는 제2에미션신호(EM(2))는 제2에미션라인(EL2)에 공급된다.

[0097] 도시하지는 않았지만, 나머지 스테이지(STG3 내지 STGp)도 제2스테이지(STG2)와 유사한 연결구조를 가지며, 제1 내지 제p스테이지(STG1 내지 STGp)는 서로 종속적인 접속관계를 이루며 각각의 출력 노드들을 통해 순차적으로 스캔신호 및 발광제어신호를 출력하게 된다.

[0098] 예를 들어, 임의의 제n스테이지(STGn)는, 고전위전압(Vdd), 저전위전압(Vss), 제(n-1)스캔신호(Scan(n-1)), 제1, 제3 및 제5게이트클록(GCLK1, GCLK3, GCLK5), 제1, 제2, 제3 및 제5에미션클록(ECLK1, ECLK2, ECLK3, ECLK5), 에미션 리셋 전압(ERST)을 이용하여 제n스캔신호(Scan(n))와 제n에미션신호(EM(n))를 출력하고, 제n스캔신호(Scan(n))와 제n에미션신호(EM(n))는 각각 제n수평화소열(HPLn)에 대응되는 제n게이트라인(GLn)과 제n에미션라인(ELn)에 공급될 수 있다.

[0099] 그리고, 임의의 제(n+1)스테이지(STG(n+1))는, 고전위전압(Vdd), 저전위전압(Vss), 제n스캔신호(Scan(n)), 제1, 제2 및 제4게이트클록(GCLK1, GCLK2, GCLK4), 제1, 제2, 제3 및 제4에미션클록(ECLK1, ECLK2, ECLK3, ECLK4), 에미션 리셋 전압(ERST)을 이용하여 제(n+1)스캔신호(Scan(n+1))와 제(n+1)에미션신호(EM(n+1))를 출력하고, 제(n+1)스캔신호(Scan(n+1))와 제(n+1)에미션신호(EM(n+1))는 각각 제(n+1)수평화소열(HPL(n+1))에 대응되는 제(n+1)게이트라인(GL(n+1))과 제(n+1)에미션라인(EL(n+1))에 공급될 수 있다.

[0100] 또한, 위의 설명에서는 트랜지스터가 N타입 트랜지스터인 것을 일례로 하였으나, 이들 중 하나 이상은 P타입 트랜지스터로 구성될 수 있다.

[0101] 이하, 도 7을 참조하여 게이트 구동부의 동작 특성에 대해 설명한다.

[0102] 도 7은 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 게이트 구동부의 동작 특성에 따른 타이밍도이다.

[0103] 먼저, 도 6a, 도 6b 및 도 7과 같이, 제1스테이지(STG1)의 제1회로부(BL1)에 스타트전압(VST)과 제5게이트클록(GCLK5)이 동기되어 입력되면 제1, 제2트랜지스터(T1, T2)가 턴-온되어 Q1노드(Q1)가 고전위전압(Vdd)에 해당하는 로직하이(High) 상태가 된다. 이에 연결된 제10트랜지스터(T10)도 로직하이(High)인 상태가 된다. 즉 준비(ready)상태가 된다. 이어서, 제1게이트클록(GCLK1)이 입력되면 준비상태였던 제10트랜지스터(T10)가 턴-온되고 제1스캔신호(Scan(1))를 출력하게 된다. 이때, 출력된 제1스캔신호(Scan(1))는 제1게이트라인(GL1)과 제2회로부(BL2)의 제16트랜지스터(T16) 및 제2스테이지(STG2)의 제1회로부(BL1)로 입력된다.

[0104] 그리고, 제2스테이지(STG2)의 제1회로부(BL1)에 제1스캔신호(Scan(1)) 및 제1게이트클록(GCLK1)이 입력되면 제1, 제2트랜지스터(T1, T2)가 턴-온되어 Q1노드(Q1)가 고전위전압(Vdd)에 해당하는 로직하이(High)상태가 된다. 이에 연결된 제10트랜지스터(T10)는 준비(ready)상태가 된다. 이어서, 제2게이트클록(GCLK2)이 입력되면 준비상태였던 제10트랜지스터(T10)가 턴-온되고 제2스캔신호(Scan(2))가 출력된다. 이때, 출력된 제2스캔신호(Scan(2))는 제2게이트라인(GL2)과 제2스테이지(STG2)의 제2회로부(BL2)의 제16트랜지스터(T16) 및 제3스테이지(STG3)의 제1회로부(BL1)로 입력된다.

[0105] 즉, 제2스테이지(STG2)의 제1회로부(BL1)는 제1스테이지(STG1)의 제1회로부(BL1)에서 출력된 제1스캔신호(Scan(1))를 스타트전압(VST)에 대응되는 전압으로 공급받아, 제2스캔신호(Scan(2))를 출력한다. 다시 말해, 제2스테이지(STG2)의 제1회로부(BL1)는 제1스테이지(STG1)의 제1회로부(BL1)의 제1스캔신호(Scan(1))를 기반으로 동작을 하게 된다. 따라서, 종속단에 위치하는 제3 내지 제p스테이지(STG3 내지 STGp)의 제1회로부(BL1)는 서로 종속적인 접속관계를 갖고, 이전 스테이지에서 출력되는 스캔신호를 기반으로 동작을 하게 된다.

[0106] 한편, 도 6a, 도 6b 및 도 7에 도시한 바와 같이, 제1스테이지(STG1)의 제2회로부(BL2)에 스타트전압(VST)과 제3에미션클록(ECLK3)이 동기되어 입력되면, 제21, 제22트랜지스터(T21, T22)가 턴-온되어 저전위전압(Vss)이 제1에미션신호(EM(1))로 출력된다. 즉 로직로우(Low) 상태의 제1에미션신호(EM(1))가 출력된다. 이어서, 제5에미션클록(ECLK5)이 입력되어 제21, 제22트랜지스터(T21, T22)가 턴-오프되어 제1에미션신호(EM(1))가 로직로우(Low) 상태로 유지(holding)된다.

[0107] 다음, 제1스테이지(STG1)의 제2회로부(BL2)에 제1에미션클록(ECLK1)이 인가되어, 제12 및 제20트랜지스터(T12, T20)가 턴-온되고, 고전위전압(Vdd)이 제1에미션신호(EM(1))로 출력된다. 즉, 로직로우(Low) 상태를 유지(holding)하던 제1에미션신호(EM(1))는 로직하이(High) 상태로 변경된다.

[0108] 다음, 제1스테이지(STG1)의 제2회로부(BL2)에 제1스캔신호(Scan(1))와 에미션 리셋 전압(ERST)이 인가되어 제15, 제16트랜지스터(T15, T16)가 턴-온되고 QB2노드(QB2)는 로직하이(High) 상태로 설정된다. 이에 제21, 제22트랜지스터(T21, T22)가 턴-온되어 저전위전압(Vss)이 제1에미션신호(EM(1))로 출력된다. 이에 따라, 로직하이(High)를 유지하던 제1에미션신호(EM(1))가 로직로우(Low) 상태로 설정된다.

[0109] 다음, 제1스테이지(STG1)의 제2회로부(BL)에 제1에미션클록(ECLK1)이 인가되어 로직하이(High) 상태를 갖는 제1에미션신호(EM(1))가 출력된다.

[0110] 그리고, 제2스테이지(STG2)의 제2회로부(BL2)에 제2스캔신호(Scan2)와 제4에미션클록(ECLK4)이 동기되어 입력되면, 제21, 제22트랜지스터(T21, T22)가 턴-온되어 저전위전압(Vss)이 제2에미션신호(EM2)로 출력된다. 즉 로직로우(Low) 상태의 제2에미션신호(EM2)가 출력된다. 이어서, 제1에미션클록(ECLK1)이 입력되어 제21, 제22트랜지스터(T21, T22)가 턴-오프되어 제2에미션신호(EM2)가 로직로우(Low) 상태로 유지(holding)된다.

[0111] 다음, 제2스테이지(STG2)의 제2회로부(BL2)에 제2에미션클록(ECLK2)이 인가되어 제12 및 제20트랜지스터(T12, T20)가 턴-온되고, 고전위전압(Vdd)이 제2에미션신호(EM2)로 출력된다. 즉, 로직로우(Low) 상태를 유지(holding)하던 제2에미션신호(EM2)는 로직하이(High) 상태로 변경된다.

[0112] 다음, 제2스테이지(STG2)의 제2회로부(BL2)에 제2스캔신호(Scan2)와 에미션 리셋 전압(ERST)이 인가되어 제15, 제16트랜지스터(T15, T16)가 턴-온되고 QB2노드(QB2)는 로직하이(High) 상태로 설정된다. 이에 제21, 제22트랜지스터(T21, T22)가 턴-온되어 저전위전압(Vss)이 제2에미션신호(EM2)로 출력된다. 이에 따라, 로직하이(High)를 유지하던 제2에미션신호(EM2)가 로직로우(Low) 상태로 설정된다.

[0113] 다음, 제2스테이지(STG2)의 제2회로부(BL2)에 제2에미션클록(ECLK2)이 인가되어 로직하이(High) 상태를 갖는 제2에미션신호(EM2)가 출력된다.

[0114] 이후의 회로부는 전술한 바와 같이, 종속적인 접속관계로 연결되어 발광제어신호를 순차적으로 출력하게 된다.

[0115] 여기서, 제n스캔신호(Scan(n))가 로직하이 상태를 갖고 제n에미션신호(EM(n))가 로직로우 상태를 갖는 초기화구간(TPinit) 동안 각 화소(도 4의 P)의 제3노드(도 4의 N3)는 초기화 된다. 그리고, 제n스캔신호(Scan(n))가 로직하이 상태를 갖고 제n에미션신호(EM(n))가 로직하이 상태를 갖는 샘플링구간(TPsamp) 동안 구동 트랜지스터(도 4의 DTr)의 문턱전압(Vth)은 제1화소커패시터(도 4의 Cp1)에 저장된다.

[0116] 한편, 종래의 경우 스캔신호 생성부에서 생성되는 스캔신호는 게이트라인으로 인가되고, 에미션신호 생성부는 에미션신호 생성부의 쉬프트 레지스터에서 생성되는 신호를 이용하여 인버터회로의 QB노드에 턴-온, 턴-오프을 제어하게 되는 것에 반해, 제1실시예에서는 각 스테이지의 제1회로부(BL1)에서 생성되는 제n스캔신호(Scan(n))를 제2회로부(BL2)의 제16트랜지스터(T16)에 공급하여 제2회로부(BL2)를 제어하게 되는 것으로, 제n스캔신호(Scan(n))가 로직로우(Low) 상태의 전압일 경우 QB2노드(QB2)의 전압이 플로팅(floating)되고, 이로 인해 제21, 제22트랜지스터(T21, T22)의 동작 특성이 불안정하게 되어 제n에미션신호(EM(n))가 불안정하게 작동하게 될 수 있다.

[0117] 이런 문제점을 해결하기 위해, 에미션 리셋 전압(ERST)과 제2에미션클록(ECLK2), 제5에미션클록(ECLK5)을 이용하여 QB2노드(QB2)를 일정한 전압으로 유지할 수 있게 제어한다. (제2, 제5에미션클록(ECLK2, ECLK5)가 입력되는 순서는 필요에 따라 변경할 수 있다.)

[0118] 즉, 제n에미션신호(EM(n))가 로직하이(High)인 경우 제1에미션클록(ECLK1)을 통하여 제12트랜지스터(T12)와 제20트랜지스터(T20)를 턴-온시키고 제2구동커패시터(Cd2)를 이용하여 부스팅하게 되고, 제n에미션신호(EM(n))가 로직로우(Low)인 경우 에미션 리셋 전압(ERST)과 제n스캔신호(Scan(n))를 이용하여 QB2노드(QB2)를 로직하이(High)로 설정하여 제21, 제22트랜지스터(T21, T22)를 턴-온시켜서 동작하게 된다.

[0119] 도 8은 본 발명의 제1실시예에 따른 유기발광다이오드 표시장치의 게이트 구동부가 패널에 실장되는 면적을 나타낸 도면이다.

[0120] 도 8에 도시한 바와 같이, 본 발명의 게이트 구동부는 제1회로부(BL1)와 제2회로부(BL2)를 포함하며 패널에 실장되어 있다.

[0121] 제1회로부(BL1)의 실장면적(W3)과 제2회로부(BL2)의 실장면적(W4)을 도 2의 종래의 게이트 구동부와 비교하면, 종래의 게이트 구동부는 스캔신호 생성부와 에미션신호 생성부를 합쳐 1100 μ m의 폭의 면적을 가지고 있으며, 본 발명의 게이트 구동부는 제1회로부(BL1)와 제2회로부(BL2)를 합쳐 865 μ m의 폭의 면적을 갖는다.

[0122] 즉 본 발명의 제1실시예의 게이트 구동부는 종래의 게이트 구동부보다 약 21.4%의 실장면적을 저감할 수 있는 효과를 갖는다. 또한, 게이트 구동부를 구성하는 회로가 줄어듦에 따라, 각 회로들에 인가되는 제어신호라인이 저감되어 네로우 베젤을 구현할 수 있는 효과를 갖는다.

[0123] 한편, 본 발명은 다른 화소 구조에도 적용할 수 있는데, 이를 도면을 참조하여 설명한다.

[0124] 도 9는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 제n수평 화소라인(n은 양의 정수)에 배치된 화소의 일 예를 도시한 도면이고, 도 10은 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 화소에 사용되는 신호의 과정도로서, 1화소가 6개의 트랜지스터와 1개의 커패시터를 포함하는 6T1C 구조를 나타낸다.

[0125] 제2실시예의 게이트 구동부와 유기발광다이오드 표시장치의 개략적 구성은 제1실시예와 동일하므로, 이에 대한 설명은 생략한다.

[0126] 도 9에 도시한 바와 같이, 화소(P)는 유기발광다이오드(E), 구동트랜지스터(DTr), 제1 내지 제5화소트랜지스터(PTr1 내지 PTr5) 및 화소커패시터(Cp)를 포함한다. 구동트랜지스터(DTr)와 제1 내지 제5화소트랜지스터(PTr1 내지 PTr5)는 N-type 또는 P-type의 MOSFET(Metal-Oxide Semiconductor Field Effect Transistor)으로 구현될 수 있는데, 이하에서는 P-type MOSFET를 기준으로 설명한다.

[0127] 구동트랜지스터(DTr)와 제1 내지 제5화소트랜지스터(PTr1 내지 PTr5)는 각각 게이트전극, 소스전극, 드레인전극을 포함하는데, 편의상 스위칭을 위한 신호가 인가되는 전극을 게이트전극, 고전위전압(Vdd)에 가까운 전극을

소스전극, 저전위전압(Vss)에 가까운 전극을 드레인전극으로 하여 설명한다.

[0128] 제1화소트랜지스터(PTr1)는 제n게이트라인(GLn)의 제n스캔신호(Scan(n))에 따라 제m데이터라인(DLm)의 제m데이터전압(Vdata(m))을 화소커패시터(Cp)에 인가하며, 이를 위하여 제1화소트랜지스터(PTr1)의 게이트전극, 소스전극, 드레인전극은 각각 제n게이트라인(GLn), 화소커패시터(Cp)의 일단, 제m데이터라인(DLm)에 연결된다.

[0129] 제2화소트랜지스터(PTr2)는 제n게이트라인(GLn)의 제n스캔신호(Scan(n))에 따라 초기화전압(Vinit)을 구동트랜지스터(DTr)의 게이트전극에 인가하며, 이를 위하여 제2화소트랜지스터(PTr2)의 게이트전극, 소스전극, 드레인전극은 각각 제n게이트라인(GLn), 구동트랜지스터(DTr)의 드레인전극 및 제4화소트랜지스터(PTr4)의 소스전극, 구동트랜지스터(DTr)의 게이트전극 및 화소커패시터(Cp)의 타단에 연결된다.

[0130] 여기서, 제2화소트랜지스터(PTr2)는 듀얼 게이트로 구성되어 있으나, 다른 실시예에서는 싱글 게이트로 구성할 수도 있다.

[0131] 제3화소트랜지스터(PTr2)는 제n에미션라인(ELn)의 제n에미션신호(EM(n))에 따라 초기화전압(Vinit)을 화소커패시터(Cp)의 일단에 인가하며, 이를 위하여 제3화소트랜지스터(PTr3)의 게이트전극, 소스전극, 드레인전극은 각각 제n에미션라인(ELn), 제1화소트랜지스터(PTr1)의 소스전극 및 화소커패시터(Cp)의 일단, 초기화전압(Vinit) 입력단 및 제5화소트랜지스터(PTr5)의 드레인전극에 연결된다.

[0132] 제4화소트랜지스터(PTr4)는 제n에미션라인(ELn)의 제n에미션신호(EM(n))에 따라 초기화전압(Vinit)을 화소커패시터(Cp)의 타단에 인가하고 고전위전압(Vdd)을 유기발광다이오드(E)의 애노드에 인가하며, 이를 위하여 제4화소트랜지스터(PTr4)의 게이트전극, 소스전극, 드레인전극은 각각 제n에미션라인(ELn), 제2화소트랜지스터(PTr2)의 소스전극 및 구동트랜지스터(DTr)의 드레인전극, 제5화소트랜지스터(PTr5)의 드레인전극 및 유기발광다이오드(E)의 애노드에 연결된다.

[0133] 제5화소트랜지스터(PTr5)는 제n게이트라인(GLn)의 제n스캔신호(Scan(n))에 따라 초기화전압(Vinit)을 구동트랜지스터(DTr)의 게이트에 인가하며, 이를 위하여 제5화소트랜지스터(PTr5)의 게이트전극, 소스전극, 드레인전극은 각각 제n게이트라인(GLn), 제4화소트랜지스터(PTr4)의 드레인전극 및 유기발광다이오드(E)의 애노드, 초기화전압(Vinit) 입력단 및 제3화소트랜지스터(PTr3)의 드레인전극에 연결된다.

[0134] 구동트랜지스터(DTr)는 화소커패시터(Cp)의 타단의 전압에 따라 고전위전압(Vdd)을 유기발광다이오드(E)의 애노드에 인가하고, 이를 위하여 구동트랜지스터(DTr)의 게이트전극, 소스전극, 드레인전극은 각각 화소커패시터(Cp)의 타단 및 제2화소트랜지스터(PTr2)의 드레인, 고전위전압(Vdd) 입력단. 제2화소트랜지스터(PTr2)의 소스전극 및 제4화소트랜지스터(PTr4)의 소스전극에 연결된다.

[0135] 화소커패시터(Cp)는 제m데이터전압(Vdata(m))과 구동트랜지스터(DTr)의 문턱전압(Vth)을 저장하고, 이를 위하여 화소커패시터(Cp)의 일단, 타단은 각각 제1화소트랜지스터(PTr1)의 소스전극 및 제3화소트랜지스터(PTr3)의 소스전극, 구동트랜지스터(DTr)의 게이트전극 및 제2화소트랜지스터(PTr2)의 드레인전극에 연결된다.

[0136] 유기발광다이오드(E)는 고전위전압(Vdd) 입력단과 저전위전압(Vss) 입력단 사이에 흐르는 구동전류에 의해 발광하며, 이를 위하여 유기발광다이오드(E)의 애노드 및 캐소드는 각각 구동트랜지스터(DTr)의 드레인전극 및 제2화소트랜지스터(PTr)의 소스전극, 저전위전압(Vss) 입력단에 연결된다.

[0137] 도 10에 도시한 바와 같이, 초기화구간인 제1구간(TP1) 동안, 로우레벨의 제n스캔신호(Scan(n))에 의하여 제1, 제2, 제5화소트랜지스터(PTr1, PTr2, PTr5)가 턴-온되고, 로우레벨의 제n에미션신호(EM(n))에 의하여 제3, 제4화소트랜지스터(PTr3, PTr4)가 턴-온되어, 화소커패시터(Cp)의 양단과 구동트랜지스터(DTr)의 게이트전극이 초기화전압(Vinit)으로 충전된다.

[0138] 샘플링 및 기입구간인 제2구간(TP2) 동안, 로우레벨의 제n스캔신호(Scan(n))에 의하여 제1, 제2, 제5화소트랜지스터(PTr1, PTr2, PTr5)가 턴-온되고, 하이레벨의 제n에미션신호(EM(n))에 의하여 제3, 제4화소트랜지스터(PTr3, PTr4)가 턴-오프되어, 제m데이터전압(Vdata(m)) 및 문턱전압(Vth)이 화소커패시터(Cp)에 저장된다.

[0139] 홀딩구간인 제3구간(TP3) 동안, 하이레벨의 제n스캔신호(Scan(n))에 의하여 제1, 제2, 제5화소트랜지스터(PTr1, PTr2, PTr5)가 턴-오프되고, 하이레벨의 제n에미션신호(EM(n))에 의하여 제3, 제4화소트랜지스터(PTr3, PTr4)가 턴-오프되어, 구동트랜지스터(DTr)의 게이트전극의 전압이 제n데이터전압(Vdata(n)) 및 문턱전압(Vth)으로 유지된다.

[0140] 에미션구간인 제4구간(TP4) 동안, 하이레벨의 제n스캔신호(Scan(n))에 의하여 제1, 제2, 제5화소트랜지스터

(PTr1, PTr2, PTr5)가 턴-오프되고, 로우레벨의 제n에미션신호(EM(n))에 의하여 제3, 제4화소트랜지스터(PTr3, PTr4)가 턴-온되어, 제n데이터전압(Vdata(n)) 및 문턱전압(Vth)에 대응되는 전류가 구동트랜지스터(DTr)를 흐르고, 유기발광다이오드(E)가 발광한다.

[0141] 이러한 화소를 구동하기 위한 게이트 구동부를 도면을 참조하여 설명한다.

[0142] 도 11은 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 게이트 구동부의 제1스테이지의 구성을 나타낸 도면으로, 제1스테이지와 제2 내지 제p스테이지의 종속접속 구성은 제1실시예와 동일하므로 이에 대한 설명은 생략한다.

[0143] 도 11에 도시된 바와 같이, 제1스테이지(STG1)는 제1회로부(BL1), 제2회로부(BL2)를 포함한다.

[0144] 제1회로부(BL1)는 스타트전압(VST), 제1게이트클록(GCLK1), 제3게이트 클록(GCLK3), 제4게이트클록(GCLK4), 고전위전압(Vdd), 저전위전압(Vdd) 및 Q노드 리셋 전압(QRST)을 이용하여 제1스캔신호(Scan(1))를 생성하는 역할을 한다.

[0145] 제2회로부(BL2)는 제1회로부(BL1)에서 생성된 제1스캔신호(Scan(1)), 제2에미션클록(ECLK2), 에미션 리셋 전압(ERST), 고전위전압(Vdd) 및 저전위전압(Vss)을 이용하여 제1에미션신호(EM(1))를 생성하는 역할을 한다.

[0146] 즉, 종래에는 스캔신호와 에미션신호를 발생시키는 쉬프트 레지스터와 에미션 구동회로를 별도로 형성하여 게이트 구동부를 구성하는 반면, 제2실시예에서는 쉬프트 레지스터와 에미션 구동회로를 하나로 통합하여 게이트 구동부를 구성하는 것을 특징으로 한다.

[0147] 구체적으로, 제1회로부(BL1)는 제1 내지 제 13트랜지스터(T1~T13)와 제1구동커패시터(Cd1)를 포함한다.

[0148] 제1트랜지스터(T1)는 스타트전압(VST)이 공급되는 단자에 게이트전극이 접속되고, 고전위전압(Vdd)이 공급되는 단자에 소스전극이 접속되고, 제2트랜지스터(T2)의 소스전극에 드레인전극이 접속된다.

[0149] 제2트랜지스터(T2)는 제4게이트클록(GCLK4)이 공급되는 단자에 게이트전극이 접속되고, 제1트랜지스터(T1)의 드레인전극에 소스전극이 접속되고, 제3트랜지스터(T3)의 소스전극에 드레인전극이 접속된다.

[0150] 제3트랜지스터(T3)는 고전위전압(Vdd)이 공급되는 단자에 게이트전극이 접속되고, 제2트랜지스터(T2)의 드레인전극에 소스전극이 접속되고, Q1노드(Q1)에 드레인전극이 접속된다.

[0151] 제4트랜지스터(T4)는 고전위전압(Vdd)이 공급되는 단자에 게이트전극이 접속되고, Q1노드(Q1)에 소스전극이 접속되고, 제7트랜지스터(T7)의 소스전극에 드레인전극이 접속된다.

[0152] 제5트랜지스터(T5)는 고전위전압(Vdd)이 공급되는 단자에 게이트전극이 접속되고, Q1노드(Q1)에 소스전극이 접속되고, 제8트랜지스터(T8)의 소스전극에 드레인전극이 접속된다.

[0153] 제6트랜지스터(T6)는 고전위전압(Vdd)이 공급되는 단자에 게이트전극이 접속되고, Q1노드(Q1)에 소스전극이 접속되고, 제10트랜지스터(T10)의 게이트전극에 드레인전극이 접속된다.

[0154] 제7트랜지스터(T7)는 Q노드 리셋 전압(QRST)이 공급되는 단자에 게이트전극이 접속되고, 제4트랜지스터(T4)의 드레인전극에 소스전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 드레인전극이 접속된다.

[0155] 제8트랜지스터(T8)는 QB1노드(QB1)에 게이트전극이 접속되고, 제5트랜지스터(T5)의 드레인전극에 소스전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 드레인전극이 접속된다.

[0156] 제9트랜지스터(T9)는 제3게이트클록(GCLK3)이 공급되는 단자에 게이트전극이 접속되고, 고전위전압(Vdd)이 공급되는 단자에 소스전극이 접속되고, QB1노드(QB1)에 드레인전극이 접속된다.

[0157] 제10트랜지스터(T10)는 스타트전압(VST)이 공급되는 단자에 게이트전극이 연결되고, QB1노드(QB1)에 소스전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 드레인전극이 접속된다.

[0158] 제11트랜지스터(T11)는 제6트랜지스터(T6)의 드레인전극에 게이트전극이 접속되고, QB1노드(QB1)에 소스전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 드레인전극이 접속된다.

[0159] 여기서, 제7 내지 제11트랜지스터(T7 내지 T11)는 듀얼 게이트로 구성되어 있으나, 다른 실시예에서는 싱글 게이트로 구성할 수도 있다.

- [0160] 제12트랜지스터(T11)는 Q1노드(Q1)에 게이트전극이 접속되고, 제1게이트클록(GCLK1)이 공급되는 단자에 소스전극이 접속되고, 제1케이트라인(GL1)에 드레인전극이 접속되어 제1출력노드(OUT1)를 구성한다. 이때, 게이트전극과 드레인전극 사이에는 제1구동커패시터(Cd1)가 위치한다.
- [0161] 제13트랜지스터(T13)는 QB1노드(QB1)에 게이트전극이 접속되고, 제12트랜지스터(T12)의 드레인전극에 소스전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 드레인전극이 접속된다.
- [0162] 그리고, 제2회로부(BL2)는 제14 내지 제 22트랜지스터(T13~T21)와 제2구동커패시터(Cd2)를 포함한다.
- [0163] 제14트랜지스터(T14)는 제2에미션클록(ECLK2)이 공급되는 단자에 게이트전극이 접속되고, 고전위전압(Vdd)이 공급되는 단자에 소스전극이 접속되고, Q2노드(Q2)에 드레인전극이 접속된다.
- [0164] 제15트랜지스터(T15)는 제1케이트라인(GL1)에 게이트전극이 접속되고, 에미션 리셋 전압(QRST)이 공급되는 단자에 소스전극이 접속되고, QB2노드(QB2)에 드레인전극이 접속된다.
- [0165] 제16트랜지스터(T16)는 QB2노드(QB2)에 게이트전극이 접속되고, Q2노드(Q2)에 소스전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 드레인전극이 접속된다.
- [0166] 제17트랜지스터(T17)는 제2에미션클록(ECLK2)이 공급되는 단자에 게이트전극이 접속되고, QB2노드(QB2)에 소스전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 드레인전극이 접속된다.
- [0167] 제18트랜지스터(T18)는 제1에미션라인(EL(1))에 게이트전극이 접속되고, 고전위전압(Vdd)이 공급되는 단자에 소스전극이 접속되고, Q2노드(Q2)에 드레인전극이 접속된다.
- [0168] 제19트랜지스터(T19)는 제1에미션라인(EL(1))에 게이트전극이 접속되고, 고전위전압(Vss)이 공급되는 단자에 소스전극이 접속되고, 제21트랜지스터(T21)의 드레인전극 및 제22트랜지스터(T22)의 소스전극에 드레인전극이 접속된다.
- [0169] 제20트랜지스터(T20)는 Q2노드(Q2)에 게이트전극이 접속되고, 고전위전압(Vdd)이 공급되는 단자에 소스전극이 접속되고, 제1에미션라인(EL(1))에 드레인전극이 접속되어 제2출력노드(OUT2)를 구성한다. 이때, 게이트전극과 드레인전극 사이에는 제2구동커패시터(Cd2)가 위치한다.
- [0170] 제21트랜지스터(T21)는 QB2노드(QB2)에 게이트전극이 접속되고, 제1에미션라인(EL(1))에 소스전극이 접속되고, 제19트랜지스터(T19)의 드레인전극 및 제22트랜지스터(T22)의 소스전극에 드레인전극이 접속된다.
- [0171] 제22트랜지스터(T22)는 QB2노드(QB2)에 게이트전극이 접속되고, 제19트랜지스터(T19)의 드레인전극 및 제21트랜지스터(T21)의 드레인전극에 소스전극이 접속되고, 저전위전압(Vss)이 공급되는 단자에 드레인전극이 접속된다.
- [0172] 도시하지는 않았지만, 제2스테이지(STG2)는 스타트전압(VST) 대신 제n스캔신호(Scan(n))를 이용하는 제1 및 제2회로부(BL1, BL2)를 포함한다. 그리고, 제2스테이지(STG2)의 제1 및 제2회로부(BL1, BL2)는 제1스테이지(STG1)의 제1 및 제2회로부(BL1, BL2)와 유사한 구성을 갖는다.
- [0173] 제2스테이지(STG2)의 제1회로부(BL1)에서, 제1트랜지스터(T1)는 스타트전압(VST)이 공급되는 단자 대신 제1스테이지(STG1)의 제1회로부(BL1)의 제1출력노드(OUT1)에 게이트가 연결된다. 제2트랜지스터(T2)는 제4게이트클록(GCLK4)이 공급되는 단자 대신 제1게이트클록(GCLK1)이 공급되는 단자에 게이트가 연결된다. 제4트랜지스터(T9)는 제3게이트클록(GCLK3)이 공급되는 단자 대신 제4게이트클록(GCLK4)이 공급되는 단자에 게이트가 연결된다.
- [0174] 그리고, 제2스테이지(STG2)의 제1출력노드(OUT1)는 제2케이트라인(GL2), 제2스테이지(STG2)의 제2회로부(BL2) 및 제3스테이지(STG3)의 제1회로부(BL1)에 연결되고, 제2스테이지(STG2)의 제1출력노드(OUT1)로부터 출력되는 제2스캔신호(Scan(2))는 제2케이트라인(GL2), 제2스테이지(STG2)의 제2회로부(BL2) 및 제3스테이지(STG3)의 제1회로부(BL1)에 공급된다.
- [0175] 제2스테이지(STG2)의 제2회로부(BL2)에서, 제14 및 제17트랜지스터(T14, T17)는 각각 제2에미션클록(ECLK2)이 공급되는 단자 대신 제3에미션클록(ECLK3)이 공급되는 단자에 게이트가 연결된다.
- [0176] 그리고, 제2스테이지(STG2)의 제2출력노드(OUT2)는 제2에미션라인(EL2)에 연결되고, 제2스테이지(STG2)의 제2출력노드(OUT2)로부터 출력되는 제2에미션신호(EM(2))는 제2에미션라인(EL2)에 공급된다.
- [0177] 도시하지는 않았지만, 나머지 스테이지(STG3 내지 STGp)도 제2스테이지(STG2)와 유사한 연결구조를 가지며, 제1

내지 제p스테이지(STG1 내지 STGp)는 서로 종속적인 접속관계를 이루며 각각의 출력 노드들을 통해 순차적으로 스캔신호 및 발광제어신호를 출력하게 된다.

[0178] 예를 들어, 임의의 제n스테이지(STGn)는, 고전위전압(Vdd), 저전위전압(Vss), 제(n-1)스캔신호(Scan(n-1)), 제1, 제3 및 제4게이트클록(GCLK1, GCLK3, GCLK4), Q노드 리셋 전압(QRST), 제2에미션클록(ECLK2), 에미션 리셋 전압(ERST)을 이용하여 제n스캔신호(Scan(n))와 제n에미션신호(EM(n))를 출력하고, 제n스캔신호(Scan(n))와 제n에미션신호(EM(n))는 각각 제n수평화소열(HPLn)에 대응되는 제n게이트라인(GLn)과 제n에미션라인(ELn)에 공급될 수 있다.

[0179] 그리고, 임의의 제(n+1)스테이지(STG(n+1))는, 고전위전압(Vdd), 저전위전압(Vss), 제n스캔신호(Scan(n)), 제1, 제2 및 제4게이트클록(GCLK1, GCLK2, GCLK4), Q노드 리셋 전압(QRST), 제3에미션클록(ECLK3), 에미션 리셋 전압(ERST)을 이용하여 제(n+1)스캔신호(Scan(n+1))와 제(n+1)에미션신호(EM(n+1))를 출력하고, 제(n+1)스캔신호(Scan(n+1))와 제(n+1)에미션신호(EM(n+1))는 각각 제(n+1)수평화소열(HPL(n+1))에 대응되는 제(n+1)게이트라인(GL(n+1))과 제(n+1)에미션라인(EL(n+1))에 공급될 수 있다.

[0180] 또한, 위의 설명에서는 트랜지스터가 P타입 트랜지스터인 것을 일례로 하였으나, 이들 중 하나 이상은 N타입 트랜지스터로 구성될 수 있다.

[0181] 이러한 게이트 구동부의 동작 특성을 도면을 참조하여 설명한다.

[0182] 도 12는 본 발명의 제2실시예에 따른 유기발광다이오드 표시장치의 게이트 구동부의 동작 특성에 따른 타이밍도로서, 도 11을 함께 참조하여 설명한다.

[0183] 도 12에 도시한 바와 같이, 제1스테이지(STG1)의 제1회로부(BL1)에 스타트전압(VST)과 제4게이트클록(GCLK4)이 동기되어 입력되면 제1, 제2트랜지스터(T1, T2)가 턴-온되어 Q1노드(Q1)가 고전위전압(Vdd)에 해당하는 로직하이 상태가 된다. 이에 연결된 제12트랜지스터(T12)도 로직하이 상태가 된다. 즉 준비 상태가 된다. 이어서, 제1게이트클록(GCLK1)이 입력되면 준비상태였던 제12트랜지스터(T12)가 턴-온되고 제1스캔신호(Scan(1))를 출력하게 된다. 이때, 출력된 제1스캔신호(Scan(1))는 제1게이트라인(GL1)과 제2회로부(BL2)의 제15트랜지스터(T15) 및 제2스테이지(STG2)의 제1회로부(BL1)로 입력된다.

[0184] 도시하지는 않았지만, 제2스테이지(STG2)의 제1회로부(BL1)에 제1스캔신호(Scan(1)) 및 제1게이트클록(GCLK1)이 입력되면 제1, 제2트랜지스터(T1, T2)가 턴-온되어 Q1노드(Q1)가 고전위전압(Vdd)에 해당하는 로직하이 상태가 되고, Q1노드(Q1)에 연결된 제12트랜지스터(T12)는 준비 상태가 된다. 이어서, 제2게이트클록(GCLK2)이 입력되면 준비상태였던 제12트랜지스터(T12)가 턴-온되고 제2스캔신호(Scan(2))가 출력된다. 이때, 출력된 제2스캔신호(Scan(2))는 제2게이트라인(GL2)과 제2스테이지(STG2)의 제2회로부(BL2)의 제15트랜지스터(T15) 및 제3스테이지(STG3)의 제1회로부(BL1)로 입력된다.

[0185] 즉, 제2스테이지(STG2)의 제1회로부(BL1)는 제1스테이지(STG1)의 제1회로부(BL1)에서 출력된 제1스캔신호(Scan(1))를 스타트전압(VST)에 대응되는 전압으로 공급받아, 제2스캔신호(Scan(2))를 출력한다. 다시 말해, 제2스테이지(STG2)의 제1회로부(BL1)는 제1스테이지(STG1)의 제1회로부(BL1)의 제1스캔신호(Scan(1))를 기반으로 동작을 하게 된다. 따라서, 종속단에 위치하는 제3 내지 제p스테이지(STG3 내지 STGp)의 제1회로부(BL1)는 서로 종속적인 접속관계를 갖고, 이전 스테이지에서 출력되는 스캔신호를 기반으로 동작을 하게 된다.

[0186] 한편, 제1스테이지(STG1)의 제2회로부(BL2)에 로직로우 상태의 제1스캔신호(Scan(1)) 및 로직하이 상태의 에미션 리셋 전압(ERST)이 입력되면, 제21, 제22트랜지스터(T21, T22)가 턴-오프되고, 제1에미션신호(EM(1))는 이전의 로직로우 상태를 유지한다.

[0187] 다음, 제1스테이지(STG1)의 제2회로부(BL2)에 로직로우 상태의 제1스캔신호(Scan(1)) 및 로직로우 상태의 에미션 리셋 전압(ERST)이 입력되면, 제20트랜지스터(T20)가 턴-온되고, 고전위전압(Vdd)이 제1에미션신호(EM(1))로 출력된다. 즉, 로직로우 상태를 유지하던 제1에미션신호(EM(1))는 로직하이 상태로 변경된다.

[0188] 다음, 제1스테이지(STG1)의 제2회로부(BL2)에 로직하이 상태의 제1스캔신호(Scan(1))가 입력되면, 제15트랜지스터(T15)가 턴-오프되고, 제1에미션신호(EM(1))는 이전의 로직하이 상태를 유지한다.

[0189] 다음, 제1스테이지(STG1)의 제2회로부(BL)에 제2에미션클록(ECLK2)이 입력되면, 제21 및 제22트랜지스터(T21, T22)가 턴-온되고, 로직하이 상태를 유지하던 제1에미션신호(EM(1))는 로직로우 상태로 변경된다.

- [0190] 도시하지는 않았지만, 제2스테이지(STG2)의 제2회로부(BL2)에 로직로우 상태의 제2스캔신호(Scan(2)) 및 로직하이 상태의 에미션 리셋 전압(ERST)이 입력되면, 제21, 제22트랜지스터(T21, T22)가 턴-오프되고, 제2에미션신호(EM2)는 이전의 로직로우 상태를 유지한다.
- [0191] 다음, 제2스테이지(STG2)의 제2회로부(BL2)에 로직로우 상태의 제2스캔신호(Scan(2)) 및 로직로우 상태의 에미션 리셋 전압(ERST)이 입력되면, 제20트랜지스터(T20)가 턴-온되고, 고전위전압(Vdd)이 제2에미션신호(EM2)로 출력된다. 즉, 로직로우 상태를 유지하던 제2에미션신호(EM2)는 로직하이 상태로 변경된다.
- [0192] 다음, 제2스테이지(STG2)의 제2회로부(BL2)에 로직하이 상태의 제2스캔신호(Scan(2))가 입력되면, 제15트랜지스터(T15)가 턴-오프되고, 제2에미션신호(EM2)는 이전의 로직하이 상태를 유지한다.
- [0193] 다음, 제2스테이지(STG2)의 제2회로부(BL)에 제3에미션클록(ECLK3)이 입력되면, 제21 및 제22트랜지스터(T21, T22)이 턴-온되고, 로직하이 상태를 유지하던 제2에미션신호(EM2)는 로직로우 상태로 변경된다.
- [0194] 이후의 회로부는 전술한 바와 같이, 종속적인 접속관계로 연결되어 발광제어신호를 순차적으로 출력하게 된다.
- [0195] 여기서, 제n스캔신호(Scan(n))가 로직로우 상태를 갖고 제n에미션신호(EM(n))가 로직로우 상태를 갖는 제1구간(TP1) 동안 각 화소(도 9의 P)의 구동 트랜지스터(도 9의 DTr)의 게이트전극은 초기화 된다. 그리고, 제n스캔신호(Scan(n))가 로직로우 상태를 갖고 제n에미션신호(EM(n))가 로직하이 상태를 갖는 제2구간(TP2) 동안 제m데이터전압(Vdata(m))과 구동 트랜지스터(도 9의 DTr)의 문턱전압(Vth)은 화소커패시터(도 9의 Cp)에 저장된다. 그리고, 제n스캔신호(Scan(n))가 로직하이 상태를 갖고 제n에미션신호(EM(n))가 로직하이 상태를 갖는 제3구간(TP3) 동안 구동 트랜지스터(도 9의 DTr)의 게이트전극에는 제m데이터전압(Vdata(m))과 구동 트랜지스터(도 9의 DTr)의 문턱전압(Vth)이 유지된다. 그리고, 제n스캔신호(Scan(n))가 로직하이 상태를 갖고 제n에미션신호(EM(n))가 로직로우 상태를 갖는 제4구간(TP4) 동안 유기발광다이오드(도 9의 E)는 발광한다.
- [0196] 한편, 종래의 경우 스캔신호 생성부에서 생성되는 스캔신호는 게이트라인으로 인가되고, 에미션신호 생성부는 에미션신호 생성부의 쉬프트 레지스터에서 생성되는 신호를 이용하여 인버터회로의 QB노드에 턴-온, 턴-오프를 제어하게 되는 것에 반해, 제2실시예에서는 각 스테이지의 제1회로부(BL1)에서 생성되는 제n스캔신호(Scan(n))를 제2회로부(BL2)의 제14트랜지스터(T14)에 공급하여 제2회로부(BL2)를 제어하게 되는 것으로, 제n스캔신호(Scan(n))가 로직하이 상태인 경우 QB2노드(QB2)의 전압이 플로팅(floating)되고, 이로 인해 제21, 제22트랜지스터(T21, T22)의 동작 특성이 불안정하게 되어 제n에미션신호(EM(n))가 불안정하게 작동하게 될 수 있다.
- [0197] 이런 문제점을 해결하기 위해, 제1 내지 제4에미션클록(ECLK1 내지 ECLK4)과 제17트랜지스터(T17)를 이용하여 QB2노드(QB2)를 일정한 전압으로 유지할 수 있게 제어한다. (제2에미션클록(ECLK2)가 입력되는 순서는 필요에 따라 변경할 수 있다.)
- [0198] 즉, 제n에미션신호(EM(n))가 로직로우 상태인 경우 제2에미션클록(ECLK2)을 이용하여 QB2노드(QB2)를 로직로우 상태로 설정하여 제21, 제22트랜지스터(T21, T22)를 턴-온시켜서 동작하게 하고, 제n에미션신호(EM(n))가 로직하이 상태인 경우 에미션 리셋 전압(ERST)에 의하여 제20트랜지스터(T20)를 턴-온시키고 제2구동커패시터(Cd2)를 이용하여 부스팅한다.
- [0199] 본 발명의 제2실시예에 따른 게이트 구동부는 제1회로부(BL1)와 제2회로부(BL2)를 합쳐서 약 841 μ m의 폭을 갖는 실장영역에 배치되는 반면, 종래의 게이트 구동부는 약 1150 μ m의 폭을 갖는 실장영역에 배치된다. 따라서, 본 발명의 제2실시예의 게이트 구동부는 종래의 게이트 구동부보다 약 26.9%의 실장면적을 저감할 수 있는 효과를 갖는다. 또한, 게이트 구동부를 구성하는 회로가 줄어듦에 따라, 각 회로들에 인가되는 제어신호라인이 저감되어 네로우 베젤을 구현할 수 있는 효과를 갖는다.

부호의 설명

- [0200] VST : 스타트전압 VDD : 고전위전압
VSS : 저전위전압 GCLK : 게이트클록

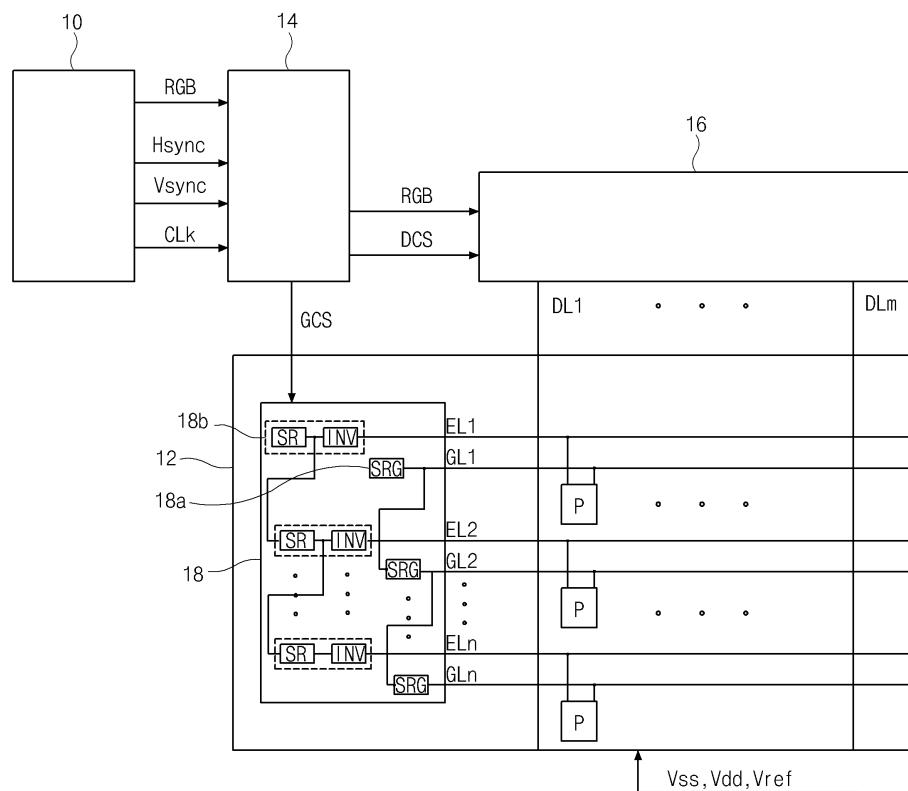
ECLK : 에미션클록 ERST : 에미션 리셋 전압

Scan(n) : 스캔신호 EM(n) : 에미션신호

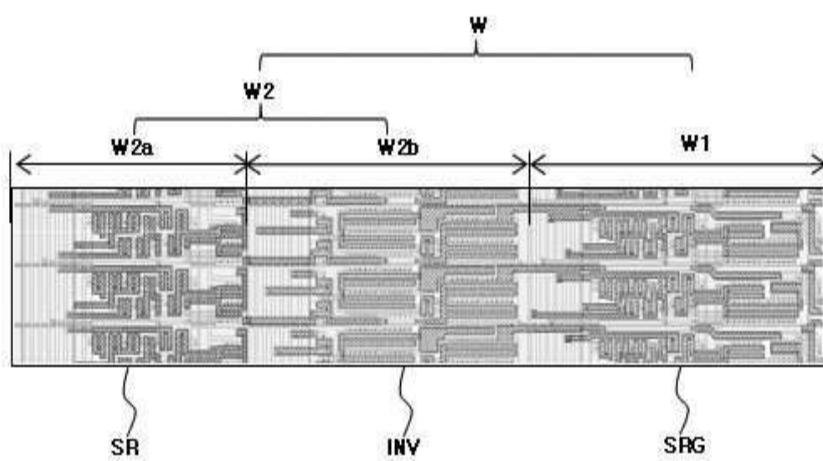
BL1 : 제1회로부 BL2 : 제2회로부

도면

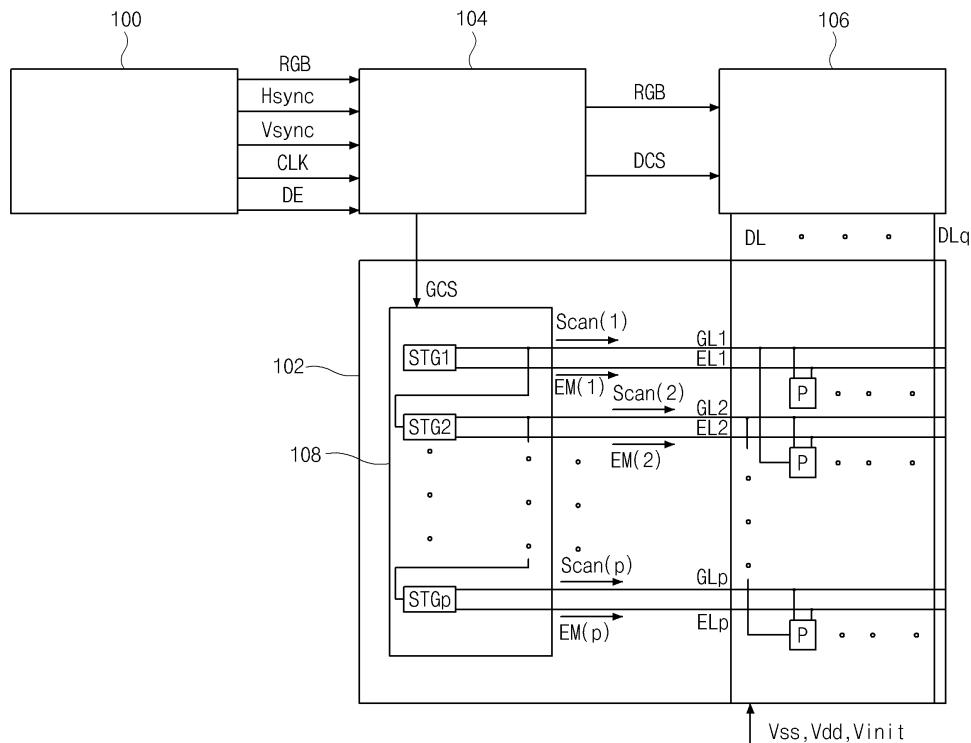
도면1



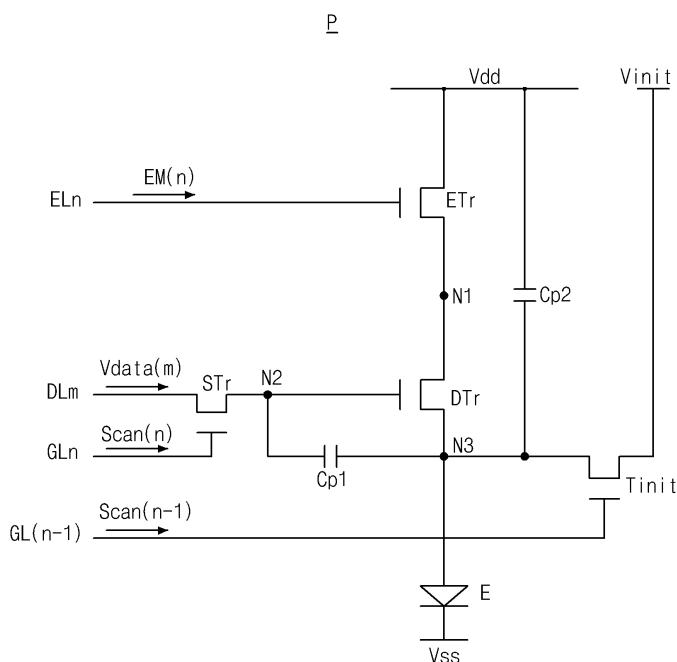
도면2



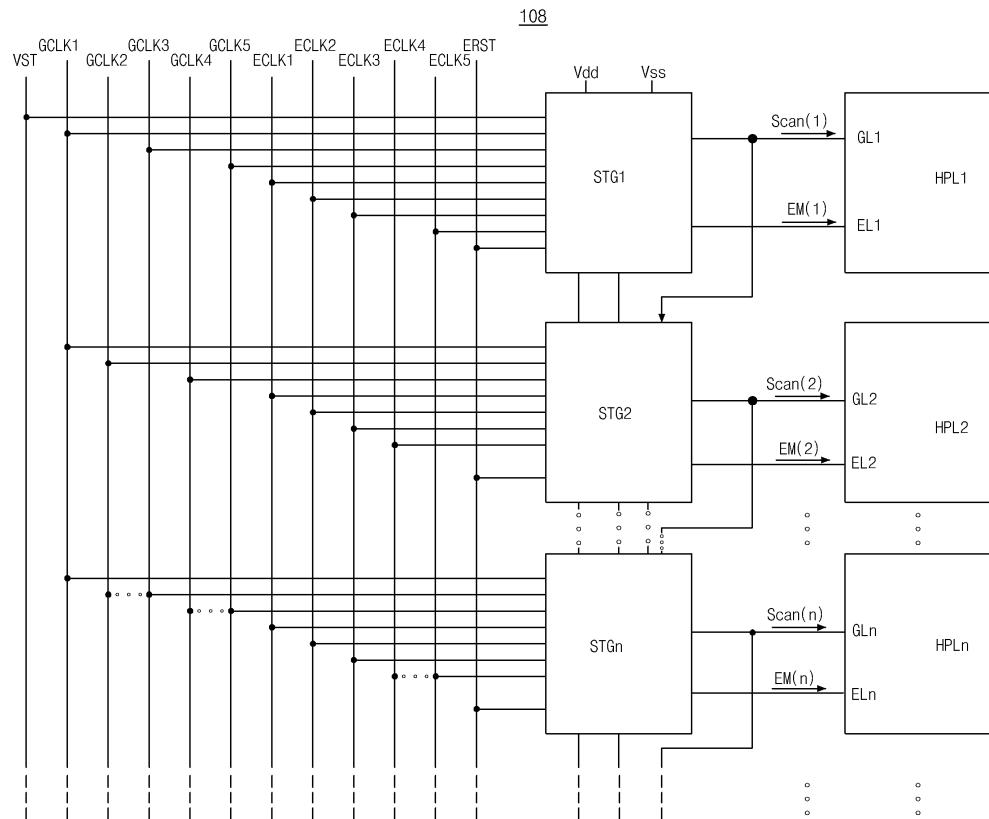
도면3



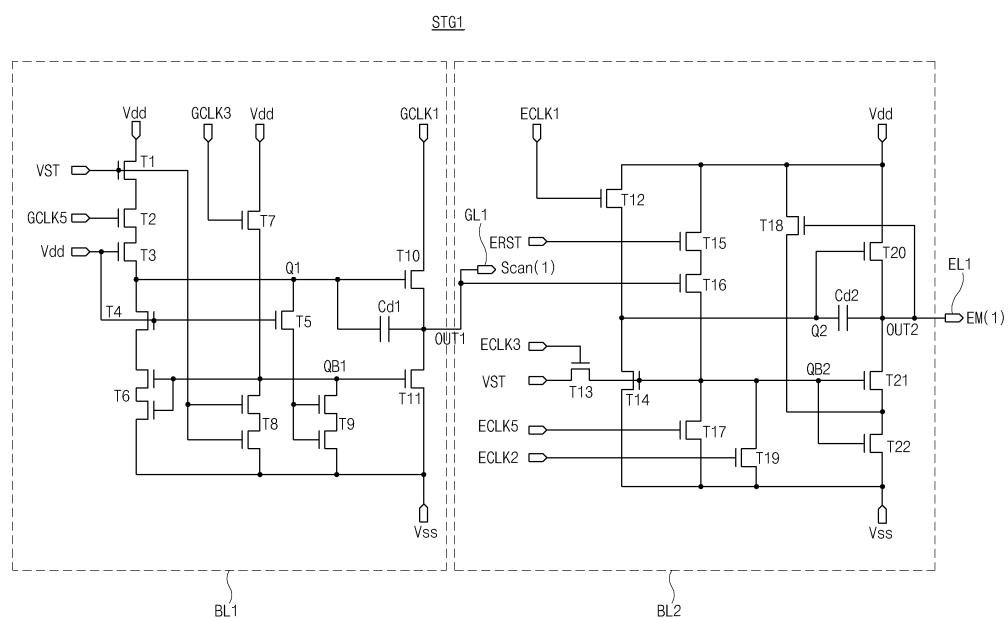
도면4



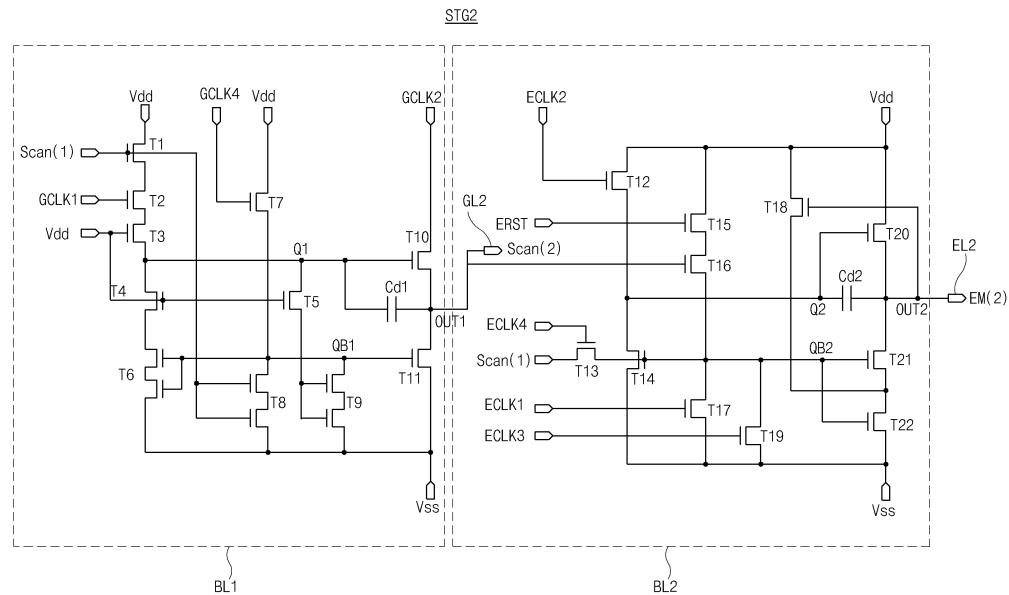
도면5



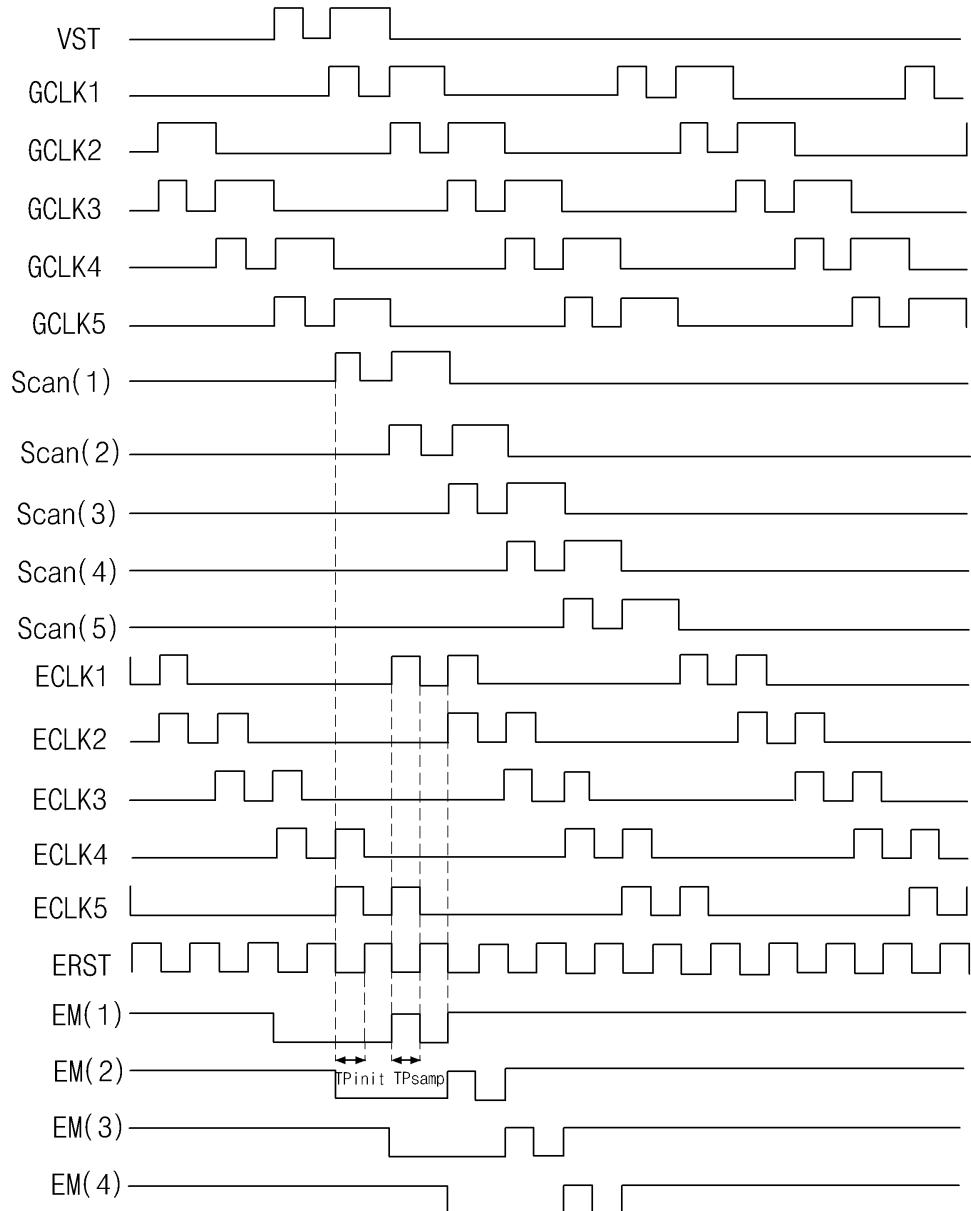
도면6a



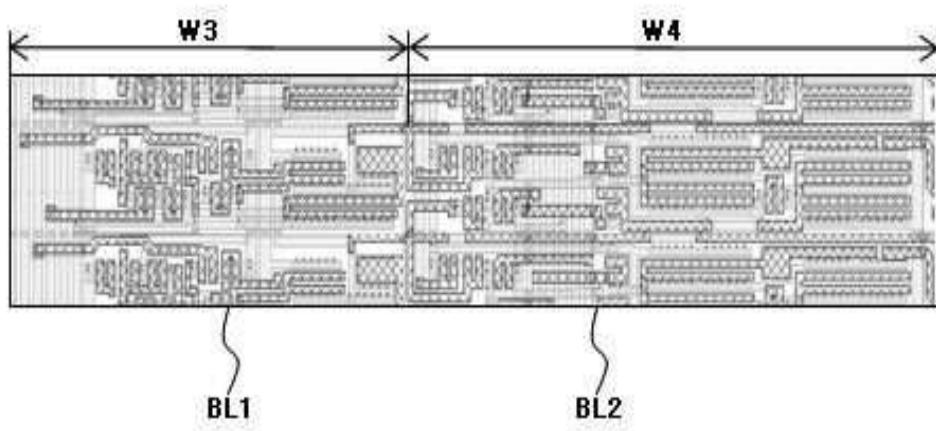
도면6b



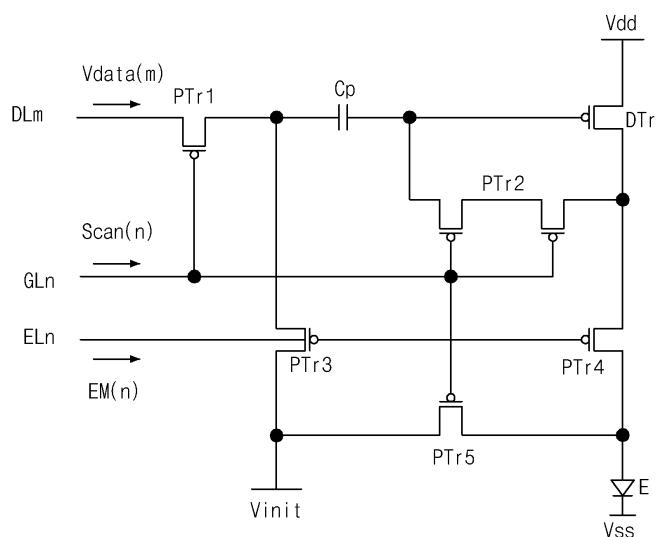
도면7



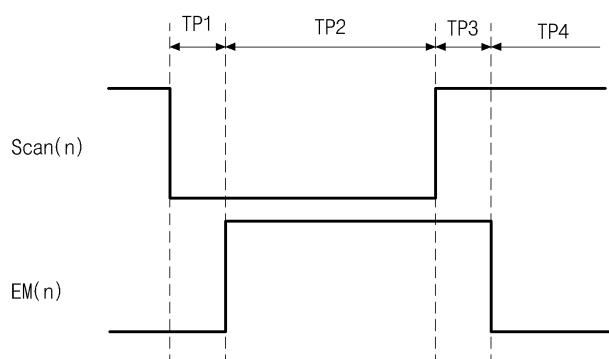
도면8

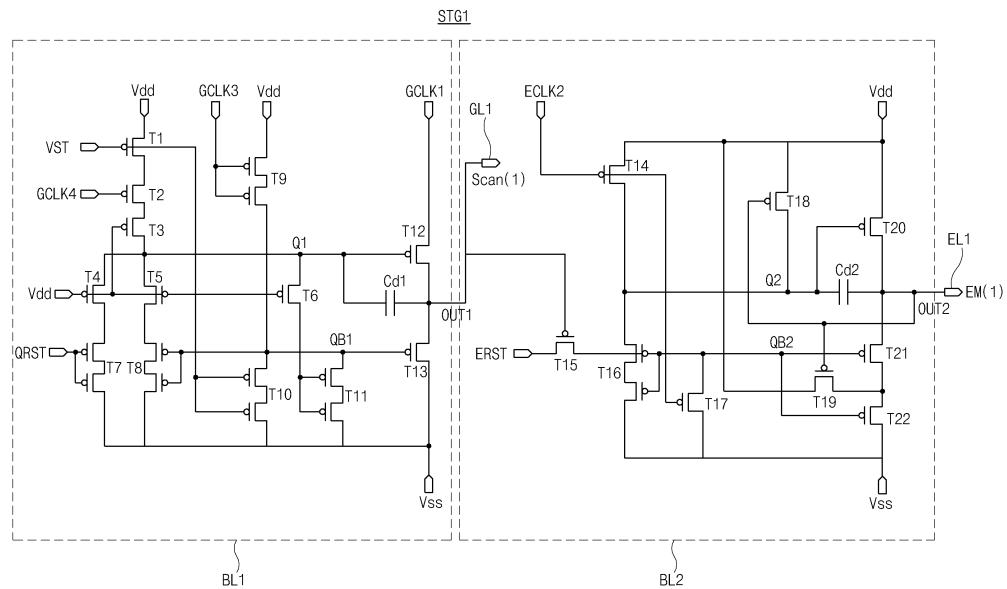
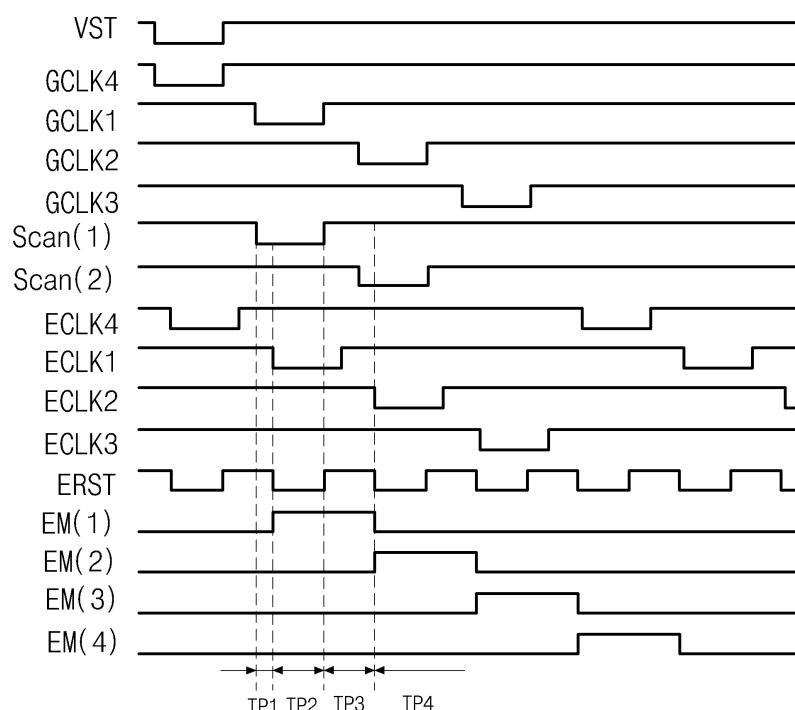


도면9



도면10



도면11**도면12**

专利名称(译)	标题 : OLED显示器件		
公开(公告)号	KR1020150059604A	公开(公告)日	2015-06-01
申请号	KR1020140160006	申请日	2014-11-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SUNG KI YOUNG 성기영 OH CHUNG WAN 오충완 NA SE HWAN 나세환 PARK YOUNG JU 박영주 JEON IN YOUNG 전인영		
发明人	성기영 오충완 나세환 박영주 전인영		
IPC分类号	H01L27/32		
CPC分类号	G09G3/3266 H01L27/3276		
优先权	1020130142130 2013-11-21 KR		
外部链接	Espacenet		

摘要(译)

本发明通过组合扫描信号产生单元和发射信号产生单元形成栅极驱动单元，从而减小了栅极驱动单元的封装表面。而且，本发明减少了施加到栅极驱动单元的信号布线，从而实现了窄边框。COPYRIGHT KIPO 2015

