



공개특허 10-2020-0079952



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0079952
(43) 공개일자 2020년07월06일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/50* (2006.01)
(52) CPC특허분류
H01L 27/3246 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2018-0169685
(22) 출원일자 2018년12월26일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김수진
경기도 파주시 월롱면 엘지로 245
장대일
경기도 파주시 월롱면 엘지로 245
김도중
경기도 파주시 월롱면 엘지로 245
(74) 대리인
네이트특허법인

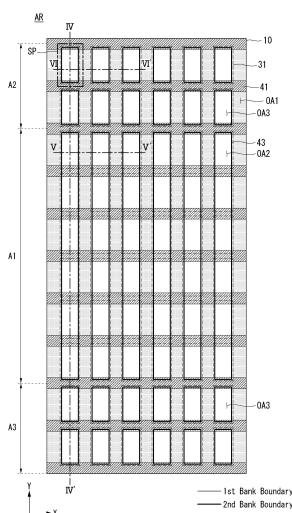
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 유기발광 표시장치

(57) 요 약

본 발명은 의한 유기발광 표시장치는 기판, 서브 픽셀들, 제1 전극들, 및 뱅크를 포함한다. 기판은 제1 영역, 제1 영역과 열 방향으로 이웃하며 제1 영역을 기준으로 양측 에지부에 각각 정의된 제2 영역 및 제3 영역을 갖는다. 복수의 서브픽셀들은 기판 상에서, 열 방향 및 열 방향과 교차하는 행 방향을 따라 배열된다. 제1 전극들은 서브 픽셀들에 할당된다. 뱅크는 제1 전극들 상에 배치된다. 뱅크는 제1 뱅크 및 제2 뱅크를 포함한다. 제1 뱅크는 제1 방향으로 배열된 복수의 제1 전극들을 노출하는 제1 개구부를 갖는다. 제2 뱅크는 제2 개구부 및 제3 개구부를 포함한다. 제2 개구부는 제1 영역에서 제2 방향으로 배열된 복수의 제1 전극들을 노출한다. 제3 개구부는 제2 영역 및 상기 제3 영역 중 적어도 어느 하나에서, 하나의 제1 전극을 노출한다.

대 표 도 - 도9



(52) CPC특허분류
H01L 51/50 (2013.01)

명세서

청구범위

청구항 1

제1 영역, 상기 제1 영역과 열 방향으로 이웃하며 상기 제1 영역을 기준으로 양측 예지부에 각각 정의된 제2 영역 및 제3 영역을 갖는 기판;

상기 기판 상에서, 상기 열 방향 및 상기 열 방향과 교차하는 행 방향을 따라 배열된 복수의 서브 퍽셀들;

상기 서브 퍽셀들에 할당된 제1 전극들; 및

상기 제1 전극들 상에 배치되는 뱅크를 포함하고,

상기 뱅크는,

상기 제1 방향으로 배열된 복수의 상기 제1 전극들을 노출하는 제1 개구부를 갖는 제1 뱅크; 및

상기 제1 영역에서 상기 제2 방향으로 배열된 복수의 상기 제1 전극들을 노출하는 제2 개구부, 및 상기 제2 영역 및 상기 제3 영역 중 적어도 어느 하나에서, 하나의 상기 제1 전극을 노출하는 제3 개구부를 갖는 제2 뱅크를 포함하는, 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 뱅크는

상기 열 방향으로 이웃하는 상기 제1 전극들 사이에 배치되는, 유기발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 뱅크는,

상기 제1 영역에서, 상기 열 방향으로 이웃하는 상기 제1 전극들 사이에 배치되고,

상기 제2 영역에서, 기 설정된 영역에 선택적으로, 상기 열 방향으로 이웃하는 상기 제1 전극들 사이에 배치되며,

상기 제3 영역에서, 기 설정된 영역에 선택적으로, 상기 열 방향으로 이웃하는 상기 제1 전극들 사이에 배치되는, 유기발광 표시장치.

청구항 4

제 2 항에 있어서,

상기 제2 영역 및 제3 영역 중 적어도 어느 하나는,

상기 제1 뱅크가 상기 열 방향으로 이웃하는 상기 제1 전극들 사이에 배치되지 않는 일 영역을 포함하는, 유기발광 표시장치.

청구항 5

제 1 항에 있어서,
상기 제 2 뱅크는,
상기 행 방향으로 이웃하는 상기 제1 전극들 사이에 배치되는, 유기발광 표시장치.

청구항 6

제 1 항에 있어서,
상기 제2 뱅크는,
상기 행 방향으로 이웃하는 상기 제1 전극들 사이에 배치되는 제2-1 뱅크; 및
상기 열 방향으로 이웃하는 상기 제1 전극들 사이에 배치되는 제2-2 뱅크를 포함하고,
상기 제2-1 뱅크는,
상기 제1 영역, 상기 제2 영역, 상기 제3 영역에 연장되어 배치되고,
상기 제2-2 뱅크는,
상기 제2 영역 및 상기 제3 영역 중 적어도 어느 하나에 배치되는, 유기발광 표시장치.

청구항 7

제 1 항에 있어서,
상기 제2 영역 및 상기 제3 영역 중 어느 하나에서, 상기 열 방향으로 이웃하는 상기 제1 전극들 사이에 배치된
상기 뱅크의 두께는,
상기 제1 영역에서, 상기 열 방향으로 이웃하는 상기 제1 전극들 사이에 배치된 상기 뱅크의 두께 보다 얇은,
유기발광 표시장치.

청구항 8

제 7 항에 있어서,
상기 제2 영역 및 상기 제3 영역 중 어느 하나에서, 상기 열 방향으로 이웃하는 상기 제1 전극들 사이에 배치된
상기 뱅크는,
상기 제2 뱅크만으로 이루어진 단일 구조를 갖고,
상기 제1 영역에서, 상기 열 방향으로 이웃하는 상기 제1 전극들 사이에 배치된 상기 뱅크는,
상기 제1 뱅크와 상기 제2 뱅크가 적층된 적층 구조를 갖는, 유기발광 표시장치.

청구항 9

제 1 항에 있어서,
상기 제2 개구부 및 상기 제3 개구부 상에 배치되는 유기 발광층을 더 포함하고,
상기 열 방향을 따라 이웃하는 상기 제2 개구부와 상기 제3 개구부에는, 동일 색을 발광하는 상기 유기 발광층
이 배치되는, 유기발광 표시장치.

청구항 10

제 1 항에 있어서,
 상기 제1 뱅크는,
 친수 특성을 갖고,
 상기 제2 뱅크는,
 소수 특성을 갖는, 유기발광 표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 유기발광 표시장치에 관한 것이다.

배경 기술

[0002]

최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치들이 개발되고 있다. 이러한 표시장치에는 액정표시장치(Liquid Crystal Display : LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 전계방출표시장치(Field Emission Display: FED), 유기발광 표시장치(Organic Light Emitting Display Device) 등이 있다.

[0003]

유기발광 표시장치는 스스로 발광하는 자발광소자로서 응답속도가 빠르고 발광 효율, 휙도 및 시야각이 큰 장점이 있다. 또한, 플라스틱과 같은 유연한 기판 상에 소자를 형성할 수 있어 플렉서블한 표시장치를 구현할 수 있다.

[0004]

최근에는 대면적의 고 해상도 유기발광 표시장치가 요구됨에 따라 단일 패널에 다수의 서브 픽셀이 포함된다. 일반적으로, 적색(R), 녹색(G), 청색(B) 서브 픽셀 패터닝(patterning)을 위해 마스크를 이용하기 때문에, 대면적의 표시장치를 구현하기 위해서는 이와 대응되는 대면적의 미세 금속 마스크(Fine Metal Mask, FMM)가 필요하다. 다만, 대면적으로 갈수록 마스크가 처지는 현상이 발생하여, 발광층을 구성하는 유기 발광 물질이 제 위치에 증착되지 않는 등의 다양한 불량이 야기되고 있다.

[0005]

전술한 마스크를 이용한 증착법의 문제점을 해결하기 위해, 간단하면서도 대면적에 유리한 용액 공정이 관심을 모으고 있다. 용액 공정은 잉크젯 프린팅이나 노즐 프린팅 등을 통해 마스크 없이 대면적 패터닝이 가능하며, 재료 사용률이 10% 이하인 진공 증착에 비해 재료 사용률이 50 내지 80%정도로 매우 높다. 또한 진공증착 박막에 비해서 유리전이온도(glass transition temperature)가 높아 열안정성과 모폴로지(morphology) 특성이 우수하다.

발명의 내용

해결하려는 과제

[0006]

용액 공정에 의해, 발광층을 형성하는 경우, 서브 픽셀 내 유기 발광층의 두께 편차가 발생하여, 소자의 수명이 저하되거나 암첨이 발생하는 문제가 있다.

[0007]

본 발명의 목적은 유기 발광층의 두께 균일도를 확보하여, 서브 픽셀 내 두께 편차에 기인한 표시 품질 저하를 저감한 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0008]

본 발명에 의한 유기발광 표시장치는 기판, 서브 픽셀들, 제1 전극들, 및 뱅크를 포함한다. 기판은 제1 영역, 제1 영역과 열 방향으로 이웃하며 제1 영역을 기준으로 양측 에지부에 각각 정의된 제2 영역 및 제3 영역을 갖는다. 복수의 서브픽셀들은 기판 상에서, 열 방향 및 열 방향과 교차하는 행 방향을 따라 배열된다. 제1 전극들은 서브 픽셀들에 할당된다. 뱅크는 제1 전극들 상에 배치된다. 뱅크는 제1 뱅크 및 제2 뱅크를 포함한다. 제1 뱅크는 제1 방향으로 배열된 복수의 제1 전극들을 노출하는 제1 개구부를 갖는다. 제2 뱅크는 제2 개구부 및 제3 개구부를 포함한다. 제2 개구부는 제1 영역에서 제2 방향으로 배열된 복수의 제1 전극들을 노출한다. 제3 개구부는 제2 영역 및 상기 제3 영역 중 적어도 어느 하나에서, 하나의 제1 전극을 노출한다.

발명의 효과

[0009]

본 발명은 기관의 애지부에서, 경화 공정 시 건조 속도 차이에 기인한 유기 발광층의 두께 불균일 불량을 개선할 수 있다. 이에 따라, 유기발광 표시장치의 표시 품질을 현저히 개선할 수 있는 이점을 갖는다.

도면의 간단한 설명

[0010]

도 1은 용액 공정의 문제점을 설명하기 위한 도면이다.

도 2는 유기발광 표시장치의 개략적인 블록도이다.

도 3 및 도 4는 도 2에 도시된 서브 픽셀을 개략적으로 나타낸 구성도들이다.

도 5는 본 발명의 제1 실시예에 따른 유기발광 표시장치를 개략적으로 나타낸 것으로, 도 2의 AR 영역을 확대 도시한 평면도이다.

도 6은 도 5를 I-I' 및 II-II'로 절취한 단면도들이다.

도 7은 도 5를 III-III'로 절취한 것으로, 트랜지스터 및 유기발광 다이오드의 구성 예를 설명하기 위한 도면이다.

도 8은 용액 공정 시, 유기 발광 물질의 위치에 따른 건조 차이에 의해 발생할 수 있는 문제점을 설명하기 위한 도면이다.

도 9는 본 발명의 제2 실시예에 따른 유기발광 표시장치를 개략적으로 나타낸 것으로, 도 2의 AR 영역을 확대 도시한 평면도이다.

도 10은 도 9를 IV-IV', V-V' 및 VI-VI'로 절취한 단면도들이다.

도 11은 본 발명의 제3 실시예에 따른 유기발광 표시장치를 개략적으로 나타낸 것으로, 도 2의 AR 영역을 확대 도시한 평면도이다.

도 12는 도 11을 VII-VII', VIII-VIII' 및 IX-IX'로 절취한 단면도들이다.

도 13은 뱅크 두께에 따른 유기 발광층의 두께 균일도를 설명하기 위한 실험 데이터이다.

발명을 실시하기 위한 구체적인 내용

[0011]

이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.

[0012]

제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0013]

도 1은 용액 공정의 문제점을 설명하기 위한 도면이다.

[0014]

도 1을 참조하면, 용액 공정을 이용하여 유기 발광 층을 형성하는 경우, 파일 업(pile up) 현상이 발생하여 유기발광 표시장치의 발광 특성을 저하시키는 문제점이 있다. 좀 더 구체적으로, 유기 발광 물질(1)은 잉크젯 장치(2) 등을 통해 뱅크(3)에 의해 구획된 제1 전극(4) 상에 적하(drop)된다. 적하된 유기 발광 물질(1)은 경화되는 과정에서 경화 속도 차이에 의해 위치에 따른 두께 편차를 갖는다. 즉, 뱅크와 접하는 애지부(5)는 두껍고, 중앙부(6)는 얇은 불균일한 유기 발광층(7)이 형성된다.

[0015]

이와 같이, 유기 발광층(7)이 불균일하게 형성된 경우, 위치에 따른 휘도 편차가 발생하여 표시 품질이 저하되는 문제점이 발생할 수 있다. 또한, 유기 발광층(7) 내부의 전류 밀도 차이가 발생하여 소자의 수명이 저하되거나, 암점이 발생하여 공정 수율이 저하되는 문제점이 발생할 수 있다. 이를 고려할 때, 용액 공정을 이용하여 발광층을 형성함에 있어서, 파일 업 현상이 발생하는 영역을 최소한으로 줄일 필요가 있다.

[0016]

도 2는 유기발광 표시장치의 개략적인 블록도이다. 도 3 및 도 4는 도 2에 도시된 서브 픽셀을 개략적으로 나

타낸 구성도들이다.

[0017] 도 2를 참조하면, 유기발광 표시장치는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 게이트 구동부(140) 및 표시 패널(150)을 포함한다.

[0018] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다. 영상 처리부(110)는 시스템 회로기판에 IC(Integrated Circuit) 형태로 형성된다.

[0019] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다.

[0020] 타이밍 제어부(120)는 구동신호에 기초하여 게이트 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 타이밍 제어부(120)는 제어 회로기판에 IC 형태로 형성된다.

[0021] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 데이터 회로기판 상에 IC 형태로 형성되어 표시 패널(150)에 부착될 수 있다.

[0022] 게이트 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 게이트신호를 출력한다. 게이트 구동부(140)는 게이트라인들(GL1 ~ GLm)을 통해 게이트 신호를 출력한다. 게이트 구동부(140)는 게이트 회로기판에 IC 형태로 형성되어 표시 패널(150)에 부착되거나, 표시 패널(150)에 게이트 인 패널(Gate In Panel) 방식으로 형성될 수 있다.

[0023] 표시 패널(150)은 영상을 구현하는 표시 영역(AA) 및 표시 영역(AA) 외측의 비표시 영역(NA)을 포함한다. 표시 영역(AA)은 서브 픽셀들(SP)을 포함한다. 서브 픽셀들은 신호 라인들의 교차 구조에 의해 정의될 수 있다.

[0024] 표시 패널(150)은 데이터 구동부(130) 및 게이트 구동부(140)로부터 공급된 데이터신호(DATA) 및 게이트 신호에 대응하여 영상을 표시한다. 비표시 영역(NA)는 회로 기판이 접합되어 회로 기판으로부터 신호를 인가받는 패드들, 및 패드들에 연결되어 표시 영역(AA)의 서브 픽셀(SP)들에 상기 신호를 전달하는 링크 라인들을 포함한다.

[0025] 도 3을 참조하면, 하나의 서브 픽셀은 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 보상회로(CC) 및 유기발광 다이오드(OLED)를 포함한다. 유기발광 다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.

[0026] 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)을 통해 공급된 게이트 신호에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터에 저장된 데이터 전압에 따라 고전위 전원라인(VDD)과 저전위 전원라인(GND) 사이로 구동 전류가 흐르도록 동작한다. 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위한 회로이다. 또한, 스위칭 트랜지스터(SW)나 구동 트랜지스터(DR)에 연결된 커패시터는 보상회로(CC) 내부로 위치할 수 있다.

[0027] 보상회로(CC)는 하나 이상의 박막 트랜지스터와 커패시터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한 바, 이에 대한 구체적인 예시 및 설명은 생략한다.

[0028] 또한, 도 4에 도시된 바와 같이, 보상회로(CC)가 포함된 경우 서브 픽셀에는 보상 박막 트랜지스터를 구동함과 더불어 특정 신호나 전원을 공급하기 위한 신호라인과 전원라인 등이 더 포함된다. 추가된 신호라인은 서브 픽셀에 포함된 보상 박막 트랜지스터를 구동하기 위한 제1-2 게이트 라인(GL1b)으로 정의될 수 있다. 그리고 추가된 전원라인은 서브 픽셀의 특정 노드를 특정 전압으로 초기화하기 위한 초기화 전원라인(INIT)으로 정의될 수 있다. 그러나 이는 하나의 예시일 뿐 이에 한정되지 않는다.

[0029] 한편, 도 3 및 도 4에서는 하나의 서브 픽셀에 보상회로(CC)가 포함된 것을 일례로 하였다. 하지만, 보상의 주체가 데이터 구동부(130) 등과 같이 서브 픽셀의 외부에 위치하는 경우 보상회로(CC)는 생략될 수도 있다. 즉, 하나의 서브 픽셀은 기본적으로 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터 및 유기발광 다이오드(OLED)를 포함하는 2T(Transistor)1C(Capacitor) 구조로 구성되지만, 보상회로(CC)가 추가된 경우 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수도 있다.

- [0030] <제1 실시예>
- [0031] 도 5는 본 발명의 제1 실시예에 따른 유기발광 표시장치를 개략적으로 나타낸 것으로, 도 2의 AR 영역을 확대 도시한 평면도이다. 도 6은 도 5를 I-I' 및 II-II'로 절취한 단면도들이다.
- [0032] 도 5 및 도 6을 참조하면, 제1 실시예에 따른 유기발광 표시장치는 서브 픽셀(SP)들이 배열된 표시 영역(AA) 및 표시 영역 외측의 비 표시 영역(NA)을 갖는 기판(10)을 포함한다. 기판(10)은 다양한 평면 형상을 가질 수 있다. 예를 들어, 도면에 도시된 바와 같이 장방형은 물론, 정방형, 원형, 타원형 등의 평면 형상을 모두 포함할 수 있다. 기판(10)에는, 기판(10)의 평면 형상에 관계 없이 서로 교차하는 행 방향(예를 들어, X축 방향) 및 열 방향(예를 들어, Y축 방향)이 정의된다. 행 방향과 열 방향에 의해, 후술하게 될 서브 픽셀 및/또는 개구부의 위치 및 배열 관계 등이 정의될 수 있다.
- [0033] 기판(10) 상에는, 회로 소자층(20) 및 회로 소자층(20)에 구비된 소자들에 의해 구동되는 유기발광 다이오드가 배치된다.
- [0034] 회로 소자층(20)은, 유기발광 다이오드에 구동 신호를 인가하기 위한 신호 라인 및 전극들이 배열될 수 있고, 신호 라인과 전극들은 필요에 따라 적어도 하나의 절연층을 사이에 두고 구분되어 배치될 수 있다. 유기발광 표시장치가 AM(Active Matrix) 방식으로 구현되는 경우, 회로 소자층(20)은 각 서브 픽셀(SP)마다 할당되는 트랜지스터를 더 포함할 수 있다. 트랜지스터는 탑 게이트(top gate), 바텀 게이트(bottom gate), 더블 게이트(double gate) 구조 등 다양한 구조로 구현될 수 있다. 또한, 트랜지스터는 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 트랜지스터들을 구성하는 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 이하에서는, 유기발광 다이오드와 뱅크 구조를 먼저 설명하고, 트랜지스터의 구체적인 배치 예에 대해서는 후술한다.
- [0035] 유기발광 다이오드는 제1 전극(30), 제2 전극(60), 및 제1 전극(30)과 제2 전극(60) 사이에 개재된 유기 발광층(50)을 포함한다. 제1 전극(30)은 애노드일 수 있고, 제2 전극(60)은 캐소드일 수 있다.
- [0036] 좀 더 구체적으로, 서브 픽셀(SP)들은 서로 교차하는 행 방향 및 열 방향을 따라 배열될 수 있다. 행 방향을 따라 이웃하여 배열된 서브 픽셀(SP)들은 상이한 색의 광을 방출하고, 열 방향을 따라 이웃하여 배열된 서브 픽셀(SP)들은 동일한 색의 광을 방출할 수 있다. 서브 픽셀(SP)들에는, 유기발광 다이오드의 제1 전극(30)이 배치된다. 제1 전극(30)은 서브 픽셀(SP)들 각각에 하나씩 할당될 수 있다.
- [0037] 제1 전극(30) 상에는, 뱅크(40)가 배치된다. 뱅크(40)는 제1 뱅크(41), 및 제2 뱅크(43)를 포함한다.
- [0038] 제1 뱅크(41)는 제1 전극(30)의 적어도 일부를 노출시키는 제1 개구부(OA1)를 포함한다. 복수의 제1 개구부(OA1)들은 열 방향으로 나란하게 배열되며, 행 방향으로 각각 연장된다. 제1 개구부(OA1)는 행 방향으로 연장되어, 행 방향을 따라 배치된 복수의 제1 전극(30)들을 노출시킨다.
- [0039] 제1 뱅크(41)는 열 방향으로 이웃하는 제1 전극(30)들 사이에 배치되어, 열 방향으로 이웃하는 서브 픽셀(SP)들을 구획할 수 있다. 제1 뱅크(41)는 열 방향으로 이웃하는 제1 전극(30)들 사이에서, 제1 전극(30)들의 일측을 덮도록 배치될 수 있다.
- [0040] 제1 뱅크(41)는, 이후 형성될 유기 발광층(50)에 의해 덮일 수 있도록, 상대적으로 얇은 두께로 형성될 수 있다. 제1 뱅크(41)는 친수성 특성을 가질 수 있다. 일 예로, 제1 뱅크(41)는 산화실리콘(SiO₂) 또는 질화실리콘(SiNx)과 같은 친수성의 무기 절연 물질로 형성될 수 있다. 제1 뱅크(41)는, 제1 전극(30)의 소수성 특성에 의한 습윤성(wettability) 불량을 방지하기 위해 구비된 친수 성분의 얇은 막으로, 친수성인 유기 발광 물질을 잘 퍼지게 한다.
- [0041] 도면에서는, 제1 개구부(OA1)가 대략 장방형 형상을 갖는 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 또한, 제1 개구부(OA1)들이 모두 동일한 형상 및 면적을 갖는 것으로 도시하였으나 이에 한정되는 것은 아니며, 적어도 어느 하나의 제1 개구부(OA1)는 다른 하나의 제1 개구부(OA1)와 상이한 형상 및/또는 면적을 가질 수 있다.
- [0042] 제1 뱅크(41)가 형성된 기판(10) 상에는, 제2 뱅크(43)가 위치한다. 제2 뱅크(43)는 제1 전극(30)의 적어도 일부를 노출시키는 제2 개구부(OA2)를 포함한다. 복수의 제2 개구부(OA2)들은 행 방향으로 나란하게 배열되며, 열 방향으로 각각 연장된다. 제2 개구부(OA2)는 열 방향으로 연장되어, 열 방향을 따라 배치된 복수의 제1 전극(30)들을 노출시킨다.

- [0043] 제2 뱅크(43)는 행 방향으로 이웃하는 제1 전극(30)들 사이에 배치되어, 행 방향으로 이웃하는 서브 팩셀(SP)들을 구획할 수 있다. 제2 뱅크(43)는 행 방향으로 이웃하는 제1 전극(30)들 사이에서, 제1 전극(30)들의 일층을 덮도록 배치될 수 있다.
- [0044] 제2 뱅크(43)는 소수성 특성을 가질 수 있다. 또는, 제2 뱅크(43)는 상부면이 소수성 특성을 가질 수 있고, 측면이 친수성 특성을 가질 수 있다. 일 예로, 제2 뱅크(43)는 절연 물질 상에 소수성 특성의 물질이 코팅된 형태를 가질 수 있고, 소수성 물질이 함유된 절연 물질로 형성될 수 있다. 제2 뱅크는 유기 물질로 이루어질 수 있다. 제2 뱅크(43)의 소수성 특성은, 유기 발광층(50)을 구성하는 유기 발광 물질이 발광 영역의 중앙부로 모이도록 밀어내는 기능을 할 수 있다. 또한, 제2 뱅크(43)는 서로 다른 색의 유기 발광 물질이 서로 혼합되는 것을 방지할 수 있도록, 해당 영역에 적하된 유기 발광 물질을 가두는 베리어(barrier)로써 기능할 수 있다.
- [0045] 도면에서는, 제2 개구부(OA2)가 대략 장방형 형상을 갖는 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 또한, 제2 개구부(OA2)들이 모두 동일한 형상 및 면적을 갖는 것으로 도시하였으나 이에 한정되는 것은 아니며, 적어도 어느 하나의 제2 개구부(OA2)는 다른 하나의 제2 개구부(OA2)와 상이한 형상 및/또는 면적을 가질 수 있다. 예를 들어, 제2 개구부(OA2)의 형상 및/또는 면적은, 유기 발광 물질의 수명을 고려하여 적절히 선택될 수 있다.
- [0046] 제2 뱅크(43)가 형성된 기판(10) 상에, 유기 발광층(50)이 위치한다. 유기 발광층(50)은, 대응되는 제2 개구부(OA2) 내에, 제2 개구부(OA2)의 연장 방향을 따라 형성될 수 있다. 즉, 하나의 제2 개구부(OA2)에 적하된 유기 발광 물질은, 제2 개구부(OA2)에 의해 노출된 제1 전극(30)들 및 제1 뱅크(41)들을 덮는다. 경화 공정 이후 제2 개구부(OA2) 내에 형성된 유기 발광층(50)은, 제1 뱅크(41)에 의해 물리적으로 분리되지 않고, 제1 뱅크(41) 상에서 연속성을 유지한다.
- [0047] 하나의 제2 개구부(OA2)에 의해 노출된 복수의 제1 전극(30)들 상에는, 동일한 색의 유기 발광 물질이 적하된다. 이는, 하나의 제2 개구부(OA2)와 대응되는 위치에 할당된 복수의 서브 팩셀(SP)들에서, 동일한 색의 광이 방출됨을 의미한다. 유기 발광층(50)의 평면 형상은 제2 개구부(OA2)의 평면 형상과 대응될 수 있다.
- [0048] 서로 다른 색의 유기 발광 물질들은, 대응되는 제2 개구부(OA2)들 각각에 순차적으로 교번하여 적하될 수 있다. 서로 다른 색의 유기 발광 물질들은, 적색(R), 녹색(G), 청색(B)을 발광하는 유기 발광 물질을 포함할 수 있다. 필요에 따라서, 백색(W)을 발광하는 유기 발광 물질을 포함할 수도 있다. 서로 다른 제2 개구부(OA2)들에 각각 적하된 서로 다른 색의 유기 발광 물질들은, 제2 뱅크(43)에 의해 물리적으로 분리된다.
- [0049] 본 발명의 제1 실시예에서는, 유기 발광 물질이 열 방향으로 연장된 제2 개구부(OA2) 상의 넓은 영역에 균일한 두께로 펴져나갈 수 있기 때문에, 경화 후 전술한 파일 업 현상에 의한 두께 불균일 현상이 개선될 수 있다. 이에 따라, 본 발명의 제1 실시예에 따른 유기발광 표시장치는, 유기 발광층(50)의 균일도 저하를 방지할 수 있어, 서브 팩셀(SP) 내 두께 편차에 기인한 표시 품질 저하를 저감할 수 있다. 또한, 유기 발광층(50)의 균일도를 확보하여, 소자의 수명이 저하되거나 암점이 발생하는 불량을 방지할 수 있다.
- [0050] 도 7은 도 5를 III-III'로 절취한 것으로, 트랜지스터 및 유기발광 다이오드의 구성 예를 설명하기 위한 도면이다.
- [0051] 도 7을 참조하면, 기판(10) 상에는, 회로 소자층(20) 및 회로 소자층(20) 상에 배치된 유기발광 다이오드가 배치된다. 회로 소자층(20)은 유기발광 다이오드와 전기적으로 연결되는 트랜지스터(21)를 포함할 수 있다. 일 예로, 기판(10) 상에 광차단층(22)이 위치한다. 광차단층(22)은 외부의 광이 입사되는 것을 차단하여 트랜지스터에서 광전류가 발생하는 것을 방지하는 역할을 한다. 광차단층(22) 상에 베퍼층(23)이 위치한다. 베퍼층(23)은 광차단층(22)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 트랜지스터를 보호하는 역할을 한다. 베퍼층(23)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.
- [0052] 베퍼층(23) 상에 트랜지스터(21)의 반도체층(212)이 위치하고 이와 이격되어 커페시터 하부전극(24)이 위치한다. 반도체층(212)과 커페시터 하부전극(24)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 반도체층(212)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이를 사이에 채널을 포함한다. 커페시터 하부전극(24)도 불순물이 도핑되어 도체화될 수 있다.
- [0053] 반도체층(212)과 커페시터 하부전극(24) 상에 게이트 절연막(25)이 위치한다. 게이트 절연막(25)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다. 게이트 절연막(25) 상에 상기 반도체층(212)의

일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(211)이 위치한다. 게이트 전극(211)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 형성된다. 또한, 게이트 전극(211)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(211)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.

[0054] 게이트 전극(211) 상에 게이트 전극(211)을 절연시키는 층간 절연막(26)이 위치한다. 층간 절연막(26)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 층간 절연막(26) 상에 소스 전극(213) 및 드레인 전극(214)이 위치한다. 소스 전극(213) 및 드레인 전극(214)은 반도체층(212)의 소스 영역을 노출하는 콘택홀을 통해 반도체층(212)에 연결된다. 소스 전극(213) 및 드레인 전극(214)은 단일층 또는 다중층으로 이루어질 수 있으며, 상기 소스 전극(213) 및 드레인 전극(214)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 상기 소스 전극(213) 및 드레인 전극(214)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다. 따라서, 반도체층(212), 게이트 전극(211), 소스 전극(213) 및 드레인 전극(214)을 포함하는 트랜지스터(21)가 구성된다. 또한, 커패시터 하부전극(24)은 드레인 전극(214)이 커패시터 상부전극으로 작용하여 커패시터(Cst)를 구성한다.

[0055] 트랜지스터(21) 및 커패시터(Cst)를 포함하는 기판(10) 상에 패시베이션막(27)이 위치한다. 패시베이션막(27)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 패시베이션막(27) 상에 오버코트층(28)이 위치한다. 오버코트층(28)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐 series resin, 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 오버코트층(28)의 일부 영역에는 패시베이션막(27)을 노출하여 소스 전극(213)을 노출시키는 서브 픽셀 콘택홀(29)이 위치한다.

[0056] 오버코트층(28) 상에는 유기발광 다이오드가 형성된다. 유기발광 다이오드는 트랜지스터에 연결된 제1 전극(30), 제1 전극(30)과 대향하는 제2 전극(60), 및 제1 전극(30)과 제2 전극(60) 사이에 개재된 유기 발광층(50)을 포함한다. 제1 전극(30)은 애노드 전극일 수 있고, 제2 전극(60)은 캐소드 전극일 수 있다.

[0057] 제1 전극(30)은 오버코트층(28) 상에 위치하여, 오버코트층(28)을 관통하는 서브 픽셀 콘택홀(29)을 통해 트랜지스터의 소스 전극(213)에 연결될 수 있다. 제1 전극(30)은 서브 픽셀 당 하나씩 할당될 수 있으나, 이에 한정되는 것은 아니다. 제1 전극(30)은, 채택된 발광 방식에 대응하여, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어져 투과 전극으로 기능할 수 있고, 반사층을 포함하여 반사 전극으로 기능할 수 있다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다.

[0058] 제1 전극(30)가 형성된 기판(10) 상에는 뱅크(40)가 배치된다. 뱅크(40)는 제1 뱅크(41) 및 제2 뱅크(43)를 포함한다. 제1 뱅크(41) 및 제2 뱅크(43)은 각각 제1 전극(30)의 대부분을 노출하는 개구부를 포함한다.

[0059] 뱅크(40)가 형성된 기판(10) 상에는 유기 발광층(50)이 배치된다. 유기 발광층(50)은 발광층(Emission layer, EML)을 포함하고, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL) 중 어느 하나 이상을 더 포함할 수 있다. 뱅크(40)는 제1 뱅크(41) 및 제2 뱅크(43)를 포함한다.

[0060] 제1 뱅크(41)는 행 방향으로 배열된 복수의 제1 전극(30)들을 노출하는 제1 개구부(OA1)을 포함한다. 제2 뱅크(43)는 열 방향으로 배열된 복수의 제1 전극(30)들을 노출하는 제2 개구부(OA2)를 포함한다.

[0061] 제1 뱅크(41)가 배치된 영역 및 제2 뱅크(43)가 배치되는 영역에는, 트랜지스터(21)에 연결되어 해당 서브 픽셀에 구동 신호를 인가하기 위한 신호 라인들(300)이 배치될 수 있다. 신호 라인들(300)은 서브 픽셀에 게이트 신호를 인가하기 위한 게이트 라인, 데이터 신호를 인가하기 위한 데이터 라인, 고전위 전원을 인가하기 위한 고전위 전원 라인, 저전위 전원을 인가하기 위한 저전위 전원 라인들을 포함할 수 있다. 필요에 따라서, 서브 픽셀에 보상 회로가 적용되는 경우, 신호 라인들(300)은 서브 픽셀의 전기적 특성을 센싱하기 위한 센싱 라인을 더 포함할 수 있다.

[0062] 신호 라인들(300)은 제1 뱅크(41)와 중첩되도록 배치되어, 열 방향으로 이웃하는 제1 전극(30)들 사이를 가로지

르며 연장될 수 있다. 및/또는 신호 라인들(300)은 제2 뱅크(43)와 중첩되도록 배치되어, 행 방향으로 이웃하는 제1 전극(30)들 사이를 가로지르며 연장될 수 있다.

[0063] 신호 라인들(300)은 제1 뱅크(41) 및/또는 제2 뱅크(43)와 대응되는 영역에서, 적어도 하나 이상의 절연층(23, 26, 27, 28)을 사이에 두고, 서로 다른 층에 형성될 수 있다. 예를 들어, 게이트 라인은 게이트 전극(211)과 동일층에 배치될 수 있다. 데이터 라인, 고전위 전원 라인, 저전위 전원 라인은 소스/드레인 전극(213, 214)과 동일층에 배치될 수 있다. 센싱 라인은 소스/드레인 전극(213, 214)과 동일층에 배치되거나, 광차단층(22)과 동일층에 배치될 수 있다. 필요에 따라서, 신호 라인들(300) 중 어느 하나는 서로 다른 층에 배치된 복수 개의 라인으로 구분될 수 있고, 구분된 복수 개의 라인들은 이들 사이에 배치된 절연층을 관통하는 콘택홀들을 통해 전기적으로 연결될 수 있다.

[0064] 도면에 도시된 바와 같이, 제1 뱅크(41)는 서브 픽셀 콘택홀(29)을 덮도록 배치될 수 있다. 제1 뱅크(41)에 의해 차폐되는 영역은 비발광 영역에 해당하기 때문에, 서브 픽셀 콘택홀(29)에 의한 단차에 의해 유기 발광층의 두께 편차가 일부 발생하더라도, 표시 품질에 영향을 미치지 않을 수 있다. 다만, 이에 한정되는 것은 아니다. 다른 예로, 제2 뱅크(43)가 서브 픽셀 콘택홀(29)을 덮도록 배치될 수도 있다.

[0065] 제2 전극(60)은 유기 발광층(50) 상에 배치된다. 제2 전극(60)은 기판(10)의 전면에 넓게 형성될 수 있다. 제2 전극(60)은, 채택된 발광 방식에 대응하여, 투과 전극 또는 반사 전극으로 기능할 수 있다. 제2 전극(60)이 투과 전극인 경우, 제2 전극(60)은, ITO(Indium Tin Oxide) IZO(Indium Zinc Oxide)와 같은 투명 도전물질로 형성될 수 있고, 광이 투과될 수 있을 정도로 얇은 두께를 갖는 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 도 7에 도시된 서브 픽셀 구조는, 다른 서브 픽셀에도 동일하게 적용될 수 있다.

[0066] 도 8은 용액 공정 시, 유기 발광 물질의 위치에 따른 건조 차이에 의해 발생할 수 있는 문제점을 설명하기 위한 도면이다.

[0067] 도 8의 (a)를 참조하면, 원장 기판(혹은 모기판, mother substrate, 400)은 공정의 편의상 복수 개의 유기발광 표시장치를 동시에 제조하기 위한 기판이다. 복수 개의 유기발광 표시장치들은 원장 기판(400) 상에 동시에 형성될 수 있고, 트리밍(trimming) 공정을 통해 개별적으로 분리될 수 있다. 예를 들어, 원장 기판(400) 상에 복수 개의 단위 셀(401)들 상에, 유기발광 표시장치를 구성하는 구동 소자 및 발광 소자들이 동시에 형성되고, 이후 트리밍 공정을 거쳐 개별적으로 분리된다. 분리된 단위 셀(401)들 각각은, 구동 신호 및 전원 등을 공급하기 위한 구동부와 연결되어, 유기발광 표시장치로서 기능하게 된다.

[0068] 전술한 제조 공정은, 원장 기판(400) 상에 유기 발광층을 형성하기 위한 용액 공정을 포함한다. 즉, 제1 실시 예에 기재한 바와 같이, 복수 개의 제1 전극들을 노출하는 제2 개구부 상에 유기 발광 물질을 적하한 후, 건조 공정을 거쳐 유기 발광층을 형성하는 공정을 포함한다.

[0069] 이때, 적하된 유기 발광 물질의 위치에 따른 건조 속도 차이에 기인하여, 단위 셀(401)들의 에지부에서 유기 발광층이 불균일한 두께로 형성되는 불량이 발생할 수 있다. 예를 들어, 단위 셀(401)들 사이의 이음매(403)와 인접한 에지부에서 유기 발광 물질의 건조 속도가 빠르기 때문에, 내부 유속의 차이가 발생하고, 이에 따라 고형분이 일 방향으로 쓸리는 문제가 발생할 수 있다. 즉, 제2 개구부에 유기 발광 물질이 적하되면, 에지부에서의 건조 속도 차이에 의해, 고형분이 얇은 면적을 갖는 제2 개구부를 따라 유동하여 일측 방향(예를 들어, 단위 셀(401)의 중심부 방향)으로 쓸릴 수 있다. 이에 따라, 단위 셀(401)의 에지부에서 불균일한 두께를 갖는 유기 발광층(50)이 형성되고, 이는 사용자에게 에지부 얼룩으로 시인되어, 표시 품질을 현저히 저하시키는 문제 가 발생한다. 도 8의 (b), (c)는 완성된 유기발광 표시장치의 에지부에 발생한 얼룩 불량을 보여주는 도면이다.

[0070] 이하, 본 발명의 바람직한 실시예에서는, 유기발광 표시장치의 에지부에 발생한 얼룩 불량을 개선할 수 있는 신규한 구조를 제안한다.

[0071] <제2 실시예>

[0072] 도 9는 본 발명의 제2 실시예에 따른 유기발광 표시장치를 개략적으로 나타낸 것으로, 도 2의 AR 영역을 확대 도시한 평면도이다. 도 10은 도 9를 IV-IV', V-V' 및 VI-VI'로 절취한 단면도들이다.

[0073] 도 9 및 도 10을 참조하면, 제2 실시예에 따른 유기발광 표시장치는 서브 픽셀(SP)들이 배열된 표시 영역(AA) 및 표시 영역 외측의 비 표시 영역(NA)을 갖는 기판(10)을 포함한다. 기판(10)은 다양한 평면 형상을 가질 수

있다. 예를 들어, 도면에 도시된 바와 같이 장방형은 물론, 정방형, 원형, 타원형 등의 평면 형상을 모두 포함할 수 있다. 기판(10)에는, 기판(10)의 평면 형상에 관계 없이 서로 교차하는 행 방향(예를 들어, X축 방향) 및 열 방향(예를 들어, Y축 방향)이 정의된다. 행 방향과 열 방향에 의해, 후술하게 될 서브 픽셀 및/또는 개구부의 위치 및 배열 관계 등이 정의될 수 있다.

[0074] 기판(10) 상에는, 회로 소자층(20) 및 회로 소자층(20)에 구비된 소자들에 의해 구동되는 유기발광 다이오드가 배치된다.

[0075] 회로 소자층(20)은, 유기발광 다이오드에 구동 신호를 인가하기 위한 신호 라인 및 전극들이 배열될 수 있고, 신호 라인과 전극들은 필요에 따라 적어도 하나의 절연층을 사이에 두고 구분되어 배치될 수 있다. 유기발광 표시장치가 AM(Active Matrix) 방식으로 구현되는 경우, 회로 소자층(20)은 각 서브 픽셀(SP)마다 할당되는 트랜지스터를 더 포함할 수 있다. 트랜지스터는 탑 게이트(top gate), 바텀 게이트(bottom gate), 더블 게이트(double gate) 구조 등 다양한 구조로 구현될 수 있다. 또한, 트랜지스터는 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 트랜지스터들을 구성하는 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 예를 들어, 트랜지스터의 세부 구조는 도 7에 도시된 구조로 구현될 수 있으나, 이에 한정되는 것은 아니다.

[0076] 유기발광 다이오드는 제1 전극(30), 제2 전극(60), 및 제1 전극(30)과 제2 전극(60) 사이에 개재된 유기 발광층(50)을 포함한다. 제1 전극(30)은 애노드일 수 있고, 제2 전극(60)은 캐소드일 수 있다.

[0077] 좀 더 구체적으로, 기판(10) 상에는 복수의 서브 픽셀들이 배열된다. 서브 픽셀(SP)들은 서로 교차하는 행 방향 및 열 방향을 따라 배열될 수 있다. 행 방향을 따라 이웃하여 배열된 서브 픽셀(SP)들은 상이한 색의 광을 방출하고, 열 방향을 따라 이웃하여 배열된 서브 픽셀(SP)들은 동일한 색의 광을 방출할 수 있다.

[0078] 기판(10)은 제1 영역(A1), 제2 영역(A2), 제3 영역(A3)을 포함한다. 제1 영역(A1)은 기판(10)의 중심부에 정의되고, 제2 영역(A2)은 제1 영역(A1)과 열 방향으로 이웃한 영역으로, 기판(10)의 일측 예지부에 정의된다. 제3 영역(A3)은 제1 영역(A1)과 열 방향으로 이웃한 영역으로, 기판(10)의 타측 예지부에 정의된다. 즉, 제2 영역(A2) 및 제3 영역(A3)은 제1 영역(A1)과 열 방향으로 이웃하며, 제1 영역(A1)을 기준으로 양측 예지부에 각각 정의될 수 있다. 이에 따라, 제2 영역(A2), 제1 영역(A1), 제3 영역(A3)은, 기판(10) 상에서 열 방향을 따라 순차적으로 배치된다.

[0079] 제1 영역(A1)에 할당되는 행의 개수는, 제2 영역(A2)에 할당되는 행의 개수 및 제3 영역(A3)에 할당되는 행의 개수보다 크게 설정된다. 도면에서는, 제1 영역(A1)에 6개 행에 배열된 복수의 서브 픽셀(SP)들이 할당되고, 제2 영역(A2)에 2개 행에 배열된 복수의 서브 픽셀(SP)들이 할당되며, 제3 영역(A3)에 2개 행에 배열된 복수의 서브 픽셀(SP)이 할당되는 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 예를 들어, 제2 영역(A2)에 할당되는 행의 개수와, 제3 영역(A3)에 할당되는 행의 개수는 상이할 수 있다.

[0080] 서브 픽셀(SP)들에는, 유기발광 다이오드의 제1 전극(30)이 배치된다. 제1 전극(30)은 서브 픽셀(SP)들 각각에 하나씩 할당될 수 있다.

[0081] 제1 전극(30) 상에는, 뱅크(40)가 배치된다. 뱅크(40)는 제1 뱅크(41), 및 제2 뱅크(43)를 포함한다.

[0082] 제1 뱅크(41)는 제1 전극(30)의 적어도 일부를 노출시키는 제1 개구부(OA1)를 포함한다. 복수의 제1 개구부(OA1)들은 열 방향으로 나란하게 배열되며, 행 방향으로 각각 연장된다. 제1 개구부(OA1)는 행 방향으로 연장되어, 행 방향을 따라 배치된 복수의 제1 전극(30)들을 노출시킨다.

[0083] 제1 뱅크(41)는 열 방향으로 이웃하는 제1 전극(30)들 사이에 배치되어, 열 방향으로 이웃하는 서브 픽셀(SP)들을 구획할 수 있다. 제1 뱅크(41)는 열 방향으로 이웃하는 제1 전극(30)들 사이에서, 제1 전극(30)들의 일측을 덮도록 배치될 수 있다.

[0084] 제1 뱅크(41)는, 이후 형성될 유기 발광층(50)에 의해 덮일 수 있도록, 상대적으로 얇은 두께로 형성될 수 있다. 제1 뱅크(41)는 친수성 특성을 가질 수 있다. 일 예로, 제1 뱅크(41)는 산화실리콘(SiO₂) 또는 질화실리콘(SiNx)과 같은 친수성의 무기 절연 물질로 형성될 수 있다. 제1 뱅크(41)는, 제1 전극(30)의 소수성 특성에 의한 습윤성(wettability) 불량을 방지하기 위해 구비된 친수 성분의 얇은 막으로, 친수성인 유기 발광 물질을 잘 퍼지게 한다.

[0085] 도면에서는, 제1 개구부(OA1)가 대략 장방형 형상을 갖는 경우를 예로 들어 도시하였으나, 이에 한정되는 것은

아니다. 또한, 제1 개구부(OA1)들이 모두 동일한 형상 및 면적을 갖는 것으로 도시하였으나 이에 한정되는 것은 아니며, 적어도 어느 하나의 제1 개구부(OA1)는 다른 하나의 제1 개구부(OA1)와 상이한 형상 및/또는 면적을 가질 수 있다.

[0086] 제1 뱅크(41)가 형성된 기판(10) 상에는, 제2 뱅크(43)가 위치한다. 제2 뱅크(43)는 제1 전극(30)의 적어도 일부를 노출시키는 제2 개구부(OA2) 및 제3 개구부(OA3)을 포함한다. 이하에서는, 설명의 편의를 위해, 제3 개구부(OA3)가 제2 영역(A2) 및 제3 영역(A3) 모두에 형성된 경우를 예로 들어 설명하나, 이에 한정되는 것은 아니다. 예를 들어, 제3 개구부(OA3)는, 제2 영역(A2) 및 제3 영역(A3) 중 적어도 하나 이상에 선택적으로 형성될 수 있다.

[0087] 제1 영역(A1)에서, 제2 뱅크(43)는 행 방향으로 이웃하는 제1 전극(30)들 사이에 배치되어, 행 방향으로 이웃하는 서브 픽셀(SP)들을 구획할 수 있다. 제2 뱅크(43)는 행 방향으로 이웃하는 제1 전극(30)들 사이에서, 제1 전극(30)들의 일측을 덮도록 배치될 수 있다.

[0088] 제2 개구부(OA2)들은 제1 영역(A1)에 배치된다. 제2 개구부(OA2)들은 열 방향으로 각각 연장되며, 행 방향으로 나란하게 배열된다. 제2 개구부(OA2)는 열 방향으로 연장되어, 열 방향을 따라 배치된 복수의 제1 전극(30)들을 노출시킨다. 즉, 하나의 제2 개구부(OA2)에는, 열 방향을 따라 배열된 복수의 제1 전극(30)들이 할당된다.

[0089] 제2 영역(A2) 및 제3 영역(A3)에서, 제2 뱅크(43)는 행 방향으로 이웃하는 제1 전극(30)들 사이에 배치되고, 열 방향으로 이웃하는 제1 전극(30)들 사이에 배치되어, 행 방향 및 열 방향으로 이웃하는 서브 픽셀(SP)들을 구획할 수 있다. 제2 뱅크(43)는 행 방향 및 열 방향으로 이웃하는 제1 전극(30)들 사이에서, 제1 전극(30)들의 일측을 덮도록 배치될 수 있다.

[0090] 제3 개구부(OA3)는 하나의 제1 전극(30)에 하나씩 할당될 수 있다. 제2 뱅크(43)는 제2 영역(A2) 및 제3 영역(A3)에서, 제1 전극(30)의 가장자리를 덮도록 형성되어 제1 전극(30)의 중심부의 대부분을 노출시킬 수 있다.

[0091] 제3 개구부(OA3)의 경계는 제1 전극(30)의 경계 내측에 위치할 수 있다. 제3 개구부(OA3)의 경계는 제3 개구부(OA1)의 평면 형상을 결정한다. 제1 전극(30)의 경계는 제1 전극(30)의 평면 형상을 결정한다. 제3 개구부(OA3)의 경계는 제1 전극(30)의 경계 내측으로 기 설정된 간격 이격되어 위치할 수 있다.

[0092] 제2 뱅크(43)는 소수성 특성을 가질 수 있다. 또는, 제2 뱅크(43)는 상부면이 소수성 특성을 가질 수 있고, 측면이 친수성 특성을 가질 수 있다. 일 예로, 제2 뱅크(43)는 절연 물질 상에 소수성 특성의 물질이 코팅된 형태를 가질 수 있고, 소수성 물질이 함유된 절연 물질로 형성될 수 있다. 제2 뱅크는 유기 물질로 이루어질 수 있다. 제2 뱅크(43)의 소수성 특성은, 유기 발광층(50)을 구성하는 유기 발광 물질이 발광 영역의 중앙부로 모이도록 밀어내는 기능을 할 수 있다. 또한, 제2 뱅크(43)는 서로 다른 색의 유기 발광 물질이 서로 혼합되는 것을 방지할 수 있도록, 해당 영역에 적하된 유기 발광 물질을 가두는 베리어(barrier)로써 기능할 수 있다.

[0093] 도면에서는, 제2 개구부(OA2) 및 제3 개구부(OA3)가 대략 장방형 형상을 갖는 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 또한, 제2 개구부(OA2)들이 모두 동일한 형상 및 면적을 갖는 것으로 도시하였으나 이에 한정되는 것은 아니며, 적어도 어느 하나의 제2 개구부(OA2)는 다른 하나의 제2 개구부(OA2)와 상이한 형상 및/또는 면적을 가질 수 있다. 또한, 제3 개구부(OA3)들이 모두 동일한 형상 및 면적을 갖는 것으로 도시하였으나 이에 한정되는 것은 아니며, 적어도 어느 하나의 제3 개구부(OA3)는 다른 하나의 제3 개구부(OA3)와 상이한 형상 및/또는 면적을 가질 수 있다. 예를 들어, 제2 개구부(OA2) 및 제3 개구부(OA3)의 형상 및/또는 면적은, 유기 발광 물질의 수명을 고려하여 적절히 선택될 수 있다.

[0094] 제2 뱅크(43)가 형성된 기판(10) 상에, 유기 발광층(50)이 위치한다. 유기 발광층(50)은 제2 개구부(OA2) 및 제3 개구부(OA3) 상에 각각 형성된다. 열 방향으로 이웃하는 제2 개구부(OA2)와 제3 개구부(OA3)에 형성된 유기 발광층(50)은 동일 색을 발광한다. 행 방향으로 이웃하는 제2 개구부(OA2)들에 형성된 유기 발광층(50)은 상이한 색을 발광한다. 행 방향으로 이웃하는 제3 개구부(OA3)들에 형성된 유기 발광층(50)은 상이한 색을 발광한다.

[0095] 유기 발광층(50)은, 제1 영역(A1)에서, 대응되는 제2 개구부(OA2) 내에, 제2 개구부(OA2)의 연장 방향을 따라 형성될 수 있다. 즉, 하나의 제2 개구부(OA2)에 적하된 유기 발광 물질은, 제2 개구부(OA2)에 의해 노출된 제1 전극(30)들 및 제1 뱅크(41)들을 덮는다. 경화 공정 이후 제2 개구부(OA2) 내에 형성된 유기 발광층(50)은, 제1 뱅크(41)에 의해 물리적으로 분리되지 않고, 제1 뱅크(41) 상에서 연속성을 유지한다.

[0096] 하나의 제2 개구부(OA2)에 의해 노출된 복수의 제1 전극(30)들 상에는, 동일한 색의 유기 발광 물질이

적하된다. 이는, 하나의 제2 개구부(OA2)와 대응되는 위치에 할당된 복수의 서브 픽셀(SP)들에서, 동일한 색의 광이 방출됨을 의미한다. 제2 개구부(OA2) 상에 형성된 유기 발광층(50)의 평면 형상은, 제2 개구부(OA2)의 평면 형상과 대응될 수 있다.

[0097] 유기 발광층(50)은, 제2 영역(A2) 및 제3 영역(A3)에서, 대응되는 제3 개구부(OA3) 내에 형성될 수 있다. 제3 개구부(OA3) 상에 형성된 유기 발광층(50)의 평면 형상은, 제3 개구부(OA3)의 평면 형상과 대응될 수 있다.

[0098] 제1 영역(A1)에서, 서로 다른 색의 유기 발광 물질들은, 대응되는 제2 개구부(OA2)들 각각에 행 방향을 따라 순차적으로 교변하여 적하될 수 있다. 서로 제2 영역(A2) 및 제3 영역(A3)에서, 서로 다른 색의 유기 발광 물질들은, 대응되는 제3 개구부(OA3)들 각각에 행 방향을 따라 순차적으로 교변하여 적하될 수 있다.

[0099] 서로 다른 색의 유기 발광 물질들은, 적색(R), 녹색(G), 청색(B)을 발광하는 유기 발광 물질을 포함할 수 있다. 필요에 따라서, 백색(W)을 발광하는 유기 발광 물질을 포함할 수도 있다.

[0100] 본 발명의 제2 실시예는 에지부인 제2 영역(A2) 및 제3 영역(A3) 영역에, 제2 개구부(OA2) 대비 좁은 면적을 갖는 제3 개구부(OA3)를 할당한다. 이 경우, 도 8에서 설명한 바와 같이, 에지부에서 유기 발광 물질의 건조 차가 발생하더라도, 내부 유속 차이에 의한 고형분의 유동이 상대적으로 좁은 면적을 갖는 제3 개구부(OA3) 내에서, 제2 뱅크(43)의 소수성 특성에 의해 제한될 수 있다. 이에 따라, 에지부에서, 유기 발광층(50)이 불균일한 두께로 형성되는 문제를 저감할 수 있다.

[0101] 본 발명의 제2 실시예는 에지부에서 유기 발광층(50)의 두께 불균일에 기인한 열룩 불량을 현저히 개선할 수 있는 이점을 갖는다. 이에 따라, 표시 품질이 개선된 유기발광 표시장치를 제공할 수 있다.

[0102] <제3 실시예>

[0103] 도 11은 본 발명의 제3 실시예에 따른 유기발광 표시장치를 개략적으로 나타낸 것으로, 도 2의 AR 영역을 확대 도시한 평면도이다. 도 12는 도 11을 'VII-VII', 'VIII-VIII' 및 'IX-IX'로 절취한 단면도들이다. 도 13은 뱅크 두께에 따른 유기 발광층의 두께 균일도를 설명하기 위한 실험 데이터이다. 제3 실시예를 설명함에 있어서, 제2 실시예와 실질적으로 동일한 구성에 대한 설명은 생략될 수 있다.

[0104] 도 11 및 도 12를 참조하면, 제3 실시예에 따른 유기발광 표시장치는 서브 픽셀(SP)들이 배열된 표시 영역(AA) 및 표시 영역 외측의 비 표시 영역(NA)을 갖는 기판(10)을 포함한다. 기판(10)은 다양한 평면 형상을 가질 수 있다. 예를 들어, 도면에 도시된 바와 같이 장방형은 물론, 정방형, 원형, 타원형 등의 평면 형상을 모두 포함할 수 있다. 기판(10)에는, 기판(10)의 평면 형상에 관계 없이 서로 교차하는 행 방향(예를 들어, X축 방향) 및 열 방향(예를 들어, Y축 방향)이 정의된다. 행 방향과 열 방향에 의해, 후술하게 될 서브 픽셀 및/또는 개구부의 위치 및 배열 관계 등이 정의될 수 있다.

[0105] 기판(10) 상에는, 회로 소자층(20) 및 회로 소자층(20)에 구비된 소자들에 의해 구동되는 유기발광 다이오드가 배치된다.

[0106] 회로 소자층(20)은, 유기발광 다이오드에 구동 신호를 인가하기 위한 신호 라인 및 전극들이 배열될 수 있고, 신호 라인과 전극들은 필요에 따라 적어도 하나의 절연층을 사이에 두고 구분되어 배치될 수 있다. 유기발광 표시장치가 AM(Active Matrix) 방식으로 구현되는 경우, 회로 소자층(20)은 각 서브 픽셀(SP)마다 할당되는 트랜지스터를 더 포함할 수 있다. 트랜지스터는 탑 게이트(top gate), 바텀 게이트(bottom gate), 더블 게이트(double gate) 구조 등 다양한 구조로 구현될 수 있다. 또한, 트랜지스터는 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 트랜지스터들을 구성하는 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 예를 들어, 트랜지스터의 세부 구조는 도 7에 도시된 구조로 구현될 수 있으나, 이에 한정되는 것은 아니다.

[0107] 유기발광 다이오드는 제1 전극(30), 제2 전극(60), 및 제1 전극(30)과 제2 전극(60) 사이에 개재된 유기 발광층(50)을 포함한다. 제1 전극(30)은 애노드일 수 있고, 제2 전극(60)은 캐소드일 수 있다.

[0108] 좀 더 구체적으로, 기판(10) 상에는 복수의 서브 픽셀들이 배열된다. 서브 픽셀(SP)들은 서로 교차하는 행 방향 및 열 방향을 따라 배열될 수 있다. 행 방향을 따라 이웃하여 배열된 서브 픽셀(SP)들은 상이한 색의 광을 방출하고, 열 방향을 따라 이웃하여 배열된 서브 픽셀(SP)들은 동일한 색의 광을 방출할 수 있다.

[0109] 기판(10)은 제1 영역(A1), 제2 영역(A2), 제3 영역(A3)을 포함한다. 제1 영역(A1)은 기판(10)의 중심부에 정의되고, 제2 영역(A2)은 제1 영역(A1)과 열 방향으로 이웃한 영역으로, 기판(10)의 일측 에지부에 정의된다. 제3

영역(A3)은 제1 영역(A1)과 열 방향으로 이웃한 영역으로, 기판(10)의 타측 예지부에 정의된다. 즉, 제2 영역(A2) 및 제3 영역(A3)은 제1 영역(A1)과 열 방향으로 이웃하며, 제1 영역(A1)을 기준으로 양측 예지부에 각각 정의될 수 있다. 이에 따라, 제2 영역(A2), 제1 영역(A1), 제3 영역(A3)은, 기판(10) 상에서 열 방향을 따라 순차적으로 배치된다.

[0110] 제1 영역(A1)에 할당되는 행의 개수는, 제2 영역(A2)에 할당되는 행의 개수 및 제3 영역(A3)에 할당되는 행의 개수보다 크게 설정된다. 도면에서는, 제1 영역(A1)에 6개 행에 배열된 복수의 서브 팩셀(SP)들이 할당되고, 제2 영역(A2)에 2개 행에 배열된 복수의 서브 팩셀(SP)들이 할당되며, 제3 영역(A3)에 2개 행에 배열된 복수의 서브 팩셀(SP)이 할당되는 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 예를 들어, 제2 영역(A2)에 할당되는 행의 개수와, 제3 영역(A3)에 할당되는 행의 개수는 상이할 수 있다.

[0111] 서브 팩셀(SP)들에는, 유기발광 다이오드의 제1 전극(30)이 배치된다. 제1 전극(30)은 서브 팩셀(SP)들 각각에 하나씩 할당될 수 있다.

[0112] 제1 전극(30) 상에는, 뱅크(40)가 배치된다. 뱅크(40)는 제1 뱅크(41), 및 제2 뱅크(43)를 포함한다.

[0113] 제1 뱅크(41)는 제1 전극(30)의 적어도 일부를 노출시키는 제1 개구부(OA1)를 포함한다. 복수의 제1 개구부(OA1)들은 열 방향으로 나란하게 배열되며, 행 방향으로 각각 연장된다. 제1 개구부(OA1)는 행 방향으로 연장되어, 행 방향을 따라 배치된 복수의 제1 전극(30)들을 노출시킨다.

[0114] 제1 뱅크(41)는 열 방향으로 이웃하는 제1 전극(30)들 사이에 배치되어, 열 방향으로 이웃하는 서브 팩셀(SP)들을 구획할 수 있다. 제1 뱅크(41)는 열 방향으로 이웃하는 제1 전극(30)들 사이에서, 제1 전극(30)들의 일측을 덮도록 배치될 수 있다.

[0115] 제1 뱅크(41)는 제1 영역(A1)에 배치된다. 또한, 제1 뱅크(41)는 제2 영역(A2) 및/또는 제3 영역(A3)에 선택적으로 배치될 수 있다. 예를 들어, 후술하겠으나, 본 발명의 제2 실시예에서는, 예지부에서의 유기 발광층(50)의 두께 균일도를 개선하기 위해, 제1 뱅크(41)는, 제2 영역(A2)에서 기 설정된 부분에만 선택적으로 배치될 수 있고, 제3 영역(A3)에서 기 설정된 부분에만 선택적으로 배치될 수 있다. 즉, 제2 영역(A2) 및 제3 영역(A3) 중 적어도 어느 하나는, 제1 뱅크(41)가 열 방향으로 이웃하는 제1 전극(30)들 사이에 배치되지 않는 일 영역을 포함할 수 있다.

[0116] 제1 뱅크(41)가 형성된 기판(10) 상에는, 제2 뱅크(43)가 위치한다. 제2 뱅크(43)는 제1 전극(30)의 적어도 일부를 노출시키는 제2 개구부(OA2) 및 제3 개구부(OA3)을 포함한다. 이하에서는, 설명의 편의를 위해, 제3 개구부(OA3)가 제2 영역(A2) 및 제3 영역(A3) 모두에 형성된 경우를 예로 들어 설명하나, 이에 한정되는 것은 아니다. 즉, 제3 개구부(OA3)는, 제2 영역(A2) 및 제3 영역(A3) 중 적어도 하나 이상에 선택적으로 형성될 수 있다.

[0117] 제2 뱅크(43)는 행 방향으로 이웃하는 제1 전극(30)들 사이에 배치되는 제2-1 뱅크(43-1), 및 열 방향으로 이웃하는 제1 전극(30)들 사이에 배치되는 제2-2 뱅크(43-3)를 포함한다. 제2-1 뱅크(43-1)는 제1 영역, 제2 영역, 제3 영역에 길게 연장되어 배치될 수 있다. 제2-2 뱅크(43-2)는 제1 영역에 배치되지 않고, 제2 영역 및 제3 영역에 배치될 수 있다.

[0118] 제1 영역(A1)에서, 제2 뱅크(43)는 행 방향으로 이웃하는 제1 전극(30)들 사이에 배치되어, 행 방향으로 이웃하는 서브 팩셀(SP)들을 구획할 수 있다. 제2 뱅크(43)는 행 방향으로 이웃하는 제1 전극(30)들 사이에서, 제1 전극(30)들의 일측을 덮도록 배치될 수 있다.

[0119] 제2 개구부(OA2)들은 제1 영역(A1)에 배치된다. 제2 개구부(OA2)들은 열 방향으로 각각 연장되어, 행 방향으로 나란하게 배열된다. 제2 개구부(OA2)는 열 방향으로 연장되어, 열 방향을 따라 배치된 복수의 제1 전극(30)들을 노출시킨다. 즉, 하나의 제2 개구부(OA2)에는, 열 방향을 따라 배열된 복수의 제1 전극(30)들이 할당된다.

[0120] 제2 영역(A2) 및 제3 영역(A3)에서, 제2 뱅크(43)는 행 방향으로 이웃하는 제1 전극(30)들 사이에 배치되고, 열 방향으로 이웃하는 제1 전극(30)들 사이에 배치되어, 행 방향 및 열 방향으로 이웃하는 서브 팩셀(SP)들을 구획할 수 있다. 제2 뱅크(43)는 행 방향 및 열 방향으로 이웃하는 제1 전극(30)들 사이에서, 제1 전극(30)들의 일측을 덮도록 배치될 수 있다.

[0121] 제3 개구부(OA3)는 하나의 제1 전극(30)에 하나씩 할당될 수 있다. 제2 뱅크(43)는 제2 영역(A2) 및 제3 영역(A3)에서, 제1 전극(30)의 가장자리를 덮도록 형성되어 제1 전극(30)의 중심부의 대부분을 노출시킬 수 있다.

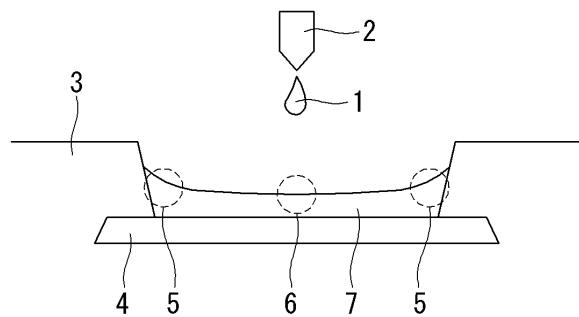
- [0122] 제3 개구부(OA3)의 경계는 제1 전극(30)의 경계 내측에 위치할 수 있다. 제3 개구부(OA3)의 경계는 제3 개구부(OA1)의 평면 형상을 결정한다. 제1 전극(30)의 경계는 제1 전극(30)의 평면 형상을 결정한다. 제3 개구부(OA3)의 경계는 제1 전극(30)의 경계 내측으로 기 설정된 간격 이격되어 위치할 수 있다.
- [0123] 이에 따라, 제1 영역(A1)에서는, 제1 뱅크(41)와 제2 뱅크(43)의 조합 구조에 의해 노출된 제1 전극(30)의 일부가 발광 영역으로 정의될 수 있고, 제2 영역(A2) 및 제3 영역(A3)에서는 제2 뱅크(41)에 의해 노출된 제1 전극(30)의 일부가 발광 영역으로 정의될 수 있다.
- [0124] 제2 뱅크(43)가 형성된 기판(10) 상에, 유기 발광층(50)이 위치한다. 유기 발광층(50)은 제2 개구부(OA2) 및 제3 개구부(OA3) 상에 각각 형성된다.
- [0125] 도 12에 도시된 바와 같이, 열 방향을 따라 이웃하는 제1 전극(30)들 사이에 배치되는 뱅크(40)의 두께는, 제1 영역(A1)과, 제2 및 제3 영역(A2, A3)에서 서로 상이하다. 즉, 제2 영역(A2) 및 제3 영역(A3)에서 열 방향을 따라 이웃하는 제1 전극(30)들 사이에 배치되는 뱅크(40)의 두께는, 제1 영역(A1)에서 열 방향을 따라 이웃하는 제1 전극(30)들 사이에 배치되는 뱅크(40)의 두께 보다 얇게 설정될 수 있다.
- [0126] 예를 들어, 제1 영역(A1)에서, 열 방향을 따라 이웃하는 제1 전극(30)들 사이에 배치되는 뱅크(40)는, 제1 뱅크(41)와 제2 뱅크(43)가 적층된 구조를 갖기 때문에, 제1 두께(t1)를 갖는다. 이에 비하여, 제2 영역(A2) 및 제3 영역(A3)에서, 열 방향을 따라 이웃하는 제1 전극(30)들 사이에 배치되는 뱅크(40)는, 제2 뱅크(43)만으로 구성되기 때문에, 제1 두께(t1) 보다 얇은 제2 두께(t2)를 갖는다.
- [0127] 이와 같이, 제2 및 제3 영역(A2, A3)에서, 제2 뱅크(43)만을 이용하여, 낮은 두께로 뱅크(40)를 형성하는 경우, 에지부에서 유기 발광층의 두께 균일도 확보에 유리할 수 있다.
- [0128] 좀 더 구체적으로, 도 13은, 제1 실험예와 제2 실험예에서 유기 발광층(50)의 두께 프로 파일(profile)을 비교한 실험 데이터이다. 제1 실험예는, 유기 발광층(50)을 가두는 뱅크(40)가 제1 뱅크(41)와 제2 뱅크(43)의 적층 구조를 갖는다. 제1 실험예는 제1 실시예에서 제2 영역(A2) 및 제3 영역(A3)의 뱅크(40) 구조에 대응할 수 있다. 제1 실험예에서, 뱅크(40)는 $2.0\mu\text{m}$ 의 두께를 갖는다. 제2 실험예는 유기 발광층(50)을 가두는 뱅크(40)가 제2 뱅크(42)의 단일층 구조를 갖는다. 제2 실험예는 제2 실시예에서, 제2 영역(A2) 및 제3 영역(A3)의 뱅크(40) 구조에 대응할 수 있다. 제2 실험예에서, 뱅크는 $1.5\mu\text{m}$ 의 두께를 갖는다.
- [0129] 실험 데이터에서 나타난 바와 같이, 제2 실험예의 구조가 제1 실험예의 구조 대비 유기 발광층의 두께 균일도 확보에 유리함을 알 수 있다.
- [0130] 본 발명의 제2 실시예는, 제2 및 제3 영역(A2, A3)에서, 제2 뱅크(42)의 단일층 구조로 뱅크(40)를 구성함으로써, 에지부에서, 유기 발광층(50)이 불균일한 두께로 형성되는 문제를 최소화할 수 있다.
- [0131] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특히 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

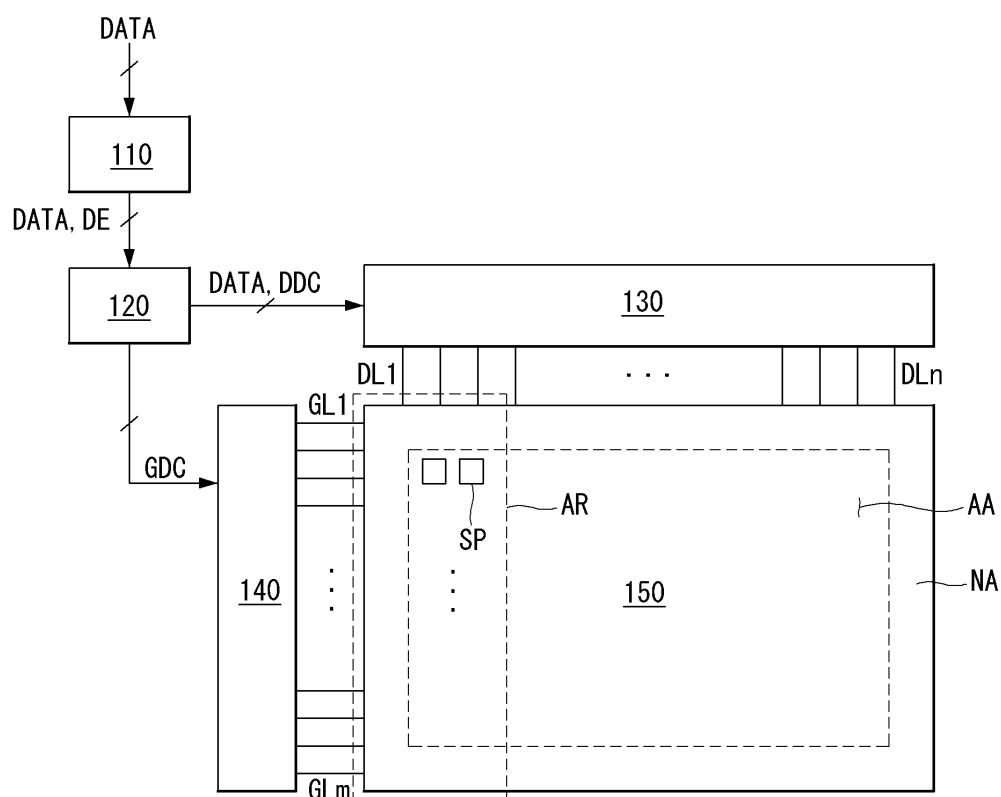
- [0132] 10 : 기판 20 : 회로 소자층
 30 : 제1 전극 40 : 뱅크
 41 : 제1 뱅크 OA1 : 제1 개구부
 43 : 제2 뱅크 OA2 : 제2 개구부
 OA3 : 제3 개구부 50 : 유기 발광층
 60 : 제2 전극

도면

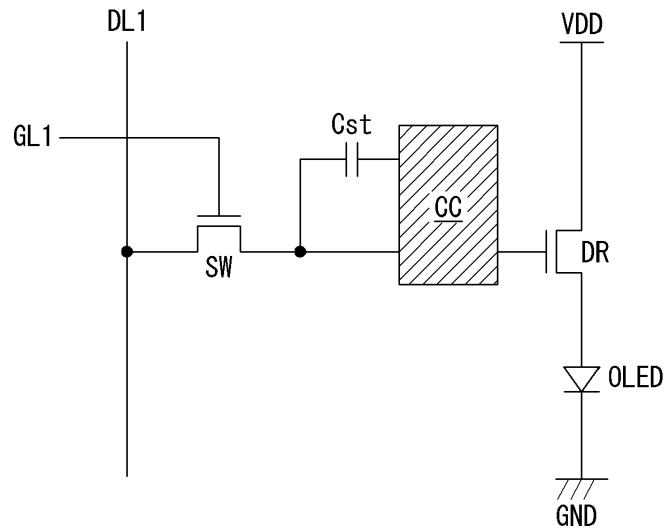
도면1



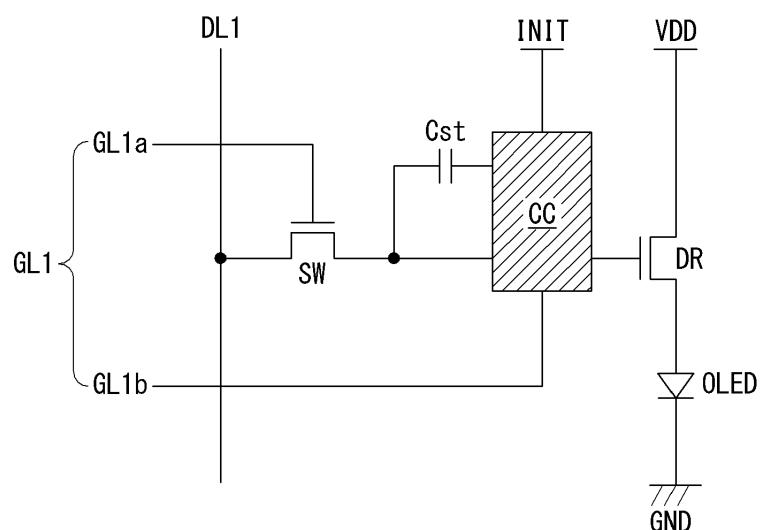
도면2



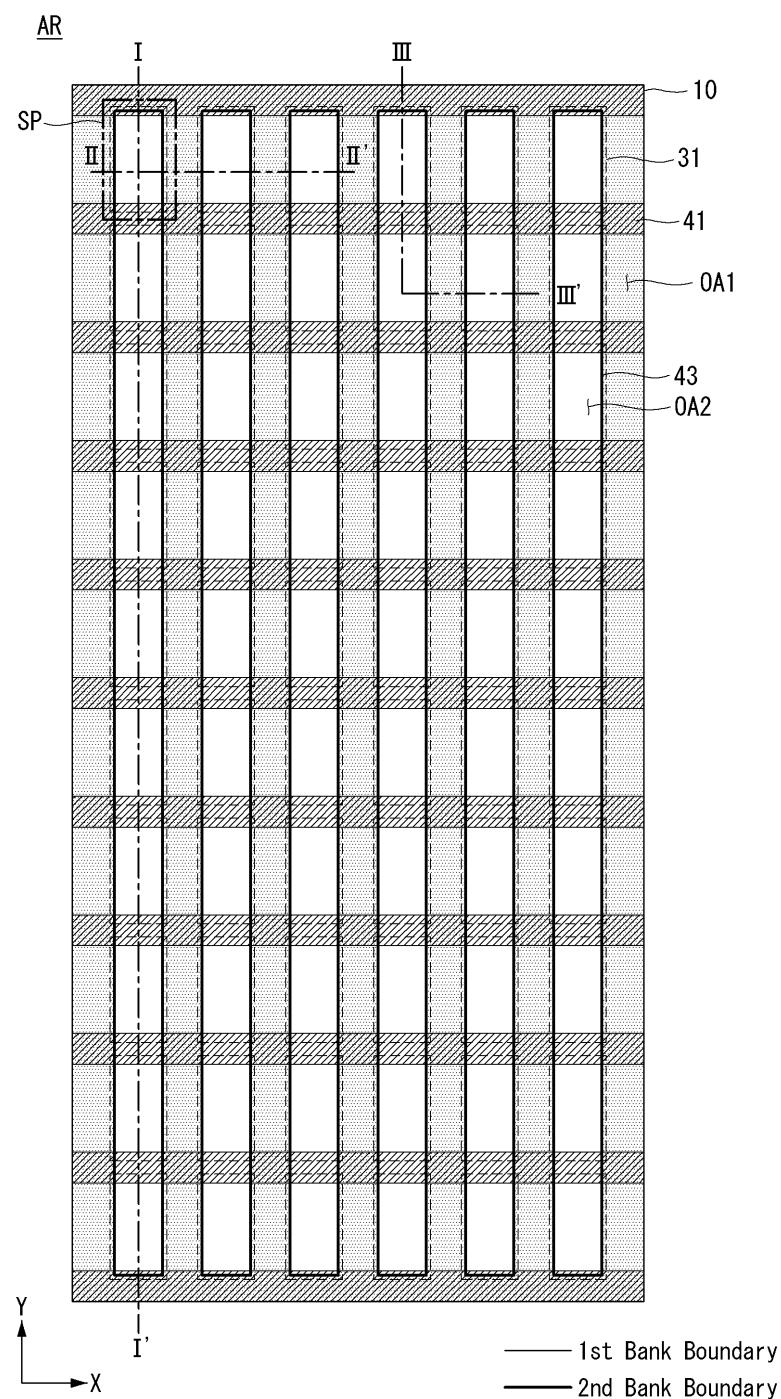
도면3



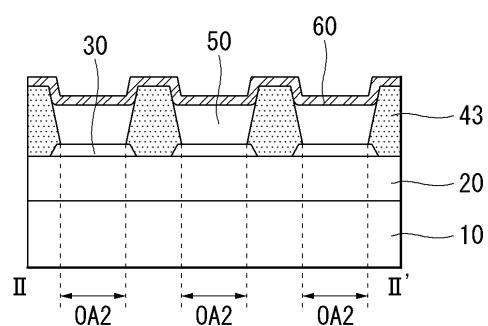
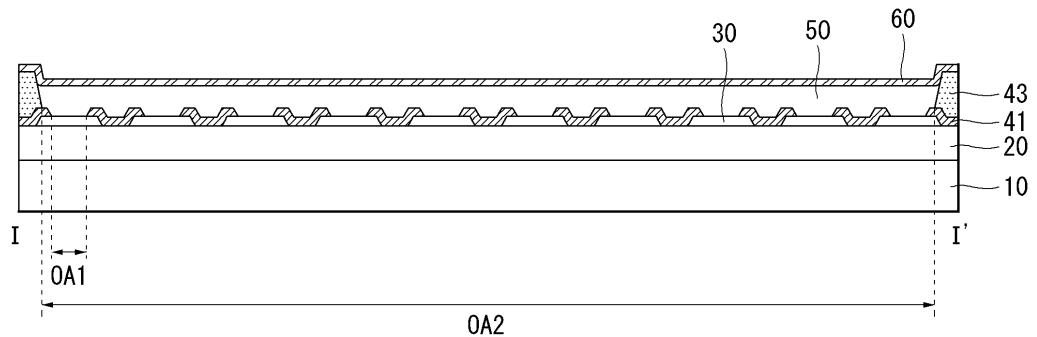
도면4



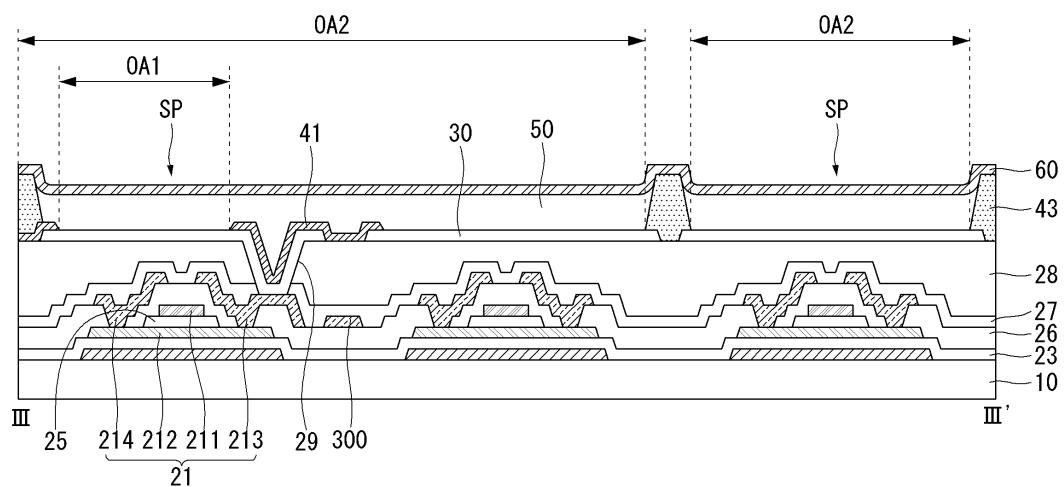
도면5



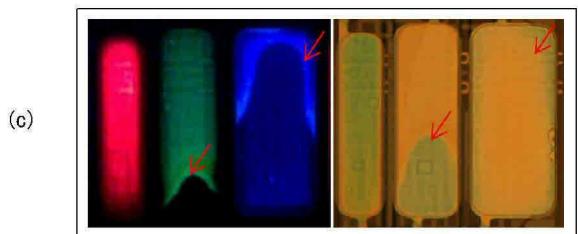
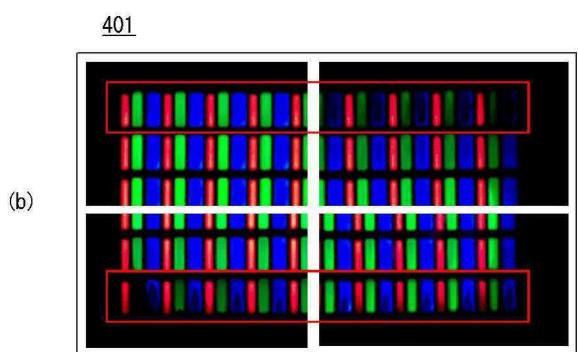
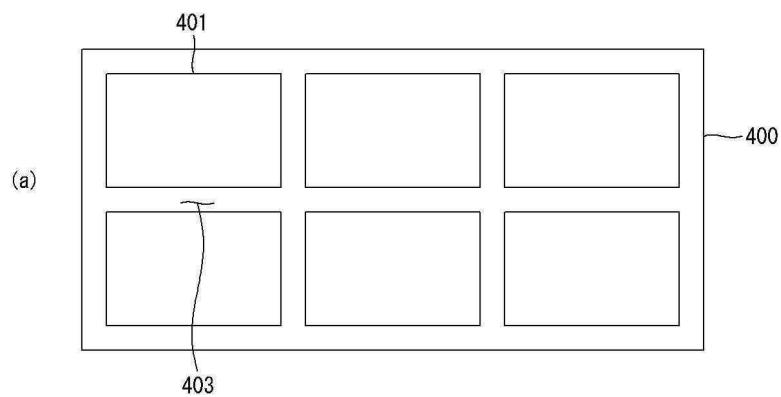
도면6



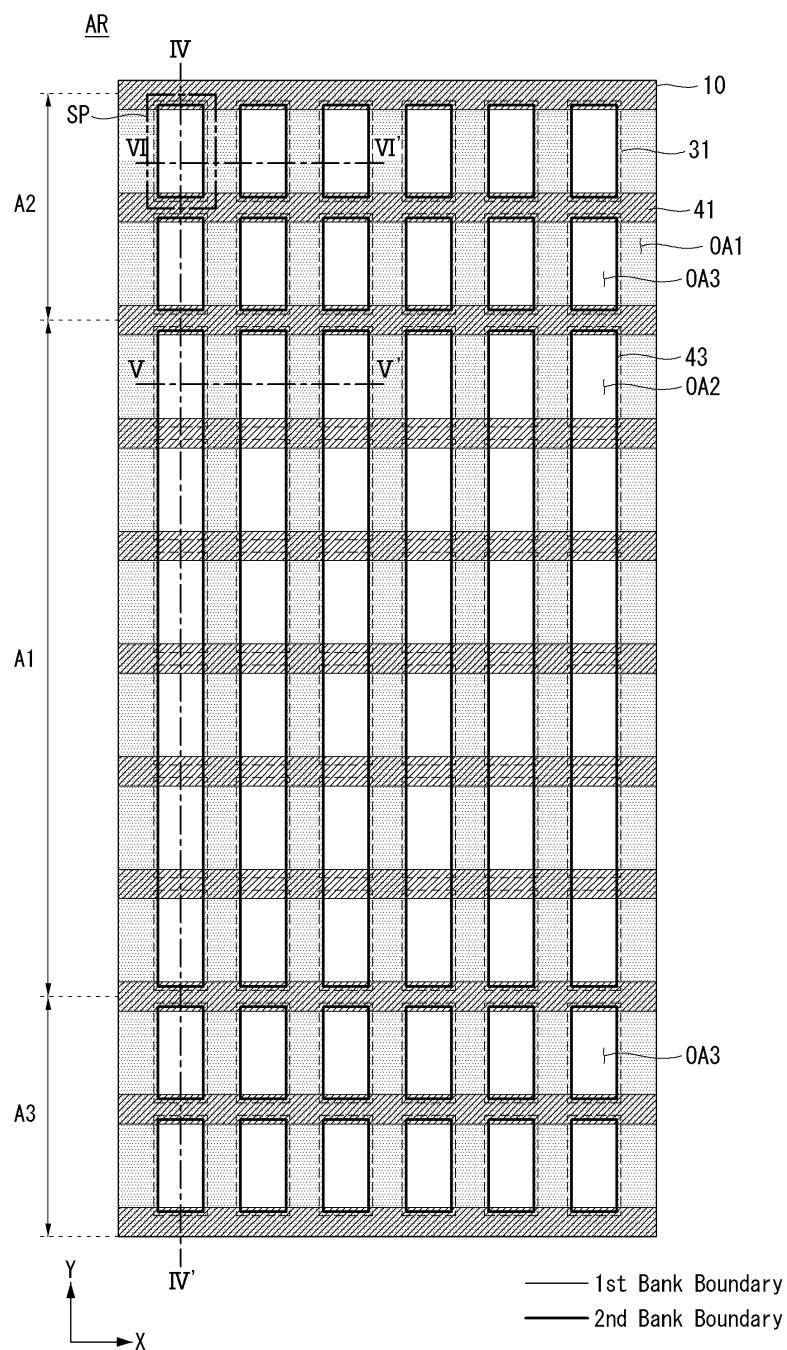
도면7



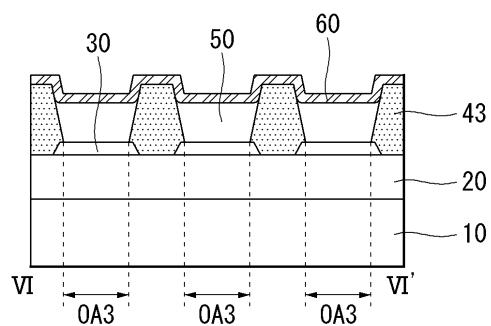
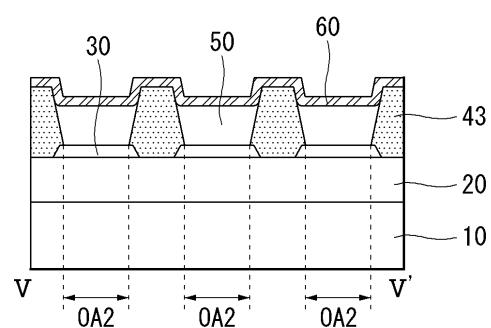
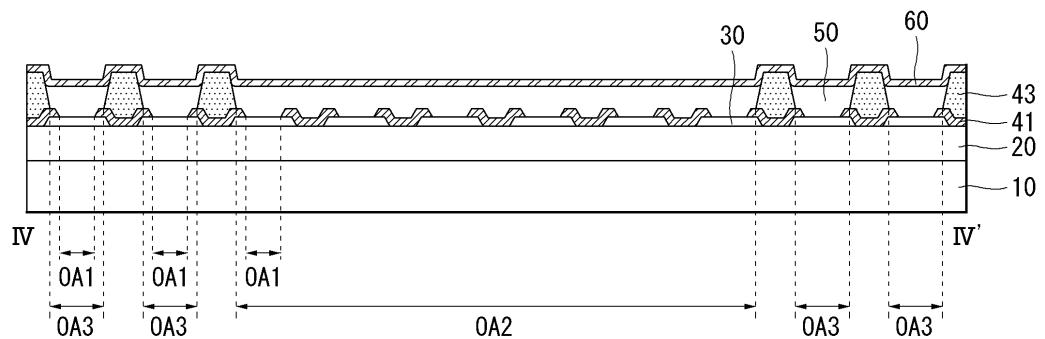
도면8



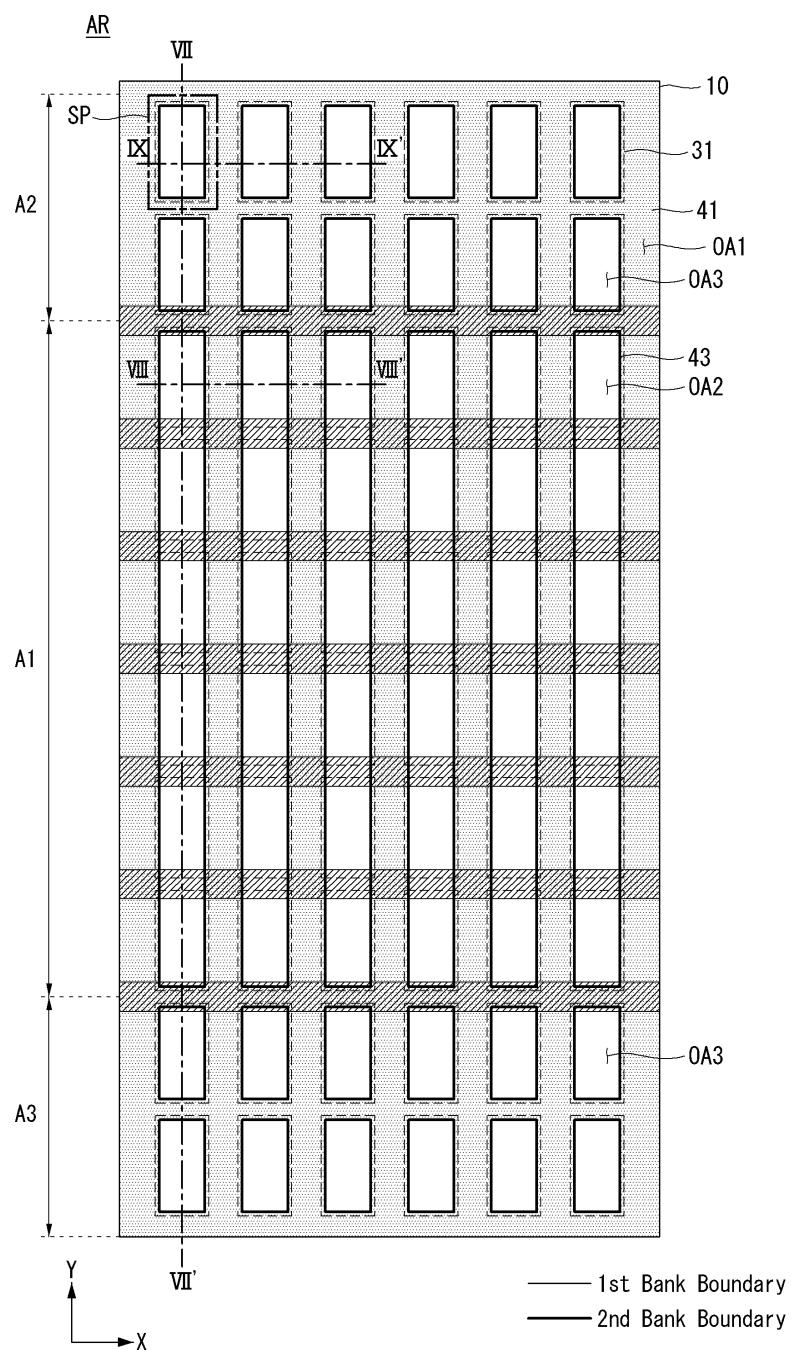
도면9



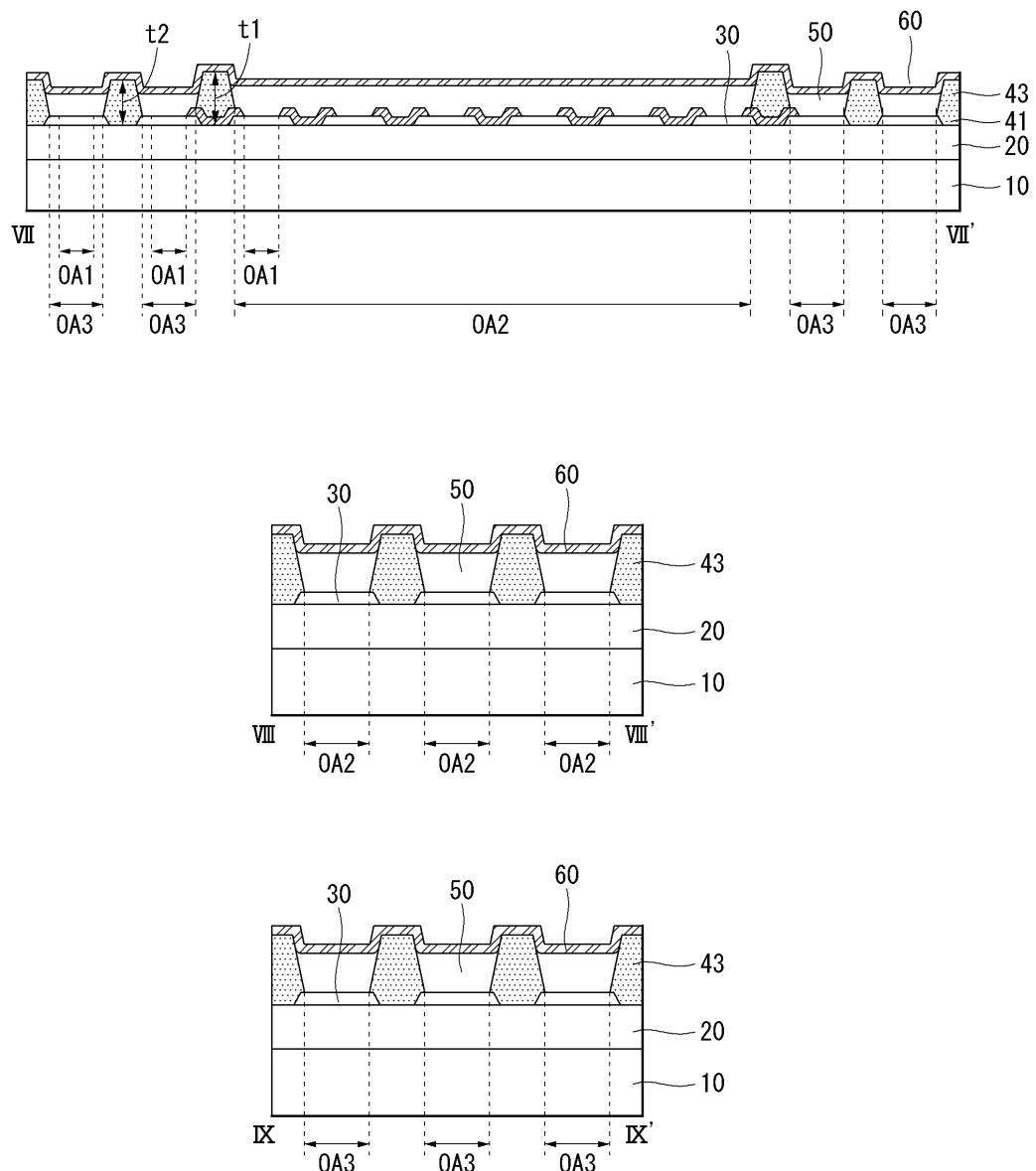
도면10



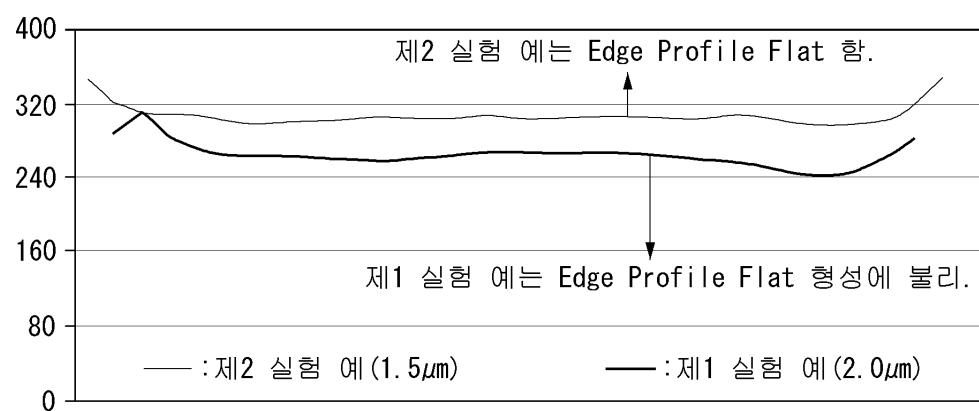
도면11



도면12



도면13



专利名称(译)	有机发光显示装置		
公开(公告)号	KR1020200079952A	公开(公告)日	2020-07-06
申请号	KR1020180169685	申请日	2018-12-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김수진 강대일 김도중		
发明人	김수진 강대일 김도중		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3246 H01L27/3211 H01L51/50		

摘要(译)

根据本发明的有机发光显示装置包括基板,子像素,第一电极和堤。基板在列方向上与第一区域,第一区域相邻,并且具有分别在基于第一区域的两个边缘部分处限定的第二区域和第三区域。多个子像素沿着列方向和与列方向交叉的行方向布置在基板上。第一电极被分配给子像素。堤设置在第一电极上。银行包括第一银行和第二银行。第一堤岸具有第一开口,该第一开口暴露出沿第一方向布置的多个第一电极。第二堤岸包括第二开口和第三开口。第二开口暴露在第一区域中沿第二方向布置的多个第一电极。第三开口暴露出第二区域和第三区域中的至少一个中的一个第一电极。

