



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0077320
(43) 공개일자 2020년06월30일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3293 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2018-0166706
(22) 출원일자 2018년12월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김의태
경기도 파주시 월롱면 엘지로 245
심다혜
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인다나

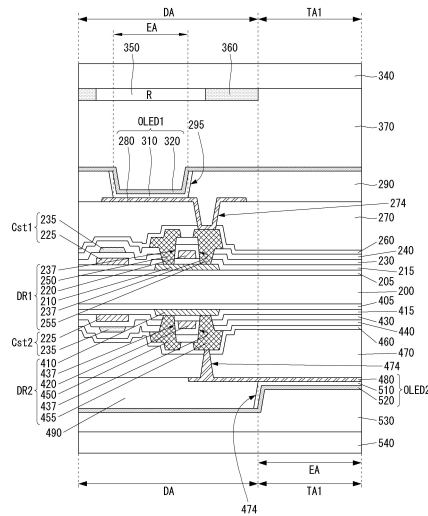
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 표시장치

(57) 요약

본 발명의 일 실시예에 따른 표시장치는 회로부 및 투과부가 구비된 제1 기판, 상기 제1 기판의 일면에 배치되며, 상기 회로부와 중첩하는 제1 유기발광 다이오드, 상기 제1 기판의 타면에 배치되며, 상기 투과부와 중첩하는 제2 유기발광 다이오드, 및 상기 제1 기판의 일면과 마주보는 제2 기판을 포함하며, 상기 제1 유기발광 다이오드와 상기 제2 유기발광 다이오드는 상기 제2 기판으로 광을 방출할 수 있다.

대표도 - 도14



(52) CPC특허분류

H01L 27/3246 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/5237 (2013.01)

H01L 51/5284 (2013.01)

명세서

청구범위

청구항 1

회로부 및 투과부가 구비된 제1 기관;

상기 제1 기관의 일면에 배치되며, 상기 회로부와 중첩하는 제1 유기발광 다이오드;

상기 제1 기관의 타면에 배치되며, 상기 투과부와 중첩하는 제2 유기발광 다이오드; 및

상기 제1 기관의 일면과 마주보는 제2 기관;을 포함하며,

상기 제1 유기발광 다이오드와 상기 제2 유기발광 다이오드는 상기 제2 기관으로 광을 방출하는 표시장치.

청구항 2

제1 항에 있어서,

상기 제1 유기발광 다이오드는 제1 구동 트랜지스터를 포함하고, 상기 제2 유기발광 다이오드는 제2 구동 트랜지스터를 포함하는 표시장치.

청구항 3

제2 항에 있어서,

상기 제1 구동 트랜지스터와 상기 제2 구동 트랜지스터는 상기 제2 기관을 사이에 두고 서로 중첩하는 표시장치.

청구항 4

제2 항에 있어서,

상기 제1 유기발광 다이오드는 상기 제1 구동 트랜지스터에 연결된 제1 하부전극과, 상기 제1 하부전극 상에 배치된 제1 유기막층 및 상기 제1 유기막층 상에 배치된 제2 상부전극을 포함하고,

상기 제2 유기발광 다이오드는 상기 제2 구동 트랜지스터에 연결된 제2 하부전극과, 상기 제2 하부전극 상에 배치된 제2 유기막층 및 상기 제2 유기막층 상에 배치된 제2 상부전극을 포함하는 표시장치.

청구항 5

제4 항에 있어서,

상기 제1 하부전극은 반사 전극이고, 상기 제2 하부전극은 투과 전극인 표시장치.

청구항 6

제4 항에 있어서,

상기 제1 하부전극은 상기 회로부와 중첩되고, 상기 제2 하부전극은 상기 투과부에 중첩하는 표시장치.

청구항 7

제1 항에 있어서,

상기 제1 유기발광 다이오드는 적색, 녹색 및 청색 중 적어도 2개의 광을 방출하고, 상기 제2 유기발광 다이오드는 적색, 녹색 및 청색 중 상기 제1 유기발광 다이오드에서 방출되는 광을 제외한 나머지 하나의 광을 방출하는 표시장치.

청구항 8

제7 항에 있어서,
상기 제2 유기발광 다이오드는 단일 색을 발광하는 표시장치.

청구항 9

제4 항에 있어서,
상기 제1 유기발광 다이오드는 상기 제1 하부전극을 구획하는 제1 बैं크층을 더 포함하고, 상기 제2 유기발광 다이오드는 상기 제2 하부전극을 구획하는 제2 बैं크층을 더 포함하는 표시장치.

청구항 10

제9 항에 있어서,
상기 제1 기관과 마주보는 상기 제2 기관의 일면에 배치된 블랙 매트릭스를 더 포함하고,
상기 제1 बैं크층은 상기 블랙 매트릭스의 폭보다 넓은 폭으로 이루어지고, 상기 제2 बैं크층은 상기 블랙 매트릭스의 폭과 같거나 작은 폭으로 이루어지는 표시장치.

청구항 11

제1 항에 있어서,
상기 제1 기관의 일면에 배치된 제1 패드부;
제1 칩온필름을 통해 상기 제1 패드부에 연결되는 제1 인쇄회로기판;
상기 제1 기관의 타면에 배치된 제2 패드부; 및
제2 칩온필름을 통해 상기 제2 패드부에 연결되는 제2 인쇄회로기판;을 더 포함하며,
상기 제1 인쇄회로기판과 상기 제2 인쇄회로기판은 서로 중첩되는 표시장치.

청구항 12

제1 항에 있어서,
상기 제1 기관의 일면에 배치된 제1 패드부;
제1 칩온필름을 통해 상기 제1 패드부에 연결되는 제1 인쇄회로기판;
상기 제1 기관의 타면에 배치된 제2 패드부; 및
제2 칩온필름을 통해 상기 제2 패드부에 연결되는 제2 인쇄회로기판;을 더 포함하며,
상기 제1 인쇄회로기판과 상기 제2 인쇄회로기판은 비중첩되는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 표시장치에 관한 것으로, 보다 자세하게는 개구율 및 투과율을 향상시키고 제조비용을 절감할 수 있는 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003] 이 중 유기발광표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰

장점이 있다. 특히, 유기발광표시장치는 유연한(flexible) 플렉서블 기판 위에도 형성할 수 있을 뿐 아니라, 플라즈마 디스플레이 패널(Plasma Display Panel)이나 무기 전계발광(EL) 디스플레이에 비해 낮은 전압에서 구동이 가능하고 전력 소모가 비교적 적으며, 색감이 뛰어나다는 장점이 있다.

[0004] 최근에는 표시장치의 전면에서 후면을 투과하여 볼 수 있는 투명 표시장치가 개발되고 있다. 예를 들어, 투명 유기발광표시장치는 광을 발광하는 발광부 및 외광이 투과하는 투과부로 이루어져 투명 표시장치를 구현한다. 서브픽셀이 커지면 투과부가 작아지고 투과부가 커지면 서브픽셀이 작아지는 트레이드-오프(trade-off) 관계를 가지기 때문에, 서브픽셀 및 투과부의 개구율을 증가시키기 어려운 문제가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 발광부를 증가시켜 휘도 및 수명을 향상시키고, 헤이즈를 저감하고 색순도를 향상시킬 수 있는 표시장치를 제공한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 표시장치는 회로부 및 투과부가 구비된 제1 기판, 상기 제1 기판의 일면에 배치되며, 상기 회로부와 중첩하는 제1 유기발광 다이오드, 상기 제1 기판의 타면에 배치되며, 상기 투과부와 중첩하는 제2 유기발광 다이오드, 및 상기 제1 기판의 일면과 마주보며, 블랙 매트릭스를 포함하는 제2 기판을 포함하며, 상기 제1 유기발광 다이오드와 상기 제2 유기발광 다이오드는 상기 제2 기판으로 광을 방출할 수 있다.

[0007] 상기 제1 유기발광 다이오드는 제1 구동 트랜지스터를 포함하고, 상기 제2 유기발광 다이오드는 제2 구동 트랜지스터를 포함할 수 있다.

[0008] 상기 제1 구동 트랜지스터와 상기 제2 구동 트랜지스터는 상기 제2 기판을 사이에 두고 서로 중첩할 수 있다.

[0009] 상기 제1 유기발광 다이오드는 상기 제1 구동 트랜지스터에 연결된 제1 하부전극과, 상기 제1 하부전극 상에 배치된 제1 유기막층 및 상기 제1 유기막층 상에 배치된 제2 상부전극을 포함하고, 상기 제2 유기발광 다이오드는 상기 제2 구동 트랜지스터에 연결된 제2 하부전극과, 상기 제2 하부전극 상에 배치된 제2 유기막층 및 상기 제2 유기막층 상에 배치된 제2 상부전극을 포함할 수 있다.

[0010] 상기 제1 하부전극은 반사 전극이고, 상기 제2 하부전극은 투과 전극일 수 있다.

[0011] 상기 제1 하부전극은 상기 회로부와 중첩되고, 상기 제2 하부전극은 상기 투과부에 중첩할 수 있다.

[0012] 상기 제1 유기발광 다이오드는 적색, 녹색 및 청색 중 적어도 2개의 광을 방출하고, 상기 제2 유기발광 다이오드는 적색, 녹색 및 청색 중 상기 제1 유기발광 다이오드에서 방출되는 광을 제외한 나머지 하나의 광을 방출할 수 있다.

[0013] 상기 제2 유기발광 다이오드는 단일 색을 발광할 수 있다.

[0014] 상기 제1 유기발광 다이오드는 상기 제1 하부전극을 구획하는 제1 뱅크층을 더 포함하고, 상기 제2 유기발광 다이오드는 상기 제2 하부전극을 구획하는 제2 뱅크층을 더 포함할 수 있다.

[0015] 상기 제1 기판과 마주보는 상기 제2 기판의 일면에 배치된 블랙 매트릭스를 더 포함하고, 상기 제1 뱅크층은 상기 블랙 매트릭스의 폭보다 넓은 폭으로 이루어지고, 상기 제2 뱅크층은 상기 블랙 매트릭스의 폭과 같거나 작은 폭으로 이루어질 수 있다.

[0016] 상기 제1 기판의 일면에 배치된 제1 패드부, 제1 칩온필름을 통해 상기 제1 패드부에 연결되는 제1 인쇄회로기판, 상기 제1 기판의 타면에 배치된 제2 패드부, 및 제2 칩온필름을 통해 상기 제2 패드부에 연결되는 제2 인쇄회로기판을 더 포함하며, 상기 제1 인쇄회로기판과 상기 제2 인쇄회로기판은 서로 중첩될 수 있다.

[0017] 상기 제1 기판의 일면에 배치된 제1 패드부, 제1 칩온필름을 통해 상기 제1 패드부에 연결되는 제1 인쇄회로기판, 상기 제1 기판의 타면에 배치된 제2 패드부, 및 제2 칩온필름을 통해 상기 제2 패드부에 연결되는 제2 인쇄회로기판을 더 포함하며, 상기 제1 인쇄회로기판과 상기 제2 인쇄회로기판은 비중첩될 수 있다.

발명의 효과

[0018] 본 발명의 실시예에 따른 유기발광표시장치는 제1 기관의 배면에 추가의 제2 유기발광 다이오드를 형성하여 투과부에서도 광을 방출함으로써, 개구율을 향상시킬 수 있다.

[0019] 또한, 본 발명의 실시예에 따른 유기발광표시장치는 제2 유기발광 다이오드에 형성되는 बैं크층의 폭을 블랙 매트릭스와 같거나 좁게 형성함으로써, 투과부에서의 투과율, 헤이즈 및 색순도 특성을 향상시킬 수 있는 이점이 있다.

도면의 간단한 설명

- [0020] 도 1은 유기발광표시장치의 개략적인 블록도.
- 도 2는 서브픽셀의 개략적인 회로 구성도.
- 도 3은 서브픽셀의 상세 회로 구성 예시도.
- 도 4는 본 발명의 유기발광표시장치의 서브픽셀들의 레이아웃을 간략히 나타낸 평면도.
- 도 5는 본 발명의 비교예에 따른 서브픽셀을 나타낸 단면도.
- 도 6은 PPI에 따른 투과부의 개구율을 나타낸 그래프.
- 도 7은 투과부의 개구율에 따른 발광부의 개구율을 나타낸 그래프.
- 도 8은 소자의 전류밀도에 따른 수명과 휘도의 관계를 나타낸 그래프.
- 도 9는 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 평면도.
- 도 10은 본 발명의 다른 실시예에 따른 유기발광표시장치를 나타낸 평면도.
- 도 11은 본 발명의 일 실시예에 따른 유기발광표시장치의 서브픽셀 어레이를 개략적으로 나타낸 도면.
- 도 12는 도 11의 서브픽셀 어레이의 전면을 나타낸 도면.
- 도 13은 도 11의 서브픽셀 어레이의 후면을 나타낸 도면.
- 도 14는 본 발명의 일 실시예에 따른 유기발광표시장치의 서브픽셀을 나타낸 단면도.
- 도 15는 비교예에 따른 유기발광표시장치를 간략히 도시한 단면도.
- 도 16은 실시예에 따른 유기발광표시장치를 간략히 도시한 단면도.
- 도 17은 비교예 및 실시예에 따른 투과부의 헤이즈 및 색순도를 나타낸 표.
- 도 18 내지 도 21은 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 단면도.

발명을 실시하기 위한 구체적인 내용

[0021] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0022] 본 발명에 따른 표시장치는 유리 기관 또는 플렉서블 기관 상에 표시소자가 형성된 표시장치이다. 표시장치의 예로, 유기발광표시장치, 액정표시장치, 전기영동표시장치 등이 사용 가능하나, 본 발명에서는 유기발광표시장치를 예로 설명한다. 유기발광표시장치는 애노드와 캐소드 사이에 유기물로 이루어진 유기막층을 포함한다. 따라서, 애노드로부터 공급받는 정공과 캐소드로부터 공급받는 전자가 유기막층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고, 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하는 자발광 표시장치이다.

[0023] 본 발명에 따른 표시장치는 탑 에미션(top emission) 구조의 유기발광표시장치이다. 탑 에미션 구조의 유기발광표시장치는 발광층에서 발광된 광이 상부에 위치한 투명한 제2 전극을 투과하여 방출되는 구조이다.

[0024] 이하, 첨부한 도면을 참조하여, 본 발명의 실시예들을 설명하기로 한다.

- [0025] 도 1은 유기발광표시장치의 개략적인 블록도이고, 도 2는 서브픽셀의 개략적인 회로 구성도이며, 도 3은 서브픽셀의 상세 회로 구성 예시도이다.
- [0026] 도 1에 도시된 바와 같이, 유기발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.
- [0027] 영상 처리부(110)는 외부로부터 공급된 데이터 신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0028] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터 신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0029] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터 신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터 라인들(DL1 ~ DLn)을 통해 데이터 신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0030] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔 신호를 출력한다. 스캔 구동부(140)는 게이트 라인들(GL1 ~ GLm)을 통해 스캔 신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.
- [0031] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터 신호(DATA) 및 스캔 신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브픽셀들(SP)을 포함한다.
- [0032] 서브픽셀들(SP)은 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함하거나 백색 서브픽셀, 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함한다. 서브픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0033] 도 2에 도시된 바와 같이, 하나의 서브픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0034] 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)을 통해 공급된 스캔신호에 응답하여 데이터 라인(DL)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 전원 라인(EVDD)(고전위전압)과 캐소드 전원 라인(EVSS)(저전위전압) 사이로 구동 전류가 흐르도록 동작한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0035] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 외부 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.
- [0036] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱 라인(VREF)(또는 레퍼런스라인)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소스 전극과 유기발광다이오드(OLED)의 애노드 전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)을 통해 전달되는 초기화전압(또는 센싱 전압)을 구동 트랜지스터(DR)의 센싱 노드에 공급하거나 구동 트랜지스터(DR)의 센싱 노드 또는 센싱 라인(VREF)의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0037] 스위칭 트랜지스터(SW)는 데이터 라인(DL)에 소스 전극 또는 드레인 전극이 연결되고, 구동 트랜지스터(DR)의 게이트 전극에 소스 전극 또는 드레인 전극 중 나머지 하나가 연결된다. 구동 트랜지스터(DR)는 전원 라인(EVDD)에 소스 전극 또는 드레인 전극이 연결되고 유기발광다이오드(OLED)의 애노드인 하부전극에 소스 전극 또는 드레인 전극 중 나머지 하나가 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트 전극에 커패시터 하부전극이 연결되고 유기발광다이오드(OLED)의 하부전극에 커패시터 상부전극이 연결된다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)의 소스 또는 드레인 전극 중 나머지 하나에 하부전극이 연결되고 제2 전원 라인(EVSS)에 캐소드 전극인 상부전극이 연결된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)에 소스 전극 또는 드레인 전극이 연결되고 유기발광다이오드(OLED)의 애노드인 하부전극에 소스 전극 또는 드레인 전극이 연결되고 유기발광다이오드(OLED)의 애노드인 하부전극에 소스 전극 또는 드레인 전극이 연결된다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)의 소스 또는 드레인 전극 중 나머지 하나에 하부전극이 연결되고 제2 전원 라인(EVSS)에 캐소드 전극인 상부전극이 연결된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)에 소스 전극 또는 드레인 전극이 연결되고 유기발광다이오드(OLED)의 애노드인 하부전극에 소스 전극 또는 드레인 전극이 연결된다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)의 소스 또는 드레인 전극 중 나머지 하나에 하부전극이 연결되고 제2 전원 라인(EVSS)에 캐소드 전극인 상부전극이 연결된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)에 소스 전극 또는 드레인 전극이 연결되고 유기발광다이오드(OLED)의 애노드인 하부전극에 소스 전극 또는 드레인 전극이 연결된다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)의 소스 또는 드레인 전극 중 나머지 하나에 하부전극이 연결되고 제2 전원 라인(EVSS)에 캐소드 전극인 상부전극이 연결된다.

인 전극이 연결되고 센싱 노드인 유기발광다이오드(OLED)의 하부전극 및 구동 트랜지스터(DR)의 소스 또는 드레인 전극 중 나머지 하나에 소스 전극 또는 드레인 전극 중 나머지가 연결된다.

- [0038] 센싱 트랜지스터(ST)의 동작 시간은 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)에 게이트 전극이 연결되고, 센싱 트랜지스터(ST)는 제2 게이트 라인(GL2)에 게이트 전극이 연결될 수 있다. 이 경우, 제1 게이트 라인(GL1)에는 스캔 신호(Scan)가 전달되고 제2 게이트 라인(GL2)에는 센싱 신호(Sense)가 전달된다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트 전극에 연결된 제1 게이트 라인(GL1)과 센싱 트랜지스터(ST)의 게이트 전극에 연결된 제2 게이트 라인(GL2)은 공통으로 공유하도록 연결될 수 있다.
- [0039] 센싱 라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브픽셀의 센싱 노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱 라인(VREF)을 통한 센싱 동작과 데이터 신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.
- [0040] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0041] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0042] 도 4는 본 발명의 유기발광표시장치의 서브픽셀들의 레이아웃을 간략히 나타낸 평면도이고, 도 5는 본 발명의 비교예에 따른 서브픽셀을 나타낸 단면도이며, 도 6은 PPI에 따른 투과부의 개구율을 나타낸 그래프이고, 도 7은 투과부의 개구율에 따른 발광부의 개구율을 나타낸 그래프이며, 도 8은 소자의 전류밀도에 따른 수명과 휘도의 관계를 나타낸 그래프이다.
- [0043] 도 4를 참조하면, 본 발명의 유기발광표시장치는 표시장치의 전면에서 후면을 투과하여 볼 수 있는 투명 표시장치이다. 투명 유기발광표시장치는 광을 발광하는 제1 내지 제4 서브픽셀(SPn1~SPn4)을 포함한다.
- [0044] 제1 내지 제4 서브픽셀(SPn1~SPn4)은 하나의 행에 4개의 서브픽셀이 배치된다. 제1 및 제2 서브픽셀(SPn1, SPn2)이 하나의 제1 픽셀(PIX1)을 구성하고, 제3 및 제4 서브픽셀(SPn3, SPn4)이 하나의 제2 픽셀(PIX2)을 구성한다. 제1 내지 제4 서브픽셀(SPn1~SPn4) 각각은, 광을 방출하는 발광소자가 형성된 발광부(EA)와 상기 발광소자를 구동하는 회로부(DA)를 포함한다.
- [0045] 제1 내지 제4 서브픽셀(SPn1~SPn4)의 각 발광부(EA)는 적색(R), 청색(B) 및 녹색(G)을 각각 방출한다. 예를 들어, 제1 서브픽셀(SPn1)은 적색(R)을 발광하고, 제2 서브픽셀(SPn2)과 제4 서브픽셀(SPn4)은 녹색(G)을 발광하며, 제3 서브픽셀(SPn3)은 청색(B)을 발광할 수 있다. 그러나 서브픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다.
- [0046] 제1 내지 제4 서브픽셀(SPn1~SPn4) 각각은 발광부(EA) 상측에 광을 투과시키는 투과부를 구비한다. 구체적으로, 제1 및 제2 서브픽셀(SPn1, SPn2)은 제1 투과부(TA1)를 구비하고, 제3 및 제4 서브픽셀(SPn3, SPn4)은 제2 투과부(TA2)를 구비한다.
- [0047] 도 5를 참조하여, 전술한 서브픽셀의 단면 구조를 살펴보기로 한다.
- [0048] 도 5를 참조하면, 본 발명의 비교예에 따른 유기발광표시장치는 제1 기판(200) 상에 버퍼층(205)이 위치한다. 제1 기판(200)은 유리, 플라스틱 또는 금속으로 이루어질 수 있다. 제1 기판(200)은 제1 서브픽셀(SPn1)과 제1 투과부(TA1)가 정의된다. 버퍼층(205)은 제1 기판(200)에서 유출되는 알칼리 이온 등과 같은 불순물로부터 후속 공정에서 형성되는 박막트랜지스터를 보호하는 역할을 한다. 버퍼층(205)은 실리콘 산화물(SiOx), 실리콘 질화물(SiNx) 또는 이들의 다중층일 수 있다.
- [0049] 버퍼층(205) 상에 반도체층(210)이 위치한다. 반도체층(210)은 실리콘 반도체나 산화물 반도체로 이루어질 수 있다. 실리콘 반도체는 비정질 실리콘 또는 결정화된 다결정 실리콘을 포함할 수 있다. 여기서, 다결정 실리콘은 이동도가 높아(100cm²/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하여, 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용하거나 화소 내 구동 TFT에 적용할 수 있다. 한편, 산화물 반도체는 오프-전류

가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 TFT에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시장치에 적합하다. 또한, 반도체층(210)은 p형 또는 n형의 불순물을 포함하는 드레인 영역 및 소스 영역을 포함하고 이들 사이에 채널을 포함한다.

- [0050] 반도체층(210) 상에 게이트 절연막(215)이 위치한다. 게이트 절연막(215)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x) 또는 이들의 다중층일 수 있다. 게이트 절연막(215) 상에 상기 반도체층(210)의 일정 영역, 즉 불순물이 주입되었을 경우의 채널과 대응되는 위치에 게이트 전극(220)이 위치하고, 일정 간격 이격된 영역에 커패시터 하부전극(225)이 위치한다. 게이트 전극(220)과 커패시터 하부전극(225)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진다. 또한, 게이트 전극(220)과 커패시터 하부전극(225)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 예를 들면, 게이트 전극(220)과 커패시터 하부전극(225)은 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- [0051] 게이트 전극(220)과 커패시터 하부전극(225) 상에 게이트 전극(220)과 커패시터 하부전극(225)을 절연시키는 제1 층간 절연막(230)이 위치한다. 제1 층간 절연막(230)은 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 제1 층간 절연막(230) 상에 상기 커패시터 하부전극(225)과 대응되는 커패시터 상부전극(235)이 위치한다. 커패시터 상부전극(235)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진다. 따라서, 커패시터 하부전극(225)과 커패시터 상부전극(235)은 커패시터(Cst)를 구성한다.
- [0052] 제1 층간 절연막(230) 상에 제2 층간 절연막(240)이 위치하여 커패시터 상부전극(235)을 절연시킨다. 제2 층간 절연막(240)은 상기 제1 층간 절연막(230)과 동일한 물질로 이루어질 수 있다. 게이트 절연막(215), 제1 층간 절연막(230) 및 제2 층간 절연막(240)은 반도체층(210)을 노출하는 콘택홀들(237)이 형성된다.
- [0053] 제2 층간 절연막(240) 상에 드레인 전극(250)과 소스 전극(255)이 위치한다. 드레인 전극(250)과 소스 전극(255)은 콘택홀들(237)을 통해 각각 반도체층(210)에 연결된다. 드레인 전극(250)과 소스 전극(255)은 단일층 또는 다중층으로 이루어질 수 있으며, 드레인 전극(250)과 소스 전극(255)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다. 또한, 드레인 전극(250)과 소스 전극(255)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 티타늄/알루미늄/티타늄, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다. 따라서, 반도체층(210), 게이트 전극(220), 드레인 전극(250) 및 소스 전극(255)을 포함하는 구동 트랜지스터(DR)가 구성된다.
- [0054] 구동 트랜지스터(DR)를 포함하는 제1 기판(200) 상에 패시베이션막(260)이 위치한다. 패시베이션막(260)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiO_x), 실리콘 질화막(SiN_x) 또는 이들의 다중층일 수 있다. 패시베이션막(260) 상에 오버코트층(270)이 위치한다. 오버코트층(270)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 폴리아크릴레이트(polyacrylate) 등의 유기물로 이루어진다. 오버코트층(270)과 패시베이션막(260)에는 구동 트랜지스터(DR)의 소스 전극(255)을 노출시키는 비아홀(274)이 위치한다.
- [0055] 오버코트층(270) 상에 유기발광 다이오드(OLED)가 위치한다. 보다 자세하게는, 비아홀(274)이 형성된 오버코트층(270) 상에 하부전극(280)이 위치한다. 하부전극(280)은 화소 전극으로 작용하며, 비아홀(274)을 통해 구동 트랜지스터(DR)의 소스 전극(255)에 연결된다. 하부전극(280)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다. 본 발명은 탑 에미션 구조의 유기발광 표시장치이므로, 하부전극(280)은 반사 전극이다. 따라서, 하부전극(280)은 반사층을 더 포함할 수 있다. 반사층은 알루미늄(Al), 구리(Cu), 은(Ag), 니켈(Ni) 또는 이들의 합금으로 이루어질 수 있으며, 바람직하게는 APC(은/팔라듐/구리 합금)으로 이루어질 수 있다.
- [0056] 하부전극(280)이 형성된 오버코트층(270) 상에 화소를 구획하는 बैं크층(290)이 위치한다. बैं크층(290)은 폴리이미드(polyimide), 벤조사이클로부텐계 수지(benzocyclobutene series resin), 폴리아크릴레이트(polyacrylate) 등의 유기물로 이루어진다. बैं크층(290)은 하부전극(280)을 노출시키는 개구부(295)가 위치한다.
- [0057] बैं크층(290)이 형성된 제1 기판(200) 상에 유기막층(310)이 위치한다. 유기막층(310)은 बैं크층(290)의 적어도

개구부(295)와 증착되도록 형성되어 하부전극(280)에 컨택된다. 유기막층(310)은 적어도 전자와 정공이 결합하여 발광하는 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 및 전자주입층 중 선택된 어느 하나 이상을 포함할 수 있다.

[0058] 유기막층(310) 상에 상부전극(320)이 위치한다. 상부전극(320)은 제1 기관(200) 전면에 위치하고, 캐소드 전극일 수 있다. 상부전극(320)은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 상부전극(320)은 광을 투과시킬 수 있는 투과 전극일 수 있다.

[0059] 제1 기관(200)과 대향하는 제2 기관(340)이 배치된다. 제2 기관(340)은 광이 투과될 수 있는 투명한 유리 기관 또는 플라스틱 기관일 수 있다. 제2 기관(340)의 일면 예를 들어 상기 제1 기관(200)과 대향하는 면에는 컬러필터(350)와 블랙 매트릭스(360)가 배치된다. 컬러필터(350)는 유기발광 다이오드에서 발광하는 광의 색순도를 향상시키기 위해 구비된다.

[0060] 상기와 같이 구성된 유기발광표시장치는 각 서브픽셀의 발광부에서 적색, 청색 및 녹색을 발광하여 화상을 구현하고, 각 서브픽셀의 투과부에서는 제1 기관(200) 또는 제2 기관(340)으로부터 입사되는 광을 투과시켜 투명한 표시장치를 구현할 수 있다.

[0061] 한편, 도 6을 참조하면, 유기발광표시장치는 각 서브픽셀에서 발광부를 구동하기 위한 회로부의 면적으로 인해 고해상도(고 PPI)로 갈수록 투과부의 개구율이 점점 감소된다. 또한, 도 7에 도시된 바와 같이, 투과부의 개구율을 증가되면 각 서브픽셀의 발광부의 개구율이 감소된다. 발광부의 개구율이 감소되면 각 서브픽셀에 형성된 유기발광 다이오드의 전류 밀도가 증가된다. 따라서, 도 8에 도시된 바와 같이, 각 서브픽셀에 형성된 유기발광 다이오드의 전류 밀도가 증가되면 유기발광 다이오드의 수명이 점점 감소하게 된다. 즉, 발광부의 개구율과 전류 밀도는 반비례하고 휘도와 수명도 반비례하는 결과를 나타낸다.

[0062] 하기에서는 발광부 및 투과부의 개구율을 향상시키고 색순도를 향상시킬 수 있는 표시장치를 개시한다.

[0063] <실시예>

[0064] 도 9는 본 발명의 일 실시예에 따른 유기발광표시장치를 나타낸 평면도이고, 도 10은 본 발명의 다른 실시예에 따른 유기발광표시장치를 나타낸 평면도이며, 도 11은 본 발명의 일 실시예에 따른 유기발광표시장치의 서브픽셀 어레이를 개략적으로 나타낸 도면이고, 도 12는 도 11의 서브픽셀 어레이의 전면을 나타낸 도면이며, 도 13은 도 11의 서브픽셀 어레이의 후면을 나타낸 도면이다.

[0065] 도 9를 참조하면, 본 발명의 일 실시예에 따른 유기발광표시장치는 제1 기관(200) 상에 표시영역(AA) 및 비표시영역(NA)을 포함한다.

[0066] 표시영역(AA)은 복수의 서브픽셀(SP)이 배치되어, R, G, B를 발광하여 풀 컬러를 구현한다. 표시영역(AA)에는 제1 기관(200) 전면에 배치된 제1 유기발광 다이오드가 구비되고, 제1 기관(200) 후면에 배치된 제2 유기발광 다이오드가 구비된다. 제1 유기발광 다이오드 및 제2 유기발광 다이오드에 대한 설명은 후술하기로 한다.

[0067] 비표시영역(NA)은 제1 기관(200)의 일측에 배치된 제1 패드부(PD1) 및 제2 패드부(PD2)를 포함한다. 제1 패드부(PD1)는 제1 기관(200)의 전면에 배치되고 제2 패드부(PD2)는 제1 기관(200)의 후면에 배치된다. 제1 패드부(PD1)에 제1 유기발광 다이오드를 구동하는 제1 칩온필름(COF1)들이 부착되고, 제2 패드부(PD2)에 제2 유기발광 다이오드를 구동하는 제2 칩온필름(COF2)들이 부착된다. 제1 칩온필름(COF1)은 일단이 제1 패드부(PD1)에 연결되고 타단이 제1 인쇄회로기판(PCB1)에 연결된다. 제1 칩온필름(COF1)은 제1 인쇄회로기판(PCB1)에서 인가되는 스캔 신호, 데이터 신호, 전원 신호 등의 신호들을 표시영역(AA)의 제1 유기발광 다이오드에 전달한다. 제2 칩온필름(COF2)은 일단이 제2 패드부(PD2)에 연결되고 타단이 제2 인쇄회로기판(PCB2)에 연결된다. 제2 칩온필름(COF2)은 제2 인쇄회로기판(PCB2)에서 인가되는 스캔 신호, 데이터 신호, 전원 신호 등의 신호들을 표시영역(AA)의 제2 유기발광 다이오드에 전달한다. 제1 패드부(PD1)와 제2 패드부(PD2)는 제1 기관(200)을 사이에 두고 증착되고, 제1 인쇄회로기판(PCB1)과 제2 인쇄회로기판(PCB2)도 제1 기관(200)을 사이에 두고 증착하여 배치된다.

[0068] 전술한 도 9에서는 제1 기관(200)의 일측에 제1 및 제2 패드부(PD1, PD2), 제1 및 제2 칩온필름(COF1, COF2), 및 제1 및 제2 인쇄회로기판(PCB1, PCB2)이 구비된 것을 도시하였다.

[0069] 반면, 도 10을 참조하면, 본 발명의 유기발광표시장치는 제1 기관(200)의 일측 전면에 제1 패드부(PD1), 제1 칩온필름(COF1) 및 제1 인쇄회로기판(PCB1)이 배치될 수 있다. 제1 인쇄회로기판(PCB1)은 제1 칩온필름(COF1)을 통해 제1 패드부(PD1)에 전기적으로 연결된다. 제1 기관(200)의 타측 후면에 제2 패드부(PD2), 제2 칩온필름

(COF2) 및 제2 인쇄회로기판(PCB2)이 배치될 수 있다. 제2 인쇄회로기판(PCB2)은 제2 칩온필름(COF2)을 통해 제2 패드부(PD2)에 전기적으로 연결된다. 제1 패드부(PD1)와 제2 패드부(PD2)는 제1 기판(200)을 사이에 두고 비중첩되고, 제1 인쇄회로기판(PCB1)과 제2 인쇄회로기판(PCB2)도 제1 기판(200)을 사이에 두고 비중첩하여 배치된다.

- [0070] 전술한 본 발명의 유기발광표시장치의 서브픽셀의 배치를 살펴보면 다음과 같다.
- [0071] 도 11을 참조하면, 본 발명의 실시예에 따른 유기발광표시장치는 제1 서브픽셀(SPn1) 및 제2 서브픽셀(SPn2)을 포함한다.
- [0072] 제1 서브픽셀(SPn1) 및 제2 서브픽셀(SPn2)은 각각 하나의 픽셀로 작용한다. 즉, 제1 서브픽셀(SPn1)이 하나의 제1 픽셀(PIX1)을 구성하고, 제2 서브픽셀(SPn2)이 하나의 제2 픽셀(PIX2)을 구성한다. 제1 서브픽셀(SPn1) 및 제2 서브픽셀(SPn2) 각각은, 광을 방출하는 유기발광 다이오드가 형성된 발광부(EA)와 상기 유기발광 다이오드를 구동하는 회로부(DA)를 포함한다.
- [0073] 제1 서브픽셀(SPn1) 및 제2 서브픽셀(SPn2)의 각 발광부(EA)는 적색(R), 청색(B) 및 녹색(G) 중 선택된 하나의 광을 방출한다. 예를 들어, 제1 서브픽셀(SPn1)은 청색(B)을 발광하고, 제2 서브픽셀(SPn2)은 적색(R)을 발광할 수 있다. 제1 서브픽셀(SPn1) 및 제2 서브픽셀(SPn2)은 발광부(EA) 상측에 광을 투과시키는 제1 및 제2 투과부(TA1, TA2)를 구비한다. 구체적으로, 제1 서브픽셀(SPn1)은 제1 투과부(TA1)를 구비하고, 제2 서브픽셀(SPn2)은 제2 투과부(TA2)를 구비한다.
- [0074] 한편, 본 발명의 유기발광표시장치는 제1 투과부(TA1) 및 제2 투과부(TA2)에서 광을 발광할 수 있다.
- [0075] 도 12는 제1 기판의 전면(前面)에 배치된 서브픽셀들을 나타낸 도면이다. 도 12를 참조하면, 제1 기판의 전면에는 제1 서브픽셀(SPn1)의 발광부(EA)에서 청색(B)을 발광하고 제1 투과부(TA1)에서는 광을 투과시키는 구조로 이루어진다. 제2 서브픽셀(SPn2)의 발광부(EA)에서는 적색(R)을 발광하고, 제2 투과부(TA2)에서는 광을 투과시키는 구조로 이루어진다. 따라서, 제1 및 제2 투과부(TA1, TA2)에서는 외부 광이 투과되어 투명하고, 각 발광부(EA)에서는 발광된 광이 방출될 수 있다.
- [0076] 도 13은 제1 기판의 후면(後面)에 배치된 서브픽셀들을 나타낸 도면이다. 도 13을 참조하면, 제1 기판의 후면에서는 제1 서브픽셀(SPn1)의 제1 투과부(TA1)에서 녹색(G)을 발광하고, 제2 서브픽셀(SPn2)의 제2 투과부(TA2)에서 녹색(G)을 발광할 수 있는 구조로 이루어진다. 제1 및 제2 서브픽셀(SPn1, SPn2)의 각 투과부(TA1, TA2)에서 발광된 광은 제1 기판의 전면으로 방출된다.
- [0077] 제1 서브픽셀(SPn1)에서 제1 기판의 전면의 회로부(DA)와 발광부(EA)에 제1 유기발광 다이오드가 형성되어 제1 기판 전면으로 광을 방출하고 제1 투과부(TA1)에서는 광을 투과시킨다. 그리고 제1 기판의 후면의 회로부(DA)와 발광부(EA)에 제2 유기발광 다이오드가 형성되되, 제2 유기발광 다이오드에서 발광하는 광은 제1 투과부(TA1)를 통해 광을 방출할 수 있다.
- [0078] 따라서, 본 발명의 유기발광표시장치는 하나의 서브픽셀에서 발광부(EA)를 통해 광을 방출함과 동시에 투과부를 통해 외부 광을 투과시키는 투명 모드를 구현할 수 있다. 또한, 본 발명의 유기발광표시장치는 하나의 서브픽셀에서 발광부(EA)를 통해 광을 방출함과 동시에 투과부를 통해 다른 색의 광을 방출하는 비투명 모드를 구현할 수 있다.
- [0079] 하기에서는 서브픽셀의 단면 구조를 살펴보면서 본 발명의 유기발광표시장치를 구체적으로 설명하기로 한다.
- [0080] 도 14는 본 발명의 일 실시예에 따른 유기발광표시장치의 서브픽셀을 나타낸 단면도이다. 하기에서는 전술한 도 5와 동일한 구성에 대해 동일한 도면부호를 붙여 그 설명을 간략히 한다.
- [0081] 도 14를 참조하면, 본 발명의 실시예에 따른 유기발광표시장치는 제1 기판(200) 상에 제1 구동 트랜지스터(DR1)와 제1 구동 트랜지스터(DR1)에 연결된 제1 유기발광 다이오드(OLED1)를 포함할 수 있다.
- [0082] 구체적으로, 제1 기판(200)의 전면은 회로부(DA), 발광부(EA) 및 제1 투과부(TA1)가 정의된다. 제1 기판(200) 상에 제1 버퍼층(205)이 위치하고, 제1 버퍼층(205) 상에 제1 반도체층(210)이 위치한다. 제1 반도체층(210) 상에 제1 게이트 절연막(215)이 위치하고, 제1 게이트 절연막(215) 상에 제1 반도체층(210)의 채널과 대응되는 위치에 제1 게이트 전극(220)이 위치한다. 제1 게이트 전극(220)과 이격된 영역에 제1 커패시터 하부전극(225)이 위치한다.
- [0083] 제1 게이트 전극(220)과 제1 커패시터 하부전극(225) 상에 제1 하부 층간 절연막(230)이 위치하고, 제1 하부 층

간 절연막(230) 상에 제1 커패시터 상부전극(235)이 위치한다. 따라서, 제1 커패시터 하부전극(225)과 제1 커패시터 상부전극(235)은 제1 커패시터(Cst1)를 구성한다. 제1 하부 층간 절연막(230) 상에 제1 상부 층간 절연막(240)이 위치하여 제1 커패시터 상부전극(235)을 절연시킨다. 제1 게이트 절연막(215), 제1 하부 층간 절연막(230) 및 제1 상부 층간 절연막(240)은 제1 반도체층(210)을 노출하는 제1 콘택홀들(237)이 형성된다.

- [0084] 제1 상부 층간 절연막(240) 상에 제1 드레인 전극(250)과 제1 소스 전극(255)이 위치한다. 제1 드레인 전극(250)과 제1 소스 전극(255)은 제1 콘택홀들(237)을 통해 각각 제1 반도체층(210)에 연결된다. 따라서, 제1 반도체층(210), 제1 게이트 전극(220), 제1 드레인 전극(250) 및 제1 소스 전극(255)을 포함하는 제1 구동 트랜지스터(DR1)가 구성된다.
- [0085] 제1 구동 트랜지스터(DR1)를 포함하는 제1 기판(200) 상에 제1 패시베이션막(260)이 위치하고, 제1 패시베이션막(260) 상에 제1 오버코트층(270)이 위치한다. 제1 오버코트층(270)과 제1 패시베이션막(260)에는 제1 구동 트랜지스터(DR1)의 제1 소스 전극(255)을 노출시키는 제1 비아홀(274)이 위치한다.
- [0086] 제1 오버코트층(270) 상에 제1 유기발광 다이오드(OLED1)가 위치한다. 보다 자세하게는, 제1 비아홀(274)이 형성된 제1 오버코트층(270) 상에 제1 하부전극(280)이 위치한다. 제1 하부전극(280)은 화소 전극으로 작용하며, 제1 비아홀(274)을 통해 제1 구동 트랜지스터(DR1)의 제1 소스 전극(255)에 연결된다. 제1 하부전극(280)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다. 본 발명은 탑 에미션 구조의 유기발광표시장치이므로, 제1 하부전극(280)은 반사 전극이다. 따라서, 제1 하부전극(280)은 반사층을 더 포함할 수 있다.
- [0087] 제1 하부전극(280)이 형성된 제1 오버코트층(270) 상에 화소를 구획하는 제1 बैं크층(290)이 위치한다. 제1 बैं크층(290)은 제1 하부전극(280)을 노출시키는 제1 개구부(295)가 위치한다.
- [0088] 제1 बैं크층(290)이 형성된 제1 기판(200) 상에 제1 유기막층(310)이 위치한다. 제1 유기막층(310)은 제1 बैं크층(290)의 적어도 제1 개구부(295)와 중첩되어 제1 하부전극(280)에 컨택된다. 제1 유기막층(310)은 적어도 전자와 정공이 결합하여 발광하는 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 및 전자주입층 중 선택된 어느 하나 이상을 포함할 수 있다.
- [0089] 제1 유기막층(310) 상에 제1 상부전극(320)이 위치한다. 제1 상부전극(320)은 제1 기판(200) 전면에서 위치하고, 캐소드 전극일 수 있다. 제1 상부전극(320)은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 제1 상부전극(320)은 광을 투과시킬 수 있는 투과 전극일 수 있다. 따라서, 제1 하부전극(280), 제1 유기막층(310) 및 제1 상부전극(320)을 포함하는 제1 유기발광 다이오드(OLED1)가 구성된다.
- [0090] 전술한 제1 구동 트랜지스터(DR1)와 제1 유기발광 다이오드(OLED1)는 제1 기판(200)의 회로부(DA)에 배치되고, 제1 유기발광 다이오드(OLED1)의 발광부(EA) 또한 회로부(DA)에 배치된다.
- [0091] 제1 기판(200)과 대향하는 제2 기판(340)이 배치된다. 제2 기판(340)은 광이 투과될 수 있는 투명한 유리 기판 또는 플라스틱 기판일 수 있다. 제2 기판(340)의 일면 예를 들어 상기 제1 기판(200)과 대향하는 면에는 컬러필터(350)와 블랙 매트릭스(360)가 추가로 배치될 수 있다. 컬러필터(350)는 유기발광 다이오드에서 발광하는 광의 색순도를 향상시키기 위해 구비된다. 블랙 매트릭스(360)는 회로부(DA)에 배치되며, 제1 투과부(TA1)에는 배치되지 않아 광의 투과에 영향을 미치지 않는다. 컬러필터(350)와 블랙 매트릭스(360)는 제1 기판(200)의 회로부(DA)에 배치될 수도 있다.
- [0092] 상기 제1 구동 트랜지스터(DR1)와 제1 유기발광 다이오드(OLED1)는 회로부(DA)에 배치되며, 발광부(EA)에서 발광하게 된다. 제1 투과부(TA1)에는 제1 구동 트랜지스터(DR1)와 제1 유기발광 다이오드(OLED1)가 배치되지 않아 광이 투과된다. 제1 유기발광 다이오드(OLED1)의 제1 유기막층(310)과 상부전극(320)은 광의 투과에 영향을 미치지 않는다.
- [0093] 한편, 제1 기판(200)의 후면에는 제2 구동 트랜지스터(DR2)와 제2 유기발광 다이오드(OLED2)가 배치된다.
- [0094] 구체적으로, 제1 기판(200) 하부에 제2 버퍼층(405)이 위치하고, 제2 버퍼층(405) 하부에 제2 반도체층(410)이 위치한다. 제2 반도체층(410) 하부에 제2 게이트 절연막(415)이 위치하고, 제2 게이트 절연막(415) 하부에 제2 반도체층(410)의 채널과 대응되는 위치에 제2 게이트 전극(420)이 위치한다. 제2 게이트 전극(420)과 이격된 영역에 제2 커패시터 하부전극(425)이 위치한다.
- [0095] 제2 게이트 전극(420)과 제2 커패시터 하부전극(425) 하부에 제2 하부 층간 절연막(430)이 위치하고, 제2 하부 층간 절연막(430) 하부에 제2 커패시터 상부전극(435)이 위치한다. 따라서, 제2 커패시터 하부전극(425)과 제2

커패시터 상부전극(435)은 제2 커패시터(Cst2)를 구성한다. 제2 하부 층간 절연막(430) 하부에 제2 상부 층간 절연막(440)이 위치하여 제2 커패시터 상부전극(435)을 절연시킨다. 제2 게이트 절연막(415), 제2 하부 층간 절연막(430) 및 제2 상부 층간 절연막(440)은 제2 반도체층(410)을 노출하는 제2 콘택홀들(437)이 형성된다.

- [0096] 제2 상부 층간 절연막(440) 하부에 제2 드레인 전극(450)과 제2 소스 전극(455)이 위치한다. 제2 드레인 전극(450)과 제2 소스 전극(455)은 제2 콘택홀들(437)을 통해 각각 제2 반도체층(410)에 연결된다. 따라서, 제2 반도체층(410), 제2 게이트 전극(420), 제2 드레인 전극(450) 및 제2 소스 전극(455)을 포함하는 제2 구동 트랜지스터(DR2)가 구성된다.
- [0097] 제2 구동 트랜지스터(DR2)를 포함하는 제1 기관(200) 하부에 제2 패시베이션막(460)이 위치하고, 제2 패시베이션막(460) 하부에 제2 오버코트층(470)이 위치한다. 제2 오버코트층(470)과 제2 패시베이션막(460)에는 제2 구동 트랜지스터(DR2)의 제2 소스 전극(455)을 노출시키는 제2 비아홀(474)이 위치한다.
- [0098] 제2 오버코트층(470) 하부에 제2 유기발광 다이오드(OLED2)가 위치한다. 보다 자세하게는, 제2 비아홀(474)이 형성된 제2 오버코트층(470) 하부에 제2 하부전극(480)이 위치한다. 제2 하부전극(480)은 화소 전극으로 작용하며, 제2 비아홀(474)을 통해 제2 구동 트랜지스터(DR2)의 제2 소스 전극(455)에 연결된다. 제2 하부전극(480)은 애노드로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다. 제2 유기발광 다이오드(OLED2)는 바텀 에미션 구조이므로, 제2 하부전극(480)은 투명 전극 또는 투과 전극일 수 있다. 또한, 제2 하부전극(480)은 제1 투과부(TA1)에 배치된다.
- [0099] 제2 하부전극(480)이 형성된 제2 오버코트층(470) 하부에 화소를 구획하는 제2 बैं크층(490)이 위치한다. 제2 बैं크층(490)은 제2 하부전극(480)을 노출시키는 제2 개구부(495)가 위치한다.
- [0100] 제2 बैं크층(490)이 형성된 제1 기관(200) 하부에 제2 유기막층(510)이 위치한다. 제2 유기막층(510)은 제1 기관(200) 전체 면에 형성되어 제2 बैं크층(490)의 제2 개구부(495)를 통해 제2 하부전극(480)에 컨택된다. 제2 유기막층(510)은 적어도 전자와 정공이 결합하여 발광하는 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 및 전자주입층 중 선택된 어느 하나 이상을 포함할 수 있다.
- [0101] 제2 유기막층(510) 하부에 제2 상부전극(520)이 위치한다. 제2 상부전극(520)은 제1 기관(200) 전체 면에 위치하고, 캐소드 전극일 수 있다. 제2 상부전극(520)은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금으로 이루어질 수 있다. 제2 상부전극(520)은 광을 반사시킬 수 있는 반사 전극일 수 있다. 따라서, 제2 하부전극(480), 제2 유기막층(510) 및 제2 상부전극(520)을 포함하는 제2 유기발광 다이오드(OLED2)가 구성된다.
- [0102] 제2 유기발광 다이오드(OLED2) 하부에 제2 인캡층(530)이 배치된다. 제2 인캡층(530)은 유기막, 무기막 또는 이들의 단일층이거나 다층 구조로 이루어져 상부의 제2 유기발광 다이오드(OLED2)를 보호한다. 제2 인캡층(530) 하부에 보호필름(540)이 배치되어 상부의 구성요소들을 보호한다.
- [0103] 상기 제2 구동 트랜지스터(DR2)는 회로부(DA)에 배치되고, 제2 유기발광 다이오드(OLED2)의 발광부(EA)는 제1 투과부(TA1)에 배치된다. 제2 유기발광 다이오드(OLED2)가 바텀 에미션 구조이므로 제2 발광 다이오드(OLED2)에서 발광된 광은 제1 투과부(TA1)에서 방출하여 제1 기관(200)을 투과하여 제2 기관(340)으로 출사된다.
- [0104] 따라서, 전술한 본 발명의 실시예에 따른 유기발광표시장치는 제2 기관(340) 방향으로 제1 유기발광 다이오드(OLED1)에서 방출되는 광이 방출되며, 제2 유기발광 다이오드(OLED2)에서 방출되는 광이 제1 투과부(TA1)에서 방출될 수 있다.
- [0105] 본 발명의 유기발광표시장치는 투명 모드와 비투명 모드를 구현할 수 있다. 앞서 설명한 도 12와 함께 도 14를 참조하면, 제1 기관의 전면에서는 제1 서브픽셀(SPn1)의 발광부(EA)에 제1 유기발광 다이오드(OLED1)가 배치된다. 제1 유기발광다이오드(OLED1)는 청색(B)을 발광한다. 제1 기관의 후면에서는 제1 서브픽셀(SPn1)의 제1 투과부(TA1)에 제2 유기발광 다이오드(OLED2)가 배치된다. 제2 유기발광 다이오드(OLED2)는 발광하지 않고 광을 투과시킨다. 따라서, 유기발광표시장치는 제1 서브픽셀(SPn1)의 발광부(EA)에서 청색(B)을 발광하고 제1 투과부(TA1)에서는 광이 투과되어 투명 모드를 구현할 수 있다.
- [0106] 또한, 도 13과 함께 도 14를 참조하면, 제1 유기발광 다이오드(OLED1)는 청색(B)을 발광하고, 제2 유기발광 다이오드(OLED2)는 녹색(G)을 발광할 수 있다. 따라서, 유기발광표시장치는 제1 서브픽셀(SPn1)의 발광부(EA)에서 청색(B)을 발광하고 제1 투과부(TA1)에서 녹색(G)을 발광하여 비투명 모드를 구현할 수 있다.
- [0107] 전술한 도 4 및 도 5에 도시된 비교예의 유기발광표시장치는 각 서브픽셀에 형성된 유기발광 다이오드에서

적색, 녹색 및 청색을 각각 형성해야 한다. 구체적으로, 제1 파인메탈마스크(Fine Metal Mask; FMM)를 이용하여 적색을 발광하는 발광물질을 적색 서브픽셀에 증착하고, 제2 파인메탈마스크를 이용하여 녹색을 발광하는 발광물질을 녹색 서브픽셀에 증착하고, 제3 파인메탈마스크를 이용하여 청색을 발광하는 발광물질을 청색 서브픽셀에 각각 증착한다. 즉, 3매의 파인메탈마스크를 이용하여 3번의 발광물질 증착 공정 때문에 마스크 공차로 인해 각 서브픽셀의 발광부 사이에 데드존이 발생한다. 이 데드존으로 인해 각 서브픽셀 사이의 발광부를 정의하는 बैं크층의 폭이 크게 형성되어야 한다.

[0108] 반면, 전술한 도 12 내지 도 14에 도시된 실시예의 유기발광표시장치는 제1 기관의 후면에 형성된 제2 유기발광 다이오드에서는 동일한 색을 발광하므로, 파인메탈마스크가 아닌 오픈메탈마스크(Open Metal Mask, OMM)를 이용할 수 있다. 표시부 전체에 발광물질이 증착됨으로써, 제2 유기발광 다이오드의 각 서브픽셀의 발광부 사이에 데드존이 발생하지 않는다. 따라서, 제1 기관의 후면에 형성된 각 서브픽셀 사이의 बैं크층의 폭은 발광부를 정의할 정도로 최소한으로 형성할 수 있다.

[0109] 도 15는 비교예에 따른 유기발광표시장치를 간략히 도시한 단면도이며, 도 16은 실시예에 따른 유기발광표시장치를 간략히 도시한 단면도이고, 도 17은 비교예 및 실시예에 따른 투과부의 헤이즈 및 색순도를 나타낸 표이다.

[0110] 도 15를 참조하면, 비교예에 따른 유기발광표시장치는 제1 기관(200)의 전면에 회로부(DA), 제1 유기발광 다이오드(OLED1) 및 제1 बैं크층(290)이 배치된다. 제2 기관(340)에는 회로부(DA)와 대응되는 영역에 블랙 매트릭스(360)가 배치된다. 제1 बैं크층(290)은 전술한 데드존을 커버하기 위해 넓은 폭으로 형성된다. 따라서, 제1 बैं크층(290)은 블랙 매트릭스(360)보다 폭이 넓게 형성된다. 이로 인해, 제1 투과부(TA1)에서 외부 광이 제1 기관(200)으로부터 입사되면 제1 투과부(TA1)와 중첩되는 제1 बैं크층(290)을 투과하면서 광이 굴절되어 산란된다. 따라서, 투과되는 광의 헤이즈가 높고 색순도가 떨어지게 된다.

[0111] 도 16을 참조하면, 실시예에 따른 유기발광표시장치는 제1 기관(200)의 후면에 회로부(DA), 제2 유기발광 다이오드(OLED2) 및 제2 बैं크층(490)이 배치된다. 제2 기관(340)에는 회로부(DA)와 대응되는 영역에 블랙 매트릭스(360)가 배치된다. 제2 बैं크층(490)은 전술한 데드존이 없기 때문에 좁은 폭으로 형성될 수 있다. 따라서, 제2 बैं크층(490)은 블랙 매트릭스(360)보다 폭이 같거나 좁게 형성될 수 있다. 이로 인해, 제1 투과부(TA1)에서 외부 광이 제1 기관(200)으로부터 입사되면 제1 투과부(TA1)로 그대로 투과됨에 따라, 투과되는 광의 헤이즈가 낮고 색순도가 향상된다.

[0112] 도 17에 도시된 바와 같이, 비교예에 따라 제조된 유기발광표시장치는 47%의 투과율과 6%의 헤이즈 및 41%의 색순도를 나타낸다. 실시예에 따라 제조된 유기발광표시장치는 59%의 투과율과 2%의 헤이즈 및 63%의 색순도를 나타낸다. 이를 통해, 본 발명의 실시예에 따른 유기발광표시장치는 제1 기관의 후면에 제2 유기발광 다이오드를 구비함으로써, 투과부의 투과율, 헤이즈 및 색순도 특성을 향상시킬 수 있음을 확인할 수 있다.

[0113] 이하, 전술한 본 발명의 실시예에 따른 유기발광표시장치의 제조방법을 설명하기로 한다. 하기에서는 각 구성요소들에 대한 재료들은 전술하였으므로 생략하기로 한다.

[0114] 도 18 내지 도 21은 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법을 공정별로 나타낸 단면도이다.

[0115] 도 18을 참조하면, 제1 기관(200) 상에 제1 버퍼층(205)을 형성한다. 제1 버퍼층(205) 상에 제1 반도체층(210)을 형성하고, 제1 반도체층(210) 상에 제1 반도체층(210)을 절연시키는 제1 게이트 절연막(215)을 형성한다. 제1 게이트 절연막(215) 상에서 상기 제1 반도체층(210)과 중첩되는 영역에 제1 게이트 전극(220)을 형성하고 동시에 제1 반도체층(210)과 이격되는 영역에 제1 커패시터 하부전극(225)을 형성한다. 제1 커패시터 하부전극(225)과 제1 반도체층(210) 상에 제1 하부 층간 절연막(230)을 형성한다. 제1 하부 층간 절연막(230) 상에 제1 커패시터 하부전극(225)과 중첩되는 영역에 제1 커패시터 상부전극(235)을 형성하여, 제1 커패시터(Cst1)를 형성한다. 제1 커패시터(Cst1)가 형성된 제1 기관(200) 상에 제1 상부 층간 절연막(240)을 형성한다.

[0116] 이어, 도 19를 참조하면, 제1 기관(200)을 반전시킨다. 반전된 제1 기관(200)의 일면에 제2 버퍼층(405)을 형성한다. 제2 버퍼층(405) 상에 제2 반도체층(410)을 형성하고, 제2 반도체층(410) 상에 제2 반도체층(410)을 절연시키는 제2 게이트 절연막(415)을 형성한다. 제2 게이트 절연막(415) 상에서 상기 제2 반도체층(410)과 중첩되는 영역에 제2 게이트 전극(420)을 형성하고 동시에 제2 반도체층(410)과 이격되는 영역에 제2 커패시터 하부전극(425)을 형성한다. 제2 커패시터 하부전극(425)과 제2 반도체층(410) 상에 제2 하부 층간 절연막(430)을 형성한다. 제2 하부 층간 절연막(430) 상에 제2 커패시터 하부전극(425)과 중첩되는 영역에 제2 커패시터 상부전극(435)을 형성하여, 제2 커패시터(Cst2)를 형성한다. 제2 커패시터(Cst2)가 형성된 제1 기관(200) 상에 제2 상부

층간 절연막(440)을 형성한다.

- [0117] 제2 게이트 절연막(415), 제2 하부 층간 절연막(430) 및 제2 상부 층간 절연막(440)에 제2 반도체층(410)을 노출시키는 제2 콘택홀(437)들을 형성한다. 그리고 제2 상부 층간 절연막(440) 상에 제2 드레인 전극(450) 및 제2 소스 전극(455)을 형성한다. 제2 드레인 전극(450) 및 제2 소스 전극(455)은 각각 제2 콘택홀(437)들을 통해 제2 반도체층(410)에 콘택하여 연결된다. 따라서, 제2 반도체층(410), 제2 게이트 전극(420), 제2 드레인 전극(450) 및 제2 소스 전극(455)을 포함하는 제2 구동 트랜지스터(DR2)가 제조된다.
- [0118] 제2 구동 트랜지스터(DR2) 상에 제2 패시베이션막(460)을 형성하고, 제2 패시베이션막(460) 상에 제2 오버코트층(470)을 형성한다. 제2 패시베이션막(460)과 제2 오버코트층(470)에 제2 소스 전극(455)을 노출하는 제2 비아홀(474)을 형성한다. 제2 오버코트층(470) 상에 제2 하부전극(480)을 형성한다. 제2 하부전극(480)은 제2 비아홀(474)을 통해 제2 소스 전극(455)에 콘택하여 연결된다. 이어, 제2 하부전극(480)이 형성된 제1 기판(200) 상에 제2 बैं크층(490)을 형성한다. 제2 बैं크층(490)에 하부의 제2 하부전극(480)을 노출시키는 제2 개구부(495)를 형성한다. 그리고, 제2 बैं크층(490)이 형성된 제1 기판(200)을 보호하기 위해, 제2 बैं크층(490) 상에 보호막의 역할을 하는 포토레지스트(PR)를 코팅한다.
- [0119] 다음, 도 20을 참조하면, 다시 제1 기판(200)을 반전시킨다. 앞서 형성된 제1 게이트 절연막(215), 제1 하부 층간 절연막(230) 및 제1 상부 층간 절연막(240)에 제1 반도체층(210)을 노출시키는 제1 콘택홀(237)들을 형성한다. 그리고 제1 상부 층간 절연막(240) 상에 제1 드레인 전극(250) 및 제1 소스 전극(255)을 형성한다. 제1 드레인 전극(250) 및 제1 소스 전극(255)은 각각 제1 콘택홀(237)들을 통해 제1 반도체층(210)에 콘택하여 연결된다. 따라서, 제1 반도체층(210), 제1 게이트 전극(220), 제1 드레인 전극(250) 및 제1 소스 전극(255)을 포함하는 제1 구동 트랜지스터(DR1)가 제조된다.
- [0120] 제1 구동 트랜지스터(DR1) 상에 제1 패시베이션막(260)을 형성하고, 제1 패시베이션막(260) 상에 제1 오버코트층(270)을 형성한다. 제1 패시베이션막(260)과 제1 오버코트층(270)에 제1 소스 전극(255)을 노출하는 제1 비아홀(274)을 형성한다. 제1 오버코트층(270) 상에 제1 하부전극(280)을 형성한다. 제1 하부전극(280)은 제1 비아홀(274)을 통해 제1 소스 전극(255)에 콘택하여 연결된다. 이어, 제1 하부전극(280)이 형성된 제1 기판(200) 상에 제1 बैं크층(290)을 형성한다. 제1 बैं크층(290)에 하부의 제1 하부전극(280)을 노출시키는 제1 개구부(295)를 형성한다. 그리고, 제1 बैं크층(290) 상에 파인메탈마스크를 이용하여 발광물질을 증착하여 제1 유기막층(310)을 형성한다. 그리고, 제1 유기막층(310)이 형성된 제1 기판(200) 상에 제1 상부전극(320)을 형성하여, 제1 하부전극(280), 제1 유기막층(310) 및 제1 상부전극(320)을 포함하는 제1 유기발광 다이오드(OLED2)를 형성한다. 제2 유기발광 다이오드(OLED2)를 포함하는 제1 기판(200) 상에 제1 인캡층(370)을 형성한다.
- [0121] 이어, 제1 유기발광 다이오드(OLED2)과 대향하는 제2 기판(340)의 일면에 컬러필터(350)와 블랙 매트릭스(360)를 형성한다. 이때, 컬러필터(350)는 제1 유기발광 다이오드(OLED2)의 발광부(EA)에 대응하도록 배치된다. 또한, 블랙 매트릭스(360)는 발광부(EA)와 제1 투과부(TA1)를 제외한 회로부(DA)에 배치된다. 이어 제1 기판(200)의 제1 유기발광 다이오드(OLED2)와 제2 기판(340)의 컬러필터(350)가 마주보도록 얼라인한 후 합착한다.
- [0122] 다음, 도 21을 참조하면, 다시 제1 기판(200)을 반전시킨다. 제2 बैं크층(490) 상에 형성된 포토레지스트(PR)를 제거한다. 그리고, 오픈메탈마스크를 이용하여 제2 बैं크층(490)이 형성된 제1 기판(200) 상에 발광물질을 증착하여 제2 유기막층(510)을 형성한다. 전술한 제1 유기막층(310)은 파인메탈마스크를 이용하여 각 서브픽셀에 패틴 형상으로 증착되지만, 제2 유기막층(510)은 제2 बैं크층(490) 전면에 연속적으로 증착된다. 제2 유기막층(510)은 각 서브픽셀에서 동일한 색을 나타내는 발광물질로 이루어진다. 제2 유기막층(510) 상에 제2 상부전극(520)을 형성한다. 따라서, 제2 하부전극(480), 제2 유기막층(510) 및 제2 상부전극(520)을 포함하는 제2 유기발광 다이오드(OLED2)가 형성된다.
- [0123] 그리고 제2 유기발광 다이오드(OLED2)가 형성된 제2 기판(200) 상에 제2 인캡층(530)을 형성하고, 제2 인캡층(530) 상에 보호필름(540)을 부착하여 본 발명의 실시예에 따른 유기발광표시장치를 제조한다.
- [0124] 전술한 본 발명의 유기발광표시장치는 제1 기판을 총 3번 반전시켜 제1 기판의 일면에 제1 구동 트랜지스터와 제1 유기발광 다이오드를 형성하고, 제1 기판의 타면에 제2 구동 트랜지스터와 제2 유기발광 다이오드를 형성한다. 또한, 제1 유기발광 다이오드의 제1 유기막층은 파인메탈마스크를 이용하여 형성하고, 제2 유기발광 다이오드의 제2 유기막층은 오픈메탈마스크를 이용하여 형성할 수 있다.
- [0125] 상기와 같이, 본 발명의 실시예에 따른 유기발광표시장치는 제1 기판의 배면에 추가의 제2 유기발광 다이오드를 형성하여 투과부에서도 광을 방출함으로써, 개구율을 향상시킬 수 있다. 또한, 본 발명의 실시예에 따른 유기발

광표시장치는 제2 유기발광 다이오드에 형성되는 बैं크층의 폭을 블랙 매트릭스와 같거나 좁게 형성함으로써, 투과부에서의 투과율, 헤이즈 및 색순도 특성을 향상시킬 수 있는 이점이 있다.

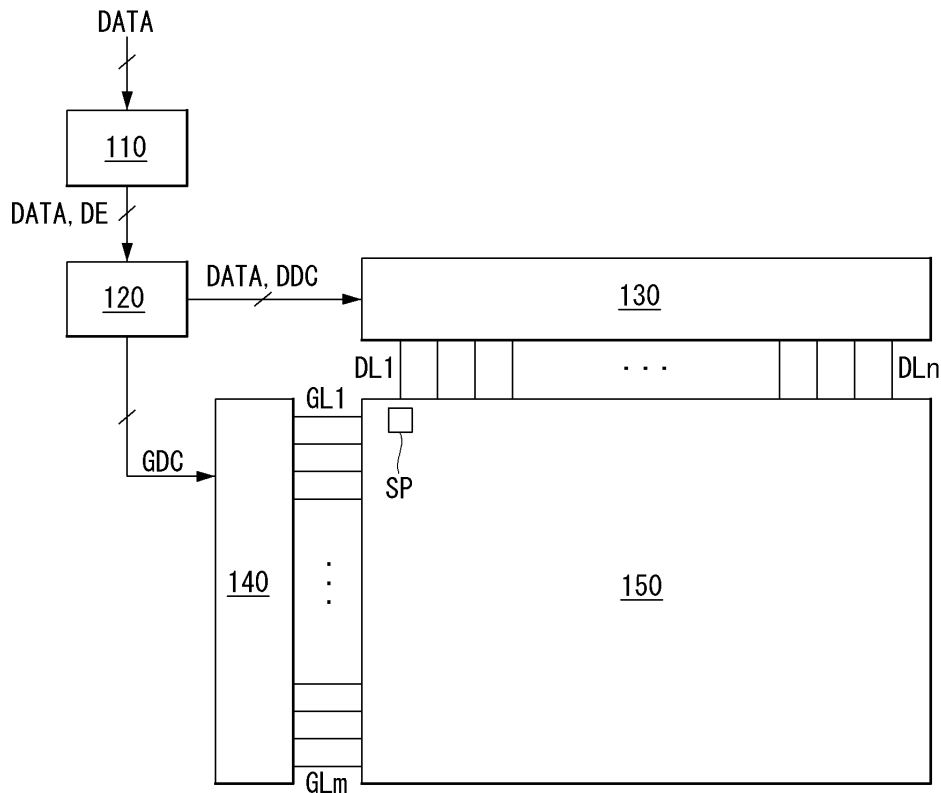
[0126] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

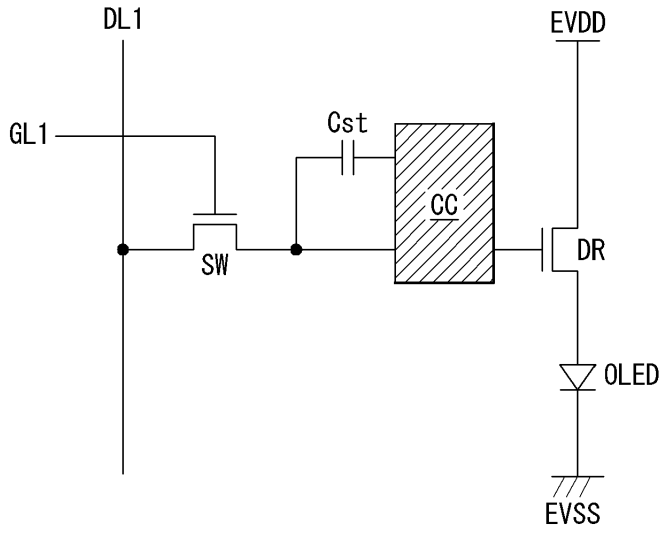
[0127] 200 : 제1 기판 DR1 : 제1 구동 트랜지스터
 OLED1 : 제1 유기발광 다이오드 OLED2 : 제2 유기발광 다이오드
 TA1 : 제1 투과부 DA : 회로부
 EA : 발광부

도면

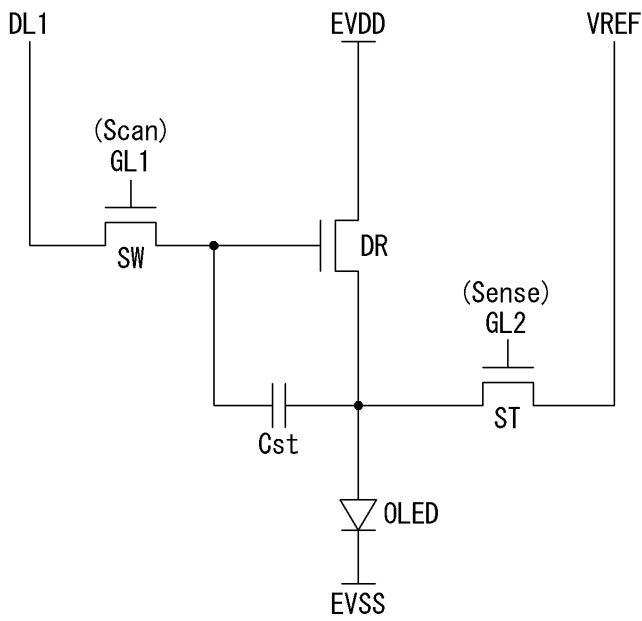
도면1



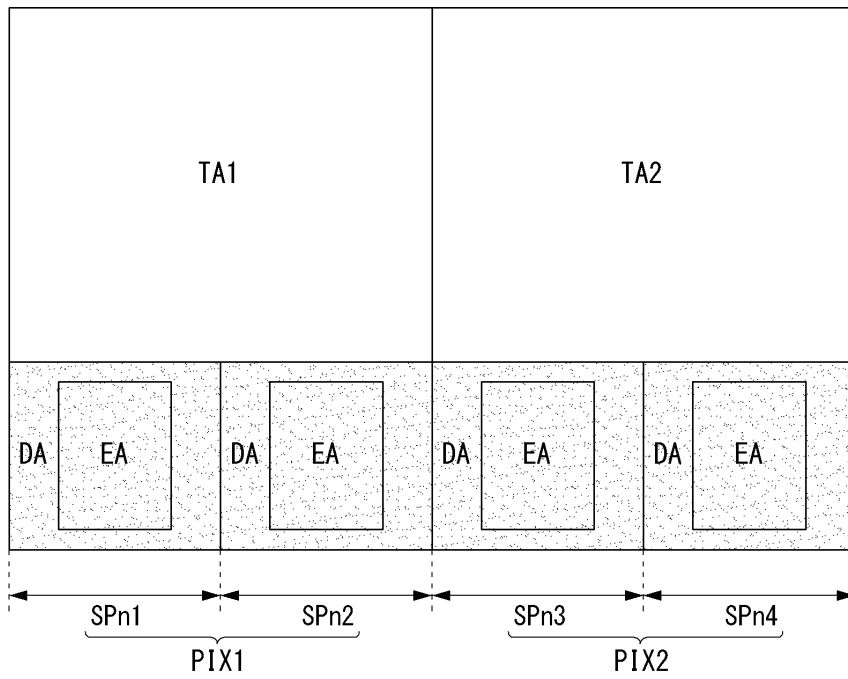
도면2



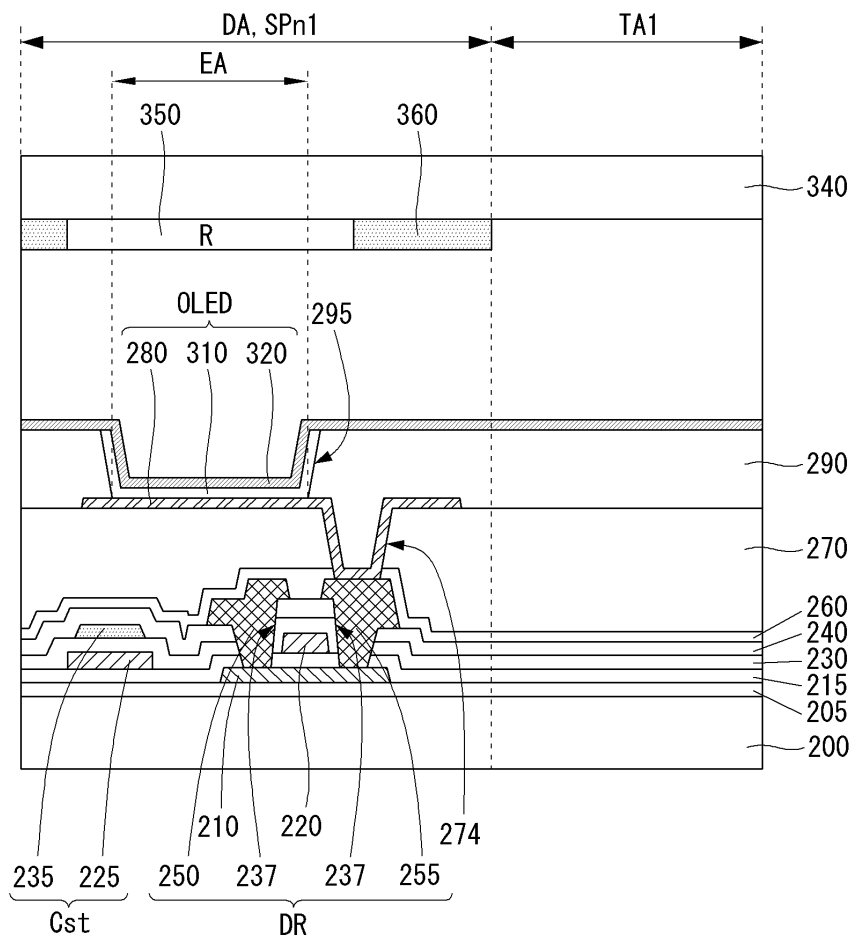
도면3



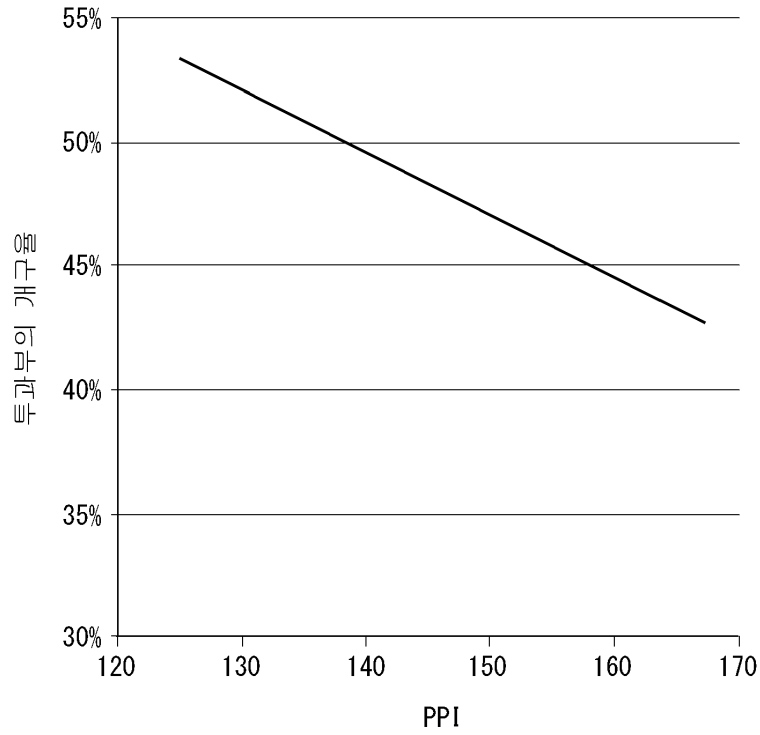
도면4



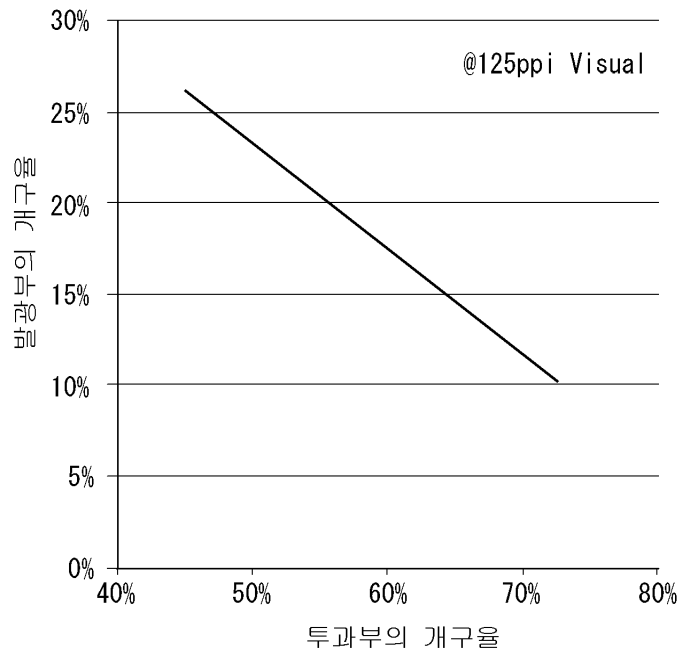
도면5



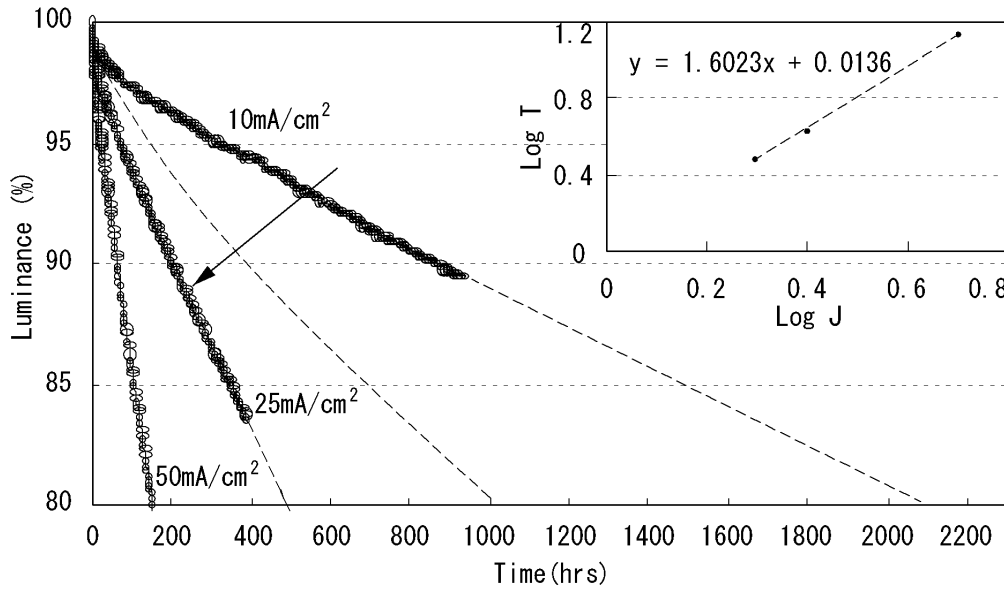
도면6



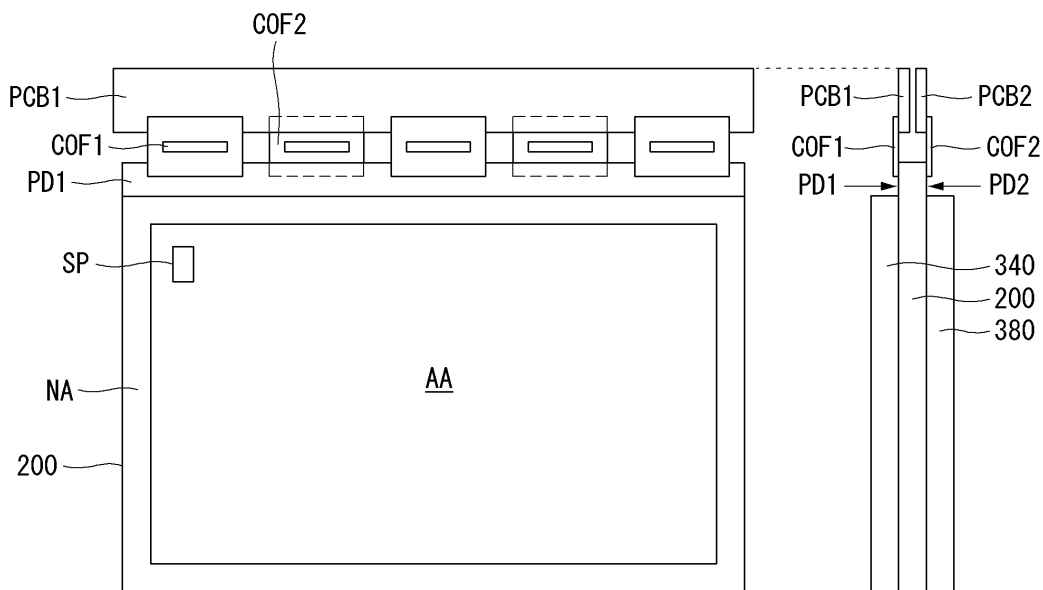
도면7



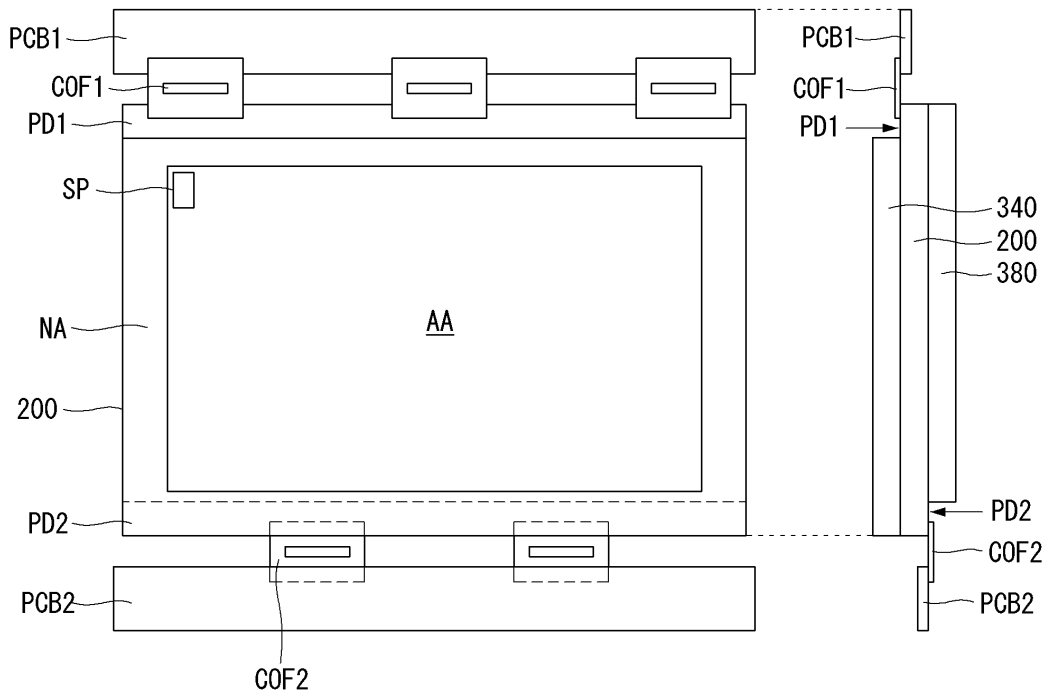
도면8



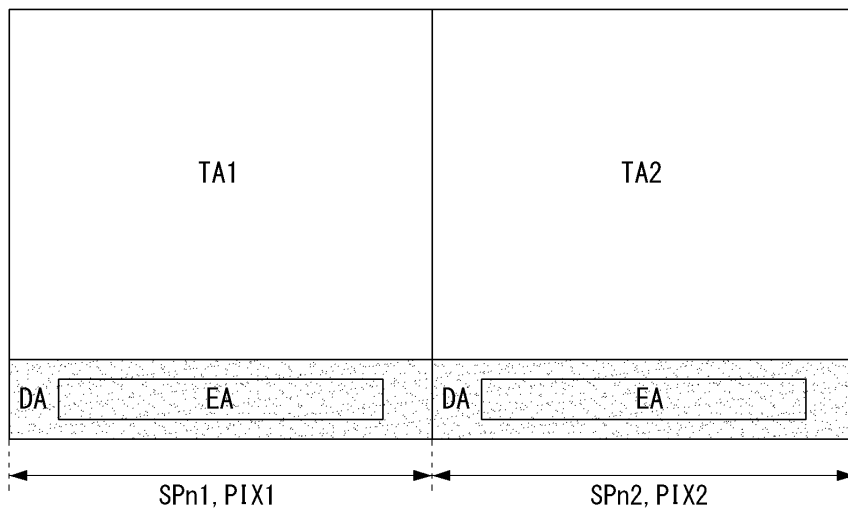
도면9



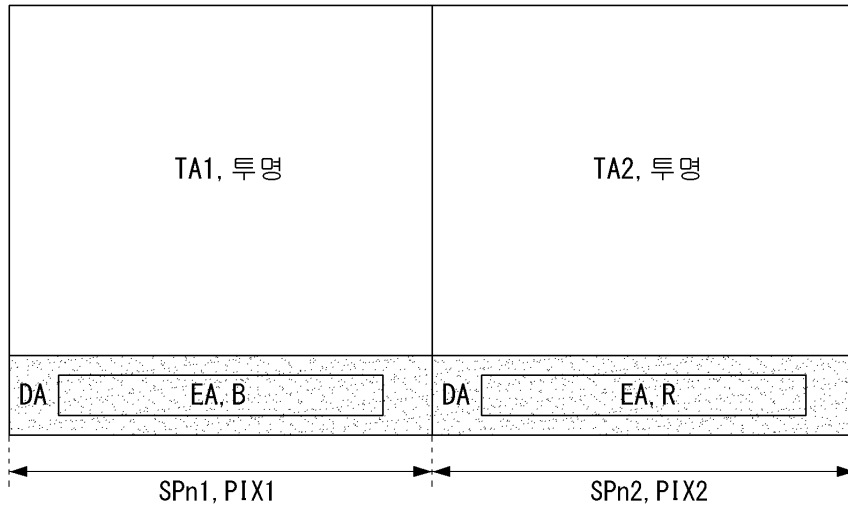
도면10



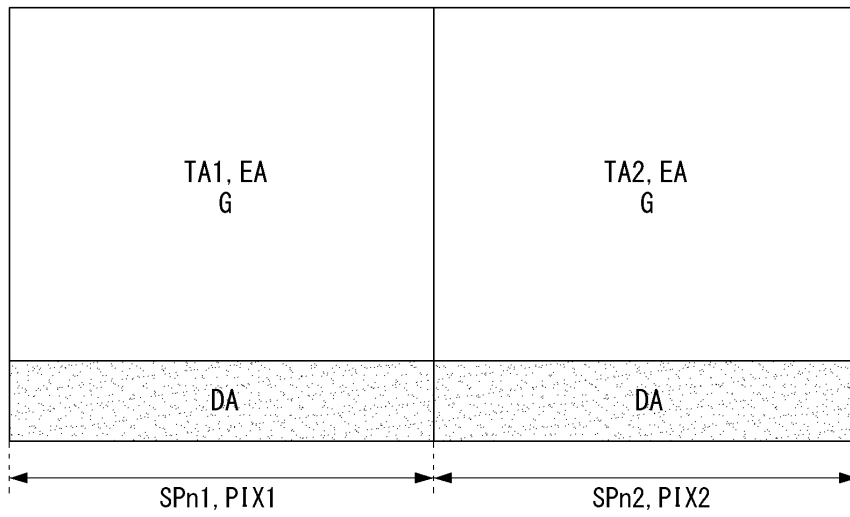
도면11



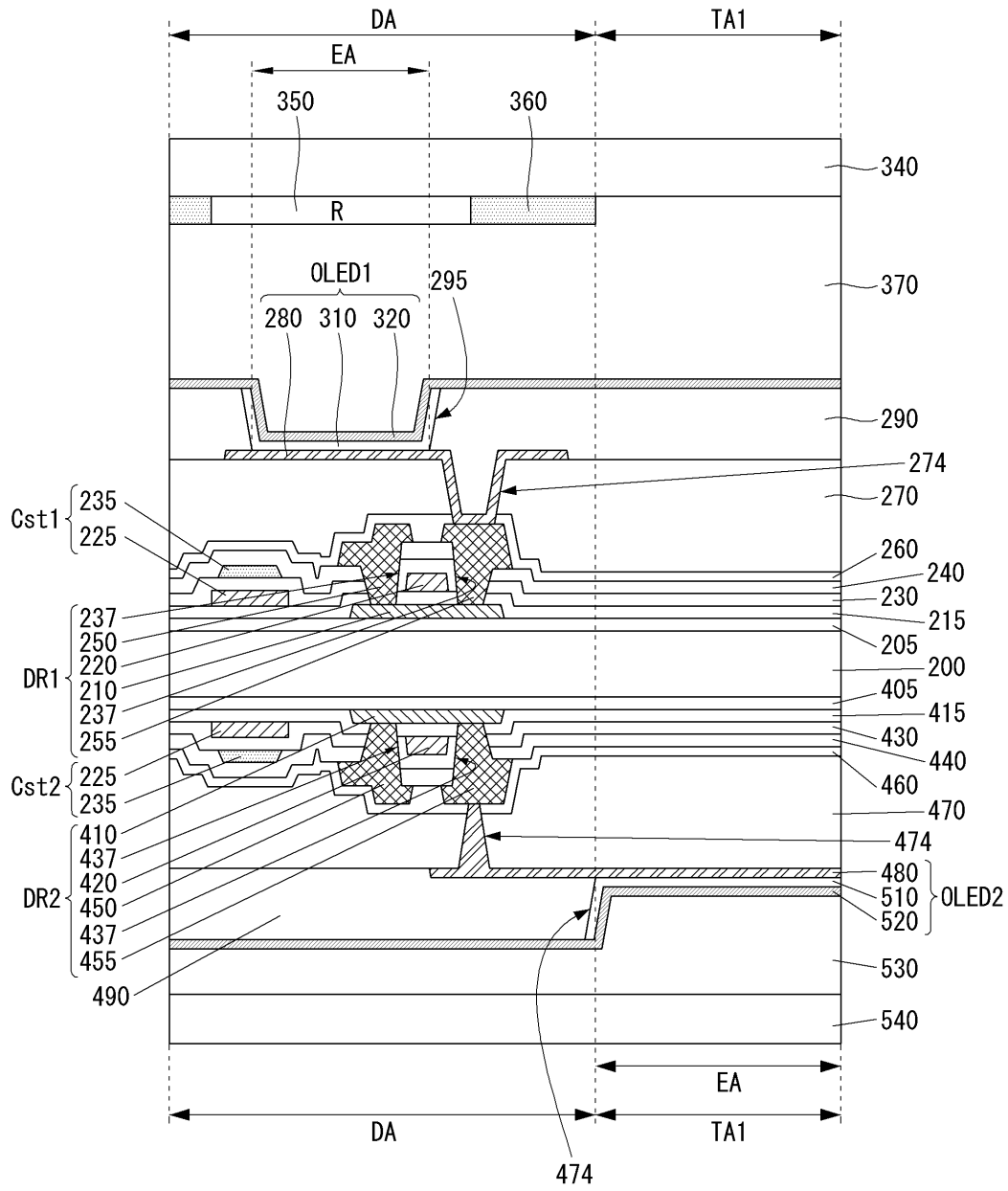
도면12



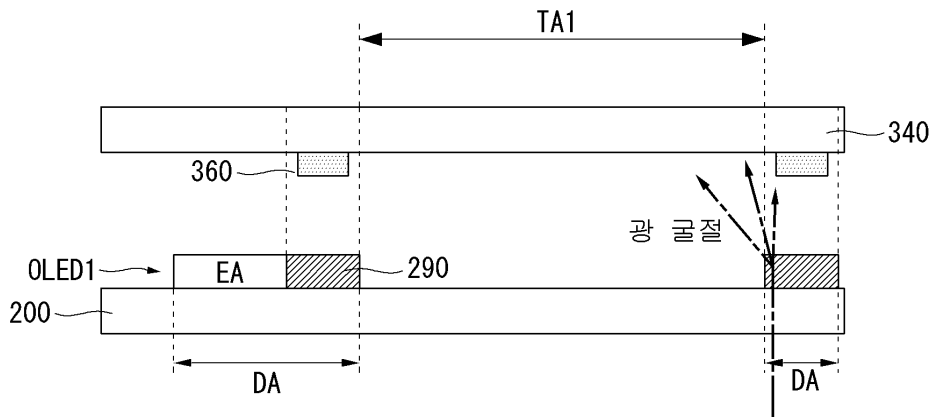
도면13



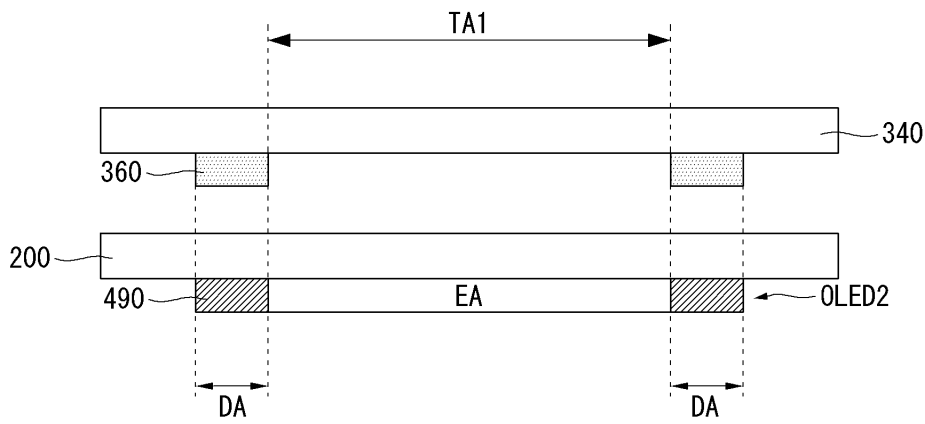
도면14





도면15



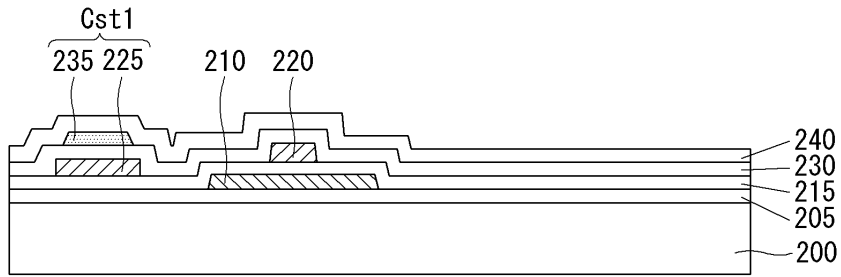
도면16



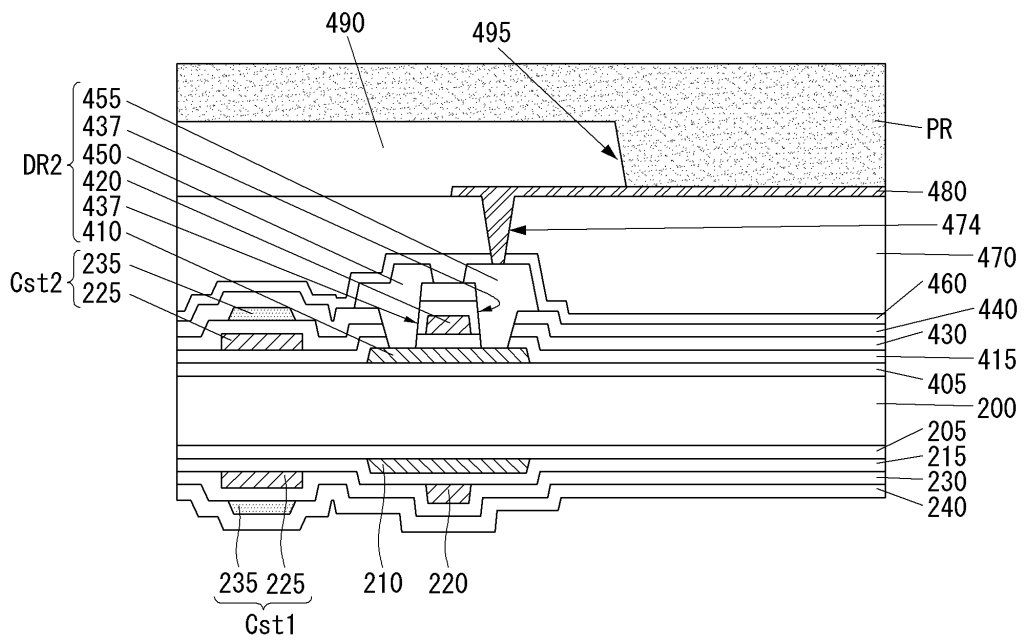
도면17

	비교예	실시예
이미지		
투과율	47%	59%
Haze	6%	2%
Purity	41%	63%

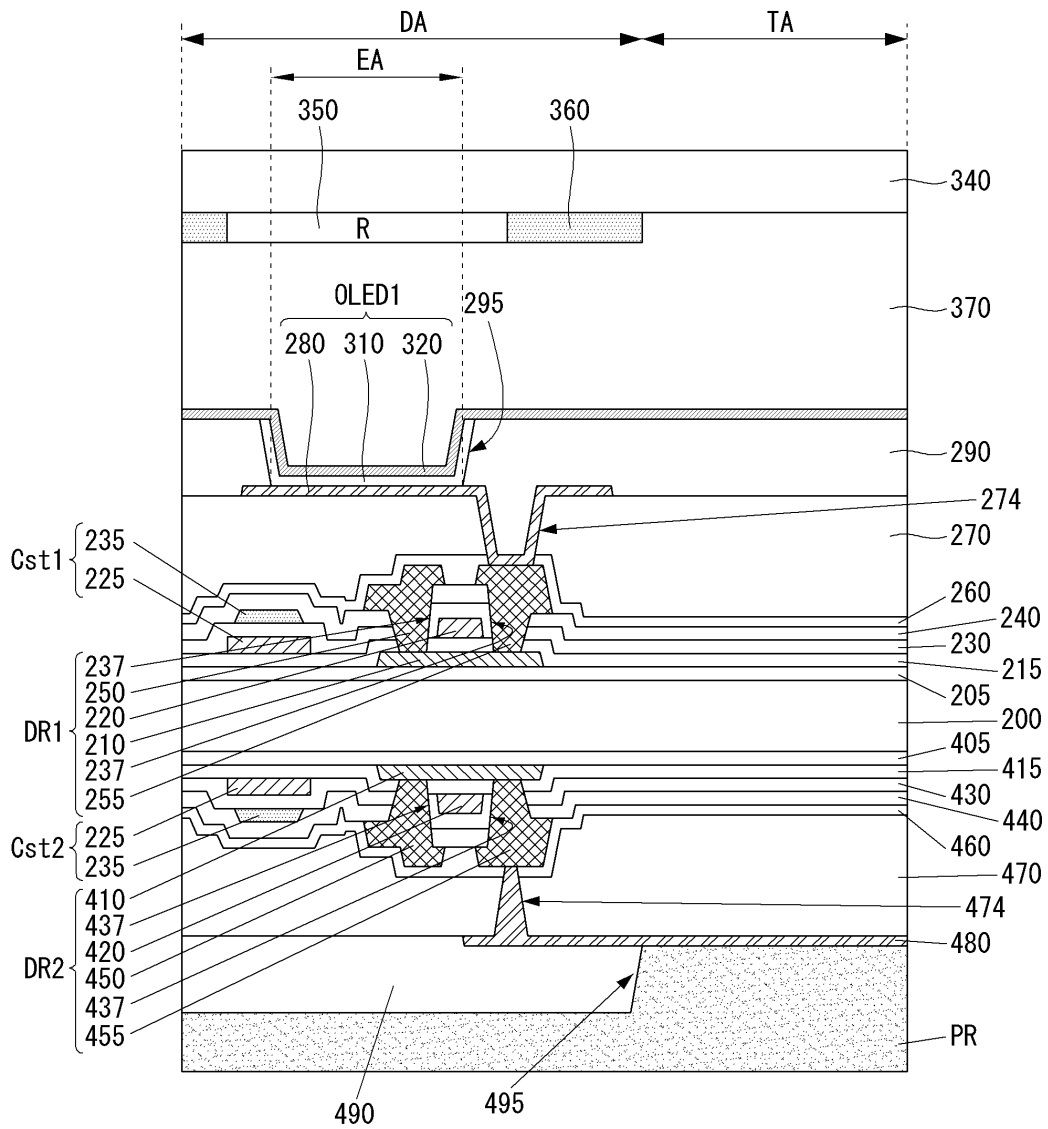
도면18



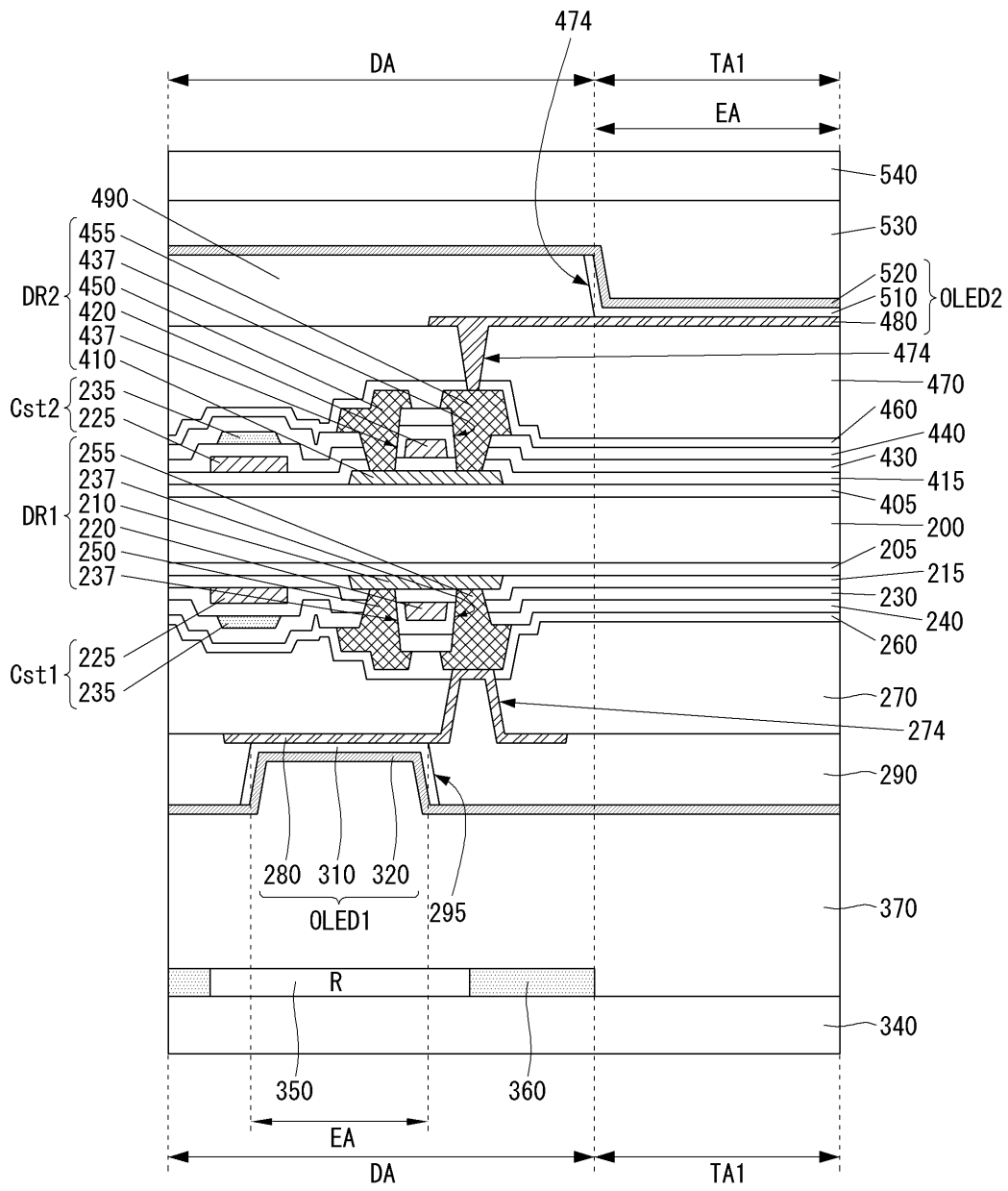
도면19



도면20



도면21



专利名称(译)	显示		
公开(公告)号	KR1020200077320A	公开(公告)日	2020-06-30
申请号	KR1020180166706	申请日	2018-12-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김의태 심다혜		
发明人	김의태 심다혜		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3293 H01L27/3211 H01L27/3246 H01L27/3262 H01L51/5237 H01L51/5284 G09G3/3225 H01L27/3248 H01L27/3276 H05K1/18 H05K2201/10128		
外部链接	Espacenet		

摘要(译)

显示装置包括:第一基板,其包括电路部分和透射部分;第一有机发光二极管,其布置在第一基板的一个表面上并且与电路部分重叠;第二有机发光二极管,其布置在第一基板的另一个表面上。第一基板和与透射部分重叠的第二基板以及面对第一基板的一个表面的第二基板,其中第一有机发光二极管和第二有机发光二极管向第二基板发光。

