



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0064945  
(43) 공개일자 2020년06월08일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3233 (2016.01)

(52) CPC특허분류  
G09G 3/3233 (2013.01)  
G09G 2320/0233 (2013.01)

(21) 출원번호 10-2019-0156941

(22) 출원일자 2019년11월29일

심사청구일자 없음

(30) 우선권주장

1020180151001 2018년11월29일 대한민국(KR)

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

홍석현

경기도 파주시 월롱면 엘지로 245

권다혜

경기도 파주시 월롱면 엘지로 245

(뒷면에 계속)

(74) 대리인

이승찬

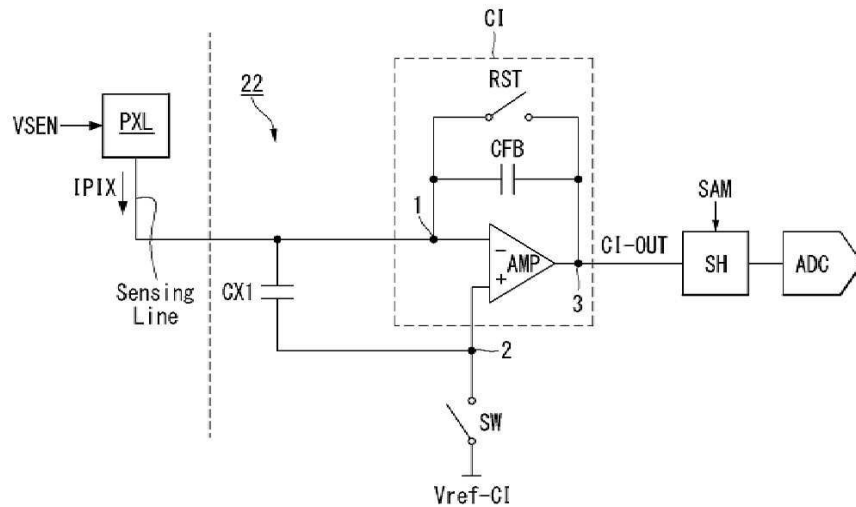
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 픽셀 센싱 장치와 그를 포함한 유기발광 표시장치

(57) 요약

본 발명의 실시예에 따른 픽셀 센싱 장치는 센싱 라인에 연결된 제1 노드를 통해 픽셀 전류를 입력 받는 제1 입력 단자와, 제2 노드를 통해 적분기 기준 전압을 입력 받는 제2 입력 단자와, 상기 픽셀 전류의 적분 결과인 적분기 출력 전압을 제3 노드로 출력하는 출력 단자를 갖는 적분기 앰프; 및 상기 제1 노드와 상기 제2 노드 사이에 연결되어 상기 적분기 앰프의 상기 제1 입력 단자와 상기 제2 입력 단자를 커플링 시키는 제1 커패시터를 포함한다.

대표도 - 도7



(52) CPC특허분류  
G09G 2320/0295 (2013.01)

**이상훈**  
경기도 파주시 월롱면 엘지로 245

(72) 발명자  
**이창우**  
경기도 파주시 월롱면 엘지로 245

**이태영**  
경기도 파주시 월롱면 엘지로 245

---

## 명세서

### 청구범위

#### 청구항 1

센싱 라인에 연결된 제1 노드를 통해 픽셀 전류를 입력 받는 제1 입력 단자와, 제2 노드를 통해 적분기 기준 전압을 입력 받는 제2 입력 단자와, 상기 픽셀 전류의 적분 결과인 적분기 출력 전압을 제3 노드로 출력하는 출력 단자를 갖는 적분기 앰프; 및

상기 제1 노드와 상기 제2 노드 사이에 연결되어 상기 제1 입력 단자와 상기 제2 입력 단자를 커플링 시키는 제1 커패시터를 포함한 픽셀 센싱 장치.

#### 청구항 2

제 1 항에 있어서,

상기 제1 노드와 상기 제3 노드 사이에 연결되어 상기 픽셀 전류를 누적하는 적분기 커패시터;

상기 제1 노드와 상기 제3 노드 사이에 연결된 리셋 스위치; 및

상기 제2 노드와 상기 적분기 기준 전압의 입력단 사이에 연결된 플로팅 제어 스위치를 더 포함한 픽셀 센싱 장치.

#### 청구항 3

제 2 항에 있어서,

상기 리셋 스위치와 상기 플로팅 제어 스위치가 오프 된 동안 상기 픽셀 전류에 혼입된 패널 노이즈가 상기 적분기 앰프의 상기 제1 입력 단자에 인가됨과 아울러 상기 제1 커패시터를 통해 상기 적분기 앰프의 상기 제2 입력 단자에도 인가되는 픽셀 센싱 장치.

#### 청구항 4

제 1 항에 있어서,

상기 제1 커패시터의 용량이 클수록 상기 적분기 출력 전압에 혼입되는 패널 노이즈의 량이 줄어드는 픽셀 센싱 장치.

#### 청구항 5

제 1 항에 있어서,

상기 적분기 기준 전압의 입력단과 상기 제1 노드와 상기 제2 노드에 연결된 읍셋 제거부를 더 포함하고,

상기 읍셋 제거부는,

일측 전극이 상기 제2 노드에 연결되고 타측 전극이 제4 노드를 통해 상기 제1 커패시터에 연결된 제2 커패시터;

상기 제2 노드와 상기 적분기 기준 전압의 입력단 사이에 연결된 제1 스위치;

상기 제4 노드와 상기 적분기 기준 전압의 입력단 사이에 연결된 제2 스위치; 및

상기 제1 노드와 상기 제4 노드 사이에 연결된 제3 스위치를 포함한 픽셀 센싱 장치.

#### 청구항 6

제 5 항에 있어서,

상기 제1 스위치, 상기 제2 스위치 및 상기 제3 스위치가 모두 오프 된 동안 상기 픽셀 전류에 혼입된 패널 노이즈가 상기 적분기 앰프의 상기 제1 입력 단자에 인가됨과 아울러 상기 제1 커패시터와 상기 제2 커패시터를

통해 상기 적분기 앰프의 상기 제2 입력 단자에도 인가되는 픽셀 센싱 장치.

**청구항 7**

제 6 항에 있어서,

상기 제1 커패시터의 용량과 상기 제2 커패시터의 용량이 클수록 상기 적분기 출력 전압에 혼입되는 상기 패널 노이즈의 양이 줄어드는 픽셀 센싱 장치.

**청구항 8**

제 5 항에 있어서,

상기 제1 노드와 상기 제3 노드 사이에 연결되어 상기 픽셀 전류를 누적하는 적분기 커패시터; 및

상기 제1 노드와 상기 제3 노드 사이에 연결된 리셋 스위치를 더 포함하고,

오프셋 검출 기간에서, 상기 제1 스위치와 상기 제3 스위치와 상기 리셋 스위치는 온 되고 상기 제2 스위치는 오프 되어, 상기 적분기 앰프의 오프셋이 상기 제2 커패시터에 저장되고,

상기 오프셋 검출 기간에 이은 초기화 기간에서, 상기 제1 스위치와 상기 제3 스위치는 오프 되고 상기 제2 스위치와 상기 리셋 스위치는 온 되어, 상기 제1 노드의 전압 및, 상기 제3 노드의 전압이 상기 적분기 앰프의 오프셋이 제거된 상기 적분기 기준전압으로 초기화되고,

상기 초기화 기간에 이은 센싱 기간에서, 상기 제1 스위치, 상기 제2 스위치, 상기 제3 스위치, 및 상기 리셋 스위치는 오프 되어, 상기 적분기 커패시터에 상기 픽셀 전류가 누적됨에 따라 상기 제3 노드에서 상기 적분기 기준전압으로부터 변하는 상기 적분기 출력 전압이 센싱되는 픽셀 센싱 장치.

**청구항 9**

제1 센싱 라인에 연결된 제1 노드를 통해 제1 픽셀 전류를 입력 받는 제1 입력 단자와, 제2 노드를 통해 적분기 기준 전압을 입력 받는 제2 입력 단자와, 상기 제1 픽셀 전류의 적분 결과인 제1 적분기 출력 전압을 제3 노드로 출력하는 제1 출력 단자를 갖는 제1 적분기 앰프;

제2 센싱 라인에 연결된 제4 노드를 통해 제2 픽셀 전류를 입력 받는 제3 입력 단자와, 제5 노드를 통해 적분기 기준 전압을 입력 받는 제4 입력 단자와, 상기 제2 픽셀 전류의 적분 결과인 제2 적분기 출력 전압을 제6 노드로 출력하는 제2 출력 단자를 갖는 제2 적분기 앰프;

상기 제1 노드와 상기 제5 노드 사이에 연결되어 상기 제1 입력 단자와 상기 제4 입력 단자를 커플링 시키는 제1 커패시터; 및

상기 제2 노드와 상기 제4 노드 사이에 연결되어 상기 제2 입력 단자와 상기 제3 입력 단자를 커플링 시키는 제2 커패시터를 포함한 픽셀 센싱 장치.

**청구항 10**

제 9 항에 있어서,

상기 제1 노드와 상기 제3 노드 사이에 연결되어 상기 제1 픽셀 전류를 누적하는 제1 적분기 커패시터;

상기 제1 노드와 상기 제3 노드 사이에 연결된 제1 리셋 스위치;

상기 제2 노드와 상기 적분기 기준 전압의 입력단 사이에 연결된 제1 플로팅 제어 스위치;

상기 제4 노드와 상기 제6 노드 사이에 연결되어 상기 제2 픽셀 전류를 누적하는 제2 적분기 커패시터;

상기 제4 노드와 상기 제6 노드 사이에 연결된 제2 리셋 스위치; 및

상기 제5 노드와 상기 적분기 기준 전압의 입력단 사이에 연결된 제2 플로팅 제어 스위치를 더 포함한 픽셀 센싱 장치.

**청구항 11**

제 10 항에 있어서,

상기 제1 리셋 스위치, 상기 제1 플로팅 제어 스위치, 상기 제2 리셋 스위치, 및 상기 제2 플로팅 제어 스위치가 모두 오프 된 동안,

상기 제1 픽셀 전류에 혼입된 패널 노이즈가 상기 제1 적분기 앰프의 상기 제1 입력 단자에 인가됨과 아울러 상기 제1 커패시터를 통해 상기 제2 적분기 앰프의 상기 제4 입력 단자에도 인가되고,

상기 제2 픽셀 전류에 혼입된 패널 노이즈가 상기 제2 적분기 앰프의 상기 제3 입력 단자에 인가됨과 아울러 상기 제2 커패시터를 통해 상기 제1 적분기 앰프의 상기 제2 입력 단자에도 인가되는 픽셀 센싱 장치.

**청구항 12**

제 9 항에 있어서,

상기 제1 커패시터의 용량과 상기 제2 커패시터의 용량이 클수록 상기 제1적분기 출력 전압과 상기 제2 적분기 출력 전압에 혼입되는 패널 노이즈의 양이 줄어드는 픽셀 센싱 장치.

**청구항 13**

제 10 항에 있어서,

상기 제2 노드에 연결된 제1 안정화 커패시터; 및

상기 제5 노드에 연결된 제2 안정화 커패시터를 더 포함한 픽셀 센싱 장치.

**청구항 14**

제 13 항에 있어서,

상기 제1 안정화 커패시터의 크기와 상기 제2 안정화 커패시터의 크기는 동일한 픽셀 센싱 장치.

**청구항 15**

제 10 항에 있어서,

상기 제1 노드와 상기 제1 커패시터에 연결된 제1 분리 스위치; 및

상기 제2 노드와 상기 제2 커패시터에 연결된 제2 분리 스위치를 더 포함하고,

상기 제1 리셋 스위치, 상기 제1 플로팅 제어 스위치, 상기 제2 리셋 스위치, 및 상기 제2 플로팅 제어 스위치가 모두 온 된 동안, 상기 제1 분리 스위치와 상기 제2 분리 스위치가 오프 되는 픽셀 센싱 장치.

**청구항 16**

적어도 하나 이상의 픽셀과 상기 픽셀에 연결된 센싱 라인이 구비된 표시패널; 및

적어도 하나 이상의 상기 센싱 라인을 통해 상기 픽셀의 구동 특성을 센싱하는 상기 청구항 제1항 내지 제15항 중 어느 한 항의 픽셀 센싱 장치를 포함한 유기발광 표시장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)와 구동 TFT(Thin Film Transistor)를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 영상 데이터의 계조에 따라 픽셀들에서 구현되는 영상의 휘도를 조절한다. 구동 TFT는 자신의 게이트전극과 소스전극 사이에 걸리는 전압(이하, "게이트-소스 간 전압"이라 함)에 따라 OLED에 흐르는 픽셀전류를 제어한다. 픽셀전류에 따라 OLED의 발광량과 화면의 휘도가 결정된다.

[0003] 구동 TFT의 문턱 전압과 전자 이동도, OLED의 동작점 전압 등은 픽셀의 구동 특성을 결정하므로 모든 픽셀들에

서 동일해야 한다. 하지만, 공정 특성, 시변 특성 등 다양한 원인에 의해 픽셀들 간에 구동 특성이 달라질 수 있다. 이러한 구동 특성 차이는 휘도 편차를 초래하여 원하는 화상을 구현하는 데 제약이 된다. 픽셀들 간의 휘도 편차를 보상하기 위해, 픽셀들의 구동 특성을 센싱하고 그 센싱 결과를 기초로 입력 영상의 데이터를 보정하는 외부 보상 기술이 알려져 있다.

[0004] 외부 보상 기술에서 픽셀의 구동 특성을 센싱하기 위해, 전류 적분기를 이용하여 구동 TFT에 흐르는 픽셀 전류를 센싱하는 방식이 있다. 이 방식은 적분기 기준 전압과 적분기 출력 전압 간의 전압 차를 통해 픽셀 전류의 변화를 알아낸다.

[0005] 전류 적분기는 표시패널의 센싱 라인을 통해 각 픽셀에 연결된다. 따라서, 전류 적분기를 통해 센싱되는 픽셀 전류에 패널 노이즈가 반영될 수 있다. 패널 노이즈는 공정 특성, 구동 환경 등 다양한 원인에 의해 생길 수 있으며, 센싱 채널들에 다른 크기로 영향을 미칠 수 있다. 이러한 패널 노이즈는 적분기 앰프를 통해 증폭되어 적분기 출력 전압을 왜곡시키므로, 동일한 픽셀 전류를 센싱하더라도 그 센싱 결과가 전류 적분기들 간에 달라질 수 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 따라서, 본 발명은 패널 노이즈의 영향을 최소화하여 센싱의 정확성과 신뢰성을 높일 수 있도록 한 픽셀 센싱 장치와 그를 포함한 유기발광 표시장치를 제공한다.

**과제의 해결 수단**

[0007] 본 발명의 실시예에 따른 픽셀 센싱 장치는 센싱 라인에 연결된 제1 노드를 통해 픽셀 전류를 입력 받는 제1 입력 단자와, 제2 노드를 통해 적분기 기준 전압을 입력 받는 제2 입력 단자와, 상기 픽셀 전류의 적분 결과인 적분기 출력 전압을 제3 노드로 출력하는 출력 단자를 갖는 적분기 앰프; 및 상기 제1 노드와 상기 제2 노드 사이에 연결되어 상기 적분기 앰프의 상기 제1 입력 단자와 상기 제2 입력 단자를 커플링 시키는 제1 커패시터를 포함한다.

**발명의 효과**

[0008] 본 발명은 센싱부 내에 전류 적분기와 함께 패널 노이즈 억제용 커패시터를 구비함으로써, 적분기 출력 전압에 혼입되는 패널 노이즈의 양을 최소화하여 센싱의 정확성과 신뢰성을 높일 수 있다.

[0009] 나아가, 본 발명은 센싱부 내에 오프셋 제거회로를 더 구비함으로써, 적분기 앰프의 오프셋으로 인해 적분기 출력 전압이 왜곡되는 정도를 최소화하여 센싱의 정확성과 신뢰성을 더욱 높일 수 있다.

[0010] 더 나아가, 본 발명은 이웃한 2개의 센싱 채널들 단위로 패널 노이즈 억제용 커패시터를 구성하여, 2개의 센싱 채널들 단위로 입력되는 동 위상의 패널 노이즈를 효과적으로 제거할 수 있다. 본 발명은 상관 더블 샘플링 (Correlated Double Sampling) 기술에 비해 센싱부의 회로 사이즈가 대폭적으로 작음에도 불구하고 그와 유사한 정도의 노이즈 제거 효과가 있다.

[0011] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

[0012] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면이다.

도 2는 도 1의 표시패널에 구비된 픽셀 어레이의 일 예를 보여주는 도면이다.

도 3은 도 2의 픽셀 어레이에 연결된 데이터 구동부의 일 구성을 보여주는 도면이다.

도 4는 도 3에 도시된 픽셀의 일 등가 회로도이다.

도 5는 도 2의 픽셀 어레이에 연결된 데이터 구동부의 다른 구성을 보여주는 도면이다.

도 6은 도 5에 도시된 픽셀의 일 등가 회로도이다.

- 도 7은 본 발명의 일 실시예에 따른 픽셀 센싱 장치를 보여주는 도면이다.
- 도 8은 도 7의 픽셀 센싱 장치의 구동 파형도이다.
- 도 9 및 도 10은 도 7의 픽셀 센싱 장치의 동작을 보여주는 도면들이다.
- 도 11은 본 발명의 다른 실시예에 따른 픽셀 센싱 장치를 보여주는 도면이다.
- 도 12는 도 11의 픽셀 센싱 장치의 구동 파형도이다.
- 도 13 내지 도 15는 도 11의 픽셀 센싱 장치의 동작을 보여주는 도면들이다.
- 도 16 및 도 17은 패널 노이즈 개선과 관련된 시뮬레이션 결과를 보여주는 도면들이다.
- 도 18은 본 발명의 또 다른 실시예에 따른 픽셀 센싱 장치를 보여주는 도면이다.
- 도 19는 도 18의 픽셀 센싱 장치의 구동 파형도이다.
- 도 20 및 도 21은 도 18의 픽셀 센싱 장치의 동작을 보여주는 도면들이다.
- 도 22는 본 발명의 또 다른 실시예에 따른 픽셀 센싱 장치를 보여주는 도면이다.
- 도 23은 본 발명의 또 다른 실시예에 따른 픽셀 센싱 장치를 보여주는 도면이다.
- 도 24는 도 23의 픽셀 센싱 장치의 구동 파형도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0013] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 명세서는 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 명세서의 개시가 완전하도록 하며, 본 명세서가 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 명세서는 청구항의 범주에 의해 정의될 뿐이다.
- [0014] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0017] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용될 수 있으나, 이 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 명세서의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0018] 본 명세서에서 표시패널의 기관 상에 형성되는 픽셀 회로는 n 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 TFT로 구현되거나 또는 p 타입 MOSFET 구조의 TFT로 구현될 수도 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. 즉, MOSFET에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT (NMOS)의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전자가 소스로부터 드레인 쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. 이에 반해, p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. MOSFET의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, MOSFET의 소스와 드레인은 인가 전압에 따라 변경될 수 있다.

- [0019] 한편, 본 명세서에서 TFT의 반도체층은 옥사이드 소자, 아몰포스 실리콘 소자, 폴리 실리콘 소자 중 적어도 어느 하나로 구현될 수 있다.
- [0020] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예를 상세히 설명한다. 이하의 설명에서, 본 명세서와 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 명세서의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0021] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면이다. 그리고, 도 2는 도 1의 표시패널에 구비된 픽셀 어레이의 일 예를 보여주는 도면이다.
- [0022] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기발광 표시장치는 표시패널(10), 드라이버 IC(D-IC)(20), 보상 IC(30), 호스트 시스템(40), 및 저장 메모리(50)를 포함할 수 있다. 본 발명의 패널 구동부는 표시패널(10)에 구비된 게이트 구동부(15)와, 드라이버 IC(D-IC)(20)에 내장된 데이터 구동부(25)를 포함한다.
- [0023] 표시패널(10)에는 다수의 픽셀 라인들(PNL1~PNL4)이 구비되고, 각 픽셀라인에는 다수의 픽셀들(PXL)과 복수의 신호라인들이 구비된다. 본 발명에서 설명되는 “픽셀 라인”은 물리적인 신호라인이 아니라, 게이트라인의 연장 방향을 따라 서로 이웃한 픽셀들(PXL)과 신호 라인들의 집합체를 의미한다. 신호라인들은 픽셀들(PXL)에 디스플레이용 데이터전압(VDIS)과 센싱용 데이터전압(VSEN)을 공급하기 위한 데이터라인들(140), 픽셀들(PXL)에 기준전압(VREF)을 공급하기 위한 기준전압 라인들(150), 픽셀들(PXL)에 게이트신호를 공급하는 게이트라인들(160), 및 픽셀들(PXL)에 고전위 픽셀 전압을 공급하기 위한 고전위 전원 라인들(PWL)을 포함할 수 있다.
- [0024] 표시패널(10)의 픽셀들(PXL)은 매트릭스 형태로 배치되어 픽셀 어레이(Pixel array)를 구성한다. 도 2의 픽셀 어레이에 포함된 각 픽셀(PXL)은 데이터라인들(140) 중 어느 하나에, 기준전압 라인들(150) 중 어느 하나에, 고전위 전원 라인들(PWL) 중 어느 하나에, 그리고 게이트라인들(160) 중 어느 하나에 연결될 수 있다. 도 2의 픽셀 어레이에 포함된 각 픽셀(PXL)은 복수의 게이트라인들(160)에 연결될 수도 있다. 그리고, 도 2의 픽셀 어레이에 포함된 각 픽셀(PXL)은 전원 생성부로부터 저전위 픽셀 전압을 더 공급받을 수 있다. 전원생성부는 저전위 전원 라인 또는 패드부를 통해서 저전위 픽셀 전압을 픽셀(PXL)에 공급할 수 있다.
- [0025] 표시패널(10)에는 게이트 구동부(15)가 내장될 수 있다.
- [0026] 게이트 구동부(15)는 도 2의 픽셀 어레이의 게이트라인들(160)에 연결된 복수의 스테이지들을 포함할 수 있다. 스테이지들은 픽셀들(PXL)의 스위치 소자들을 제어하기 위한 게이트신호를 생성하여 게이트라인들(160)에 공급할 수 있다.
- [0027] 드라이버 IC(D-IC)(20)는 타이밍 제어부(21)와 데이터 구동부(25)를 포함한다. 데이터 구동부(25)는 센싱부(22)와 구동전압 생성부(23)를 포함할 수 있으나, 이에 한정되지 않는다.
- [0028] 타이밍 제어부(21)는 호스트 시스템(40)으로부터 입력되는 타이밍 신호들, 예컨대 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등을 참조로 게이트 구동부(15)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와, 데이터 구동부(25)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 생성할 수 있다.
- [0029] 데이터 타이밍 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함할 수 있으나 이에 한정되지 않는다. 소스 스타트 펄스는 구동전압 생성부(23)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기준하여 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호는 구동전압 생성부(23)의 출력 타이밍을 제어한다.
- [0030] 게이트 타이밍 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock) 등을 포함할 수 있으나, 이에 한정되지 않는다. 게이트 스타트 펄스는 첫 번째 게이트 출력을 생성하는 스테이지에 인가되어 그 스테이지의 동작을 활성화한다. 게이트 쉬프트 클럭은 스테이지들에 공통으로 입력되는 것으로서 게이트 스타트 펄스를 쉬프트시키기 위한 클럭신호이다.
- [0031] 타이밍 제어부(21)는 패널 구동부의 동작 타이밍을 제어함으로써, 파워 온 기간, 각 프레임의 수직 액티브 기간, 각 프레임의 수직 블랭크 기간, 파워 오프 기간 중 적어도 어느 하나에서 픽셀들(PXL)의 구동 특성을 센싱할 수 있다. 여기서, 파워 온 기간은 시스템 전원이 인가된 후부터 화면이 켜지기 전까지의 기간이고, 파워 오프 기간은 화면이 꺼진 후부터 시스템 전원이 해제되기 전까지의 기간이다. 수직 액티브 기간은 화면 재생을 위해 영상 데이터가 표시패널(10)에 기입되는 기간이고, 수직 블랭크 기간은 이웃한 수직 액티브 기간들 사이에

위치하며 영상 데이터의 기입이 중지되는 기간이다. 픽셀들(PXL)의 구동 특성은 픽셀들(PXL)에 포함된 구동 소자들의 문턱전압과 전자 이동도를 포함할 수 있으며, 픽셀들(PXL)에 포함된 발광소자들의 동작점전압(턴 온 전압)을 더 포함할 수도 있다.

[0032] 타이밍 제어부(21)는 표시패널(10)의 픽셀 라인들(PNL1~PNL4)에 대한 센싱 구동 타이밍과 디스플레이 구동 타이밍을 정해진 시퀀스에 따라 제어함으로써, 디스플레이 구동과 센싱 구동을 구현할 수 있다.

[0033] 타이밍 제어부(21)는 디스플레이 구동을 위한 타이밍 제어신호들(GDC,DDC)과 센싱 구동을 위한 타이밍 제어신호들(GDC,DDC)을 서로 다르게 생성할 수 있다. 센싱 구동은 센싱 대상 픽셀 라인에 포함된 픽셀들(PXL)에 센싱용 데이터전압(VSEN)을 기입하여 해당 픽셀들(PXL)의 구동 특성을 센싱하고, 센싱 결과 데이터(SDATA)를 기초로 해당 픽셀들(PXL)의 구동 특성 변화를 보상하기 위한 보상값을 업데이트하는 것을 의미한다. 그리고, 디스플레이 구동은 업데이트된 보상값을 기반으로 하여, 해당 픽셀들(PXL)에 입력될 디지털 영상 데이터를 보정하고, 보정된 영상 데이터(CDATA)에 대응되는 디스플레이용 데이터전압(VDIS)을 해당 픽셀들(PXL)에 인가하여 입력 영상을 표시하는 것을 의미한다.

[0034] 구동전압 생성부(23)는 디지털 신호를 아날로그 신호로 변환하는 디지털-아날로그 변환기(Digital to Analog converter, 이하 DAC라 함)로 구현된다. 구동전압 생성부(23)는 센싱 구동에 필요한 센싱용 데이터전압(VSEN)과 디스플레이 구동에 필요한 디스플레이용 데이터전압(VDIS)을 생성하여 데이터라인들(140)에 공급한다. 구동전압 생성부(23)는 센싱 구동과 디스플레이 구동에 더 필요한 기준 전압(VREF)을 생성하여 기준전압 라인들(150)에 공급한다.

[0035] 디스플레이용 데이터전압(VDIS)은 보상 IC(30)에서 보정된 디지털 영상 데이터(CDATA)에 대한 디지털-아날로그 변환 결과로서, 계조값 및 보상값에 따라 픽셀 단위로 그 크기가 달라질 수 있다. 센싱용 데이터전압(VSEN)은 컬러 별로 구동소자의 구동 특성이 다를 것을 고려하여 R(적색),G(녹색),B(청색),W(백색) 픽셀들 단위로 다르게 설정될 수 있다.

[0036] 센싱부(22)는 센싱 구동을 위해, 픽셀들(PXL)의 구동 특성, 예컨대, 구동 소자의 문턱전압과 전자 이동도, 발광 소자의 동작점 전압을 센싱 라인들을 통해 센싱할 수 있다. 센싱부(22)는 각 센싱 라인에 하나씩 연결될 수 있으나, 이에 한정되지 않는다. 센싱부(22)는 복수의 센싱 라인들에 하나씩 연결될 수도 있다. 센싱 라인들은 데이터라인들(140)로 구현될 수도 있고 기준전압 라인들(150)로 구현될 수도 있다. 다만, 데이터라인들(140)을 센싱 라인으로 활용하면 데이터 출력 채널과 센싱 채널을 일원화할 수 있어 드라이버 IC(D-IC)(20)의 패드 수를 절감하기가 용이하다. 센싱부(22)는 각 픽셀(PXL)에 흐르는 픽셀 전류를 직접 센싱하는 전류 센싱형으로 구현될 수 있다. 이 경우, 센싱부(22)는 전류 적분기와, 각 전류 적분기의 제1 입력 단자와 제2 입력 단자에 연결된 패널 노이즈 억제용 커패시터를 포함할 수 있는 데, 이에 대해서는 도 7을 통해 자세히 설명한다. 또한, 센싱부(22)는 전류 적분기와 패널 노이즈 억제용 커패시터외에 옅색 제거회로를 더 포함할 수 있는 데, 이에 대해서는 도 11을 통해 자세히 설명한다. 또한, 센싱부(22)는 제1 전류 적분기, 제2 전류 적분기, 제1 전류 적분기의 제1 입력 단자와 제2 전류 적분기의 제2 입력 단자 사이에 연결된 제1 패널 노이즈 억제용 커패시터, 및 제1 전류 적분기의 제2 입력 단자와 제2 전류 적분기의 제1 입력 단자 사이에 연결된 제2 패널 노이즈 억제용 커패시터를 포함할 수 있는데, 이에 대해서는 도 18 내지 도 23을 통해 자세히 설명한다. 센싱부(22)는 복수의 아날로그 센싱값들을 복수개의 ADC(Aanlog-Digital Conveter)들을 이용하여 동시에 병렬 처리할 수도 있고, 복수의 아날로그 센싱값들을 1개의 ADC를 이용하여 순차적으로 직렬 처리할 수도 있다. ADC의 샘플링 속도와 센싱의 정확도는 트레이드 오프(Trade-off) 관계에 있다. 병렬 처리 방식의 ADC는 직렬 처리 방식의 ADC에 비해 샘플링 속도를 늦출 수 있어 센싱의 정확도를 높이는 데 유리하다. ADC는 플래시 타입의 ADC, 트래킹(tracking) 기법을 이용한 ADC, 연속 근사 레지스터 타입(Successive Approximation Register type)의 ADC 등으로 구현될 수 있다. ADC는 미리 정해진 센싱 레인지에 따라 아날로그 센싱값들을 디지털 센싱 결과 데이터(SDATA)로 변환한 후, 저장 메모리(50)에 공급한다.

[0037] 저장 메모리(50)는 센싱 구동시 센싱부(22)로부터 입력되는 디지털 센싱 결과 데이터(SDATA)를 저장한다. 저장 메모리(50)는 플래시 메모리로 구현될 수 있으나, 이에 한정되지 않는다.

[0038] 보상 IC(30)는 보상부(31)와 보상 메모리(32)를 포함할 수 있다. 보상 메모리(32)는 저장 메모리(50)로부터 읽어들이는 디지털 센싱 결과 데이터(SDATA)를 보상부(31)에 전달한다. 보상 메모리(32)는 RAM(Random Access Memory), 예컨대 DDR SDRAM(Double Date Rate Synchronous Dynamic RAM)일 수 있으나, 이에 한정되지 않는다. 보상부(31)는 저장 메모리(50)로부터 읽어들이는 디지털 센싱 결과 데이터(SDATA)를 기반으로 각 픽셀 별로 보상 오프셋(Offset)과 보상 게인(Gain)을 연산하고, 연산된 보상 오프셋과 보상 게인에 따라 호스트 시스템(40)으로

부터 입력 받은 영상 데이터를 보정하고, 보정된 영상 데이터(CDATA)를 드라이버 IC(20)에 공급한다.

- [0039] 도 3은 도 2의 픽셀 어레이에 연결된 데이터 구동부(25)의 일 구성을 보여주는 도면이다. 도 3의 데이터 구동부(25)는 픽셀들(PXL)의 구동 특성을 기준 전압라인들(150)을 통해 센싱하기 위한 것이다.
- [0040] 도 3을 참조하면, 데이터 구동부(25)는 데이터라인(140)을 통해 픽셀(PXL)의 제1 노드(구동 소자의 게이트전극에 연결됨)에 접속되고, 기준 전압라인(150)을 통해 픽셀(PXL)의 제2 노드(구동 소자의 소스전극에 연결됨)에 접속될 수 있다. 픽셀(PXL)의 제2 노드에는 픽셀 전류(IPIX)가 흐르기 때문에, 제2 스위치 소자를 통해 제2 노드에 접속된 기준 전압라인(150)이 센싱 라인으로 활용될 수 있다.
- [0041] 기준 전압라인(150)은 연결 스위치(SX1, SX2)를 통해 구동전압 생성부(23)와 센싱부(22)에 선택적으로 연결된다. 구동전압 생성부(23)는 센싱용 데이터전압(VSEN)과 디스플레이용 데이터전압(VDIS)을 생성하는 제1 구동전압 생성부(DAC1)와 기준전압(VREF)을 생성하는 제2 구동전압 생성부(DAC2)를 포함할 수 있다. 기준 전압라인(150)과 제2 구동전압 생성부(DAC2) 사이에는 제1 연결 스위치(SX1)가 접속되고, 기준 전압라인(150)과 센싱부(22) 사이에는 제2 연결 스위치(SX2)가 접속된다. 제1 연결 스위치(SX1)와 제2 연결 스위치(SX2)는 선택적으로 턴 온 된다. 기준전압(VREF)이 픽셀(PXL)에 기입되는 타이밍에 동기하여 제1 연결 스위치(SX1)만이 턴 온 되고, 픽셀(PXL)에 흐르는 픽셀 전류(IPIX)를 센싱하는 타이밍에 동기하여 제2 연결 스위치(SX2)만이 턴 온 된다. 따라서, 기준 전압라인(150)은 제1 및 제2 연결 스위치들(SX1, SX2)를 통해 제2 구동전압 생성부(DAC2)와 센싱부(22)에 선택적으로 연결된다.
- [0042] 도 4는 도 3에 도시된 픽셀의 일 등가 회로도이다.
- [0043] 도 4를 참조하면, 기준전압 라인(150)을 센싱 라인으로 활용하는 일 픽셀(PXL)은 OLED, 구동 TFT(DT), 스위치 TFT들(ST1, ST2), 및 스토리지 커패시터(Cst)를 포함한다. 구동 TFT(DT)와 스위치 TFT들(ST1, ST2)은 NMOS로 구현될 수 있으나 이에 한정되지 않는다.
- [0044] OLED는 구동 TFT(DT)로부터 인입되는 픽셀 전류에 대응되는 세기로 발광하는 발광 소자이다. OLED의 애노드 전극은 제2 노드(N2)에 접속되고, 캐소드 전극은 저전위 픽셀 전압(EVSS)의 입력단에 접속된다.
- [0045] 구동 TFT(DT)는 게이트-소스 간 전압에 대응하여 픽셀 전류를 생성하는 구동 소자이다. 구동 TFT(DT)의 게이트 전극은 제1 노드(N1)에 접속되고, 제1 전극은 고전위 전원 라인(PWL)을 통해 고전위 픽셀 전압(EVDD)의 입력단에 접속되며, 제2 전극은 제2 노드(N2)에 접속된다.
- [0046] 스위치 TFT들(ST1, ST2)은 구동 TFT(DT)의 게이트-소스 간 전압을 설정하고, 구동 TFT(DT)의 제2 전극과 기준전압 라인(150)을 연결하는 스위치 소자들이다.
- [0047] 제1 스위치 TFT(ST1)는 데이터라인(140)과 제1 노드(N1) 사이에 접속되어 게이트라인(160)으로부터의 게이트 신호(SCAN)에 따라 턴 온 된다. 제1 스위치 TFT(ST1)는 디스플레이 구동 또는 센싱 구동을 위한 프로그래밍 시에 턴 온 된다. 제1 스위치 TFT(ST1)가 턴 온 될 때, 센싱용 데이터전압(VSEN) 또는 디스플레이용 데이터전압(VDIS)이 제1 노드(N1)에 인가된다. 제1 스위치 TFT(ST1)의 게이트전극은 게이트라인(160)에 접속되고, 제1 전극은 데이터 라인(140)에 접속되며, 제2 전극은 제1 노드(N1)에 접속된다.
- [0048] 제2 스위치 TFT(ST2)는 기준전압 라인(150)과 제2 노드(N2) 사이에 접속되어 게이트라인(160)으로부터의 게이트 신호(SCAN)에 따라 턴 온 된다. 제2 스위치 TFT(ST2)는 디스플레이 구동 또는 센싱 구동을 위한 프로그래밍 시에 턴 온 되어, 기준 전압(VREF)을 제2 노드(N2)에 인가한다. 또한, 제2 스위치 TFT(ST2)는 센싱 구동 중의 센싱 기간에서도 턴 온 되어 구동 TFT(DT)에서 생성된 픽셀 전류를 기준전압 라인(150)에 인가한다. 제2 스위치 TFT(ST2)의 게이트전극은 게이트라인(160)에 접속되고, 제1 전극은 기준전압 라인(150)에 접속되며, 제2 전극은 제2 노드(N2)에 접속된다.
- [0049] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속되어 구동 TFT(DT)의 게이트-소스 간 전압을 일정 기간 동안 유지한다.
- [0050] 도 5는 도 2의 픽셀 어레이에 연결된 데이터 구동부(25)의 다른 구성을 보여주는 도면이다. 도 5의 데이터 구동부(25)는 픽셀들(PXL)의 구동 특성을 데이터라인(140)을 통해 센싱하기 위한 것이다.
- [0051] 도 5를 참조하면, 데이터 구동부(25)는 기준 전압라인(150)을 통해 픽셀(PXL)의 제1 노드(구동 소자의 게이트전극에 연결됨)에 접속되고, 데이터라인(140)을 통해 픽셀(PXL)의 제2 노드(구동 소자의 소스전극에 연결됨)에 접속될 수 있다. 픽셀(PXL)의 제2 노드에는 픽셀 전류(IPIX)가 흐르기 때문에, 제2 스위치 소자를 통해 제2 노드

에 접속된 데이터라인(140)이 센싱 라인으로 활용될 수 있다.

- [0052] 데이터라인(140)은 연결 스위치(SX1, SX2)를 통해 구동전압 생성부(23)와 센싱부(22)에 선택적으로 연결된다. 구동전압 생성부(23)는 센싱용 데이터전압(VSEN)과 디스플레이용 데이터전압(VDIS)을 생성하는 제1 구동전압 생성부(DAC1)와 기준전압(VREF)을 생성하는 제2 구동전압 생성부(DAC2)를 포함할 수 있다. 데이터라인(140)과 제1 구동전압 생성부(DAC1) 사이에는 제1 연결 스위치(SX1)가 접속되고, 데이터라인(140)과 센싱부(22) 사이에는 제2 연결 스위치(SX2)가 접속된다. 제1 연결 스위치(SX1)와 제2 연결 스위치(SX2)는 선택적으로 턴 온 된다. 센싱용 데이터전압(VSEN)과 디스플레이용 데이터전압(VDIS)이 픽셀(PXL)에 기입되는 타이밍에 동기하여 제1 연결 스위치(SX1)만이 턴 온 되고, 픽셀(PXL)에 흐르는 픽셀 전류(IPIX)를 센싱하는 타이밍에 동기하여 제2 연결 스위치(SX2)만이 턴 온 된다. 따라서, 데이터라인(140)은 제1 및 제2 연결 스위치들(SX1, SX2)를 통해 제1 구동전압 생성부(DAC1)와 센싱부(22)에 선택적으로 연결된다.
- [0053] 도 6은 도 5에 도시된 픽셀의 일 등가 회로도이다.
- [0054] 도 6을 참조하면, 데이터라인(140)을 센싱 라인으로 활용하는 일 픽셀(PXL)은 OLED, 구동 TFT(DT), 스위치 TFT들(ST1, ST2), 및 스토리지 커패시터(Cst)를 포함한다. 구동 TFT(DT)와 스위치 TFT들(ST1, ST2)은 NMOS로 구현될 수 있으나 이에 한정되지 않는다.
- [0055] OLED는 구동 TFT(DT)로부터 인입되는 픽셀 전류에 대응되는 세기로 발광하는 발광 소자이다. OLED의 애노드 전극은 제2 노드(N2)에 접속되고, 캐소드 전극은 저전위 픽셀 전압(EVSS)의 입력단에 접속된다.
- [0056] 구동 TFT(DT)는 게이트-소스 간 전압에 대응하여 픽셀 전류를 생성하는 구동 소자이다. 구동 TFT(DT)의 게이트 전극은 제1 노드(N1)에 접속되고, 제1 전극은 고전위 전원 라인(PWL)을 통해 고전위 픽셀 전압(EVDD)의 입력단에 접속되며, 제2 전극은 제2 노드(N2)에 접속된다.
- [0057] 스위치 TFT들(ST1, ST2)은 구동 TFT(DT)의 게이트-소스 간 전압을 설정하고, 구동 TFT(DT)의 제2 전극과 데이터라인(140)을 연결하는 스위치 소자들이다.
- [0058] 제1 스위치 TFT(ST1)는 기준 전압라인(150)과 제1 노드(N1) 사이에 접속되어 게이트라인(160)으로부터의 게이트 신호(SCAN)에 따라 턴 온 된다. 제1 스위치 TFT(ST1)는 디스플레이 구동 또는 센싱 구동을 위한 프로그래밍 시에 턴 온 된다. 제1 스위치 TFT(ST1)가 턴 온 될 때, 기준전압(VREF)이 제1 노드(N1)에 인가된다. 제1 스위치 TFT(ST1)의 게이트전극은 게이트라인(160)에 접속되고, 제1 전극은 기준 전압라인(150)에 접속되며, 제2 전극은 제1 노드(N1)에 접속된다.
- [0059] 제2 스위치 TFT(ST2)는 데이터라인(140)과 제2 노드(N2) 사이에 접속되어 게이트라인(160)으로부터의 게이트 신호(SCAN)에 따라 턴 온 된다. 제2 스위치 TFT(ST2)는 디스플레이 구동 또는 센싱 구동을 위한 프로그래밍 시에 턴 온 되어, 센싱용 데이터전압(VSEN) 또는 디스플레이용 데이터전압(VDIS)을 제2 노드(N2)에 인가한다. 또한, 제2 스위치 TFT(ST2)는 센싱 구동 중의 센싱 기간에서도 턴 온 되어 구동 TFT(DT)에서 생성된 픽셀 전류를 데이터라인(140)에 인가한다. 제2 스위치 TFT(ST2)의 게이트전극은 게이트라인(160)에 접속되고, 제1 전극은 데이터라인(140)에 접속되며, 제2 전극은 제2 노드(N2)에 접속된다.
- [0060] 스토리지 커패시터(Cst)는 제1 노드(N1)와 제2 노드(N2) 사이에 접속되어 구동 TFT(DT)의 게이트-소스 간 전압을 일정 기간 동안 유지한다.
- [0061] 도 7은 본 발명의 일 실시예에 따른 픽셀 센싱 장치를 보여주는 도면이다. 도 7의 픽셀 센싱 장치는 도 1의 센싱부(22)를 포함한다.
- [0062] 도 7을 참조하면, 센싱부(22)는 전류 적분기(CI), 샘플 앤 홀드부(SH), ADC 및 제1 커패시터(CX1)를 포함할 수 있다. 제1 커패시터(CX1)는 패널 노이즈 억제용 커패시터이다.
- [0063] 전류 적분기(CI)는 표시패널(10)의 센싱 라인을 통해 일 픽셀(PXL)에 연결된다. 상기 일 픽셀(PXL)에는 센싱용 데이터전압(VSEN)에 대응되는 픽셀 전류(IPIX)가 흐른다. 전류 적분기(CI)는 센싱 기간 동안 픽셀(PXL)에 흐르는 픽셀 전류(IPIX)를 적분하여 적분기 기준전압(Vref-CI)으로부터 변화되는 적분기 출력 전압(CI-OUT)을 생성한다.
- [0064] 전류 적분기(CI)는 적분기 앰프(AMP)와 적분 커패시터(CFB)와 리셋 스위치(RST)와 플로팅 제어 스위치(SW)를 포함한다. 적분기 앰프(AMP)는 센싱 라인에 연결된 제1 노드(1)를 통해 픽셀 전류(IPIX)를 입력 받는 제1 입력 단자, 제2 노드(2)를 통해 적분기 기준전압(Vref-CI)을 입력 받는 제2 입력 단자, 및 픽셀 전류(IPIX)의 적분 결

과인 적분기 출력 전압(CI-OUT)을 제3 노드(3)로 출력하는 출력 단자를 포함한다. 적분 커패시터(CFB)는 제1 노드(1)와 제3 노드(3) 사이에 접속된다. 즉, 적분 커패시터(CFB)는 적분기 앰프(AMP)의 제1 입력 단자와 출력 단자 사이에 접속된다. 적분기 앰프(AMP)의 제1 입력 단자와 출력 단자 사이에는 적분 커패시터(CFB)와 병렬로 리셋 스위치(RST)가 더 연결된다. 제2 노드(2)와 적분기 기준전압(Vref-CI)의 입력단 사이에는 플로팅 제어 스위치(SW)가 연결된다.

- [0065] 적분기 앰프(AMP)는 네거티브 형으로 구현될 수도 있고 포지티브 형으로 구현될 수도 있다. 네거티브 형 앰프(AMP)는 도 7에 도시된 바와 같이, 제1 입력 단자가 적분기 앰프(AMP)의 반전 입력 단자(-)가 되고 제2 입력 단자가 적분기 앰프(AMP)의 비 반전 입력 단자(+)가 된다. 이러한 네거티브 형 앰프(AMP)는 픽셀 전류(IPIX)가 적분 커패시터(CFB)에 누적됨에 따라 적분기 출력 전압(CI-OUT)이 적분기 기준전압(Vref-CI)으로부터 점차 낮아진다. 적분기 기준전압(Vref-CI)의 하강 기울기는 픽셀 전류(IPIX)의 크기에 비례한다.
- [0066] 한편, 포지티브 형 앰프(AMP)는 제1 입력 단자가 적분기 앰프의 비 반전 입력 단자(+)가 되고 제2 입력 단자가 적분기 앰프의 반전 입력 단자(-)가 된다. 이러한 포지티브 형 앰프(AMP)는 픽셀 전류(IPIX)가 적분 커패시터(CFB)에 누적됨에 따라 적분기 출력 전압(CI-OUT)이 적분기 기준전압(Vref-CI)으로부터 점차 높아진다. 적분기 기준전압(Vref-CI)의 상승 기울기는 픽셀 전류(IPIX)의 크기에 비례한다.
- [0067] 본 발명의 기술적 사상은 네거티브 형 앰프(AMP)에도 적용될 수 있고, 포지티브 형 앰프(AMP)에도 적용될 수 있다. 본 발명의 실시예에서는 편의상 네거티브 형 앰프(AMP) 중심으로 설명한다.
- [0068] 샘플 앤 홀드부(SH)는 적분기 출력 전압(CI-OUT)을 샘플링 및 홀딩한 후에 ADC에 출력한다. 샘플 앤 홀드부(SH)는 샘플링 신호(SAM)에 따라 동작하는 샘플링 스위치와 샘플링 커패시터, 및 홀딩 스위치로 구현될 수 있으나, 이에 한정되지 않는다.
- [0069] ADC는 미리 정해진 센싱 레인지 내에서 아날로그 신호(즉, 적분기 출력 전압)를 디지털 신호(즉, 디지털 센싱 결과 데이터)로 변환한다.
- [0070] 제1 커패시터(CX1)는 적분기 출력 전압(CI-OUT)이 패널 노이즈에 의해 왜곡되는 정도를 최소화하는 역할을 한다. 제1 커패시터(CX1)는 제1 노드(1)와 제2 노드(2) 사이에 연결되어 센싱 기간 동안 적분기 앰프(AMP)의 제1 입력 단자(-)와 제2 입력 단자(+)를 커플링 시킨다. 제1 커패시터(CX1)는 픽셀 전류(IPIX)에 혼입된 패널 노이즈가 적분기 앰프(AMP)의 양 입력 단자들(+,-)에 공통으로 인가되도록 한다. 픽셀 전류(IPIX)에 혼입된 패널 노이즈는 적분기 앰프(AMP)의 제1 입력 단자(-)에 인가됨과 아울러 제1 커패시터(CX1)를 통해 적분기 앰프(AMP)의 제2 입력 단자(+)에도 인가된다. 이에 따라, 적분기 앰프(AMP)의 양 입력 단자들(+,-)에 인가된 패널 노이즈가 센싱 기간 동안 적분기 앰프(AMP) 내에서 상쇄되어 최소화될 수 있다.
- [0071] 한편, 센싱 기간 동안 제2 입력 단자(+)는 적분기 기준전압(Vref-CI)의 입력단으로부터 연결 해제된다. 이는 픽셀 전류(IPIX)에 혼입된 패널 노이즈가 센싱 기간 동안 제1 커패시터(CX1)를 통해 적분기 앰프(AMP)의 제2 입력 단자(+)에도 인가되도록 하기 위함이다. 이를 위해, 센싱 기간 동안 플로팅 제어 스위치(SW)는 턴 오프 되어 제2 노드(2)를 플로팅(floating) 시킨다. 제2 노드(2)가 플로팅 상태일 때, 교류 형태의 패널 노이즈가 제1 커패시터(CX1)를 통해 적분기 앰프(AMP)의 제2 입력 단자(+)에도 인가될 수 있게 된다.
- [0072] 제1 커패시터(CX1)의 용량이 클수록 적분기 출력 전압(CI-OUT)에 혼입되는 패널 노이즈의 양이 줄어든다. 제1 커패시터(CX1)의 용량이 클수록 적분기 앰프(AMP)의 제1 입력 단자(-)에 인가되는 패널 노이즈의 크기와 제1 커패시터(CX1)를 통해 적분기 앰프(AMP)의 제2 입력 단자(+)에 인가되는 패널 노이즈의 크기가 비슷해지기 때문이다. 이상적으로 적분기 앰프(AMP)의 양 입력 단자들(+,-)에 인가된 패널 노이즈의 크기가 같을 때, 적분기 출력 전압(CI-OUT)에 혼입되는 패널 노이즈는 완전히 제거될 수 있다.
- [0073] 도 8은 도 7의 픽셀 센싱 장치의 구동 파형도이다. 그리고, 도 9 및 도 10은 도 7의 픽셀 센싱 장치의 동작을 보여주는 도면들이다.
- [0074] 도 8을 참조하면, 본 발명의 일 실시예에 따른 센싱 구동은 초기화 기간(①)과 센싱 기간(②)을 포함하여 구현될 수 있다.
- [0075] 도 8 및 도 9를 참조하면, 초기화 기간(①)에서 리셋 스위치(RST)와 플로팅 제어 스위치(SW)는 온 된다. 리셋 스위치(RST)와 플로팅 제어 스위치(SW)가 온 되면, 제1 내지 제3 노드들(1~3) 뿐만 아니라 센싱 라인도 적분기 기준전압(Vref-CI)으로 초기화된다. 따라서, 초기화 기간(①)에서, 적분기 출력 전압(CI-OUT)은 적분기 기준전압(Vref-CI)이 된다.

- [0076] 도 8 및 도 10을 참조하면, 센싱 기간(2)에서 리셋 스위치(RST)와 플로팅 제어 스위치(SW)는 오프 되고, 센싱 라인과 제1 노드(1)를 통해 센싱용 데이터전압(VSEN)에 대응되는 픽셀 전류(IPIX)가 적분 커패시터(CFB)에 누적된다. 픽셀 전류(IPIX)가 적분 커패시터(CFB)에 누적됨에 따라 적분기 출력 전압(CI-OUT)은 적분기 기준전압(Vref-CI)으로부터 점차 낮아진다.
- [0077] 센싱 기간(2)에서, 픽셀 전류(IPIX)에 혼입된 패널 노이즈가 제1 커패시터(CX1)에 의해 적분기 앰프(AMP)의 양 입력 단자들(+,-)에 공통으로 인가되어 적분기 앰프(AMP) 내부에서 상쇄되기 때문에, 적분기 출력 전압(CI-OUT)에 혼입되는 패널 노이즈는 최소화된다.
- [0078] 센싱 기간(2)에서, 샘플 앤 홀드부(SH)는 샘플링 신호(SAM)의 온 기간 동안 적분기 출력 전압(CI-OUT)을 샘플링한다.
- [0079] 도 11은 본 발명의 다른 실시예에 따른 픽셀 센싱 장치를 보여주는 도면이다. 도 11의 픽셀 센싱 장치는 도 7에 비해 앰프 옵셋을 더 제거할 수 있으므로, 센싱의 정확도를 더욱 향상시킬 수 있다.
- [0080] 도 11을 참조하면, 센싱부(22)는 전류 적분기(CI), 샘플 앤 홀드부(SH), ADC 및 제1 커패시터(CX1)를 포함할 수 있다. 또한, 센싱부(22)는 제2 커패시터(CX2)를 갖는 옵셋 제거부(CAZ)를 더 포함할 수 있다. 제1 커패시터(CX1)와 제2 커패시터(CX2)는 패널 노이즈 억제용 커패시터이다.
- [0081] 전류 적분기(CI)는 표시패널(10)의 센싱 라인을 통해 일 픽셀(PXL)에 연결된다. 상기 일 픽셀(PXL)에는 센싱용 데이터전압(VSEN)에 대응되는 픽셀 전류(IPIX)가 흐른다. 전류 적분기(CI)는 픽셀(PXL)에 흐르는 픽셀 전류(IPIX)를 적분하여 적분기 기준전압(Vref-CI)으로부터 변화되는 적분기 출력 전압(CI-OUT)을 생성한다.
- [0082] 전류 적분기(CI)는 적분기 앰프(AMP)와 적분 커패시터(CFB)와 리셋 스위치(RST)를 포함한다. 적분기 앰프(AMP)는 센싱 라인에 연결된 제1 노드(1)를 통해 픽셀 전류(IPIX)를 입력 받는 제1 입력 단자(-), 제2 노드(2)를 통해 적분기 기준전압(Vref-CI)을 입력 받는 제2 입력 단자(+), 및 픽셀 전류(IPIX)의 적분 결과인 적분기 출력 전압(CI-OUT)을 제3 노드(3)로 출력하는 출력 단자를 포함한다. 적분 커패시터(CFB)는 제1 노드(1)와 제3 노드(3) 사이에 접속된다. 즉, 적분 커패시터(CFB)는 적분기 앰프(AMP)의 제1 입력 단자(-)와 출력 단자 사이에 접속된다. 적분기 앰프(AMP)의 제1 입력 단자(-)와 출력 단자 사이에는 적분 커패시터(CFB)와 병렬로 리셋 스위치(RST)가 더 연결된다.
- [0083] 샘플 앤 홀드부(SH)는 적분기 출력 전압(CI-OUT)을 샘플링 및 홀딩한 후에 ADC에 출력한다. 샘플 앤 홀드부(SH)는 샘플링 신호(SAM)에 따라 동작하는 샘플링 스위치와 샘플링 커패시터, 및 홀딩 스위치로 구현될 수 있으나, 이에 한정되지 않는다.
- [0084] ADC는 미리 정해진 센싱 레인지에 따라 아날로그 신호(즉, 적분기 출력 전압)를 디지털 신호(즉, 디지털 센싱 결과 데이터)로 변환한다.
- [0085] 제1 커패시터(CX1)는 옵셋 제거부(CAZ)에 포함된 제2 커패시터(CX2)와 함께 적분기 출력 전압(CI-OUT)이 패널 노이즈에 의해 왜곡되는 정도를 최소화하는 역할을 한다. 제1 커패시터(CX1)와 제2 커패시터(CX2)는 제1 노드(1)와 제2 노드(2) 사이에 연결되어 적분기 앰프(AMP)의 제1 입력 단자(-)와 제2 입력 단자(+)를 커플링시킨다.
- [0086] 옵셋 제거부(CAZ)는 적분기 기준전압(Vref-CI)의 입력단과 제1 노드(1)와 제2 노드(2)에 연결되어, 적분기 앰프(AMP)의 옵셋을 제거할 수 있는 보정 기준전압을 제2 노드(2)를 통해 적분기 앰프(AMP)에 인가한다. 옵셋 제거부(CAZ)는 제2 커패시터(CX2)와 제1 내지 제3 스위치들(AZ1,AZ2,AZ3)을 포함한다.
- [0087] 제2 커패시터(CX2)는 일측 전극이 제2 노드(2)에 접속되고 타측 전극이 제4 노드(4)를 통해 제1 커패시터(CX1)에 접속된다. 제1 노드(1)와 제2 노드(2) 사이에서 제2 커패시터(CX2)는 제1 커패시터(CX1)와 직렬로 접속된다. 제2 커패시터(CX2)는 제4 노드(4)를 통해 제1 커패시터(CX1)에 접속된다.
- [0088] 제1 커패시터(CX1)와 제2 커패시터(CX2)는 픽셀 전류(IPIX)에 혼입된 패널 노이즈가 적분기 앰프(AMP)의 양 입력 단자들(+,-)에 공통으로 인가되도록 한다. 픽셀 전류(IPIX)에 혼입된 패널 노이즈는 적분기 앰프(AMP)의 제1 입력 단자(-)에 인가됨과 아울러 제1 커패시터(CX1)와 제2 커패시터(CX2)를 통해 적분기 앰프(AMP)의 제2 입력 단자(+)에도 인가된다. 이에 따라, 적분기 앰프(AMP)의 양 입력 단자들(+,-)에 인가된 패널 노이즈가 적분기 앰프(AMP) 내에서 상쇄되어 최소화될 수 있다.
- [0089] 제1 커패시터(CX1)의 용량과 제2 커패시터(CX2)의 용량이 클수록 적분기 출력 전압(CI-OUT)에 혼입되는 패널 노

이즈의 량이 줄어든다. 제1 커패시터(CX1)의 용량과 제2 커패시터(CX2)의 용량이 클수록 적분기 앰프(AMP)의 제1 입력 단자(-)에 인가되는 패널 노이즈의 크기와 제1 커패시터(CX1)와 제2 커패시터(CX2)를 통해 적분기 앰프(AMP)의 제2 입력 단자(+)에 인가되는 패널 노이즈의 크기가 비슷해 지기 때문이다. 이상적으로 적분기 앰프(AMP)의 양 입력 단자들(+,-)에 인가된 패널 노이즈의 크기가 같을 때, 적분기 출력 전압(CI-OUT)에 혼입되는 패널 노이즈는 완전히 제거될 수 있다.

- [0090] 한편, 제1 스위치(AZ1)는 제2 노드(2)와 적분기 기준 전압(Vref-CI)의 입력단 사이에 접속된다. 제2 스위치(AZ2)는 제4 노드(4)와 적분기 기준 전압(Vref-CI)의 입력단 사이에 접속된다. 제3 스위치(AZ3)는 제1 노드(1)와 제4 노드(4) 사이에 접속된다. 이러한 제1 내지 제3 스위치들(AZ1,AZ2,AZ3)의 스위칭 작용과 제2 커패시터(CX2)의 커플링 작용에 의해, 적분기 앰프(AMP)의 오프셋을 제거할 수 있는 보정 기준전압이 제2 노드(2)를 통해 적분기 앰프(AMP)에 인가될 수 있다.
- [0091] 도 12는 도 11의 픽셀 센싱 장치의 구동 파형도이다. 그리고, 도 13 내지 도 15는 도 11의 픽셀 센싱 장치의 동작을 보여주는 도면들이다.
- [0092] 도 12를 참조하면, 본 발명의 다른 실시예에 따른 센싱 구동은 오프셋 검출 기간(①)과, 초기화 기간(②)과, 센싱 기간(③)을 포함하여 구현될 수 있다.
- [0093] 도 12 및 도 13을 참조하면, 오프셋 검출 기간(①)에서 제1 스위치(AZ1)와 제3 스위치(AZ3)와 리셋 스위치(RST)는 온 되고, 제2 스위치(AZ2)는 오프 된다. 제1 스위치(AZ1)와 제3 스위치(AZ3)와 리셋 스위치(RST)가 온 되면, 제2 노드(2)에는 적분기 기준전압(Vref-CI)이 인가되는 반면, 제1, 제3, 제4 노드들(1,3,4)과 센싱 라인에는 적분기 앰프(AMP)의 오프셋(Vofs)이 더해진 제1 적분기 기준전압((Vref-CI)+Vofs)이 인가된다. 따라서, 오프셋 검출 기간(①)에서 제2 커패시터(CX2)에는 적분기 앰프(AMP)의 오프셋(Vofs)이 검출되어 저장된다.
- [0094] 도 12 및 도 14를 참조하면, 초기화 기간(②)에서 제1 스위치(AZ1)와 제3 스위치(AZ3)는 오프 되고, 리셋 스위치(RST)와 제2 스위치(AZ2)는 온 된다. 리셋 스위치(RST)가 온 되면, 제4 노드(4)의 전압이 제1 적분기 기준전압((Vref-CI)+Vofs)에서 적분기 기준전압(Vref-CI)으로 바뀐다. 이때, 제1 스위치(AZ1)가 오프 되므로 제2 노드(2)는 플로팅되며, 제2 커패시터(CX2)의 커플링 작용에 의해 제2 노드(2)의 전압이 적분기 기준전압(Vref-CI)에서 제2 적분기 기준전압((Vref-CI)-Vofs)으로 바뀐다. 제2 노드(2)를 통해 인가되는 제2 적분기 기준전압((Vref-CI)-Vofs)에 의해 적분기 앰프(AMP)의 오프셋(Vofs)은 상쇄된다. 이때, 리셋 스위치(RST)가 온 되므로 제1, 제3 노드들(1,3)과 센싱 라인의 전압은 제1 적분기 기준전압((Vref-CI)+Vofs)에서 적분기 기준전압(Vref-CI)으로 바뀐다. 즉, 초기화 기간(②)에서 제1, 제3 노드들(1,3)의 전압이 적분기 앰프(AMP)의 오프셋(Vofs)이 제거된 적분기 기준전압(Vref-CI)으로 초기화된다.
- [0095] 도 12 및 도 15를 참조하면, 센싱 기간(③)에서 리셋 스위치(RST)는 오프 되고, 센싱 라인과 제1 노드(1)를 통해 센싱용 데이터전압(VSEN)에 대응되는 픽셀 전류(IPIX)가 적분 커패시터(CFB)에 누적된다. 픽셀 전류(IPIX)가 적분 커패시터(CFB)에 누적됨에 따라 적분기 출력 전압(CI-OUT)은 적분기 기준전압(Vref-CI)으로부터 점차 낮아진다.
- [0096] 센싱 기간(③)에서, 제1, 제2, 제3 스위치들(AZ1,AZ2,AZ3)이 오프되어 제2 노드(2)와 제4 노드(4)가 플로팅되고, 제1, 제2 커패시터들(CX1,CX2)에 의해 픽셀 전류(IPIX)에 혼입된 패널 노이즈가 적분기 앰프(AMP)의 양 입력 단자들(+,-)에 공통으로 인가된다. 그 결과 상기 공통으로 인가된 패널 노이즈는 적분기 앰프(AMP) 내부에서 상쇄되고, 적분기 출력 전압(CI-OUT)에 혼입되는 패널 노이즈는 최소화된다.
- [0097] 센싱 기간(③)에서, 적분기 출력 전압(CI-OUT)은 적분기 앰프(AMP)의 오프셋(Vofs)이 제거된 적분기 기준전압(Vref-CI)으로부터 변하므로, 적분기 앰프(AMP)의 오프셋(Vofs)으로 인한 적분기 출력 전압(CI-OUT)의 왜곡이 현저히 줄어든다.
- [0098] 센싱 기간(③)에서, 샘플 앤 홀드부(SH)는 샘플링 신호(SAM)의 온 기간 동안 적분기 출력 전압(CI-OUT)을 샘플링한다.
- [0099] 도 16 및 도 17은 패널 노이즈 개선과 관련된 시뮬레이션 결과를 보여주는 도면들이다.
- [0100] 도 16 및 도 17의 시뮬레이션 결과에서 알 수 있듯이, 픽셀 전류(IPIX)에 실린 패널 노이즈를 전술한 제1 커패시터(CX1)를 통해 또는, 전술한 제1 커패시터(CX1)와 제2 커패시터(CX2)를 통해 적분기 앰프(AMP)의 양 입력 단자들(+,-)에 인가하고 픽셀 전류(IPIX)를 적분하면, 적분기 출력 전압(CI-OUT)에 혼입된 패널 노이즈의 크기가 현저히 줄어든다.

- [0101] 도 16을 참조하면, 제1 커패시터(CX1)의 용량(또는, 제1 커패시터(CX1)와 제2 커패시터(CX2)의 합성 용량)을 10pF으로 설정한 경우 패널 노이즈의 진폭이 약 0.3V가 되는데, 이는 개선 전(커패시터 무연결)의 0.85V에 비해 현저히 개선된 결과이다.
- [0102] 도 17을 참조하면, 제1 커패시터(CX1)의 용량(또는, 제1 커패시터(CX1)와 제2 커패시터(CX2)의 합성 용량)을 50pF으로 증가시킨 경우 패널 노이즈의 진폭이 약 0.1V가 되는데, 이는 개선 전(커패시터 무연결)의 0.85V에 비해 현저히 개선된 결과이다.
- [0103] 이러한, 도 16 및 도 17을 참조하면, 제1 커패시터(CX1)의 용량(또는, 제1 커패시터(CX1)와 제2 커패시터(CX2)의 합성 용량)이 클수록 적분기 출력 전압(CI-OUT)에 혼입되는 패널 노이즈의 양이 줄어든다는 것을 알 수 있다.
- [0104] 도 18은 본 발명의 또 다른 실시예에 따른 픽셀 센싱 장치를 보여주는 도면이다. 도 18의 픽셀 센싱 장치는 도 1의 센싱부(22)를 포함한다.
- [0105] 도 18을 참조하면, 센싱부(22)는 제1 센싱 라인(SL1)에 연결된 제1 전류 적분기(CI1), 제1 전류 적분기(CI1)의 제1 출력 전압(CI-OUT1)을 샘플링하는 제1 샘플 앤 홀드부(SH1), 제2 센싱 라인(SL2)에 연결된 제2 전류 적분기(CI2), 제2 전류 적분기(CI2)의 제2 출력 전압(CI-OUT2)을 샘플링하는 제2 샘플 앤 홀드부(SH2), 및 제1 샘플 앤 홀드부(SH1)의 출력과 제2 샘플 앤 홀드부(SH2)의 출력을 순차적으로 처리하는 ADC, 및 제1 전류 적분기(CI1)와 제2 전류 적분기(CI2) 사이에 연결된 제1 커패시터(CY1)와 제2 커패시터(CY2)를 포함할 수 있다. 제1 커패시터(CY1)와 제2 커패시터(CY2)는 패널 노이즈 억제용 커패시터이다. 제1 센싱 라인(SL1)과 제2 센싱 라인(SL2)은 서로 이웃한 센싱 채널일 수 있다. 도 18의 센싱부(22)는 이웃한 2개의 센싱 채널들 단위로 구성되어, 2개의 센싱 채널들 단위로 입력되는 동 위상의 패널 노이즈를 제거할 수 있다.
- [0106] 제1 전류 적분기(CI1)는 표시패널(10)의 제1 센싱 라인(SL1)을 통해 제1 픽셀(PXL1)에 연결된다. 제1 픽셀(PXL1)에는 센싱용 데이터전압(VSEN)에 대응되는 제1 픽셀 전류(IPIX1)가 흐른다. 제1 전류 적분기(CI1)는 센싱 기간 동안 제1 픽셀(PXL1)에 흐르는 제1 픽셀 전류(IPIX1)를 적분하여 적분기 기준전압(Vref-CI)으로부터 변화되는 제1 적분기 출력 전압(CI-OUT1)을 생성한다.
- [0107] 제1 전류 적분기(CI1)는 제1 적분기 앰프(AMP1)와 제1 적분 커패시터(CFB1)와 제1 리셋 스위치(RST1)와 제1 플로팅 제어 스위치(SW1)를 포함한다. 제1 적분기 앰프(AMP1)는 제1 센싱 라인(SL1)에 연결된 제1 노드(11)를 통해 제1 픽셀 전류(IPIX1)를 입력 받는 제1 입력 단자(-), 제2 노드(12)를 통해 적분기 기준전압(Vref-CI)을 입력 받는 제2 입력 단자(+), 및 제1 픽셀 전류(IPIX1)의 적분 결과인 제1 적분기 출력 전압(CI-OUT1)을 제3 노드(13)로 출력하는 제1 출력 단자를 포함한다. 제1 적분 커패시터(CFB1)는 제1 노드(11)와 제3 노드(13) 사이에 접속된다. 즉, 제1 적분 커패시터(CFB1)는 제1 적분기 앰프(AMP1)의 제1 입력 단자(-)와 출력 단자 사이에 접속된다. 제1 적분기 앰프(AMP1)의 제1 입력 단자(-)와 출력 단자 사이에는 제1 적분 커패시터(CFB1)와 병렬로 제1 리셋 스위치(RST1)가 더 연결된다. 제2 노드(12)와 적분기 기준전압(Vref-CI)의 입력단 사이에는 제1 플로팅 제어 스위치(SW1)가 연결된다.
- [0108] 제1 샘플 앤 홀드부(SH1)는 제1 적분기 출력 전압(CI-OUT1)을 샘플링 및 홀딩한 후에 ADC에 출력한다. 제1 샘플 앤 홀드부(SH1)는 샘플링 신호(SAM)에 따라 동작하는 샘플링 스위치와 샘플링 커패시터, 및 홀딩 스위치로 구현될 수 있으나, 이에 한정되지 않는다.
- [0109] 제2 전류 적분기(CI2)는 표시패널(10)의 제2 센싱 라인(SL2)을 통해 제2 픽셀(PXL2)에 연결된다. 제2 픽셀(PXL2)에는 센싱용 데이터전압(VSEN)에 대응되는 제2 픽셀 전류(IPIX2)가 흐른다. 제2 전류 적분기(CI2)는 센싱 기간 동안 제2 픽셀(PXL2)에 흐르는 제2 픽셀 전류(IPIX2)를 적분하여 적분기 기준전압(Vref-CI)으로부터 변화되는 제2 적분기 출력 전압(CI-OUT2)을 생성한다.
- [0110] 제2 전류 적분기(CI2)는 제2 적분기 앰프(AMP2)와 제2 적분 커패시터(CFB2)와 제2 리셋 스위치(RST2)와 제2 플로팅 제어 스위치(SW2)를 포함한다. 제2 적분기 앰프(AMP2)는 제2 센싱 라인(SL2)에 연결된 제4 노드(21)를 통해 제2 픽셀 전류(IPIX2)를 입력 받는 제3 입력 단자(-), 제5 노드(22)를 통해 적분기 기준전압(Vref-CI)을 입력 받는 제4 입력 단자(+), 및 제2 픽셀 전류(IPIX2)의 적분 결과인 제2 적분기 출력 전압(CI-OUT2)을 제6 노드(23)로 출력하는 제2 출력 단자를 포함한다. 제2 적분 커패시터(CFB2)는 제4 노드(21)와 제6 노드(23) 사이에 접속된다. 즉, 제2 적분 커패시터(CFB2)는 제2 적분기 앰프(AMP2)의 제3 입력 단자(-)와 출력 단자 사이에 접속된다. 제2 적분기 앰프(AMP2)의 제3 입력 단자(-)와 출력 단자 사이에는 제2 적분 커패시터(CFB2)와 병렬로 제2 리셋 스위치(RST2)가 더 연결된다. 제5 노드(22)와 적분기 기준전압(Vref-CI)의 입력단 사이에는 제2 플로팅 제

어 스위치(SW2)가 연결된다.

- [0111] 제2 샘플 앤 홀드부(SH2)는 제2 적분기 출력 전압(CI-OUT2)을 샘플링 및 홀딩한 후에 ADC에 출력한다. 제2 샘플 앤 홀드부(SH2)는 샘플링 신호(SAM)에 따라 동작하는 샘플링 스위치와 샘플링 커패시터, 및 홀딩 스위치로 구현될 수 있으나, 이에 한정되지 않는다.
- [0112] ADC는 제1 적분기 출력 전압(CI-OUT1)과 제2 적분기 출력 전압(CI-OUT2)을 순차적으로 처리한다. ADC는 미리 정해진 센싱 레인지 내에서 아날로그 신호(즉, 제1 및 제2 적분기 출력 전압들)를 디지털 신호(즉, 디지털 센싱 결과 데이터)로 변환한다.
- [0113] 제1 커패시터(CY1)와 제2 커패시터(CY2)는 제1 적분기 출력 전압(CI-OUT1)과 제2 적분기 출력 전압(CI-OUT2)이 패널 노이즈에 의해 왜곡되는 정도를 최소화하는 역할을 한다.
- [0114] 제1 커패시터(CY1)는 제1 노드(11)와 제5 노드(22) 사이에 연결되어 센싱 기간 동안 제1 적분기 앰프(AMP1)의 제1 입력 단자(-)와 제2 적분기 앰프(AMP2)의 제4 입력 단자(+)를 커플링 시킨다. 제1 커패시터(CY1)는 제1 픽셀 전류(IPIX1)에 혼입된 패널 노이즈가 제1 적분기 앰프(AMP1)의 제1 입력 단자(-)와 제2 적분기 앰프(AMP2)의 제4 입력 단자(+)에 공통으로 인가되도록 한다. 제1 픽셀 전류(IPIX1)에 혼입된 패널 노이즈는 제1 적분기 앰프(AMP1)의 제1 입력 단자(-)에 인가됨과 아울러 제1 커패시터(CY1)를 통해 제2 적분기 앰프(AMP2)의 제4 입력 단자(-)에도 인가된다.
- [0115] 제2 커패시터(CY2)는 제2 노드(12)와 제4 노드(21) 사이에 연결되어 센싱 기간 동안 제1 적분기 앰프(AMP1)의 제2 입력 단자(+)와 제2 적분기 앰프(AMP2)의 제3 입력 단자(-)를 커플링 시킨다. 제2 커패시터(CY2)는 제2 픽셀 전류(IPIX2)에 혼입된 패널 노이즈가 제2 적분기 앰프(AMP2)의 제3 입력 단자(-)와 제1 적분기 앰프(AMP1)의 제2 입력 단자(+)에 공통으로 인가되도록 한다. 제2 픽셀 전류(IPIX2)에 혼입된 패널 노이즈는 제2 적분기 앰프(AMP2)의 제3 입력 단자(-)에 인가됨과 아울러 제2 커패시터(CY2)를 통해 제1 적분기 앰프(AMP1)의 제2 입력 단자(+)에도 인가된다.
- [0116] 이에 따라, 제1 및 제2 적분기 앰프들(AMP1,AMP2) 각각의 양 입력 단자들(+,-)에 인가된 패널 노이즈가 센싱 기간 동안 제1 및 제2 적분기 앰프들(AMP1,AMP2) 내에서 상쇄되어 최소화될 수 있다.
- [0117] 한편, 센싱 기간 동안 제4 입력 단자(+)는 적분기 기준전압(Vref-CI)의 입력단으로부터 연결 해제된다. 이는 제1 픽셀 전류(IPIX1)에 혼입된 패널 노이즈가 센싱 기간 동안 제1 커패시터(CY1)를 통해 제2 적분기 앰프(AMP2)의 제4 입력 단자(+)에도 인가되도록 하기 위함이다. 이를 위해, 센싱 기간 동안 제2 플로팅 제어 스위치(SW2)는 턴 오프 되어 제5 노드(22)를 플로팅(floating) 시킨다. 제5 노드(22)가 플로팅 상태일 때, 교류 형태의 패널 노이즈가 제1 커패시터(CY1)를 통해 제2 적분기 앰프(AMP2)의 제4 입력 단자(+)에도 인가될 수 있게 된다.
- [0118] 또한, 센싱 기간 동안 제2 입력 단자(+)는 적분기 기준전압(Vref-CI)의 입력단으로부터 연결 해제된다. 이는 제2 픽셀 전류(IPIX2)에 혼입된 패널 노이즈가 센싱 기간 동안 제2 커패시터(CY2)를 통해 제1 적분기 앰프(AMP1)의 제2 입력 단자(+)에도 인가되도록 하기 위함이다. 이를 위해, 센싱 기간 동안 제1 플로팅 제어 스위치(SW1)는 턴 오프 되어 제2 노드(12)를 플로팅(floating) 시킨다. 제2 노드(12)가 플로팅 상태일 때, 교류 형태의 패널 노이즈가 제2 커패시터(CY2)를 통해 제1 적분기 앰프(AMP1)의 제2 입력 단자(+)에도 인가될 수 있게 된다.
- [0119] 제1 커패시터(CY1)의 용량과 제2 커패시터(CY2)의 용량이 클수록 제1 및 제2 적분기 출력 전압들(CI-OUT1,CI-OUT2)에 혼입되는 패널 노이즈의 양이 줄어든다. 제1 커패시터(CY1)의 용량이 클수록 제1 적분기 앰프(AMP1)의 제1 입력 단자(-)에 인가되는 패널 노이즈의 크기와 제1 커패시터(CY1)를 통해 제2 적분기 앰프(AMP2)의 제4 입력 단자(+)에 인가되는 패널 노이즈의 크기가 비슷해지기 때문이다. 또한, 제2 커패시터(CY2)의 용량이 클수록 제2 적분기 앰프(AMP2)의 제3 입력 단자(-)에 인가되는 패널 노이즈의 크기와 제2 커패시터(CY2)를 통해 제1 적분기 앰프(AMP1)의 제2 입력 단자(+)에 인가되는 패널 노이즈의 크기가 비슷해지기 때문이다. 이상적으로 제1 및 제2 적분기 앰프들(AMP1,AMP2) 각각의 양 입력 단자들(+,-)에 인가된 패널 노이즈의 크기가 같을 때, 제1 및 제2 적분기 출력 전압들(CI-OUT1,CI-OUT2)에 혼입되는 패널 노이즈는 완전히 제거될 수 있다.
- [0120] 제1 센싱 라인(SL1)과 제2 센싱 라인(SL2)은 서로 이웃하게 배치되어 있는 점을 고려할 때, 제1 픽셀 전류(IPIX1)에 혼입된 패널 노이즈는 제2 픽셀 전류(IPIX2)에 혼입된 패널 노이즈가 실질적으로 거의 동일한 위상을 가질 수 있다. 따라서, 제1 커패시터(CY1)의 용량과 제2 커패시터(CY2)의 용량이 실질적으로 동일하게 설계되면, 이웃한 센싱 채널들로부터 유입되는 동일한 위상의 패널 노이즈가 효과적으로 제거될 수 있다.
- [0121] 도 19는 도 18의 픽셀 센싱 장치의 구동 파형도이다.

- [0122] 도 20 및 도 21은 도 18의 픽셀 센싱 장치의 동작을 보여주는 도면들이다.
- [0123] 도 19를 참조하면, 본 발명의 또 다른 실시예에 따른 센싱 구동은 초기화 기간(①)과 센싱 기간(②)을 포함하여 구현될 수 있다.
- [0124] 도 19 및 도 20을 참조하면, 초기화 기간(①)에서 제1 및 제2 리셋 스위치들(RST1,RST2)과 제1 및 제2 플로팅 제어 스위치들(SW1,SW2)은 온 된다. 제1 및 제2 리셋 스위치들(RST1,RST2)과 제1 및 제2 플로팅 제어 스위치들(SW1,SW2)이 온 되면, 제1 내지 제6 노드들(11,12,13,21,22,23) 뿐만 아니라 제1 및 제2 센싱 라인들(SL1,SL2)도 적분기 기준전압(Vref-CI)으로 초기화된다. 따라서, 초기화 기간(①)에서, 제1 및 제2 적분기 출력 전압들(CI-OUT1,CI-OUT2) 각각은 적분기 기준전압(Vref-CI)이 된다.
- [0125] 도 19 및 도 21을 참조하면, 센싱 기간(②)에서 제1 리셋 스위치(RST1)와 제1 플로팅 제어 스위치(SW1)는 오프 되고, 제1 센싱 라인(SL1)과 제1 노드(11)를 통해 센싱용 데이터전압(VSEN)에 대응되는 제1 픽셀 전류(IPIX1)가 제1 적분 커패시터(CFB1)에 누적된다. 제1 픽셀 전류(IPIX1)가 제1 적분 커패시터(CFB1)에 누적됨에 따라 제1 적분기 출력 전압(CI-OUT1)은 적분기 기준전압(Vref-CI)으로부터 점차 낮아진다. 한편, 제1 플로팅 제어 스위치(SW1)가 오프 되더라도, 센싱 기간(②)의 시작 시점에서 제1 적분기 출력 전압(CI-OUT1)은 제1 센싱 라인(SL1)의 제1 기생 커패시터(Cp1)에 의해 적분기 기준전압(Vref-CI)을 안정적으로 유지할 수 있다. 즉, 센싱 기간(②)에서 제1 플로팅 제어 스위치(SW1)가 오프 되더라도, 제1 적분기 출력 전압(CI-OUT1)의 기준점은 크게 흔들리지 않는다.
- [0126] 도 19 및 도 21을 참조하면, 센싱 기간(②)에서 제2 리셋 스위치(RST2)와 제2 플로팅 제어 스위치(SW2)는 오프 되고, 제2 센싱 라인(SL2)과 제4 노드(21)를 통해 센싱용 데이터전압(VSEN)에 대응되는 제2 픽셀 전류(IPIX2)가 제2 적분 커패시터(CFB2)에 누적된다. 제2 픽셀 전류(IPIX2)가 제2 적분 커패시터(CFB2)에 누적됨에 따라 제2 적분기 출력 전압(CI-OUT2)은 적분기 기준전압(Vref-CI)으로부터 점차 낮아진다. 한편, 제2 플로팅 제어 스위치(SW2)가 오프 되더라도, 센싱 기간(②)의 시작 시점에서 제2 적분기 출력 전압(CI-OUT2)은 제2 센싱 라인(SL2)의 제2 기생 커패시터(Cp2)에 의해 적분기 기준전압(Vref-CI)을 안정적으로 유지할 수 있다. 즉, 센싱 기간(②)에서 제2 플로팅 제어 스위치(SW2)가 오프 되더라도, 제2 적분기 출력 전압(CI-OUT2)의 기준점은 크게 흔들리지 않는다.
- [0127] 도 19 및 도 21을 참조하면, 센싱 기간(②)에서 제1 픽셀 전류(IPIX1)에 혼입된 패널 노이즈와 제2 픽셀 전류(IPIX2)에 혼입된 패널 노이즈가 제1 및 제2 적분기 앰프들(AMP1, AMP2) 각각의 양 입력 단자들(+,-)에 공통으로 인가되어 제1 및 제2 적분기 앰프들(AMP1, AMP2) 각각의 내부에서 상쇄되기 때문에, 패널 노이즈로 인한 제1 및 제2 적분기 출력 전압들(CI-OUT1, CI-OUT2)의 왜곡이 최소화될 수 있다.
- [0128] 도 19 및 도 21을 참조하면, 센싱 기간(②)에서, 제1 샘플 앤 홀드부(SH1)는 샘플링 신호(SAM)의 온 기간 동안 제1 적분기 출력 전압(CI-OUT1)을 샘플링하고, 제2 샘플 앤 홀드부(SH2)는 샘플링 신호(SAM)의 온 기간 동안 제2 적분기 출력 전압(CI-OUT2)을 샘플링한다.
- [0129] 한편, 도 19의 센싱 기간(②)에서 제1 적분기 출력 전압(CI-OUT1)과 제2 적분기 출력 전압(CI-OUT2)이 동일하게 도시되어 있으나, 제1 적분기 출력 전압(CI-OUT1)과 제2 적분기 출력 전압(CI-OUT2)은 서로 다를 수도 있다. 제1 적분기 출력 전압(CI-OUT1)은 제1 픽셀(PXL1)의 구동 특성이 반영된 제1 픽셀 전류(IPIX1)의 센싱 결과이고, 제2 적분기 출력 전압(CI-OUT2)은 제2 픽셀(PXL2)의 구동 특성이 반영된 제2 픽셀 전류(IPIX2)의 센싱 결과이기 때문이다. 제1 픽셀 전류(IPIX1)와 제2 픽셀 전류(IPIX2)의 차이가 클수록 제1 적분기 출력 전압(CI-OUT1)과 제2 적분기 출력 전압(CI-OUT2) 간의 차이도 커진다.
- [0130] 도 22는 본 발명의 또 다른 실시예에 따른 픽셀 센싱 장치를 보여주는 도면이다. 도 22의 픽셀 센싱 장치는 도 1의 센싱부(22)를 포함한다.
- [0131] 도 22의 센싱부(22)는 도 18의 센싱부(22)에 비해 제1 안정화 커패시터(Cf1)와 제2 안정화 커패시터(Cf2)를 더 포함한다. 도 22의 센싱부(22)에서 제1 및 제2 안정화 커패시터들(Cf1,Cf2)을 제외한 나머지 구성들은 도 18의 센싱부(22)와 실질적으로 동일하다. 따라서, 상기 나머지 구성들에 대한 자세한 설명은 생략하기로 한다.
- [0132] 제1 안정화 커패시터(Cf1)는 제2 노드(12)를 통해 제1 적분기 앰프(AMP1)의 제2 입력 단자(+)에 연결되고, 제2 안정화 커패시터(Cf2)는 제5 노드(22)를 통해 제2 적분기 앰프(AMP2)의 제4 입력 단자(+)에 연결된다.
- [0133] 도 18 내지 도 21에서 설명했듯이, 제1 플로팅 제어 스위치(SW1)와 제2 플로팅 제어 스위치(SW2)는 센싱 기간(②)에서 노이즈 커플링을 위해 오프되기 때문에, 제1 적분기 앰프(AMP1)의 제2 입력 단자(+)와 제2 적분기 앰

프(AMP2)의 제4 입력 단자(+)는 적분기 기준전압(Vref-CI)의 입력단과 비 연결(disconnect) 된다. 그런데, 센싱 기간(②)에서 제1 적분기 출력 전압(CI-OUT1)과 제2 적분기 출력 전압(CI-OUT2)은 각각 적분기 기준전압(Vref-CI)으로부터 변하기 때문에, 제1 및 제2 적분기 앰프들(AMP1,AMP2)과 적분기 기준전압(Vref-CI)의 입력단 간의 연결이 해제되면 출력 전압들(CI-OUT1,CI-OUT2)의 기준점이 불안정해질 수 있다. 물론, 초기화 기간(①)을 통해 센싱 라인들(SL1,SL2)의 기생 커패시터들(Cp1,Cp2)에 저장된 적분기 기준전압(Vref-CI)이 센싱 기간(②)에서도 그대로 유지되기 때문에, 상기 출력 불안정 문제는 어느 정도 해소될 수 있다. 하지만, 오버랩(overlap) 공정 특성을 고려할 때 기생 커패시터들(Cp1,Cp2)의 크기를 동일하게 맞추기엔 공정상 한계가 있다.

[0134] 제1 안정화 커패시터(Cf1)와 제2 안정화 커패시터(Cf2)는 초기화 기간(①)에서 적분기 기준전압(Vref-CI)을 저장한 후 이 적분기 기준전압(Vref-CI)을 센싱 기간(②)에서도 유지함으로써, 센싱 기간(②)의 시작 시점에서 출력 전압들(CI-OUT1,CI-OUT2)의 기준점이 흔들리는 문제를 보다 효과적으로 제거할 수 있다. 이러한 효과를 고려할 때, 제1 안정화 커패시터(Cf1)의 크기와 제2 안정화 커패시터(Cf2)의 크기는 서로 동일하게 설계됨이 바람직하다.

[0135] 도 23은 본 발명의 또 다른 실시예에 따른 픽셀 센싱 장치를 보여주는 도면이다. 그리고, 도 24는 도 23의 픽셀 센싱 장치의 구동 파형도이다.

[0136] 도 23의 픽셀 센싱 장치는 도 1의 센싱부(22)를 포함한다. 도 23의 센싱부(22)는 도 18의 센싱부(22)에 비해 제1 분리 스위치(sd1)와 제2 분리 스위치(sd2)를 더 포함한다. 도 23의 센싱부(22)에서 제1 및 제2 분리 스위치들(sd1,sd2)을 제외한 나머지 구성들은 도 18의 센싱부(22)와 실질적으로 동일하다. 따라서, 상기 나머지 구성들에 대한 자세한 설명은 생략하기로 한다.

[0137] 제1 분리 스위치(sd1)는 제1 노드(11)와 제1 커패시터(CY1)에 연결되고, 제2 분리 스위치(sd2)는 제2 노드(12)와 제2 커패시터(CY2)에 연결된다. 제1 분리 스위치(sd1)와 제2 분리 스위치(sd2)는 도 24와 같이, 초기화 기간(①)에서 오프된다. 즉, 제1 분리 스위치(sd1)와 제2 분리 스위치(sd2)는 리셋 스위치들(RST1,RST2)과 플로팅 제어 스위치들(SW1,SW2)이 모두 온 되는 초기화 기간(①) 동안 오프되어, 제1 전류 적분기(CI1)와 제2 전류 적분기(CI2)의 초기화 동작을 분리하는 역할을 한다.

[0138] 제1 전류 적분기(CI1)와 제2 전류 적분기(CI2)는 제1 커패시터(CY1)와 제2 커패시터(CY2)를 통해 서로 커플링되어 있기 때문에, 초기화 기간(①) 동안 적분기 기준전압(Vref-CI)에 실린 전원 노이즈의 영향을 받을 수 있다. 전원 노이즈는 패널 노이즈와 마찬가지로 비 정형의 교류 성분이므로, 제1 커패시터(CY1)와 제2 커패시터(CY2)를 통과하여 제1 전류 적분기(CI1)와 제2 전류 적분기(CI2)에 영향을 미칠 수 있다. 초기화 기간(①) 동안 제1 분리 스위치(sd1)와 제2 분리 스위치(sd2)의 오프를 통해 전류 적분기들(CI1,CI2)의 커플링이 해제되면, 전류 적분기들(CI1,CI2) 간에 전원 노이즈를 주고 받는 문제가 해소될 수 있다.

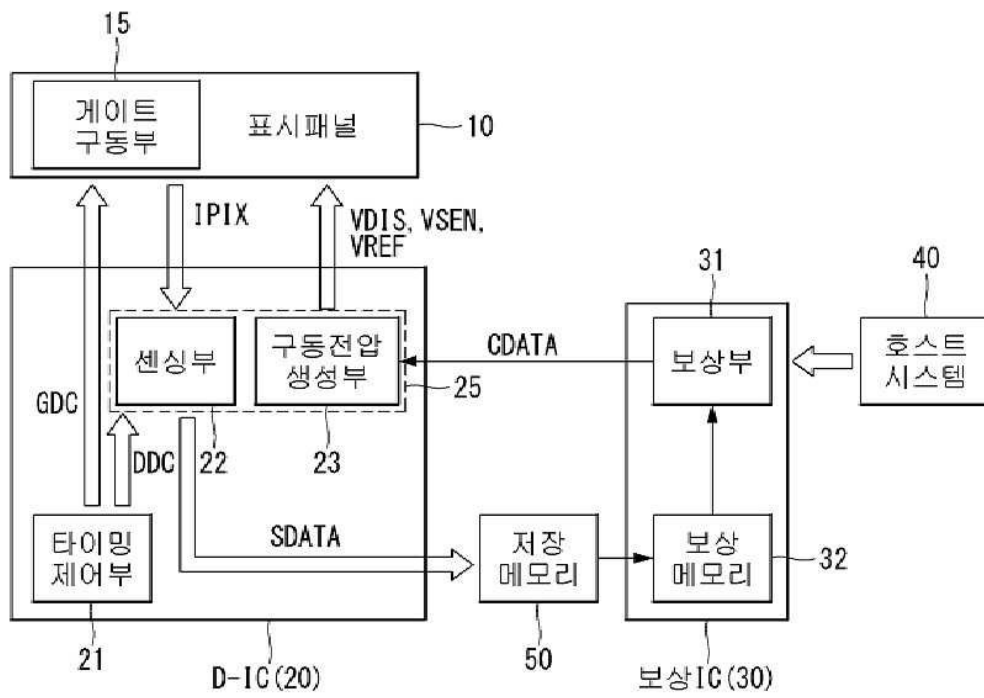
[0139] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

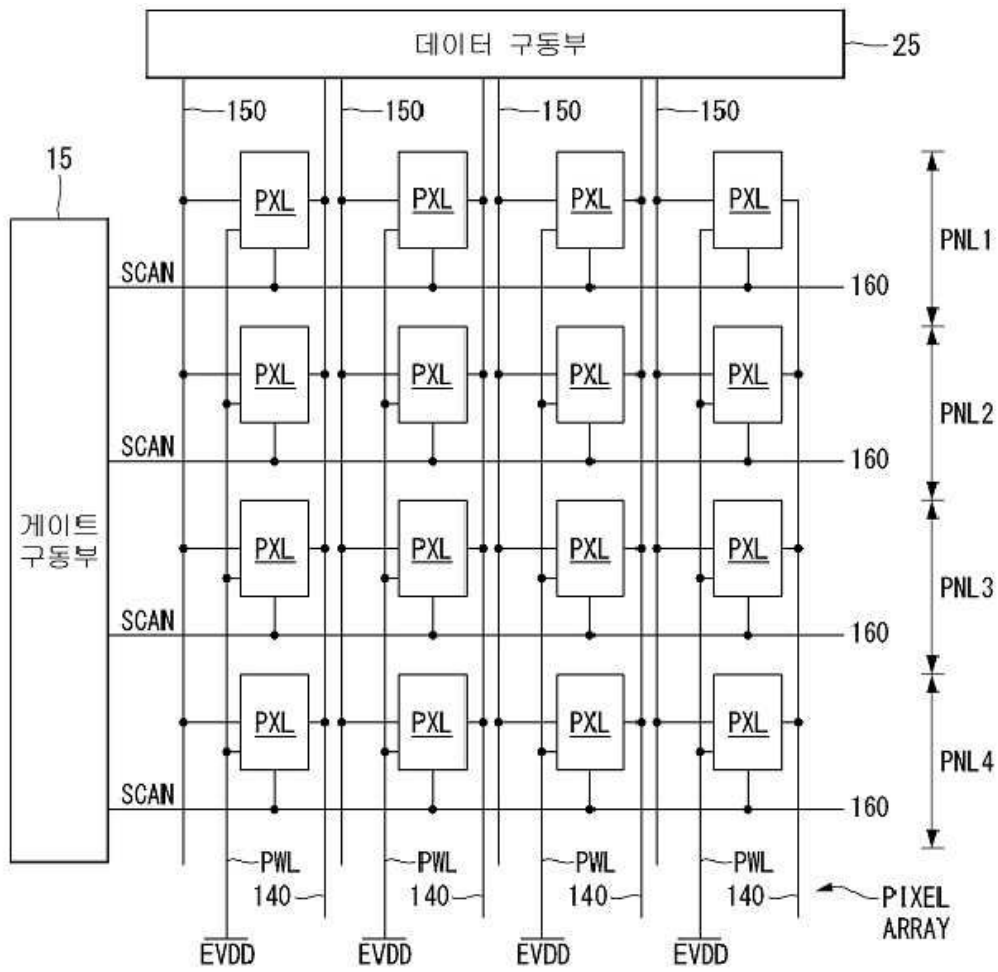
- [0140] 10: 표시패널    15: 게이트 구동부
- 20: 드라이버 IC    21: 타이밍 제어부
- 22: 센싱부    CI: 전류 적분기
- CAZ: 읍셋 제거부

도면

도면1

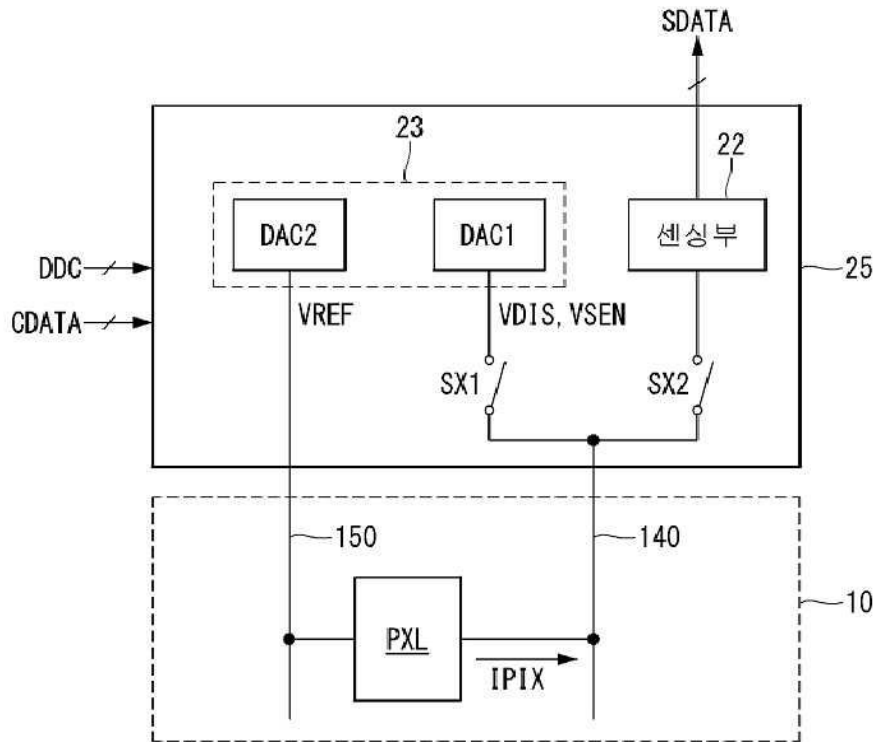


도면2

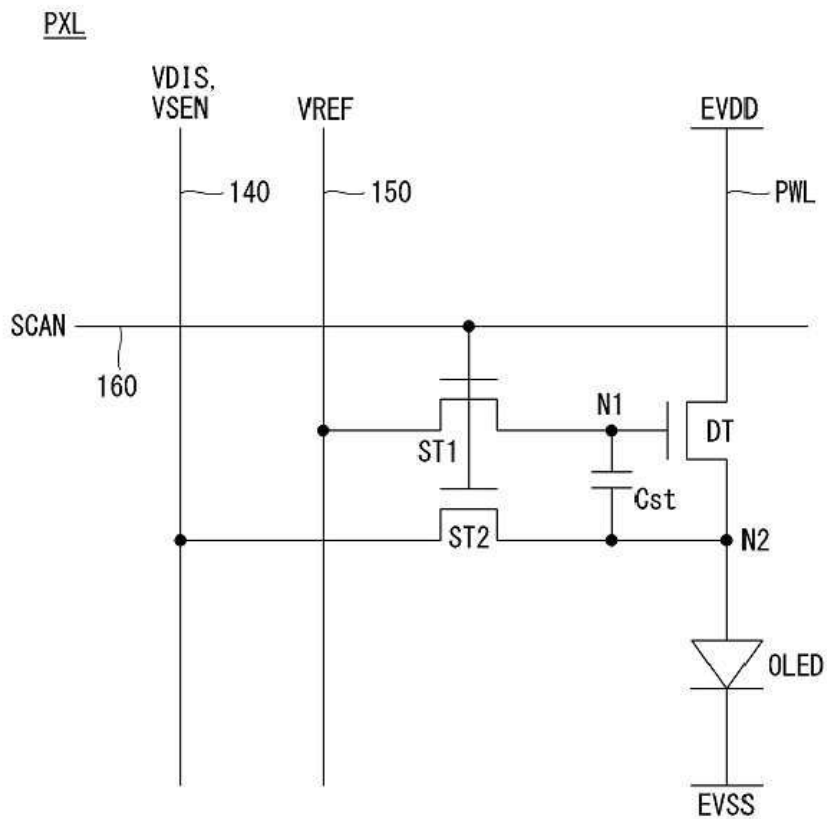




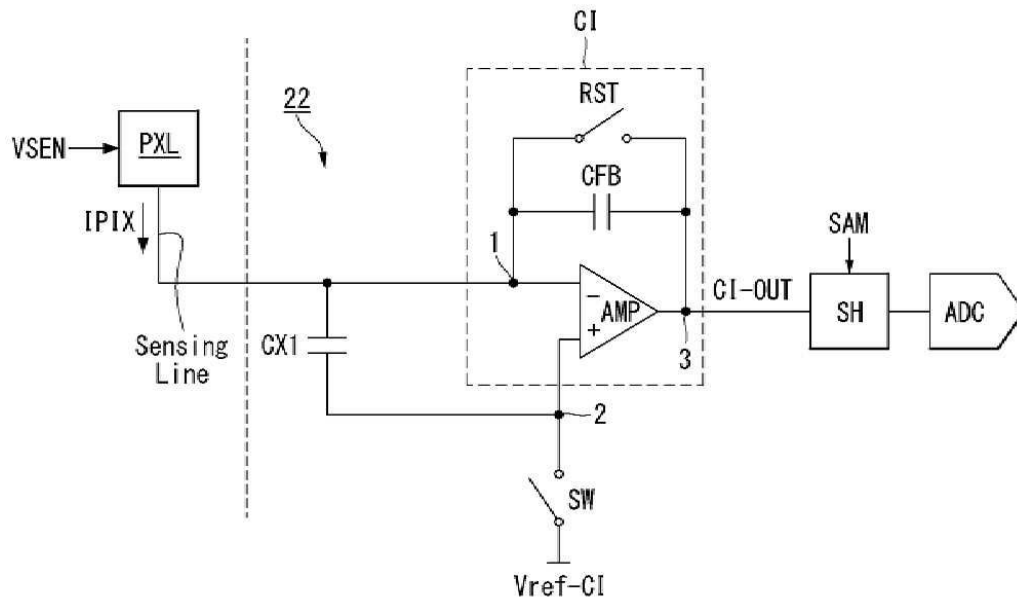
도면5



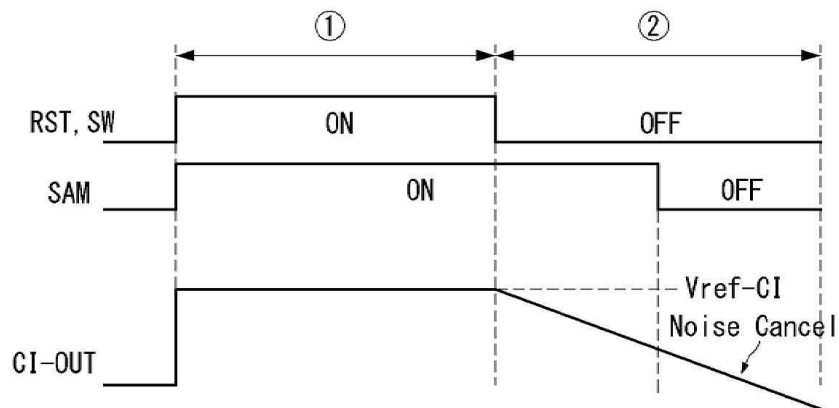
도면6



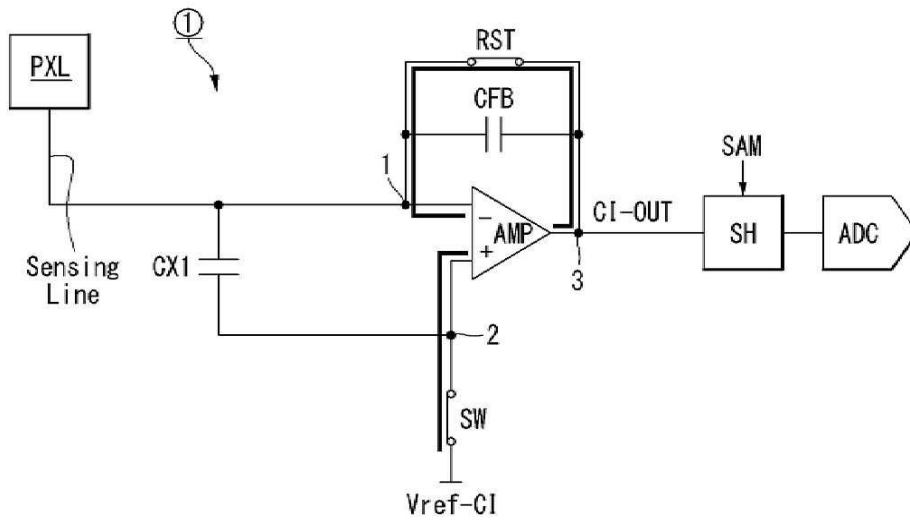
도면7



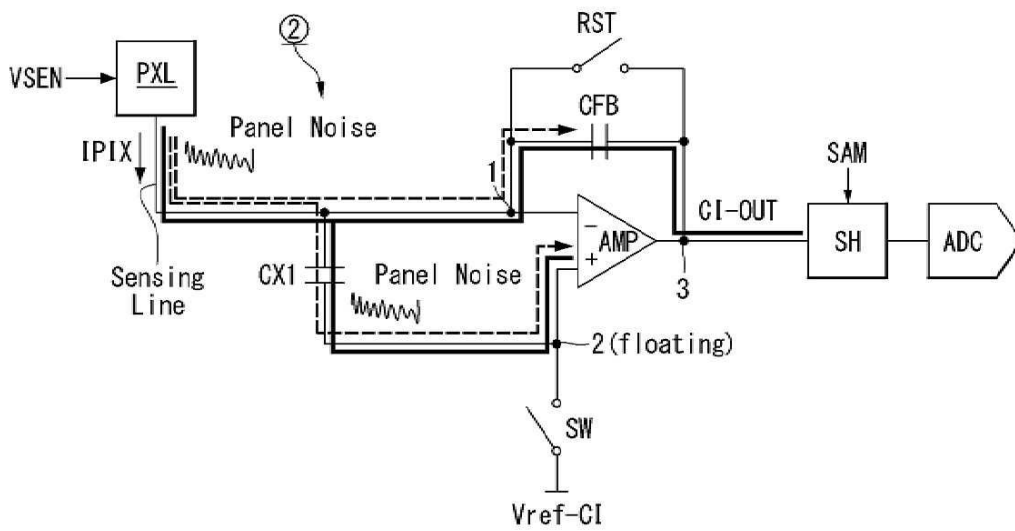
도면8



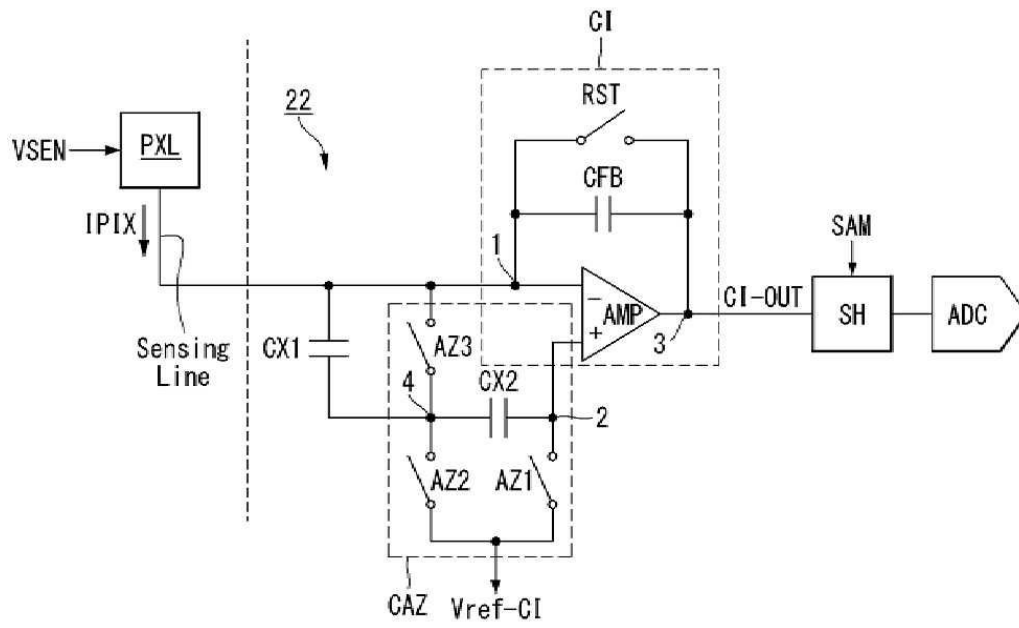
도면9



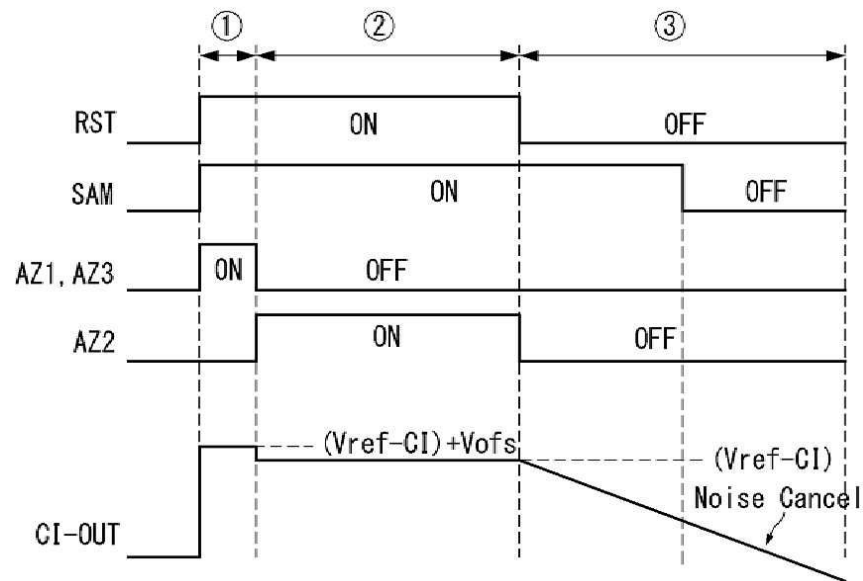
도면10



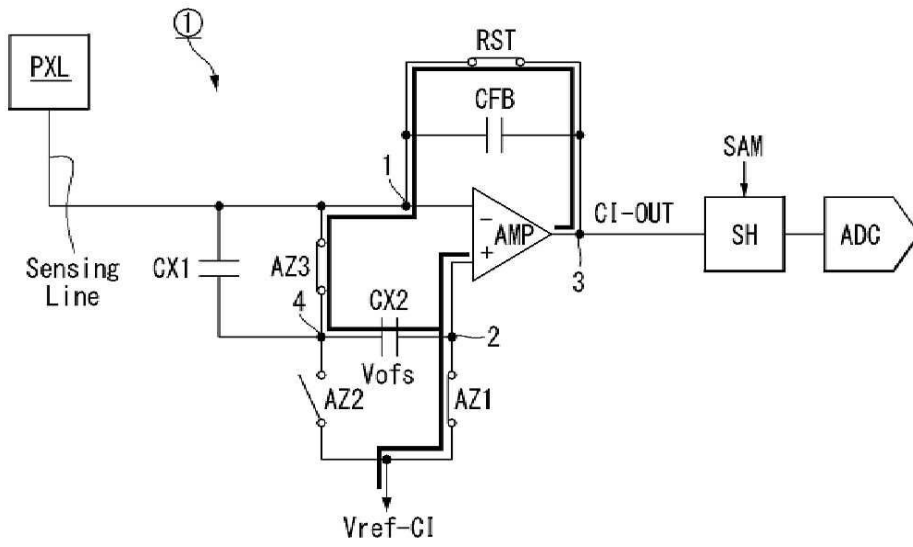
도면11



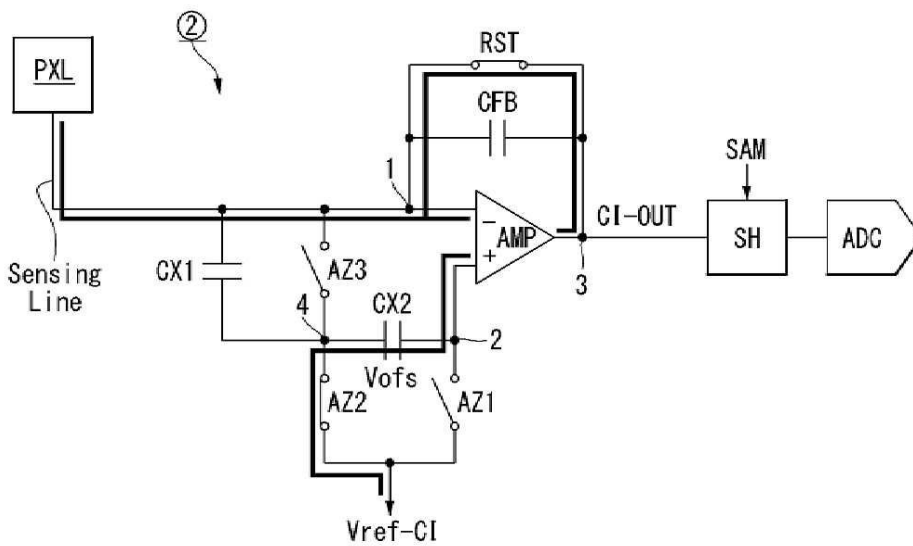
도면12



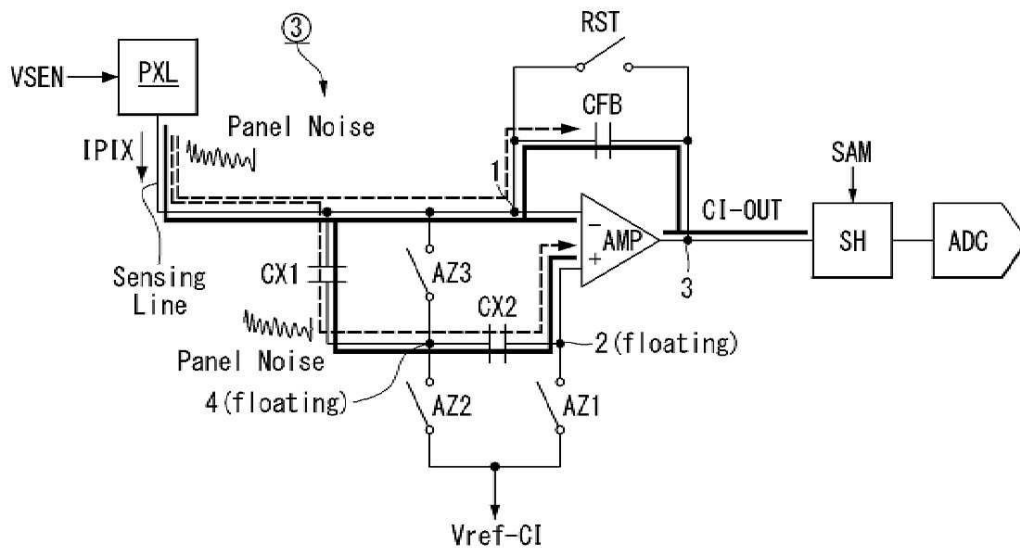
도면13



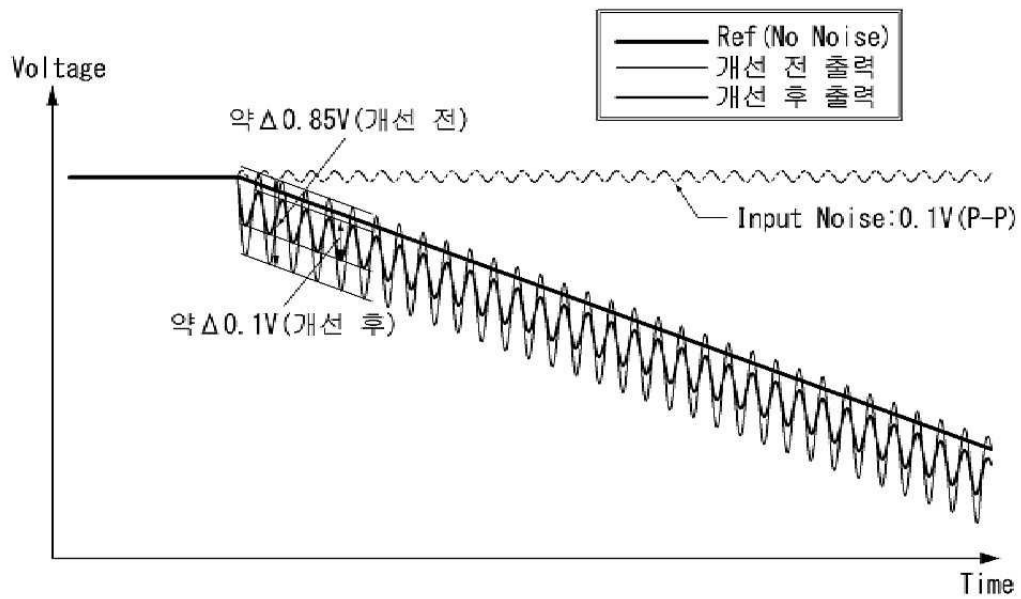
도면14



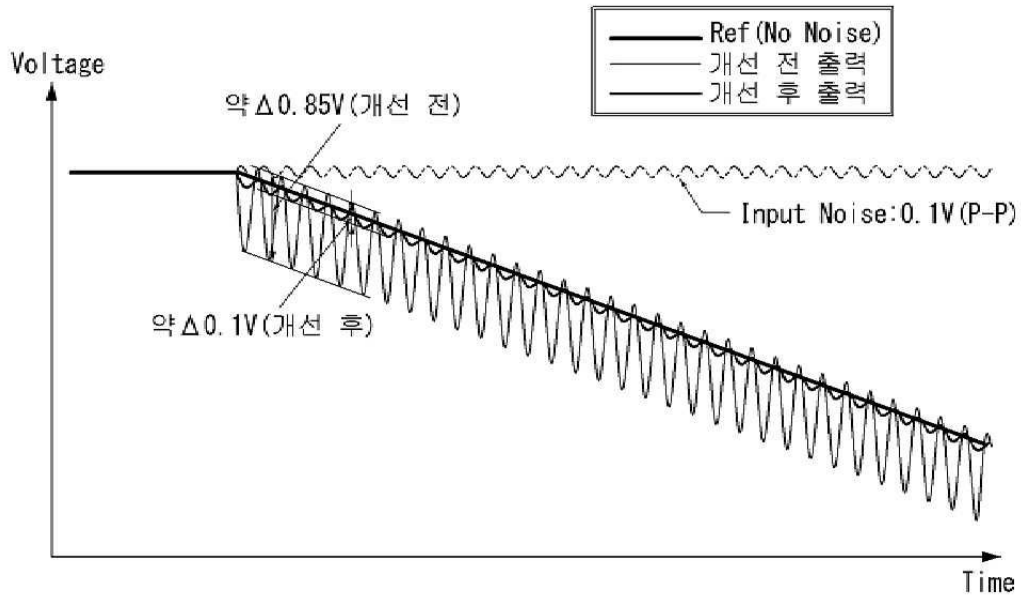
도면15



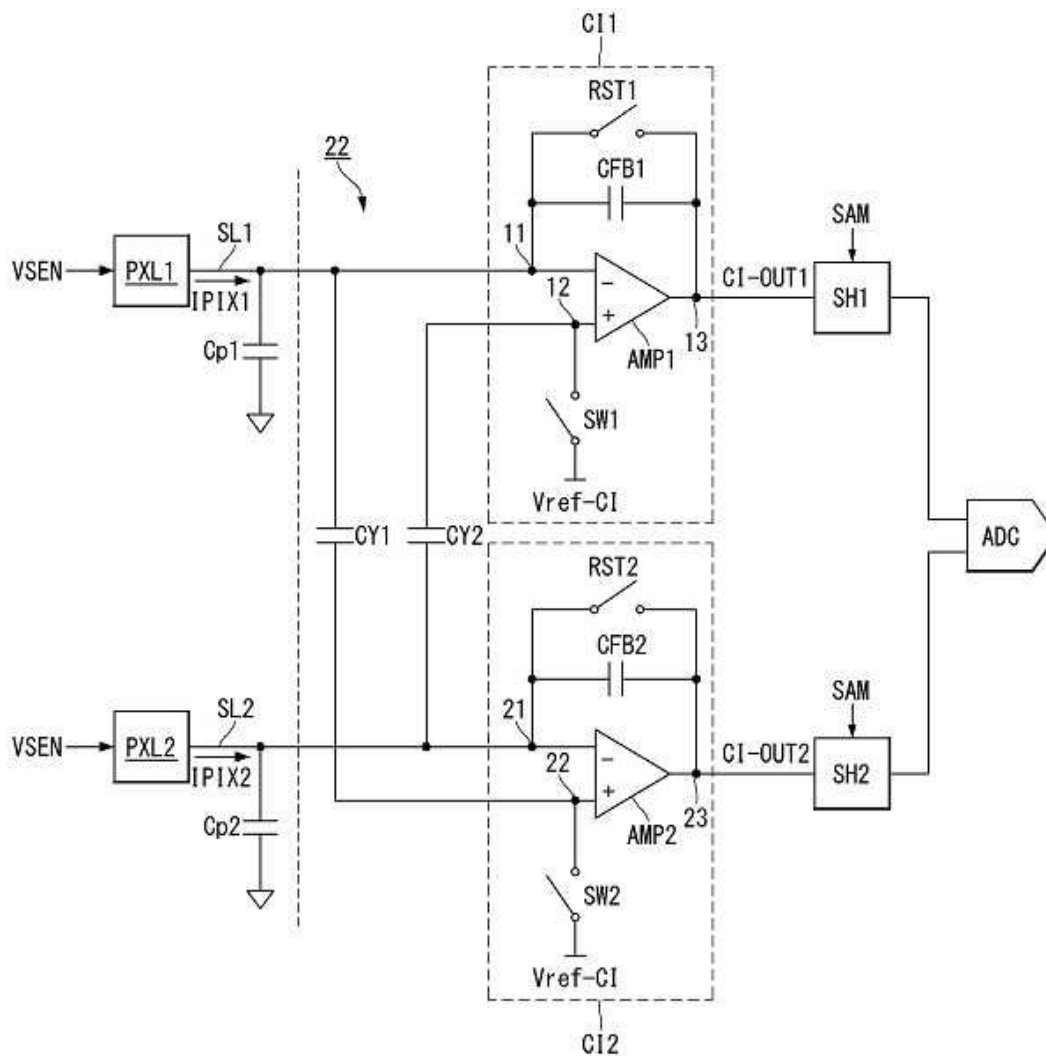
도면16



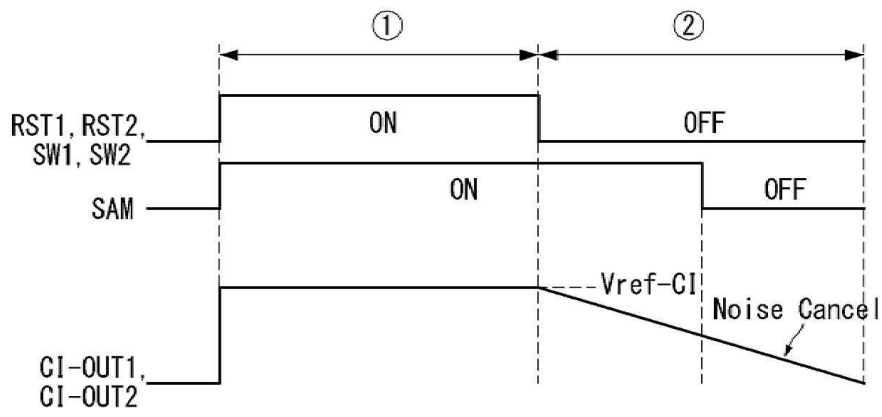
도면17



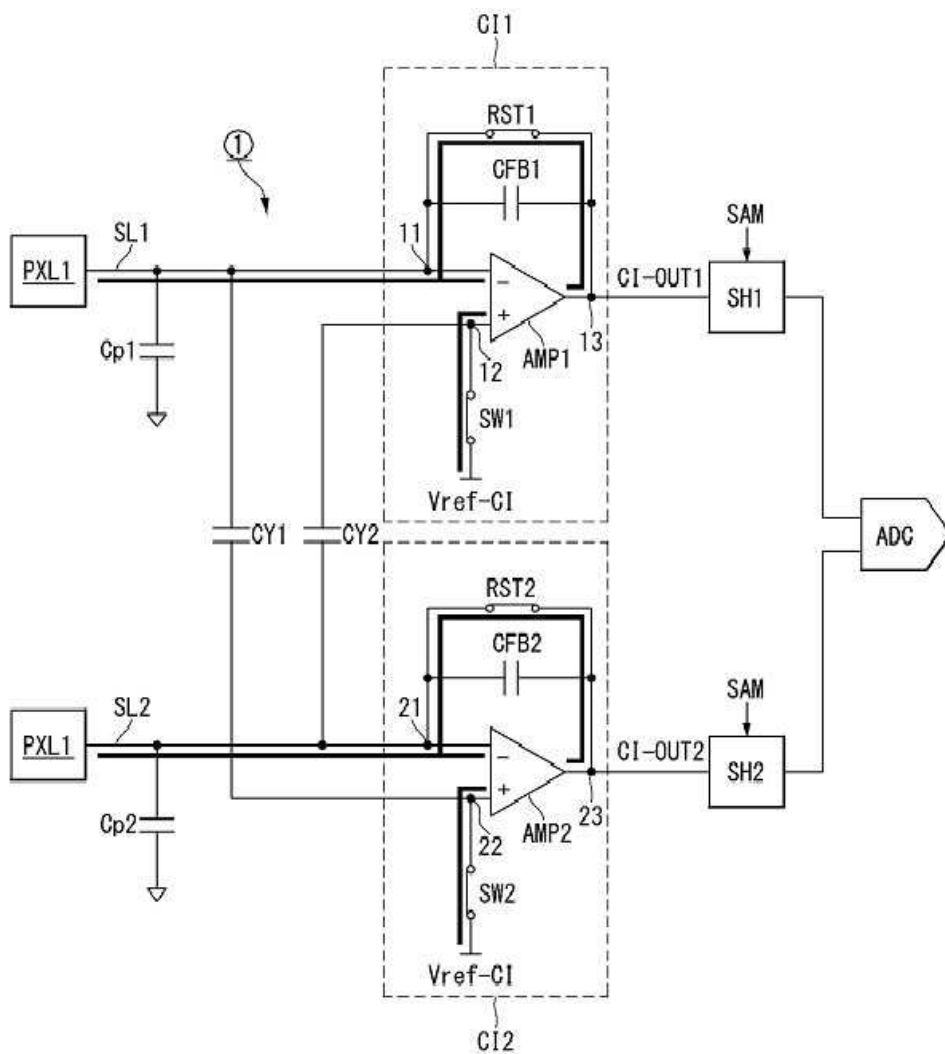
도면18



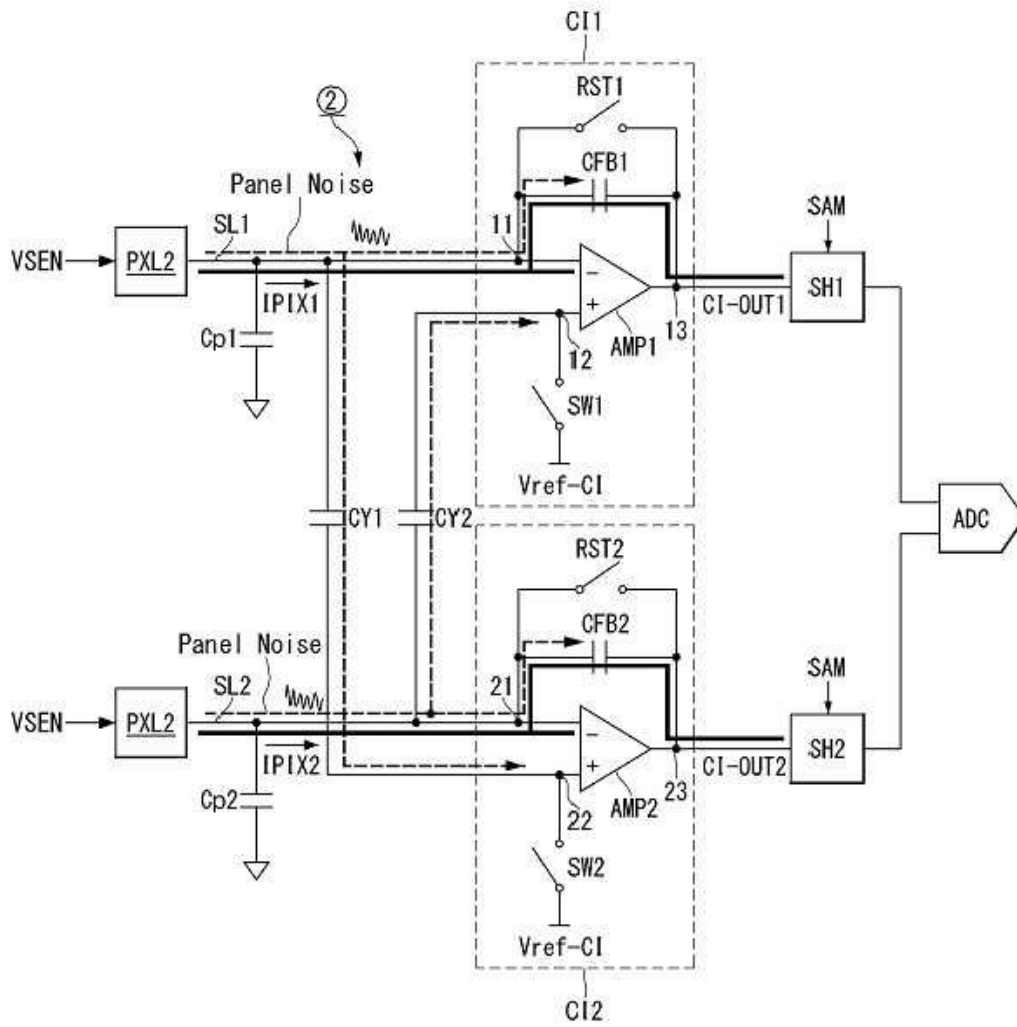
도면19



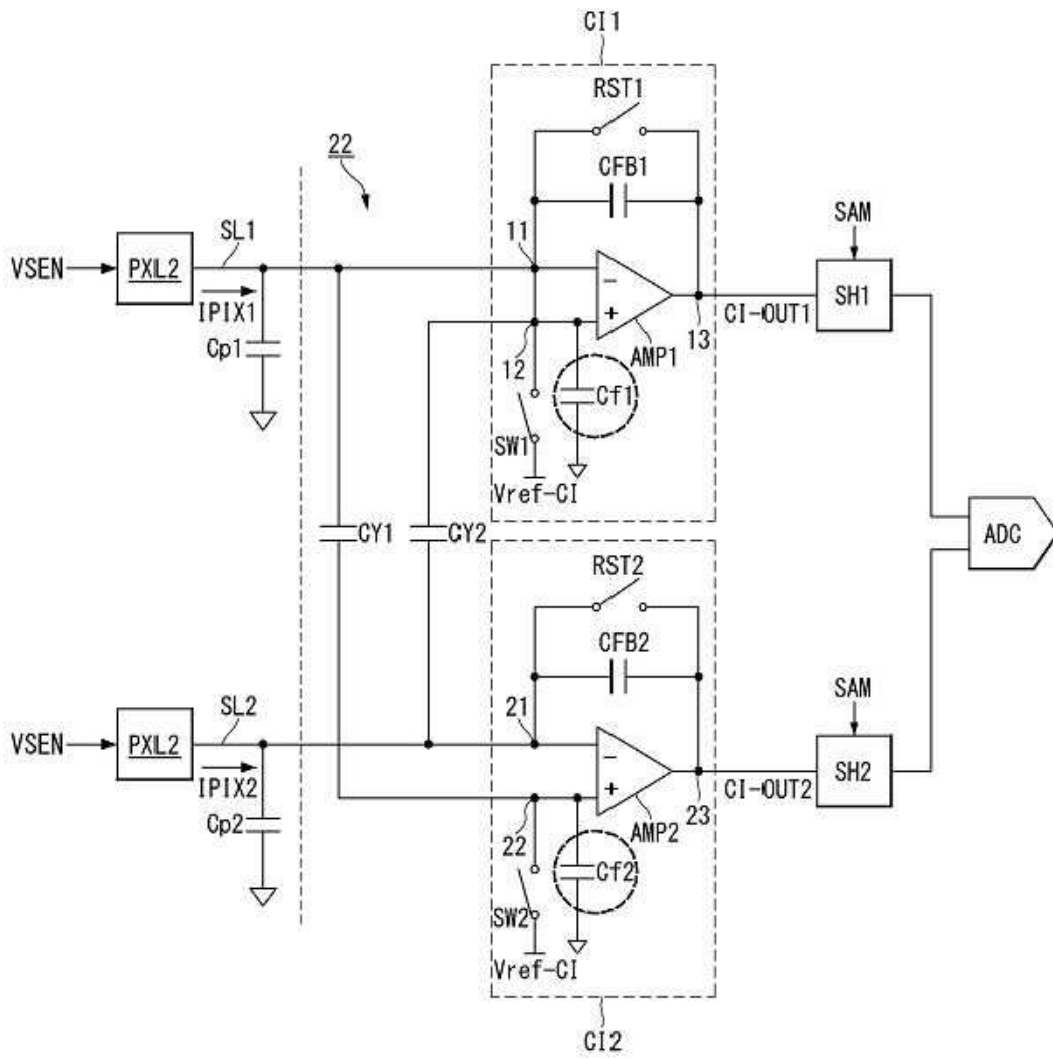
도면20



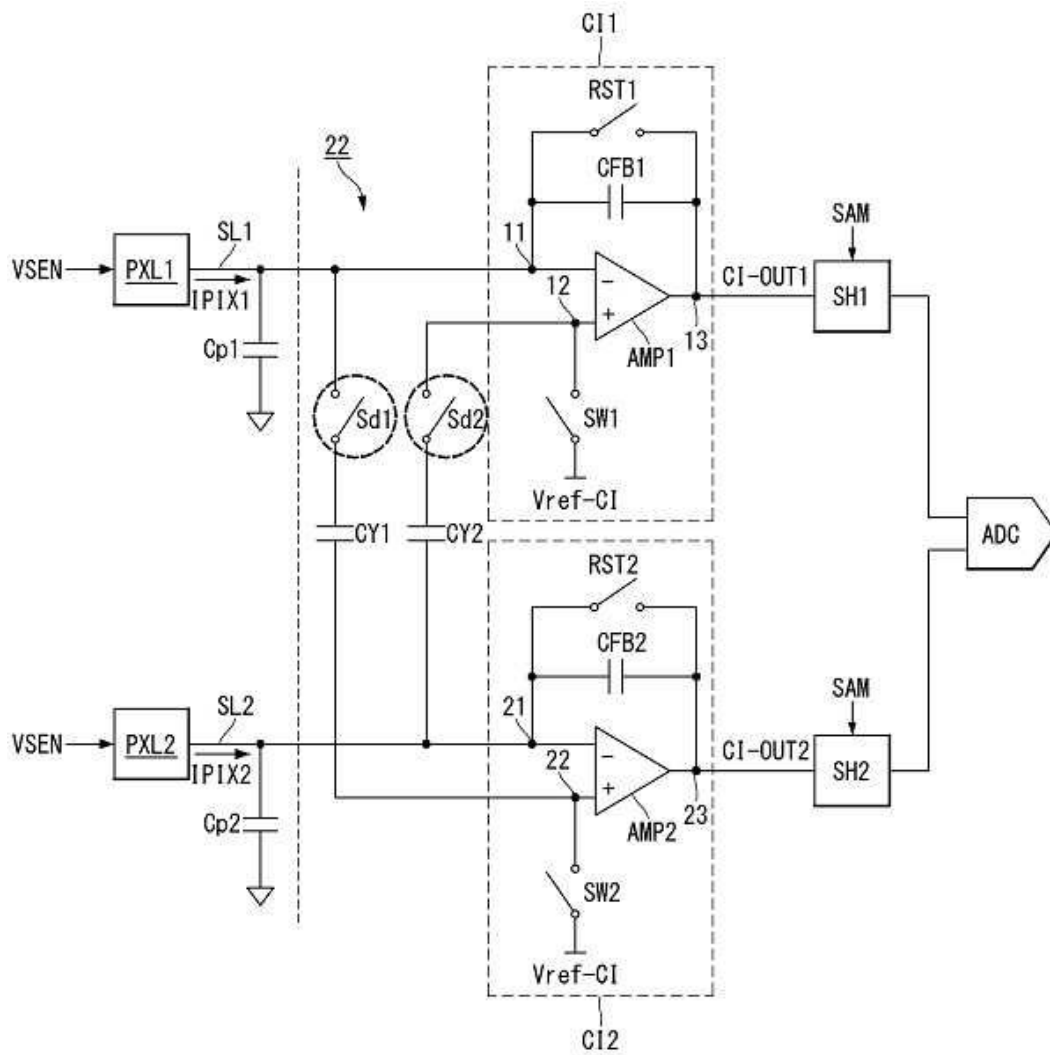
도면21



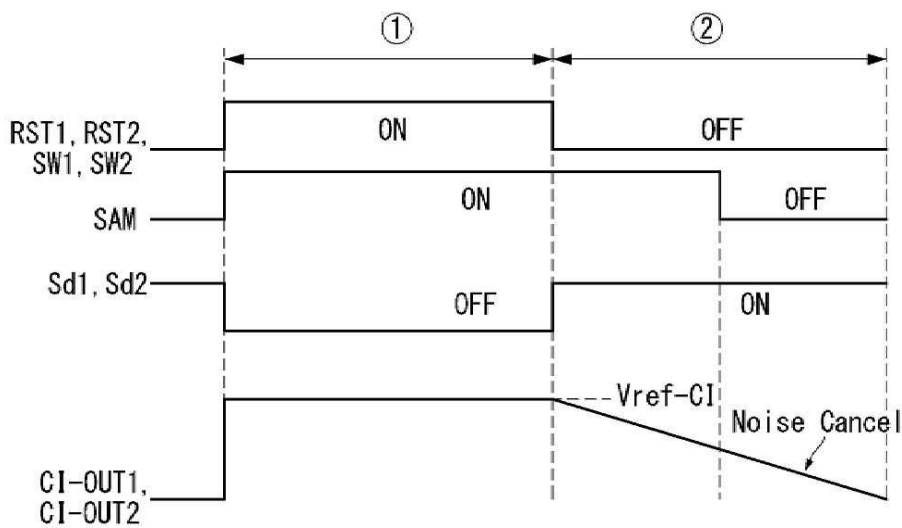
도면22



도면23



도면24



专利名称(译)	像素感测装置和包括其的有机发光显示装置		
公开(公告)号	<a href="#">KR1020200064945A</a>	公开(公告)日	2020-06-08
申请号	KR1020190156941	申请日	2019-11-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	홍석현 권다혜 이창우 이태영 이상훈		
发明人	홍석현 권다혜 이창우 이태영 이상훈		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2320/0233 G09G2320/0295 G09G3/3291 G09G2300/0819 G09G2320/0285 G09G2320/029 G09G2320/045 G09G2330/06 G09G2310/08		
代理人(译)	이승찬		
优先权	1020180151001 2018-11-29 KR		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本公开涉及一种像素感测装置和包括该像素感测装置的有机发光显示装置,其减少或最小化了面板噪声的影响,并提高了感测精度和感测可靠性。该像素感测装置包括电流积分器,该电流积分器通过显示面板的感测线连接到像素,并且积分流过该像素的像素电流以产生积分器输出电压。采样保持单元采样并保持积分器的输出电压;模数转换器(ADC),将从采样保持单元输出的积分器输出电压转换为数字信号;第一电容器,用于减小或最小化由于混合到像素电流的面板噪声而导致的积分器输出电压的失真度。

