



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0036977
(43) 공개일자 2020년04월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/04 (2013.01)

(21) 출원번호 10-2018-0115869

(22) 출원일자 2018년09월28일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

우종석

대전광역시 중구 중앙로 45, 104동 2304호 (선화동, 센트럴뷰아파트)

(74) 대리인

팬코리아특허법인

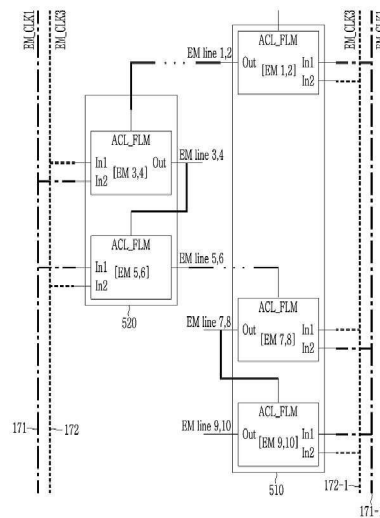
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

실시예들에 따르면, 유기 발광 표시 장치는 발광 신호를 수신하여 발광하는 화소를 포함하는 표시 영역; 및 표시 영역의 좌우측에 위치하며, 각각 복수의 발광 신호용 스테이지를 포함하는 제1 및 제2 발광 신호 생성부를 포함하며, 상기 복수의 발광 신호용 스테이지는 각각 n개의 화소행과 연결되어 있으며, 인접하는 상기 n개의 화소행이 연결된 인접하는 두 상기 발광 신호용 스테이지는 상기 제1 및 제2 발광 신호 생성부 중 동일한 하나에 포함되어 있다.

대표도 - 도2



명세서

청구범위

청구항 1

발광 신호를 수신하여 발광하는 화소를 포함하는 표시 영역; 및

표시 영역의 좌우측에 위치하며, 각각 복수의 발광 신호용 스테이지를 포함하는 제1 및 제2 발광 신호 생성부를 포함하며,

상기 복수의 발광 신호용 스테이지는 각각 n 개의 화소행과 연결되어 있으며,

인접하는 상기 n 개의 화소행이 연결된 인접하는 두 상기 발광 신호용 스테이지는 상기 제1 및 제2 발광 신호 생성부 중 동일한 하나에 포함되어 있는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 제1 및 제2 발광 신호 생성부 각각에 클록 신호를 인가하는 두 개의 클록 신호용 배선을 더 포함하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 복수의 발광 신호용 스테이지 각각은 두 개의 클록 입력단을 포함하며, 상기 두 개의 클록 입력단에는 상기 두 개의 클록 신호용 배선이 각각 연결되며,

상기 제1 및 제2 발광 신호 생성부 중 동일한 하나에 형성되며, 인접하는 상기 발광 신호용 스테이지의 상기 두 개의 클록 입력단에 연결되는 상기 클록 신호용 배선은 서로 다른 유기 발광 표시 장치.

청구항 4

제1항에서,

상기 n 은 1 이상의 정수이며, 상기 n 개의 화소행은 함께 발광하는 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 표시 영역의 좌우측에 위치하며, 상기 표시 영역과 상기 제1 및 제2 발광 신호 생성부의 사이에 위치하는 제1 및 제2 스캔 신호 생성부를 더 포함하는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 제1 및 제2 스캔 신호 생성부는 한 프레임 동안 3번의 게이트 온 전압을 인가하는 유기 발광 표시 장치.

청구항 7

제2항에서,

상기 복수의 발광 신호용 스테이지는 각각 두 개의 상기 클록 신호를 각각 수신하는 제1 클록 입력단 및 제2 클록 입력단, 전단의 상기 발광 신호용 스테이지로부터 상기 발광 신호를 수신하는 제어단, 및 상기 발광 신호를 출력하는 출력단을 포함하는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제1 클록 입력단이 가지는 커패시턴스와 상기 제2 클록 입력단이 가지는 커패시턴스는 일정 수준 이상의 차이가 있는 유기 발광 표시 장치.

청구항 9

제7항에서,

상기 복수의 발광 신호용 스테이지는 각각 고레벨 출력부 및 저레벨 출력부를 가지며,

상기 고레벨 출력부는 상기 출력단으로 고전압을 출력시키며, 상기 저레벨 출력부는 상기 출력단으로 저전압을 출력시키는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 고레벨 출력부는 제1 노드의 전압에 의하여 제어되며,

상기 제1 노드의 전압을 제어하는 제1 노드 제1 제어부 및 제1 노드 제2 제어부를 더 포함하는 유기 발광 표시 장치.

청구항 11

제10항에서,

상기 제1 노드 제1 제어부는 상기 제1 노드의 전압을 고전압으로 변경하며,

상기 제1 노드 제2 제어부는 상기 제1 노드의 전압을 상기 클록 신호의 저전압으로 변경시켜주는 유기 발광 표시 장치.

청구항 12

제10항에서,

상기 제1 노드 제2 제어부는 제3 노드의 전압에 의하여 제어되며,

상기 제3 노드의 전압을 제어하는 제3 노드 제어부를 더 포함하는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 제3 노드 제어부는 제4 트랜지스터 및 제5 트랜지스터를 포함하며,

상기 제5 트랜지스터는 상기 제3 노드의 전압을 저전압으로 만들며,

상기 제4 트랜지스터는 상기 제3 노드의 전압을 상기 클록 신호의 고전압으로 만드는 유기 발광 표시 장치.

청구항 14

제9항에서,

상기 저레벨 출력부는 제2 노드의 전압에 의하여 제어되며,

상기 제2 노드의 전압을 제어하는 제2 노드 제1 제어부를 더 포함하는 유기 발광 표시 장치.

청구항 15

제14항에서,

상기 제2 노드 제1 제어부는 상기 제2 노드의 전압을 전단의 상기 발광 신호용 스테이지의 상기 발광 신호의 고전압 또는 저전압으로 변경시키는 유기 발광 표시 장치.

청구항 16

제15항에서,

상기 제2 노드의 전압을 상기 제2 노드 제1 제어부와 함께 제어하는 제2 노드 제2 제어부를 더 포함하며,

상기 제2 노드 제2 제어부는 상기 제2 노드가 고전압일 때 상기 제2 노드의 전압이 저전압으로 변하지 않도록 하는 유기 발광 표시 장치.

청구항 17

발광 신호를 수신하여 발광하는 화소를 포함하는 표시 영역; 및

표시 영역의 좌우측에 위치하며, 각각 복수의 발광 신호용 스테이지를 포함하는 제1 및 제2 발광 신호 생성부를 포함하며,

상기 복수의 발광 신호용 스테이지는 서로 다른 커패시턴스 값을 가지는 두 개의 클록 입력단을 포함하며,

상기 두 개의 클록 입력단 중 커패시턴스가 작은 상기 클록 입력단에 연결되어 있는 매칭 커패시터를 더 포함하는 유기 발광 표시 장치.

청구항 18

제17항에서,

인접하는 두 개의 상기 발광 신호용 스테이지는 상기 제1 및 제2 발광 신호 생성부 중 동일한 하나에 포함되어 있는 유기 발광 표시 장치.

청구항 19

제17항에서,

인접하는 두 개의 상기 발광 신호용 스테이지는 상기 제1 및 제2 발광 신호 생성부에 각각 포함되어 있는 유기 발광 표시 장치.

청구항 20

제17항에서,

상기 복수의 발광 신호용 스테이지는 각각 n 개의 화소행과 연결되어 있으며,

상기 n 은 1 이상의 정수이며,

상기 n 개의 화소행은 함께 발광하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 개시는 유기 발광 표시 장치에 관한 것으로서, 보다 구체적으로 발광 신호 생성부를 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원이 필요하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 유기 발광 표시 장치는 스스로 발광하기 때문에 각 화소의 유기 발광 다이오드를 개별적으로 발광시킬 수 있다. 이를 위하여 발광 신호 생성부를 포함할 수 있으며, 발광 신호가 각 화소로 전달되어 유기 발광 다이오드가 빛

을 방출하도록 한다.

발명의 내용

해결하려는 과제

- [0005] 실시예들은 발광 신호 생성부를 표시 영역의 양측에 가지는 유기 발광 표시 장치에서 클록 신호용 배선이 가지는 로드(load)를 일정하게 유지하기 위한 것이다. 또한, 두 클록 신호용 배선이 가지는 로드 차이가 나지 않아 정전기가 발생한 경우 특정 클록 신호용 배선을 타고 발광 신호 생성부에 손상을 가하지 않도록 한다.

과제의 해결 수단

- [0006] 일 실시예에 따른 유기 발광 표시 장치는 발광 신호를 수신하여 발광하는 화소를 포함하는 표시 영역; 및 표시 영역의 좌우측에 위치하며, 각각 복수의 발광 신호용 스테이지를 포함하는 제1 및 제2 발광 신호 생성부를 포함하며, 상기 복수의 발광 신호용 스테이지는 각각 n개의 화소행과 연결되어 있으며, 인접하는 상기 n개의 화소행이 연결된 인접하는 두 상기 발광 신호용 스테이지는 상기 제1 및 제2 발광 신호 생성부 중 동일한 하나에 포함되어 있다.
- [0007] 상기 제1 및 제2 발광 신호 생성부 각각에 클록 신호를 인가하는 두 개의 클록 신호용 배선을 더 포함할 수 있다.
- [0008] 상기 복수의 발광 신호용 스테이지 각각은 두 개의 클록 입력단을 포함하며, 상기 두 개의 클록 입력단에는 상기 두 개의 클록 신호용 배선이 각각 연결되며, 상기 제1 및 제2 발광 신호 생성부 중 동일한 하나에 형성되며, 인접하는 상기 발광 신호용 스테이지의 상기 두 개의 클록 입력단에 연결되는 상기 클록 신호용 배선은 서로 다를 수 있다.
- [0009] 상기 n은 1 이상의 정수이며, 상기 n개의 화소행은 함께 발광할 수 있다.
- [0010] 상기 표시 영역의 좌우측에 위치하며, 상기 표시 영역과 상기 제1 및 제2 발광 신호 생성부의 사이에 위치하는 제1 및 제2 스캔 신호 생성부를 더 포함할 수 있다.
- [0011] 상기 제1 및 제2 스캔 신호 생성부는 한 프레임 동안 3번의 게이트 온 전압을 인가할 수 있다.
- [0012] 상기 복수의 발광 신호용 스테이지는 각각 두 개의 상기 클록 신호를 각각 수신하는 제1 클록 입력단 및 제2 클록 입력단, 전단의 상기 발광 신호용 스테이지로부터 상기 발광 신호를 수신하는 제어단, 및 상기 발광 신호를 출력하는 출력단을 포함할 수 있다.
- [0013] 상기 제1 클록 입력단이 가지는 커패시턴스와 상기 제2 클록 입력단이 가지는 커패시턴스는 일정 수준 이상의 차이가 있을 수 있다.
- [0014] 상기 복수의 발광 신호용 스테이지는 각각 고레벨 출력부 및 저레벨 출력부를 가지며, 상기 고레벨 출력부는 상기 출력단으로 고전압을 출력시키며, 상기 저레벨 출력부는 상기 출력단으로 저전압을 출력시킬 수 있다.
- [0015] 상기 고레벨 출력부는 제1 노드의 전압에 의하여 제어되며, 상기 제1 노드의 전압을 제어하는 제1 노드 제1 제어부 및 제1 노드 제2 제어부를 더 포함할 수 있다.
- [0016] 상기 제1 노드 제1 제어부는 상기 제1 노드의 전압을 고전압으로 변경하며, 상기 제1 노드 제2 제어부는 상기 제1 노드의 전압을 상기 클록 신호의 저전압으로 변경시켜줄 수 있다.
- [0017] 상기 제1 노드 제2 제어부는 제3 노드의 전압에 의하여 제어되며, 상기 제3 노드의 전압을 제어하는 제3 노드 제어부를 더 포함할 수 있다.
- [0018] 상기 제3 노드 제어부는 제4 트랜지스터 및 제5 트랜지스터를 포함하며, 상기 제5 트랜지스터는 상기 제3 노드의 전압을 저전압으로 만들며, 상기 제4 트랜지스터는 상기 제3 노드의 전압을 상기 클록 신호의 고전압으로 만들 수 있다.
- [0019] 상기 저레벨 출력부는 제2 노드의 전압에 의하여 제어되며, 상기 제2 노드의 전압을 제어하는 제2 노드 제1 제어부를 더 포함할 수 있다.
- [0020] 상기 제2 노드 제1 제어부는 상기 제2 노드의 전압을 전단의 상기 발광 신호용 스테이지의 상기 발광 신호의 고

전압 또는 저전압으로 변경시킬 수 있다.

- [0021] 상기 제2 노드의 전압을 상기 제2 노드 제1 제어부와 함께 제어하는 제2 노드 제2 제어부를 더 포함하며, 상기 제2 노드 제2 제어부는 상기 제2 노드가 고전압일 때 상기 제2 노드의 전압이 저전압으로 변하지 않도록 할 수 있다.
- [0022] 일 실시예에 따른 유기 발광 표시 장치는 발광 신호를 수신하여 발광하는 화소를 포함하는 표시 영역; 및 표시 영역의 좌우측에 위치하며, 각각 복수의 발광 신호용 스테이지를 포함하는 제1 및 제2 발광 신호 생성부를 포함하며, 상기 복수의 발광 신호용 스테이지는 서로 다른 커패시턴스 값을 가지는 두 개의 클록 입력단을 포함하며, 상기 두 개의 클록 입력단 중 커패시턴스가 작은 상기 클록 입력단에 연결되어 있는 매칭 커패시터를 더 포함한다.
- [0023] 인접하는 두 개의 상기 발광 신호용 스테이지는 상기 제1 및 제2 발광 신호 생성부 중 동일한 하나에 포함되어 있을 수 있다.
- [0024] 인접하는 두 개의 상기 발광 신호용 스테이지는 상기 제1 및 제2 발광 신호 생성부에 각각 포함되어 있을 수 있다.
- [0025] 상기 복수의 발광 신호용 스테이지는 각각 n개의 화소행과 연결되어 있으며, 상기 n은 1 이상의 정수이며, 상기 n개의 화소행은 함께 발광할 수 있다.

발명의 효과

- [0026] 실시예들에 따르면, 발광 신호 생성부에 포함되는 스테이지에 연결되는 두 클록 신호용 배선이 가지는 로드(load)를 일정하게 유지하여, 정전기가 발생하는 경우 특정 클록 신호용 배선을 타고 스테이지에 손상을 가하지 않도록 한다. 그 결과 발광 신호 생성부의 동작에 흠결이 발생하지 않도록 한다. 또한, 특정 클록 신호용 배선 쪽에서만 신호 지연이 발생하지 않고 균일한 신호가 인가된다. 또한, 발광 신호용 스테이지가 다음 단의 발광 신호용 스테이지로 출력하는 캐리 신호가 표시 영역을 지나지 않고서도 인가될 수 있으므로 캐리 신호에서의 지연도 감소한다.

도면의 간단한 설명

- [0027] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- 도 2는 일 실시예에 따른 발광 신호 생성부의 블록도이다.
- 도 3은 일 실시예에 따른 발광 신호 생성부의 하나의 스테이지를 도시한 회로도이다.
- 도 4는 일 실시예에 따른 스테이지에 인가되는 신호를 도시한 파형도이다.
- 도 5 내지 도 10은 도 3의 스테이지의 동작을 설명한 도면이다.
- 도 11은 비교예에 따른 발광 신호 생성부의 블록도이다.
- 도 12는 일 실시예에 따른 발광 신호 생성부의 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0029] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0030] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0031] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위

에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.

- [0032] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0033] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0034] 이하에서는 도 1을 통하여 일 실시예에 따른 유기 발광 표시 장치를 살펴본다.
- [0035] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- [0036] 일 실시예에 따른 유기 발광 표시 장치는 기판을 포함하는 표시 패널을 포함하며, 표시 패널은 크게 표시 영역(300)과 비표시 영역으로 구분된다.
- [0037] 표시 영역(300)에는 복수의 화소(PX)가 형성되어 있으며, 비표시 영역에는 화소(PX)를 구동하기 위한 다양한 구동부가 위치하고 있다. 도 1에서는 스캔 신호 생성부(410, 420) 및 발광 신호 생성부(510, 520)가 각각 표시 영역(300)의 좌우에 한 쌍씩 형성되어 있다. 도 1에 도시하지 않았지만, 비표시 영역에는 화소(PX)에 데이터 전압을 인가하는 데이터 구동부를 더 포함한다. 데이터 구동부는 본 발명과 관련이 적어 도 1에서 도시하지 않았다. 또한, 화소(PX)에는 구동 전압, 구동 저전압, 초기화 전압과 같은 전압이 인가될 수 있다.
- [0038] 우선, 표시 영역(300)에는 복수의 화소(PX)가 행 방향 및 열 방향을 따라서 배열되어 있다. 유기 발광 표시 장치의 화소(PX)는 크게 기판 위에 형성되어 있는 화소 회로부와 화소 회로부 위에 형성되어 있는 발광 소자부를 포함한다. 발광 소자부는 유기 발광 다이오드를 포함하며, 화소 회로부로부터 전류를 인가받고, 전류의 크기에 따라서 발광 정도가 변경된다.
- [0039] 도 1에서 도시된 화소(PX)는 화소 회로부를 기준으로 도시하였다. 이는 화소 회로부가 스캔선(121), 전단 스캔선(123) 및 발광 신호선(151)과 직접 연결되기 때문이다.
- [0040] 화소(PX)는 스캔선(121), 전단 스캔선(123) 및 발광 신호선(151)과 연결되어 있다. 스캔선(121), 전단 스캔선(123) 및 발광 신호선(151)은 제1 방향으로 연장되어 있다. 도시하지 않았지만, 화소(PX)는 데이터 구동부로부터 데이터 전압을 화소(PX)에 전달하는 데이터선과 연결되어 있다. 데이터선은 제1 방향에 수직한 방향으로 연장되어 있다.
- [0041] 표시 영역(300)의 주변은 비표시 영역이며, 비표시 영역 중 표시 영역(300)의 좌측 및 우측에는 각각 스캔 신호 생성부(410, 420) 및 발광 신호 생성부(510, 520)가 위치한다. 표시 영역(300)에 가까운 비표시 영역에 스캔 신호 생성부(410, 420)가 위치하고 있으며, 그 외측에 발광 신호 생성부(510, 520)가 형성되어 있다.
- [0042] 먼저 스캔 신호 생성부(410, 420)는 표시 영역(300)의 우측에 위치하는 제1 스캔 신호 생성부(410)와 좌측에 위치하는 제2 스캔 신호 생성부(420)를 포함한다.
- [0043] 각각의 스캔 신호 생성부(410, 420)는 복수의 스캔 신호용 스테이지(GD)를 포함한다. 각 스캔 신호용 스테이지(GD)는 게이트 신호를 생성하여 출력하며, 출력된 게이트 신호는 본 단 화소행에 포함된 화소(PX)에는 스캔선(121)을 통하여 전달되며, 그 다음 화소행에 포함된 화소(PX)에는 전단 스캔선(123)을 통하여 인가된다. 또한, 각 스캔 신호용 스테이지(GD)는 다음 단의 스캔 신호용 스테이지(GD)에 캐리 신호로 게이트 신호를 인가한다. 하나의 스캔선(121) 및 하나의 전단 스캔선(123)은 제1 스캔 신호 생성부(410) 및 제2 스캔 신호 생성부(420)로부터 동일한 게이트 신호를 양쪽으로부터 인가받을 수 있다. 게이트 신호는 게이트 온 전압과 게이트 오프 전압이 교대로 인가되며, 한 프레임 동안 적어도 한 번의 게이트 온 전압이 포함된다. 본 실시예에서는 한 프레임 동안 게이트 온 전압과 게이트 오프 전압이 3번 교대로 인가된다. (도 4 참조)
- [0044] 첫 번째 화소행의 화소(PX)에 연결된 전단 스캔선(123)에 게이트 신호를 인가하기 위하여 스캔 신호 생성부(410, 420)는 0번째 스캔 신호용 스테이지(GD[0])를 더 포함할 수 있다.
- [0045] 스캔 신호 생성부(410, 420)의 외측에는 발광 신호 생성부(510, 520)가 위치한다. 표시 영역(300)의 우측에는 제1 발광 신호 생성부(510)가 위치하며, 좌측에는 제2 발광 신호 생성부(520)가 위치한다.
- [0046] 각 발광 신호 생성부(510, 520)는 복수의 발광 신호용 스테이지(EM)를 포함한다. 하나의 발광 신호선(151)은 대

응하는 하나의 발광 신호용 스테이지(EM)와만 연결되어 있으며, 하나의 발광 신호용 스테이지(EM)로부터 발광 신호를 인가 받는다. 그 결과, 제1 발광 신호 생성부(510)에 위치하는 발광 신호용 스테이지(EM)가 제어하는 발광 신호선(151)에 대응하는 발광 신호용 스테이지(EM)는 제2 발광 신호 생성부(520)의 내에 존재하지 않는다.

[0047] 도 1의 실시예에 의하면, 하나의 발광 신호용 스테이지(EM)가 출력하는 발광 신호는 두 개의 화소 행에 연결된 화소(PX)에 동시에 인가되도록 형성되어 있다. 즉, 도 1에서 EM[1,2]로 표시된 발광 신호용 스테이지는 첫 번째 화소행 및 두 번째 화소행에 발광 신호를 함께 인가하는 것을 나타낸다. 하지만, 실시예에 따라서는 하나의 화소행에만 발광 신호를 인가하거나 3 이상의 화소행에 일괄하여 발광 신호를 인가할 수도 있다. 요약하면, 하나의 발광 신호용 스테이지(EM)는 n개의 발광 신호선(151)과 연결되어 있을 수 있으며, n개의 화소행에 포함되는 화소(PX)에 발광 신호를 동시에 인가한다. 여기서 n은 1 이상의 자연수이다.

[0048] 발광 신호는 낮은 레벨의 전압(발광 구간에 대응함)과 높은 레벨의 전압(기입 구간에 대응함)이 교대로 인가된다. 한 프레임에는 높은 레벨의 전압 구간(기입 구간)이 한번 포함되어 있다. 또한, 발광 신호는 낮은 레벨의 전압과 높은 레벨의 전압이 일정하게 인가되는 시간이 하나의 게이트 온 전압이 인가되는 시간에 비하여 매우 길다. 이러한 특징으로 인하여 발광 신호는 복수의 발광 신호선(151)에 한꺼번에 인가할 수 있다. 하지만, 게이트 온 전압은 매우 짧아 각 스캔 신호용 스테이지(GD)마다 하나의 스캔선(121) 및 하나의 전단 스캔선(123)에만 게이트 신호를 인가한다.

[0049] 또한, 각 발광 신호 생성부(510, 520)에 형성되는 발광 신호용 스테이지(EM)는 인접하는 두 개의 발광 신호용 스테이지(EM)가 동일한 발광 신호 생성부(510, 520)에 위치하는 특징을 가진다.

[0050] 이러한 특징에 대해서는 도 2를 통하여 보다 상세하게 살펴본다.

[0051] 도 2는 일 실시예에 따른 발광 신호 생성부의 블록도이다.

[0052] 도 2에서는 제1 발광 신호 생성부(510)와 제2 발광 신호 생성부(520) 내에 위치하는 복수의 발광 신호용 스테이지(EM)를 중심으로 도시하고 있다. 또한, 도 2의 실시예에서는 각 발광 신호용 스테이지(EM)에 연결된 발광 신호선(151)은 도 1과 같이 두 개이다.

[0053] 발광 신호 생성부(510, 520)의 각 발광 신호용 스테이지(EM)는 두 개의 클록 신호를 각각 수신하는 제1 클록 입력단(In1) 및 제2 클록 입력단(In2)과 제어 신호(FLM) 또는 전단의 발광 신호용 스테이지(EM)로부터 발광 신호를 수신하는 제어단(ACL_FLM), 그리고 발광 신호를 출력하는 출력단(Out)을 포함한다.

[0054] 각 발광 신호용 스테이지(EM)의 연결 관계를 설명하면 아래와 같다.

[0055] 첫 번째 및 두 번째 발광 신호선(EM lines 1, 2)에 발광 신호를 인가하는 발광 신호용 스테이지(EM[1,2]; 이하 첫 번째 발광 신호용 스테이지라고도 함)는 표시 영역(300)의 우측에 위치하는 제1 발광 신호 생성부(510)에 위치한다. 첫 번째 발광 신호용 스테이지(EM[1,2])를 통하여 첫 번째 화소행 및 두 번째 화소행에 연결된 화소(PX)에 발광 신호를 인가한다. 그 결과 첫 번째 화소행 및 두 번째 화소행에 연결된 모든 화소(PX)는 동시에 빛을 방출한다.

[0056] 첫 번째 발광 신호용 스테이지(EM[1,2])에는 외부로부터 제어 신호(FLM)가 제어단(ACL_FLM)으로 인가되며, 제1 클록 입력단(In1)으로는 제1 클록 신호(EM_CLK1)가 인가되고, 제2 클록 입력단(In2)으로는 제3 클록 신호(EM_CLK3)가 인가된다. 그리고 출력단(Out)을 통하여 발광 신호가 첫 번째 및 두 번째 발광 신호선(EM lines 1, 2)으로 인가된다.

[0057] 한편, 첫 번째 발광 신호용 스테이지(EM[1,2])에서 출력된 발광 신호는 캐리 신호로 제2 발광 신호 생성부(520)로 전달되어 다음 발광 신호용 스테이지(EM[3,4])의 제어단(ACL_FLM)으로 인가된다.

[0058] 세 번째 및 네 번째 발광 신호선(EM lines 3, 4)에 발광 신호를 인가하는 발광 신호용 스테이지(EM[3,4]; 이하 두 번째 발광 신호용 스테이지라고도 함)는 표시 영역(300)의 좌측에 위치하는 제2 발광 신호 생성부(520)에 위치한다. 두 번째 발광 신호용 스테이지(EM[3,4])를 통하여 세 번째 화소행 및 네 번째 화소행에 연결된 화소(PX)에 발광 신호를 인가한다. 그 결과 세 번째 화소행 및 네 번째 화소행에 연결된 모든 화소(PX)는 동시에 빛을 방출한다.

[0059] 두 번째 발광 신호용 스테이지(EM[3,4])에는 첫 번째 발광 신호용 스테이지(EM[1,2])로부터 발광 신호가 캐리 신호로 제어단(ACL_FLM)으로 인가되며, 제1 클록 입력단(In1)으로는 제3 클록 신호(EM_CLK3)가 인가되고, 제2 클록 입력단(In2)으로는 제1 클록 신호(EM_CLK1)가 인가된다. 그리고 출력단(Out)을 통하여 발광 신호가 세 번째

및 네번째 발광 신호선(EM lines 3, 4)으로 인가된다.

- [0060] 한편, 두 번째 발광 신호용 스테이지(EM[3,4])에서 출력된 발광 신호는 캐리 신호로 제2 발광 신호 생성부(520) 내의 세 번째 발광 신호용 스테이지(EM[5,6])의 제어단(ACL_FLM)으로 인가된다.
- [0061] 다섯 번째 및 여섯 번째 발광 신호선(EM lines 5, 6)에 발광 신호를 인가하는 발광 신호용 스테이지(EM[5,6]; 이하 세 번째 발광 신호용 스테이지라고도 함)는 표시 영역(300)의 좌측에 위치하는 제2 발광 신호 생성부(520)로, 두 번째 발광 신호용 스테이지(EM[3,4])의 아래에 위치한다. 즉, 인접하는 두 개의 발광 신호용 스테이지가 동일한 발광 신호 생성부에 위치한다. 세 번째 발광 신호용 스테이지(EM[5,6])는 다섯 번째 화소행 및 여섯 번째 화소행에 연결된 화소(PX)에 발광 신호를 인가한다. 그 결과 다섯 번째 화소행 및 여섯 번째 화소행에 연결된 모든 화소(PX)는 동시에 빛을 방출한다.
- [0062] 세 번째 발광 신호용 스테이지(EM[5,6])는 두 번째 발광 신호용 스테이지(EM[3,4])로부터 발광 신호를 캐리 신호로 제어단(ACL_FLM)으로 인가 받으며, 제1 클록 입력단(In1)으로는 제1 클록 신호(EM_CLK1)가 인가되고, 제2 클록 입력단(In2)으로는 제3 클록 신호(EM_CLK3)가 인가된다. 그리고 출력단(Out)을 통하여 발광 신호가 다섯 번째 및 여섯 번째 발광 신호선(EM lines 5, 6)으로 인가된다.
- [0063] 한편, 세 번째 발광 신호용 스테이지(EM[5,6])에서 출력된 발광 신호는 캐리 신호로 제1 발광 신호 생성부(510) 내의 네 번째 발광 신호용 스테이지(EM[7,8])의 제어단(ACL_FLM)으로 인가된다.
- [0064] 일곱 번째 및 여덟 번째 발광 신호선(EM lines 7, 8)에 발광 신호를 인가하는 발광 신호용 스테이지(EM[7,8]; 이하 네 번째 발광 신호용 스테이지라고도 함)는 표시 영역(300)의 우측에 위치하는 제1 발광 신호 생성부(510)에 있으며, 첫 번째 발광 신호용 스테이지(EM[1,2])의 아래에 위치한다. 네 번째 발광 신호용 스테이지(EM[7,8])를 통하여 일곱 번째 화소행 및 여덟 번째 화소행에 연결된 화소(PX)에 발광 신호를 인가한다. 그 결과 일곱 번째 화소행 및 여덟 번째 화소행에 연결된 모든 화소(PX)는 동시에 빛을 방출한다.
- [0065] 네 번째 발광 신호용 스테이지(EM[7,8])에는 세 번째 발광 신호용 스테이지(EM[5,6])로부터 발광 신호를 캐리 신호로 제어단(ACL_FLM)으로 인가 받으며, 제1 클록 입력단(In1)으로는 제3 클록 신호(EM_CLK3)가 인가되고, 제2 클록 입력단(In2)으로는 제1 클록 신호(EM_CLK1)가 인가된다. 그리고 출력단(Out)을 통하여 발광 신호가 일곱 번째 및 여덟 번째 발광 신호선(EM lines 7, 8)으로 인가된다.
- [0066] 한편, 네 번째 발광 신호용 스테이지(EM[7,8])에서 출력된 발광 신호는 캐리 신호로 제1 발광 신호 생성부(510) 내의 다섯 번째 발광 신호용 스테이지(EM[9,10])의 제어단(ACL_FLM)으로 인가된다.
- [0067] 아홉 번째 및 열 번째 발광 신호선(EM lines 9, 10)에 발광 신호를 인가하는 발광 신호용 스테이지(EM[9,10]; 이하 다섯 번째 발광 신호용 스테이지라고도 함)는 표시 영역(300)의 우측에 위치하는 제1 발광 신호 생성부(510)로, 네 번째 발광 신호용 스테이지(EM[7,8])의 아래에 위치한다. 즉, 인접하는 두 개의 발광 신호용 스테이지가 동일한 발광 신호 생성부에 위치한다.
- [0068] 다섯 번째 발광 신호용 스테이지(EM[9,10])를 통하여 아홉 번째 화소행 및 열 번째 화소행에 연결된 화소(PX)에 발광 신호를 인가한다. 그 결과 아홉 번째 화소행 및 열 번째 화소행에 연결된 모든 화소(PX)는 동시에 빛을 방출한다.
- [0069] 다섯 번째 발광 신호용 스테이지(EM[9,10])에는 네 번째 발광 신호용 스테이지(EM[7,8])로부터 발광 신호를 캐리 신호로 제어단(ACL_FLM)으로 인가 받으며, 제1 클록 입력단(In1)으로는 제1 클록 신호(EM_CLK1)가 인가되고, 제2 클록 입력단(In2)으로는 제3 클록 신호(EM_CLK3)가 인가된다. 그리고 출력단(Out)을 통하여 발광 신호가 아홉 번째 및 열 번째 발광 신호선(EM lines 9, 10)으로 인가된다.
- [0070] 한편, 다섯 번째 발광 신호용 스테이지(EM[9,10])에서 출력된 발광 신호는 캐리 신호로 제2 발광 신호 생성부(520) 내의 여섯 번째 발광 신호용 스테이지(도시하지 않음)의 제어단(ACL_FLM)으로 인가된다.
- [0071] 이상과 동일한 방식으로 발광 신호용 스테이지가 제1 및 제2 발광 신호 생성부(510, 520) 내에 형성되며, 각 발광 신호용 스테이지는 두 개의 화소행의 화소(PX) 발광시킨다.
- [0072] 실시예에 따라서는 하나의 발광 신호용 스테이지(EM)가 3개 이상의 화소행을 동시에 발광되도록 할 수도 있다.
- [0073] 본 실시예에서는 하나의 발광 신호 생성부(510, 520) 내에서 두 개의 발광 신호용 스테이지(EM)가 연속하여 위치하고 있다. 하지만, 실시예에 따라서는 4개, 6개 등 짝수 개의 발광 신호용 스테이지(EM)가 하나의 발광 신호 생성부(510, 520) 내에서 연속적으로 형성될 수 있다.

- [0074] 이와 같이 짝수 개의 발광 신호용 스테이지(EM)가 하나의 발광 신호 생성부(510, 520) 내에 형성되면, 두 클록 신호(EM_CLK1, EM_CLK3)를 인가하는 두 클록 신호용 배선(171, 172, 171-1, 172-1)이 발광 신호용 스테이지(EM)의 제1 클록 입력단(In1) 및 제2 클록 입력단(In2)에 교대로 연결된다.
- [0075] 즉, 도 2를 참고하면, 표시 영역(300)의 좌측에 위치하는 클록 신호용 두 배선(171, 172)은 두 번째 발광 신호용 스테이지(EM[3,4])에서 제1 클록 신호용 배선(171)이 제2 클록 입력단(In2)과 연결되며, 제2 클록 신호용 배선(172)은 제1 클록 입력단(In1)과 연결되어 있다. 하지만, 바로 그 아래에 위치하는 세 번째 발광 신호용 스테이지(EM[5,6])에서는 제1 클록 신호용 배선(171)이 제1 클록 입력단(In1)과 연결되며, 제2 클록 신호용 배선(172)이 제2 클록 입력단(In2)으로 연결되어 있다. 그 결과 발광 신호용 스테이지(EM)의 두 클록 입력단(In1, In2)이 가지는 커패시턴스 값이 크게 다른 경우에도 표시 영역(300)의 좌측에 위치하는 클록 신호용 두 배선(171, 172)간에는 로드(load)의 차이가 없다.
- [0076] 그 결과 외부로부터 정전기가 유입되더라도 특정 한 배선만을 통하여 전달되지 않아 발광 신호용 스테이지의 특정 입력단 측이 정전기로 인하여 손상을 입지 않는다. 또한, 클록 신호용 두 배선(171, 172) 간의 로드 차이로 인하여 특정 클록 신호가 지연되지 않는 장점을 가진다.
- [0077] 한편, 표시 영역(300)의 우측에 위치하는 두 클록 신호용 배선(171-1, 172-1)은 네 번째 발광 신호용 스테이지(EM[7,8])에서 제1 클록 신호용 배선(171-1)이 제2 클록 입력단(In2)과 연결되며, 제2 클록 신호용 배선(172-1)이 제1 클록 입력단(In1)으로 연결되어 있다. 하지만, 바로 그 아래에 위치하는 다섯 번째 발광 신호용 스테이지(EM[9,10])에서는 제1 클록 신호용 배선(171-1)이 제1 클록 입력단(In1)과 연결되며, 제2 클록 신호용 배선(172-1)이 제2 클록 입력단(In2)으로 연결되어 있다.
- [0078] 그 결과 발광 신호용 스테이지(EM)의 두 클록 입력단(In1, In2)이 가지는 커패시턴스 값이 크게 다른 경우에도 표시 영역(300)의 우측에 위치하는 두 클록 신호용 배선(171-1, 172-1) 간에 로드(load)의 차이가 없다. 그 결과 외부로부터 정전기가 유입되더라도 특정 한 배선만을 통하여 전달되지 않아 발광 신호용 스테이지의 특정 입력단 측이 정전기로 인하여 손상을 입지 않는다. 또한, 클록 신호용 두 배선(171, 172) 간의 로드 차이로 인하여 특정 클록 신호가 지연되지 않는 장점이 있다.
- [0079] 이하에서는 본 실시예에 따른 발광 신호용 스테이지(EM)의 구조를 도 3을 통하여 살펴보면, 도 3의 실시예에 따른 발광 신호용 스테이지(EM)는 제1 클록 입력단(In1)이 큰 커패시턴스를 가지며, 제2 클록 입력단(In2)은 상대적으로 작은 커패시턴스를 가진다.
- [0080] 도 3은 일 실시예에 따른 발광 신호 생성부의 하나의 스테이지를 도시한 회로도이다.
- [0081] 본 실시예에 따른 발광 신호 생성부(510, 520)에 포함되어 있는 각 발광 신호용 스테이지(EM)는 고레벨 출력부(551), 저레벨 출력부(552), 제1 노드 제1 제어부(553), 제1 노드 제2 제어부(554), 제2 노드 제1 제어부(555), 제2 노드 제2 제어부(556), 및 제3 노드 제어부(557)를 포함한다.
- [0082] 고레벨 출력부(551)는 발광 신호의 고전압(VGH)을 출력하는 부분이고, 저레벨 출력부(552)는 발광 신호의 저전압(VGL)을 출력하는 부분이다. 고레벨 출력부(551)와 저레벨 출력부(552)는 출력단(Out)과 연결되어 있으며, 고레벨 출력부(551)에서 고전압(VGH)이 출력될 때에는 저레벨 출력부(552)는 출력을 하지 않으며, 저레벨 출력부(552)에서 저전압(VGL)이 출력될 때에는 고레벨 출력부(551)는 출력을 하지 않는다.
- [0083] 고레벨 출력부(551)는 제1 노드(N1)의 전압에 따라서 제어되며, 제1 노드(N1)의 전압은 제1 노드 제1 제어부(553) 및 제1 노드 제2 제어부(554)에 의하여 제어된다.
- [0084] 저레벨 출력부(552)는 제2 노드(N2)의 전압에 따라서 제어되며, 제2 노드(N2)의 전압은 제2 노드 제1 제어부(555) 및 제2 노드 제2 제어부(556)에 의하여 제어된다. 도 3에서는 제2 노드 제1 제어부(555)는 제1 제2 노드 제1 제어부(555-1)와 제2 제2 노드 제1 제어부(555-2)로 구분되어 도시되어 있다.
- [0085] 제1 노드 제2 제어부(554)는 제3 노드(N3)의 전압에 의하여 제어되며, 제3 노드(N3)의 전압은 제3 노드 제어부(557)에 의하여 제어된다.
- [0086] 도 3의 발광 신호용 스테이지(EM)는 도 2의 홀수 번째 발광 신호용 스테이지(EM)와 같이 제1 클록 입력단(In1)에 클록 신호용 제1 클록 신호용 배선(171)이 연결되어 제1 클록 신호(EM_CLK1)가 인가되며, 제2 클록 입력단(In2)에 클록 신호용 제2 클록 신호용 배선(172)이 연결되어 제3 클록 신호(EM_CLK3)가 인가된다. 또한, 하지만, 짝수 번째 발광 신호용 스테이지(EM)에는 이와 반대의 클록 신호가 인가될 수 있다.

- [0087] 각 부분을 상세하게 살펴보면 아래와 같다.
- [0088] 고레벨 출력부(551)는 제9 트랜지스터(T9)를 포함하며, 제9 트랜지스터(T9)의 제어 전극은 제1 노드(N1)와 연결되어 있으며, 입력 전극은 고전압(VGH) 단자와 연결되며, 출력 전극은 출력단(Out)과 연결되어 있다. 그 결과 제1 노드(N1)의 전압이 저전압일 때 고전압(VGH)이 출력단(Out)으로 출력되며, 제1 노드(N1)의 전압이 고전압일 때 제9 트랜지스터(T9)는 아무런 출력을 하지 않는다.
- [0089] 저레벨 출력부(552)는 제10 트랜지스터(T10)를 포함하며, 제10 트랜지스터(T10)의 제어 전극은 제2 노드(N2)와 연결되어 있으며, 입력 전극은 저전압(VGL) 단자와 연결되며, 출력 전극은 출력단(Out)과 연결되어 있다. 그 결과 제2 노드(N2)의 전압이 저전압일 때 저전압(VGL)이 출력단(Out)으로 출력되며, 제2 노드(N2)의 전압이 고전압일 때 제10 트랜지스터(T10)는 아무런 출력을 하지 않는다.
- [0090] 제1 노드(N1)의 전압은 제1 노드 제1 제어부(553) 및 제1 노드 제2 제어부(554)에 의하여 제어된다.
- [0091] 제1 노드 제1 제어부(553)는 하나의 트랜지스터(제8 트랜지스터(T8))와 하나의 커패시터(제1 커패시터(C1))를 포함한다. 제8 트랜지스터(T8)의 제어 전극은 제2 노드(N2)에 연결되어 있으며, 입력 전극은 고전압(VGH)에 연결되어 있고, 출력 전극은 제1 노드(N1)에 연결되어 있다. 한편, 제1 커패시터(C1)의 두 전극은 제8 트랜지스터의 입력 전극과 출력 전극에 각각 연결되어, 제1 노드(N1)와 고전압(VGH) 단자 사이에 제1 커패시터(C1)가 연결되어 있다. 제8 트랜지스터(T8)는 제2 노드(N2)가 저전압일 때 고전압(VGH)을 제1 노드(N1)로 전달하며, 제1 커패시터(C1)는 제1 노드(N1)의 전압을 저장하고 유지한다. 즉, 제1 노드 제1 제어부(553)는 제1 노드(N1)의 전압을 고전압(VGH)으로 변경하는 역할을 수행한다.
- [0092] 한편, 제1 노드 제2 제어부(554)는 두 개의 트랜지스터(제6 트랜지스터(T6) 및 제7 트랜지스터(T7)) 및 하나의 커패시터(제2 커패시터(C2))를 포함한다. 제6 트랜지스터(T6)의 제어 전극은 제1 클록 입력단(In1)에 연결되어 있으며, 출력 전극은 제1 노드(N1)에 연결되고, 입력 전극은 제4 노드(N4)에 연결되어 있다. 제7 트랜지스터(T7)의 제어 전극은 제3 노드(N3)에 연결되어 있으며, 출력 전극은 제4 노드(N4)에 연결되고, 입력 전극은 제1 클록 입력단(In1)에 연결되어 있다. 여기서 입력 전극과 출력 전극은 연결되는 전압의 크기에 따라서 입력과 출력이 반대가 될 수 있다. 제1 노드 제2 제어부(554)는 제1 노드(N1)의 전압을 클록 신호의 저전압으로 변경시켜 주는 역할을 한다.
- [0093] 한편, 제2 커패시터(C2)는 제3 노드(N3)와 제4 노드(N4)의 사이에 연결되며, 두 노드의 전압차이를 이용하여 제4 노드(N4)의 전압을 부스트 업 시킬 수 있다.
- [0094] 제2 노드(N2)의 전압은 제2 노드 제1 제어부(555) 및 제2 노드 제2 제어부(556)에 의하여 제어된다.
- [0095] 제2 노드 제1 제어부(555)는 제1 제2 노드 제1 제어부(555-1)과 제2 제2 노드 제1 제어부(555-2)로 이루어지며, 제1 제2 노드 제1 제어부(555-1)는 하나의 트랜지스터(제1 트랜지스터(T1))로 이루어지며, 제2 제2 노드 제1 제어부(555-2)는 하나의 커패시터(제3 커패시터(C3))로 이루어진다. 제1 트랜지스터(T1)의 제어 전극은 제2 클록 입력단(IN2)에 연결되어 있으며, 입력 전극은 제어단(ACL_FLM)에 연결되고, 출력 전극은 제2 노드(N2)에 연결되어 있다. 제3 커패시터(C3)는 일측 전극이 제2 노드(N2)에 연결되어 있으며, 타측 전극은 제1 클록 입력단(IN1)에 연결되어 있다.
- [0096] 제3 커패시터(C3)의 구조상 제1 클록 입력단(IN1)에 인가되는 변동하는 클록 신호로 인하여 제2 노드(N2)의 전압도 변동될 수 있다. 이에 제2 노드(N2)의 변동을 줄이기 위하여 제3 커패시터(C3)의 커패시턴스를 매우 큰 값으로 설정할 수 있다. 그 결과 제3 커패시터(C3)의 일측에 인가되는 클록 신호가 변동되더라도 타측의 전압, 즉, 제2 노드(N2)의 전압이 크게 변동하지 않을 수 있다. 이러한 제3 커패시터(C3)로 인하여 제1 클록 입력단(IN1)의 커패시턴스는 제2 클록 입력단(IN2)의 커패시턴스에 비하여 매우 큰 값을 가진다.
- [0097] 제2 노드 제1 제어부(555)에 속하는 제1 트랜지스터(T1)는 제2 클록 입력단(IN2)에 인가되는 제3 클록 신호(EM_CLK3)가 저전압일 때 제2 노드(N2)의 전압을 제어 신호(FLM) 또는 전단의 발광 신호의 전압으로 변경하며, 제3 커패시터(C3)는 이를 저장하고 유지한다. 즉, 제2 노드 제1 제어부(555)는 제2 노드(N2)의 전압을 캐리 신호(제어 신호(FLM) 또는 전단의 발광 신호)에 따라서 고전압 또는 저전압으로 변경하는 역할을 한다.
- [0098] 제2 노드 제2 제어부(556)는 두 개의 트랜지스터(제2 트랜지스터(T2) 및 제3 트랜지스터(T3))로 이루어진다. 제2 트랜지스터(T2)의 제어 전극은 제3 노드(N3)에 연결되어 있으며, 입력 전극은 고전압(VGH) 단자에 연결되고, 출력 전극은 제3 트랜지스터(T3)의 입력 전극으로 연결된다. 제3 트랜지스터(T3)의 제어 전극은 제1 클록 입력단(IN1)과 연결되어 있으며, 입력 전극은 제2 트랜지스터(T2)의 출력 전극과 연결되며, 출력 전극은 제2 노드

(N2)와 연결되어 있다. 즉, 제2 노드 제2 제어부(556)는 고전압(VGH)이 제2 노드(N2)로 연결되어 제2 노드(N2) 전압이 저전압으로 변하지 않도록 한다.

- [0099] 제3 노드 제어부(557)는 두 개의 트랜지스터(제4 트랜지스터(T4) 및 제5 트랜지스터(T5))로 이루어진다. 제4 트랜지스터(T4)의 제어 단자는 제2 노드(N2)에 연결되어 있으며, 입력 단자는 제2 클록 입력단(IN2)에 연결되며, 출력 단자는 제3 노드(N3)에 연결되어 있다. 제5 트랜지스터(T5)의 제어 단자는 제2 클록 입력단(IN2)에 연결되어 있으며, 입력 단자는 저전압(VGL) 단자에 연결되고, 출력 단자는 제3 노드(N3)에 연결되어 있다. 제5 트랜지스터(T5)는 제3 노드(N3)의 전압을 저전압(VGL)으로 만드는 역할을 하며, 제4 트랜지스터(T4)는 제3 노드(N3)의 전압을 제2 클록 입력단(IN2)의 전압으로 만들어 제3 노드(N3)의 전압을 고전압(클록 신호의 고전압)으로도 만든다.
- [0100] 이와 같은 구성을 가지는 발광 신호용 스테이지(EM)는 제1 클록 입력단(In1), 제2 클록 입력단(In2) 및 제어단(ACL_FLM)으로 인가되는 신호에 따라서 동작이 정해지며, 이에 대해서는 도 4 내지 도 10을 통하여 살펴본다.
- [0101] 도 4는 일 실시예에 따른 스테이지에 인가되는 신호를 도시한 파형도이고, 도 5 내지 도 10은 도 3의 스테이지의 동작을 설명한 도면이다.
- [0102] 먼저, 도 4를 통하여 발광 신호용 스테이지(EM)의 제1 클록 입력단(In1), 제2 클록 입력단(In2) 및 제어단(ACL_FLM)에 인가되는 신호를 살펴본다. 본 실시예에서는 제1 클록 입력단(In1)에는 제1 클록 신호(EM_CLK1)가 인가되고, 제2 클록 입력단(In2)에는 제3 클록 신호(EM_CLK3)가 인가된다. 제1 클록 신호(EM_CLK1) 및 제3 클록 신호(EM_CLK3)는 고전압과 저전압이 반복되는 클록 신호로 서로 반전 특성을 가진다.
- [0103] 한편, 첫 번째 발광 신호용 스테이지(EM[1,2])의 제어단(ACL_FLM)으로는 외부로부터 인가되는 제어 신호(FLM)가 캐리 신호로 전달되며, 두 번째 발광 신호용 스테이지(EM[3,4])부터는 전단 발광 신호용 스테이지의 출력 신호, 즉 발광 신호가 캐리 신호로 전달된다. 제어 신호(FLM) 및 발광 신호는 한 프레임 동안 한 번의 고전압 구간이 존재하며, 나머지 구간에서는 저전압이 인가된다. 고전압의 구간에는 화소(PX)에 데이터 전압이 기입되는 구간(기입 구간)이며, 저전압의 구간에서는 화소(PX)가 발광(발광 구간)한다.
- [0104] 도 4에서는 참고로, 스캔 신호(GI) 및 전단 스캔 신호(GW)가 도시되어 있다. 본 실시예의 스캔 신호의 특징은 한 프레임 동안 3번의 저전압이 인가된다. 하지만, 실시예에 따라서는 한 번의 저전압이 인가되거나 이와 다른 횟수의 저전압이 인가될 수 있다. 한 화소(PX)에 인가되는 본단 스캔 신호(GI) 및 전단 스캔 신호(GW)는 해당 화소(PX)에 인가되는 발광 신호의 고전압 구간(기입 구간) 내에 존재하여야 한다.
- [0105] 도 4에서는 발광 신호용 스테이지에 인가되는 전압을 구간별로 구분하여 (a), (b), (c), (d), (e), (f)로 나누었다. 구간별로 이하에서는 도 5 내지 도 10을 통하여 발광 신호용 스테이지의 동작을 살펴본다. 도 5 내지 도 10에서는 트랜지스터가 턴 오프 상태이면 X 표시를 하였으며, 턴 온된 상태인 경우로 주요한 동작을 하는 경우에는 트랜지스터의 입력 전극과 출력 전극을 잇는 직선을 도시하여 턴 온 되었음을 도시하였다. 또한, 제1 내지 제4 노드(N1, N2, N3, N4)의 전압을 괄호 안에 표시하여 보기 용이하도록 도시하였다. 괄호 안에 있는 H는 고전압을 L은 저전압을 의미한다.
- [0106] 먼저 도 5는 구간(a)에서의 발광 신호용 스테이지(EM)의 동작을 살펴본다.
- [0107] 구간(a)에서는 제어 신호(FLM)는 저전압이 인가되고, 제1 클록 입력단(In1)에는 고전압의 제1 클록 신호(EM_CLK1)가 인가되며, 제2 클록 입력단(In2)에는 저전압의 제3 클록 신호(EM_CLK3)가 인가된다.
- [0108] 고전압의 제1 클록 신호(EM_CLK1)로 인하여 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)는 턴 오프되며, 저전압의 제3 클록 신호(EM_CLK3)로 인하여 제1 트랜지스터(T1) 및 제5 트랜지스터(T5)가 턴 온된다. 제1 트랜지스터(T1)를 통하여 저전압의 제어 신호(FLM)가 제2 노드(N2)로 인가되어 제2 노드(N2)의 저전압이 제3 커패시터(C3)에 저장된다. 제2 노드(N2)의 저전압으로 인하여 제10 트랜지스터(T10)가 턴 온되어 저전압(VGL)이 출력단(Out)으로 출력된다. 또한, 제2 노드(N2)의 저전압으로 인하여 제8 트랜지스터(T8)도 턴 온되어 제1 노드(N1)가 고전압(VGH)이 되며, 제1 커패시터(C1)의 양측단이 고전압(VGH)이 된다. 그 결과 제9 트랜지스터(T9)는 턴 오프된다.
- [0109] 또한, 제2 노드(N2)의 저전압으로 인하여 제4 트랜지스터(T4)가 턴 온되어 제3 클록 신호(EM_CLK3)의 저전압값이 인가되어 제3 노드(N3)의 전압이 저전압으로 인가된다. 또한, 제5 트랜지스터(T5)를 통하여도 저전압(VGL)이 인가된다.
- [0110] 제3 노드(N3)의 저전압(VGL)으로 인하여 제7 트랜지스터(T7)가 턴 온되며, 고전압의 제1 클록 신호(EM_CLK1)가

제4 노드(N4)로 인가된다. 그 결과 제2 커패시터(C2)의 양단에는 고전압(제4 노드(N4))과 저전압(제3 노드(N3))이 인가된다.

- [0111] 또한, 제3 노드(N3)의 저전압(VGL)으로 인하여 제2 트랜지스터(T2)가 턴 온 되지만, 제3 트랜지스터(T3)가 턴 오프되어 제2 노드(N2)로는 고전압(VGH)이 전달되지 않으며, 고전압(VGH)은 제3 트랜지스터(T3)의 입력 전극까지만 전달된다.
- [0112] 즉, 구간(a)에서는 제1 노드(N1)는 고전압(H), 제2 노드(N2)는 저전압(L), 제3 노드(N3)는 저전압(L), 제4 노드(N4)는 고전압(H)이 인가되며, 주된 동작으로는 제2 노드(N2)의 저전압(L)으로 인하여 제10 트랜지스터(T10)가 턴 온 되어 출력단(Out)으로 저전압(VGL)이 인가된다. 이때 발광 신호를 인가받는 화소(PX)는 발광되는 발광 구간 중에 있다.
- [0113] 이하에서는 도 6을 통하여 구간(b)에서의 발광 신호용 스테이지의 동작을 살펴본다.
- [0114] 구간(b)에서는 제어 신호(FLM)는 저전압이 그대로 유지되고, 제1 클록 입력단(In1)에는 저전압의 제1 클록 신호(EM_CLK1)로 변경되며, 제2 클록 입력단(In2)에는 고전압의 제3 클록 신호(EM_CLK3)으로 변경되어 인가된다.
- [0115] 저전압의 제1 클록 신호(EM_CLK1)로 인하여 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)는 턴 온되며, 고전압의 제3 클록 신호(EM_CLK3)로 인하여 제1 트랜지스터(T1) 및 제5 트랜지스터(T5)가 턴 오프된다. 제1 트랜지스터(T1)가 턴 오프 상태이므로 제3 커패시터(C3)에 저장된 저전압이 유지되어 제2 노드(N2)의 전압은 저전압값을 가진다. 그 결과 제10 트랜지스터(T10)가 턴 온되어 저전압(VGL)이 출력단(Out)으로 출력된다.
- [0116] 또한, 제2 노드(N2)의 저전압으로 인하여 제8 트랜지스터(T8)도 턴 온되어 제1 노드(N1)가 고전압(VGH)이 되며, 제9 트랜지스터(T9)는 턴 오프 상태를 유지하며, 제1 커패시터(C1)의 양측단이 고전압(VGH)이 된다.
- [0117] 또한, 제2 노드(N2)의 저전압으로 인하여 제4 트랜지스터(T4)도 턴 온 되어 고전압의 제3 클록 신호(EM_CLK3)가 제3 노드(N3)로 인가되어 제3 노드(N3) 전압이 고전압값으로 변경된다. 이때, 제5 트랜지스터(T5)는 턴 오프되어 있으므로 제3 노드(N3)의 전압을 변경시키지 않고 제4 트랜지스터(T4)의 입력에 의하여 고전압으로 변경된다.
- [0118] 제3 노드(N3)의 고전압으로 인하여 제7 트랜지스터(T7)가 턴 오프로 변하며, 제6 트랜지스터(T6)는 저전압의 제1 클록 신호(EM_CLK1)로 인하여 턴 온 되어 제1 노드(N1)와 제4 노드(N4)가 연결된다. 이때, 제2 커패시터(C2)와 연결된 제3 노드(N3)의 전압이 저전압에서 고전압으로 변경되므로 제4 노드(N4) 및 이에 연결된 제1 노드(N1)의 전압이 부스트 업된다. 그 결과 제1 노드(N1)의 전압이 고전압(VGH)보다 높은 전압값을 가질 수 있다.
- [0119] 한편, 제3 노드(N3)의 고전압으로 인하여 제2 트랜지스터(T2)가 턴 오프를 유지하고, 제3 트랜지스터(T3)는 저전압의 제1 클록 신호(EM_CLK1)로 인하여 턴 온된다. 이때, 구간(a)에서 고전압(VGH)이 제2 트랜지스터(T2)를 통하여 제3 트랜지스터(T3)의 입력 전극으로 전달되었던 것이 구간(b)에서 제3 트랜지스터(T3)가 턴 온되면서 제2 노드(N2)로 전달될 수 있다. 이는 제2 노드(N2)의 전압이 너무 떨어지지 않도록 방지하는 역할을 한다. 즉, 제3 커패시터(C3)의 일측단에는 제1 클록 신호(EM_CLK1)가 인가되는데, 구간(b)에서 고전압에서 저전압으로 변하므로, 제2 노드(N2)의 전압도 떨어지게 될 수 있다. 하지만, 제2 노드 제2 제어부(556)를 통하여 인가되는 고전압(VGH)으로 인하여 제2 노드(N2)의 전압이 유지될 수 있도록 한다. 뿐만 아니라, 제3 커패시터(C3)의 커패시턴스를 키워 제2 노드(N2)의 전압이 제1 클록 신호(EM_CLK1)의 전압 레벨의 스윙에도 불구하고 일정한 전압을 유지할 수 있도록 한다.
- [0120] 즉, 구간(b)에서는 제1 노드(N1) 및 제4 노드(N4)는 부스트업 된 고전압(H), 제2 노드(N2)는 저전압(L), 제3 노드(N3)는 고전압(H)이 인가되며, 주된 동작으로는 제2 노드(N2)의 저전압으로 인하여 제10 트랜지스터(T10)가 턴 온 되어 출력단(Out)으로 저전압(VGL)이 계속 인가된다. 이때에도 발광 신호를 인가받는 화소(PX)는 발광되는 발광 구간중에 있다.
- [0121] 구간(a)과 구간(b)을 비교하면, 클록 신호가 반전되어 인가되지만, 제1 노드(N1)의 전압은 고전압으로 유지되고, 제2 노드(N2)의 전압은 저전압으로 유지되어, 출력단(Out)으로 저전압(VGL)이 계속 출력된다.
- [0122] 이하에서는 도 7을 통하여 구간(c)에서의 발광 신호용 스테이지의 동작을 살펴본다.
- [0123] 구간(c)에서는 제어 신호(FLM)는 고전압으로 변경되고, 제1 클록 입력단(In1)에는 고전압의 제1 클록 신호(EM_CLK1)로 변경되며, 제2 클록 입력단(In2)에는 저전압의 제3 클록 신호(EM_CLK3)으로 변경되어 인가된다.
- [0124] 고전압의 제1 클록 신호(EM_CLK1)로 인하여 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)는 턴 오프되며, 저전압

의 제3 클록 신호(EM_CLK3)로 인하여 제1 트랜지스터(T1) 및 제5 트랜지스터(T5)가 턴 온된다. 제1 트랜지스터(T1)를 통하여 고전압의 제어 신호가 제2 노드(N2)로 인가되어 제2 노드(N2)의 전압이 고전압으로 변경되며, 제3 커패시터(C3)에 저장된다. 제2 노드(N2)의 고전압으로 인하여 제10 트랜지스터(T10)가 턴 오프된다. 또한, 제2 노드(N2)의 고전압으로 인하여 제8 트랜지스터(T8) 및 턴 오프된다.

[0125] 한편, 제5 트랜지스터(T5)는 턴 온되므로 저전압(VGL)이 제3 노드(N3)로 인가된다. 이때, 제4 트랜지스터(T4)는 제2 노드(N2)가 고전압을 가지므로 턴 오프되어 있다. 그 결과 제3 노드(N3)의 전압은 제5 트랜지스터(T5)에 의하여 제어되며, 저전압(VGL)으로 변경된다.

[0126] 제3 노드(N3)의 저전압으로 인하여 제2 트랜지스터(T2) 및 제7 트랜지스터(T7)는 턴 온된다. 제7 트랜지스터(T7)가 턴 온되어 제4 노드(N4)에는 고전압의 제1 클록 신호(EM_CLK1)가 인가된다. 그 결과 제2 커패시터(C2)의 양단에는 고전압(제4 노드(N4))과 저전압(제3 노드(N3))이 인가된다. 또한, 제2 트랜지스터(T2)가 턴 온되지만, 제3 트랜지스터(T3)는 턴 오프되어 고전압(VGH)은 제3 트랜지스터(T3)의 입력 전극까지만 전달되며, 제2 노드(N2)로는 고전압(VGH)이 전달되지 않는다.

[0127] 제1 노드(N1)의 전압은 제6 트랜지스터(T6) 및 제8 트랜지스터(T8)가 턴 오프되어 있어, 구간(b)의 전압이 그대로 유지되어 고전압 상태를 유지한다.

[0128] 즉, 구간(c)에서는 제1 노드(N1)는 고전압(H), 제2 노드(N2)도 고전압(H), 제3 노드(N3)는 저전압(L), 제4 노드(N4)는 고전압(H)이 인가되며, 제10 트랜지스터(T10) 및 제9 트랜지스터(T9)가 모두 턴 오프 상태가 되어 출력단(Out)으로 출력되는 전압이 없을 수 있으며, 정확하게는 제2 노드(N2)의 전압이 제10 트랜지스터(T10)의 턴 오프 전압이 될 때까지는 저전압(VGL)이 출력되다가 턴 오프되면, 출력전압이 점차 상승하게 된다.

[0129] 이하에서는 도 8을 통하여 구간(d)에서의 발광 신호용 스테이지의 동작을 살펴본다.

[0130] 구간(d)에서는 제어 신호(FLM)는 고전압으로 유지되고, 제1 클록 입력단(In1)에는 저전압의 제1 클록 신호(EM_CLK1)로 변경되며, 제2 클록 입력단(In2)에는 고전압의 제3 클록 신호(EM_CLK3)으로 변경되어 인가된다.

[0131] 저전압의 제1 클록 신호(EM_CLK1)로 인하여 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)는 턴 온되며, 고전압의 제3 클록 신호(EM_CLK3)로 인하여 제1 트랜지스터(T1) 및 제5 트랜지스터(T5)가 턴 오프된다.

[0132] 제1 트랜지스터(T1)가 턴 오프 상태이므로 제3 커패시터(C3)에 저장된 고전압이 유지되어 제2 노드(N2)의 전압은 고전압 값을 가진다. 그 결과 제10 트랜지스터(T10)는 턴 오프 상태를 유지한다. 또한, 제2 노드(N2)의 고전압으로 인하여 제8 트랜지스터(T8) 및 제4 트랜지스터(T4)도 턴 오프 상태가 유지된다.

[0133] 제5 트랜지스터(T5)는 고전압의 제3 클록 신호(EM_CLK3)로 인하여 턴 오프되어 있다. 제4 트랜지스터(T4)와 제5 트랜지스터(T5)가 모두 턴 오프되어 있으므로 제3 노드(N3)의 전압은 변경되지 않으며, 구간(c)에서의 제3 노드(N3) 전압인 저전압이 유지된다.

[0134] 제3 노드(N3)의 저전압으로 인하여 제7 트랜지스터(T7)가 턴 온 상태가 유지되며, 제6 트랜지스터(T6)는 저전압의 제1 클록 신호(EM_CLK1)로 인하여 턴 온 되어 제1 노드(N1), 제4 노드(N4) 및 저전압의 제1 클록 신호(EM_CLK1)가 서로 연결된다. 그 결과 제1 노드(N1) 및 제4 노드(N4)의 전압이 저전압으로 변경된다. 제1 노드(N1)의 저전압으로 인하여 제9 트랜지스터(T9)는 턴 온되며, 그에 따라서 출력단(Out)으로 고전압(VGH)이 출력된다.

[0135] 한편, 제3 노드(N3)의 저전압으로 인하여 제2 트랜지스터(T2)가 턴 온되고, 저전압의 제1 클록 신호(EM_CLK1)로 인하여 제3 트랜지스터(T3)도 턴온되므로, 고전압(VGH) 단자는 제2 노드(N2)와 연결된다. 그 결과 제2 노드(N2)의 전압이 고전압(VGH)으로 유지되어 제10 트랜지스터(T10) 턴 온 되지 못하도록 한다.

[0136] 즉, 구간(d)에서는 제1 노드(N1) 및 제4 노드(N4)는 저전압(L), 제2 노드(N2)는 고전압(H), 제3 노드(N3)는 저전압(L)이 인가되며, 주된 동작으로는 제1 노드(N1)의 저전압으로 인하여 제9 트랜지스터(T9)가 턴 온 되어 출력단(Out)으로 고전압(VGH)이 출력된다. 이때 발광 신호를 인가받는 화소(PX)는 데이터 전압이 화소(PX) 내의 캐패시터에 저장되는 기입 구간 중에 있다.

[0137] 이하에서는 도 9를 통하여 구간(e)에서의 발광 신호용 스테이지의 동작을 살펴본다.

[0138] 구간(e)에서는 제어 신호(FLM)는 고전압으로 유지되고, 제1 클록 입력단(In1)에는 고전압의 제1 클록 신호(EM_CLK1)로 변경되며, 제2 클록 입력단(In2)에는 저전압의 제3 클록 신호(EM_CLK3)으로 변경되어 인가된다.

- [0139] 고전압의 제1 클록 신호(EM_CLK1)로 인하여 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)는 턴 오프되며, 저전압의 제3 클록 신호(EM_CLK3)로 인하여 제1 트랜지스터(T1) 및 제5 트랜지스터(T5)가 턴 온된다.
- [0140] 제1 트랜지스터(T1)를 통하여 고전압의 제어 신호가 제2 노드(N2)로 인가되어 제2 노드(N2)의 전압이 고전압으로 유지된다. 제2 노드(N2)의 고전압으로 인하여 제10 트랜지스터(T10)가 턴 오프된다. 또한, 제2 노드(N2)의 고전압으로 인하여 제8 트랜지스터(T8) 및 제4 트랜지스터(T4)도 턴 오프상태를 유지한다.
- [0141] 제5 트랜지스터(T5)는 턴 온되어 저전압(VGL)이 제3 노드(N3)로 인가된다. 이때, 제4 트랜지스터(T4)는 턴 오프되어 있으므로 제4 트랜지스터(T4)가 제3 노드(N3)의 전압을 변경하지 못한다.
- [0142] 제3 노드(N3)가 저전압(VGL)을 가지므로 제2 트랜지스터(T2) 및 제7 트랜지스터(T7)가 턴 온된다. 제7 트랜지스터(T7)가 턴 온되어 제4 노드(N4)에는 고전압의 제1 클록 신호(EM_CLK1)가 인가된다. 그 결과 제2 커패시터(C2)의 양단에는 고전압(제4 노드(N4))과 저전압(제3 노드(N3))이 인가된다.
- [0143] 또한, 제2 트랜지스터(T2)가 턴 온 되지만, 제3 트랜지스터(T3)는 턴 오프되어 고전압(VGH)은 제3 트랜지스터(T3)의 입력 전극까지만 전달되며, 제2 노드(N2)로는 고전압(VGH)가 전달되지 않는다.
- [0144] 고전압의 제1 클록 신호(EM_CLK1)로 인하여 제6 트랜지스터(T6)는 턴 오프되므로, 제1 커패시터(C1)에 저장된 전압이 변경되지 않으며, 제1 노드(N1)의 전압은 저전압으로 유지된다. 그 결과 제9 트랜지스터(T9)는 턴 온되어 고전압(VGH)이 출력단(Out)으로 계속 출력된다.
- [0145] 즉, 구간(e)에서는 제1 노드(N1)는 저전압(L), 제2 노드(N2)도 고전압(H), 제3 노드(N3)는 저전압(L), 제4 노드(N4)는 고전압(H)이 인가되며, 제9 트랜지스터(T9)가 턴 온 상태를 유지하여 출력단(Out)으로 고전압(VGH)이 출력된다.
- [0146] 구간(d)과 구간(e)을 비교하면, 클록 신호가 반전되어 인가되지만, 제1 노드(N1)의 전압은 저전압으로 유지되어 출력단(Out)으로 고전압(VGH)이 계속 출력된다. 또한, 제2 노드(N2)의 전압은 고전압으로 유지되어, 저전압(VGL)이 출력단(Out)으로는 전달되지 않는다.
- [0147] 이하에서는 도 10을 통하여 구간(f)에서의 발광 신호용 스테이지의 동작을 살펴본다.
- [0148] 구간(f)에서는 제어 신호(FLM)는 저전압으로 변경되고, 제1 클록 입력단(In1)에는 고전압의 제1 클록 신호(EM_CLK1)로 변경되며, 제2 클록 입력단(In2)에는 저전압의 제3 클록 신호(EM_CLK3)으로 변경되어 인가된다.
- [0149] 또한, 구간(f)은 구간(d)과 동일한 상태의 구간 다음에 인가된다. 그러므로 구간(d)의 다음에 인가되는 구간으로 보고 설명한다.
- [0150] 고전압의 제1 클록 신호(EM_CLK1)로 인하여 제3 트랜지스터(T3) 및 제6 트랜지스터(T6)는 턴 오프되며, 저전압의 제3 클록 신호(EM_CLK3)로 인하여 제1 트랜지스터(T1) 및 제5 트랜지스터(T5)가 턴 온된다.
- [0151] 제1 트랜지스터(T1)를 통하여 저전압의 제어 신호가 제2 노드(N2)로 인가되어 제2 노드(N2)의 전압이 저전압으로 변경되고, 제10 트랜지스터(T10)는 턴 온된다. 그 결과 출력단(Out)으로는 저전압(VGL)이 출력되기 시작한다. 제2 노드(N2)의 저전압으로 인하여 제8 트랜지스터(T8) 및 제4 트랜지스터(T4)도 턴 온 상태를 가진다.
- [0152] 제8 트랜지스터(T8)가 턴 온되므로 제1 노드(N1)로 고전압(VGH)이 인가되며, 제1 노드(N1)의 고전압으로 인하여 제9 트랜지스터(T9)는 턴 오프되어 출력단(Out)으로 고전압(VGH)은 더 이상 출력되지 않는다.
- [0153] 제4 트랜지스터(T4)가 턴 온 됨에 의하여 제3 노드(N3)로 저전압의 제3 클록 신호(EM_CLK3)가 인가된다. 또한, 제3 노드(N3)로는 턴 온된 제5 트랜지스터(T5)를 통하여 저전압(VGL)이 인가된다. 그 결과 제3 노드(N3)는 저전압을 가진다.
- [0154] 제3 노드(N3)의 저전압으로 인하여 제2 트랜지스터(T2) 및 제7 트랜지스터(T7)가 턴 온된다. 제7 트랜지스터(T7)가 턴 온되어 제4 노드(N4)에는 고전압의 제1 클록 신호(EM_CLK1)가 인가된다. 그 결과 제2 커패시터(C2)의 양단에는 고전압(제4 노드(N4))과 저전압(제3 노드(N3))이 인가된다.
- [0155] 또한, 제2 트랜지스터(T2)가 턴 온 되지만, 제3 트랜지스터(T3)는 턴 오프되어 고전압(VGH)은 제3 트랜지스터(T3)의 입력 전극까지만 전달되며, 제2 노드(N2)로는 고전압(VGH)가 전달되지 않는다.
- [0156] 고전압의 제1 클록 신호(EM_CLK1)로 인하여 제6 트랜지스터(T6)는 턴 오프되므로, 제1 노드(N1)의 전압에는 영향을 주지 않는다. 그 결과 제1 노드(N1)의 전압은 제8 트랜지스터(T8)에 의하여 제어되며, 제8 트랜지스터(T

8)를 통하여 고전압(VGH)이 전달되어 고전압을 유지한다.

- [0157] 즉, 구간(f)에서는 제1 노드(N1)는 고전압(H), 제2 노드(N2)도 저전압(L), 제3 노드(N3)는 저전압(L), 제4 노드(N4)는 고전압(H)이 인가되며, 제9 트랜지스터(T9)는 턴 오프되고, 제10 트랜지스터(T10)가 턴 온되기 시작하여 출력단(Out)의 전압이 고전압(VGH)에서 저전압(VGL)으로 변경되어 출력된다.
- [0158] 구간(f)의 다음에는 구간(b)에 대응하는 구간이 위치하며, 그 이후로는 이상에서 설명한 바와 동일하게 반복 동작한다.
- [0159] 그 결과 발광 신호용 스테이지는 제어 신호보다 반 클록 주기만큼 늦어진 발광 신호가 출력된다. 즉, 다음 단의 발광 신호용 스테이지로 인가되는 캐리 신호가 반 클록 주기씩 늦어지게 되므로, 출력되는 발광 신호 중 고전압(VGH)의 인가 타이밍도 반 클록 주기만큼씩 늦어지면서 순차적으로 출력되게 된다.
- [0160] 도 3을 참고하면, 제2 제2 노드 제1 제어부(555-2)에 포함되어 있는 제3 커패시터(C3)는 매우 큰 커패시턴스 값을 가지며, 그로 인하여 제3 커패시터(C3)의 일측에 인가되는 클록 신호가 변동되더라도 타측의 전압, 즉, 제2 노드(N2)의 전압이 크게 변동하지 않도록 한다.
- [0161] 클록 신호가 직접 커패시터에 연결되는 구조는 제3 커패시터(C3)에만 존재하는 구조며, 제3 커패시터(C3)는 제1 클록 입력단(IN1)과만 연결되어 있다. 그러므로 발광 신호용 스테이지 중 제1 클록 입력단(IN1)에 연결된 커패시턴스는 제2 클록 입력단(IN2)에 비하여 매우 큰 값을 가지는 불균형을 가지게 된다. 두 입력단 간의 커패시턴스의 차이는 실시예에 따라서 약 60배 이상의 차이가 날 수 있다.
- [0162] 발광 신호용 스테이지의 수는 화소행의 수의 반이므로 그 수가 몇백 개일 수 있다. 또한, 제1 클록 입력단(IN1)이 동일한 클록 신호용 배선과만 연결되는 경우에는 수천 배의 커패시턴스의 차이가 발생한다. 이러한 두 클록 입력단 간의 수천 배의 커패시턴스의 차이는 정전기 유입시 특정 클록 신호용 배선으로만 전달되고, 신호 딜레이도 특정 클록 신호에서만 발생하는 문제를 일으킨다.
- [0163] 하지만, 본 실시예에서는 도 2에서 도시하고 있는 바와 같이 표시 영역(300)의 양측에 인가되는 두 클록 신호용 배선(171, 172, 171-1, 172-1)이 각각 교대로 제1 클록 입력단(IN1)에 연결되므로 두 클록 신호용 배선 간의 커패시턴스는 거의 차이가 없거나 동일하다. 즉, 표시 영역(300)의 좌측에 위치하는 두 클록 신호용 배선(171, 172) 간의 커패시턴스의 차이도 없으며, 표시 영역(300)의 우측에 위치하는 두 클록 신호용 배선(171-1, 172-1) 간의 커패시턴스의 차이도 없다.
- [0164] 이를 도 11의 비교예를 통하여 비교하여 살펴본다.
- [0165] 도 11은 비교예에 따른 발광 신호 생성부의 블록도이다.
- [0166] 도 11의 비교예와 도 2의 실시예를 비교하면서 설명한다.
- [0167] 도 11의 비교예에서는 각 발광 신호 생성부(510, 520)에 형성되는 발광 신호용 스테이지(EM)는 하나씩 교대로 위치한다. 즉, 제1 발광 신호 생성부(510)에 홀수 번째 발광 신호용 스테이지(EM)가 위치하고, 제2 발광 신호 생성부(520)로는 짝수 번째 발광 신호용 스테이지(EM)가 위치한다. 그 결과 도 11에서 도시하고 있는 바와 같이 좌측에 위치하는 두 클록 신호용 배선(171, 172)은 일정한 클록 입력단과 연결되어 있다. 즉, 제1 클록 신호용 배선(171)은 제1 클록 입력단(In1)과만 연결되며, 제2 클록 신호용 배선(172)은 제2 클록 입력단(In2)과만 연결된다. 또한, 표시 영역(300)의 우측에 위치하는 두 클록 신호용 배선(171-1, 172-1)도 동일한 클록 입력단과만 연결되어 있다. 제1 클록 입력단(In1)이 제2 클록 입력단(In2)에 비하여 큰 커패시턴스를 가지면, 제1 클록 입력단(In1)에만 연결된 특정 클록 신호용 배선도 함께 큰 커패시턴스를 가지게 된다.
- [0168] 이와 달리 도 2의 실시예에서는 각 발광 신호 생성부(510, 520)에 형성되는 발광 신호용 스테이지(EM)는 인접하는 두 개의 발광 신호용 스테이지(EM)가 동일한 발광 신호 생성부(510, 520)에 위치하는 특징을 가진다. 그 결과 클록 신호용 배선이 교대로 제1 클록 입력단(In1) 및 제2 클록 입력단(In2)에 연결된다.
- [0169] 도 11과 도 2의 차이가 단순히 발광 신호용 스테이지(EM)의 배열에만 있는 것은 아니며, 그 차이점을 클록 신호용 두 배선(171, 172, 171-1, 172-1)을 기준으로 살펴본다.
- [0170] 즉, 도 11의 비교예에서는 표시 영역(300)의 우측에 위치하는 클록 신호용 두 배선(171-1, 172-1)은 발광 신호용 스테이지(EM)의 특정 클록 입력단과만 연결되어 있다. 즉, 제1 발광 신호 생성부(510)의 발광 신호용 스테이지(EM)의 제1 클록 입력단(In1)에는 제1 클록 신호(EM_CLK1)가 인가되는 클록 신호용 제1 클록 신호용 배선(171-1)만이 연결되고, 제3 클록 신호(EM_CLK3)가 인가되는 클록 신호용 제2 클록 신호용 배선(172-1)은 제2 클

록 입력단(In2)과만 연결된다. 도 3을 참고하면, 제1 클록 입력단(In1)에만 큰 커패시터(C3)가 연결되어 있으므로 클록 신호용 제1 클록 신호용 배선(171-1)의 로드(load)가 클록 신호용 제2 클록 신호용 배선(172-1)의 로드와 매우 큰 차이를 가지게 된다. 이러한 구조는 표시 영역(300)의 좌측에 위치하는 클록 신호용 두 배선(171, 172)에서도 동일하게 발생한다.

[0171] 이와 같이 클록 신호용 두 배선(171, 172, 171-1, 172-1)이 가지는 커패시턴스의 차이로 인하여 일측 배선에서만 신호 지연이 발생하며, 정전기가 유입시에는 커패시턴스가 작은 배선측으로만 전달되는 단점을 가진다.

[0172] 즉, 발광 신호용 스테이지(EM) 내의 일 클록 신호 입력단으로만 커패시턴스가 작은 배선이 연결되어 있으면, 해당 클록 신호용 배선으로만 정전기가 흘러 해당 클록 신호 입력단 부분에서 정전 파괴 등의 문제가 발생한다.

[0173] 하지만, 도 2의 실시예와 같이 각 발광 신호 생성부(510, 520)에 형성되는 발광 신호용 스테이지(EM)는 인접하는 두 개의 발광 신호용 스테이지(EM)가 동일한 발광 신호 생성부(510, 520)에 위치하도록 하는 경우에는, 인접하는 두 발광 신호용 스테이지(EM)의 두 클록 입력단(In1, In2)에는 교대로 클록 신호용 배선(171, 172, 171-1, 172-1)이 연결된다. 그 결과 표시 영역(300)의 우측에 위치하는 클록 신호용 두 배선(171, 172) 간의 커패시턴스가 동일해 지며, 표시 영역(300)의 좌측에 위치하는 클록 신호용 두 배선(171-1, 172-1)간에도 커패시턴스가 동일해 진다.

[0174] 이와 같이 클록 신호용 두 배선(171, 172, 171-1, 172-1)간의 로드(load)가 균등해지므로 특정 클록 신호용 배선 쪽만 정전기에 취약하게 되지 않는다. 뿐만 아니라 특정 클록 신호용 배선측에서만 신호 지연이 발생하지 않고 균일한 신호가 인가된다. 또한, 발광 신호용 스테이지(EM)가 다음단의 발광 신호용 스테이지(EM)로 출력하는 캐리 신호(발광 신호)가 표시 영역(300)을 지나지 않고서도 인가될 수 있으므로 캐리 신호(발광 신호)에서의 지연도 감소한다.

[0175] 이하에서는 본 발명의 또 다른 실시예에 대하여 도 12를 이용하여 살펴본다.

[0176] 도 12는 일 실시예에 따른 발광 신호 생성부의 블록도이다.

[0177] 도 12의 실시예는 도 11과 같은 비교예의 구조에서 각 발광 신호용 스테이지(EM)의 제2 클록 입력단(In2)에 매칭 커패시터(Cm)를 추가한 실시예이다.

[0178] 도 12에서는 각 발광 신호 생성부(510, 520)에 형성되는 발광 신호용 스테이지(EM)는 하나씩 교대로 위치한다. 즉, 제1 발광 신호 생성부(510)에 홀수 번째 발광 신호용 스테이지(EM)가 위치하고, 제2 발광 신호 생성부(520)로는 짝수 번째 발광 신호용 스테이지(EM)가 위치한다. 그 결과 도 11에서 도시하고 있는 바와 같이 좌측에 위치하는 두 클록 신호용 배선(171, 172)은 일정한 클록 입력단과 연결되어 있다. 즉, 제1 클록 신호용 배선(171)은 제1 클록 입력단(In1)과만 연결되며, 제2 클록 신호용 배선(172)은 제2 클록 입력단(In2)과만 연결된다.

[0179] 도 12의 발광 신호용 스테이지(EM)도 제1 클록 입력단(In1)이 제2 클록 입력단(In2)에 비하여 큰 커패시턴스를 가진다. 하지만, 도 12의 실시예에서는 추가적으로 제2 클록 입력단(In2)에 매칭 커패시터(Cm)를 형성하여 제1 클록 입력단(In1)과 제2 클록 입력단(In2)의 커패시턴스를 일정하게 매칭하였다.

[0180] 그 결과 특정 클록 입력단에 특정 클록 신호용 배선이 연결되더라도 커패시턴스의 불균형이 발생하지 않는다. 그러므로 도 12의 실시예에서도 특정 클록 신호용 배선 쪽만 정전기에 취약하게 되지 않는다. 뿐만 아니라 특정 클록 신호용 배선측에서만 신호 지연이 발생하지 않고 균일한 신호가 인가된다.

[0181] 도 12의 실시예에서는 비교예인 도 11의 구조에서 제2 클록 입력단(In2)에 매칭 커패시터(Cm)를 추가하였지만, 도 2와 같은 구조에서도 제2 클록 입력단(In2)에 매칭 커패시터(Cm)를 추가할 수 있다.

[0182] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

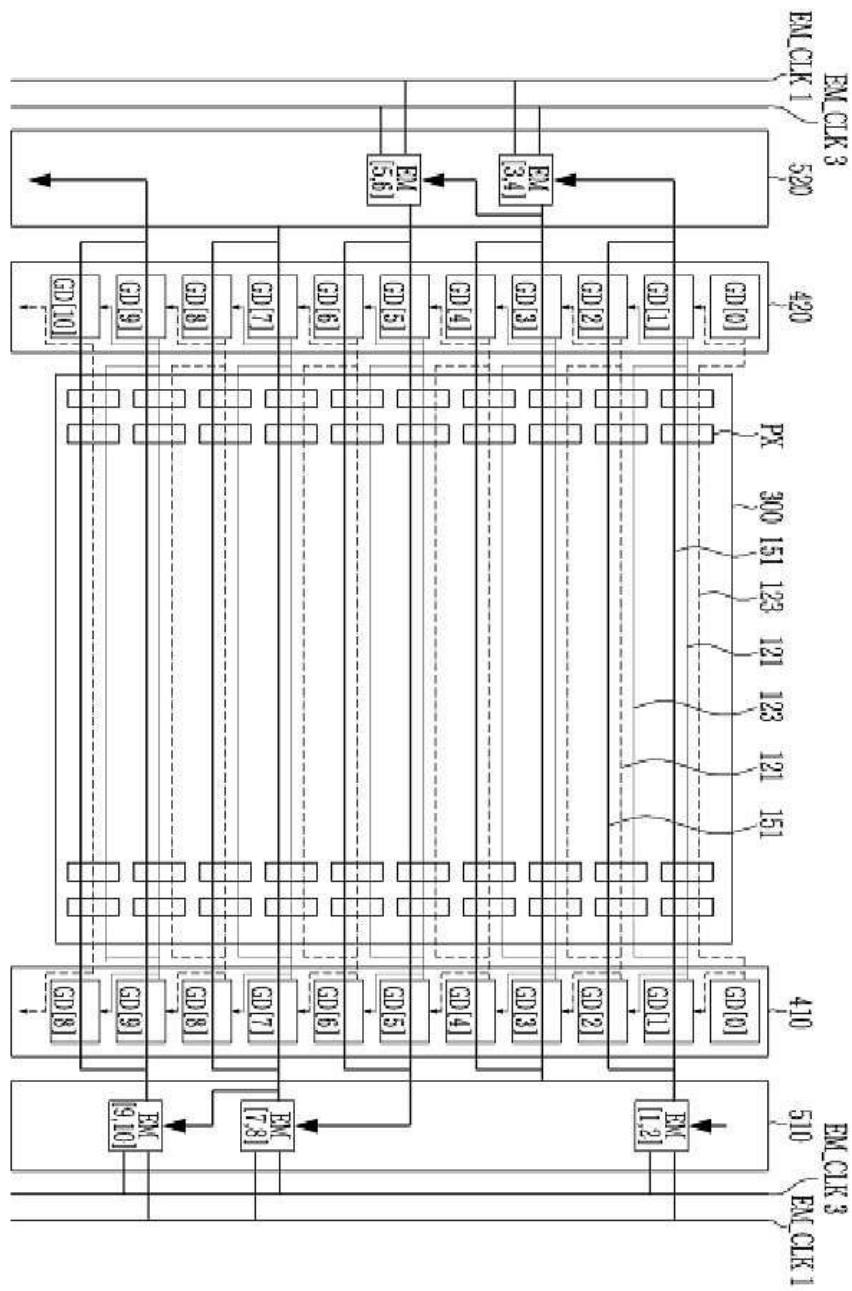
[0183] 300: 표시 영역 410, 420: 스캔 신호 생성부

510, 520: 발광 신호 생성부 121: 스캔선

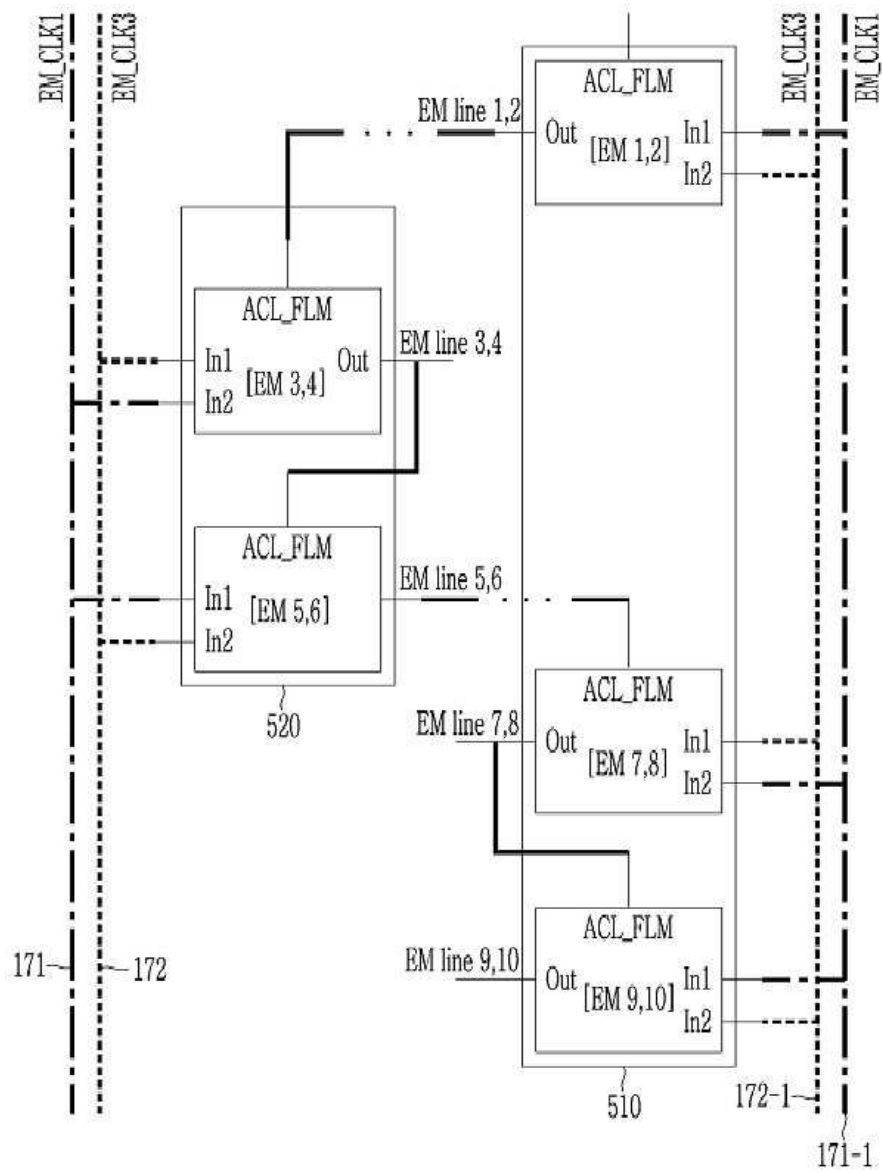
123: 전단 스캔선 151: 발광 신호선
171, 172, 171-1, 172-1: 클록 신호용 배선
551: 고레벨 출력부 552: 저레벨 출력부
553: 제1 노드 제1 제어부 554: 제1 노드 제2 제어부
555: 제2 노드 제1 제어부 555-1: 제1 제2 노드 제1 제어부
555-2: 제2 제2 노드 제1 제어부 556: 제2 노드 제2 제어부
557: 제3 노드 제어부 EM: 발광 신호용 스테이지
GD: 스캔 신호용 스테이지 GI: 스캔 신호
GW: 전단 스캔 신호 FLM: 제어 신호
In1, In2: 클록 입력단 Out: 출력단
Cm: 매칭 커패시터

도면

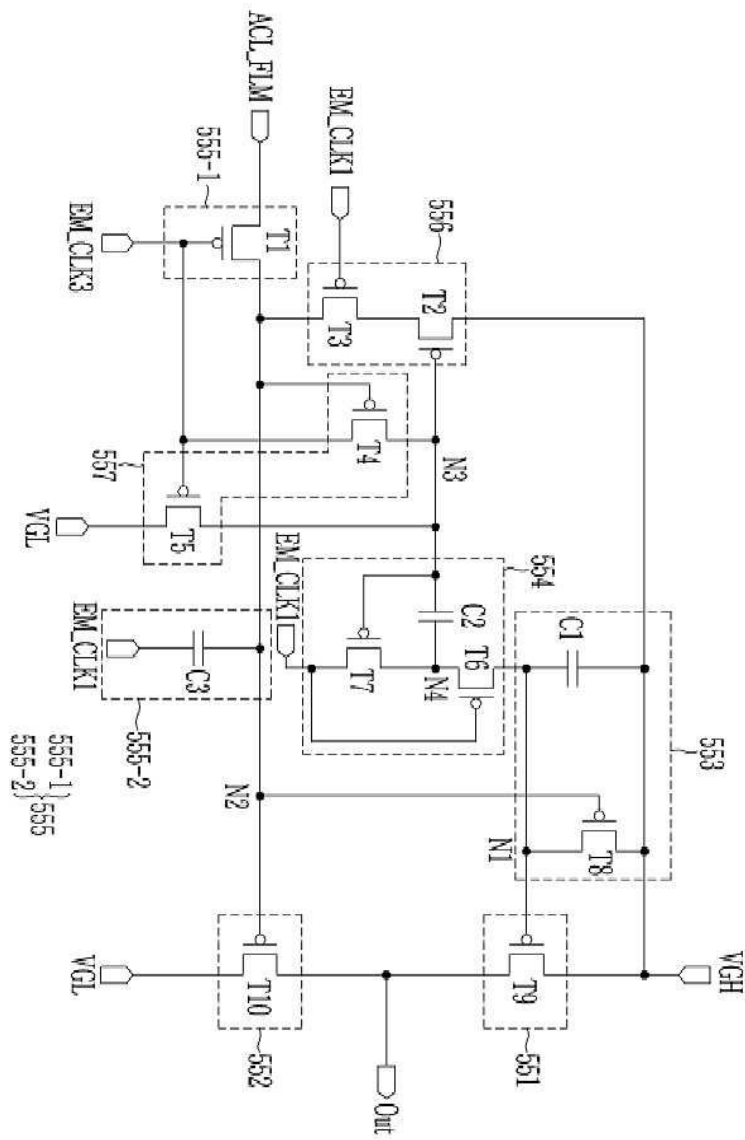
도면1



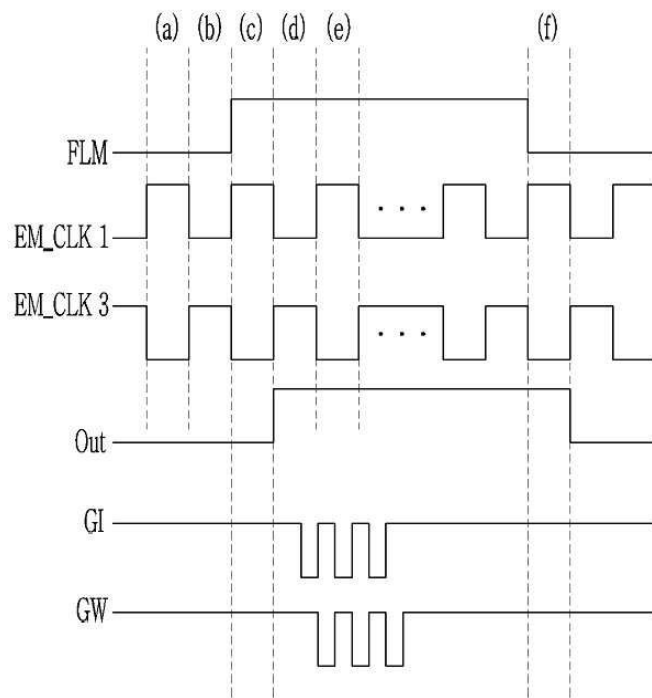
도면2



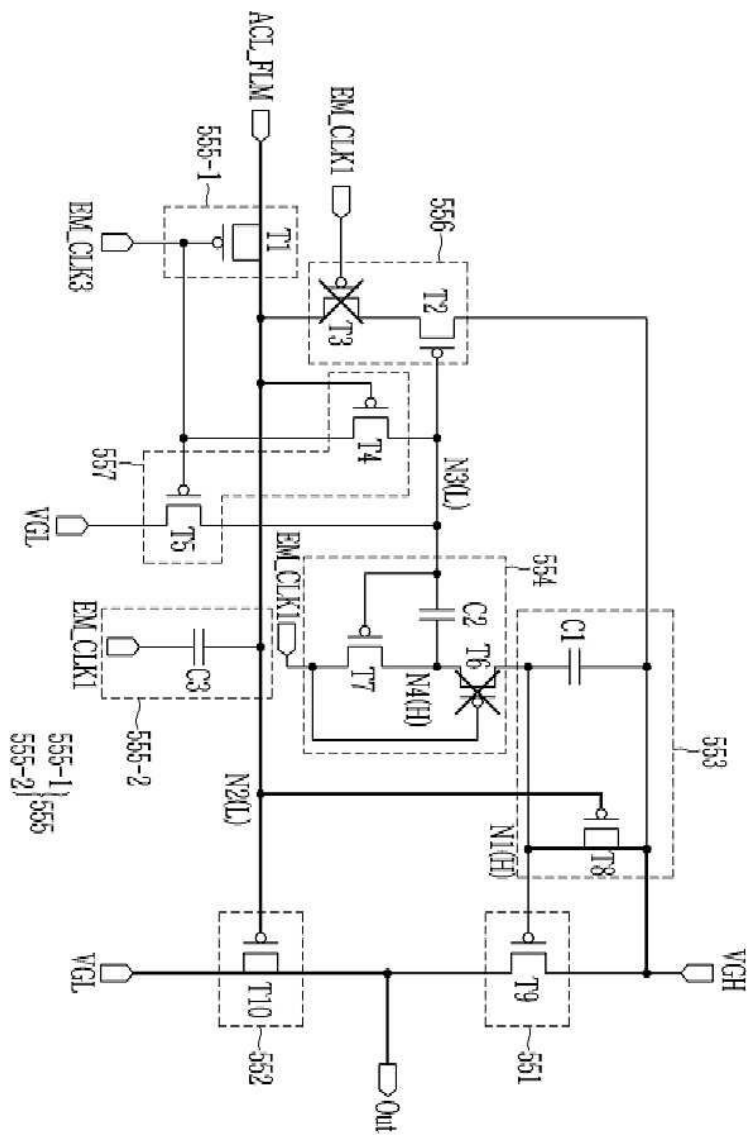
도면3



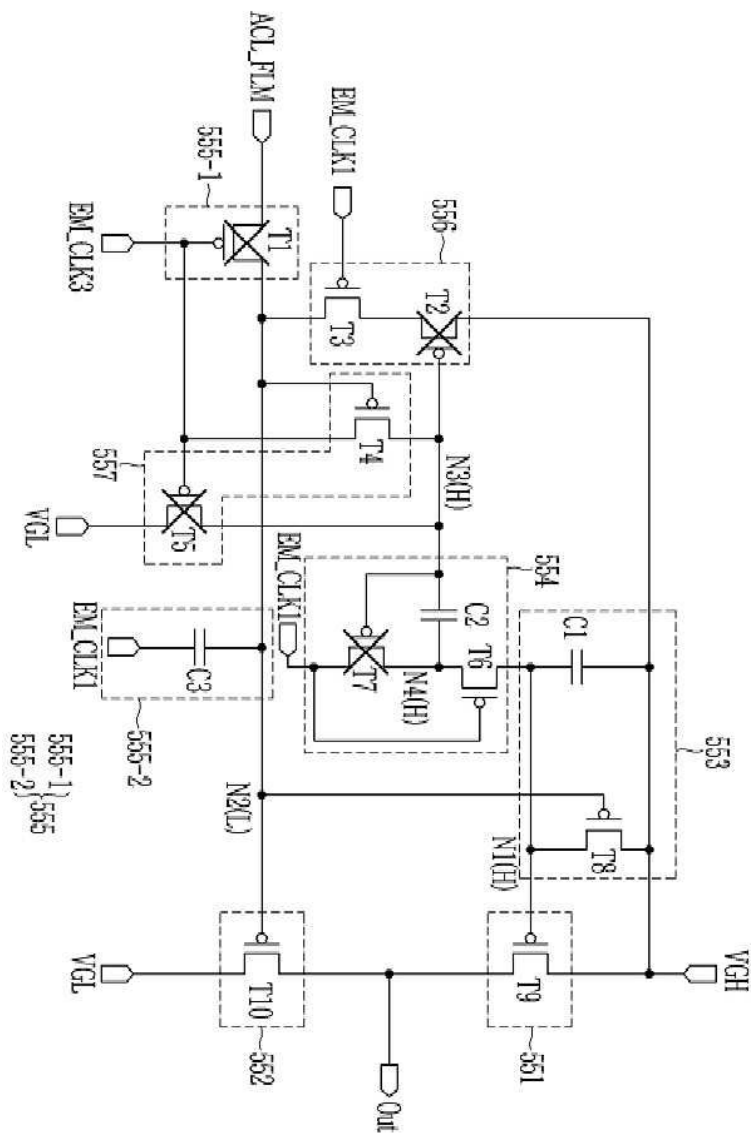
도면4



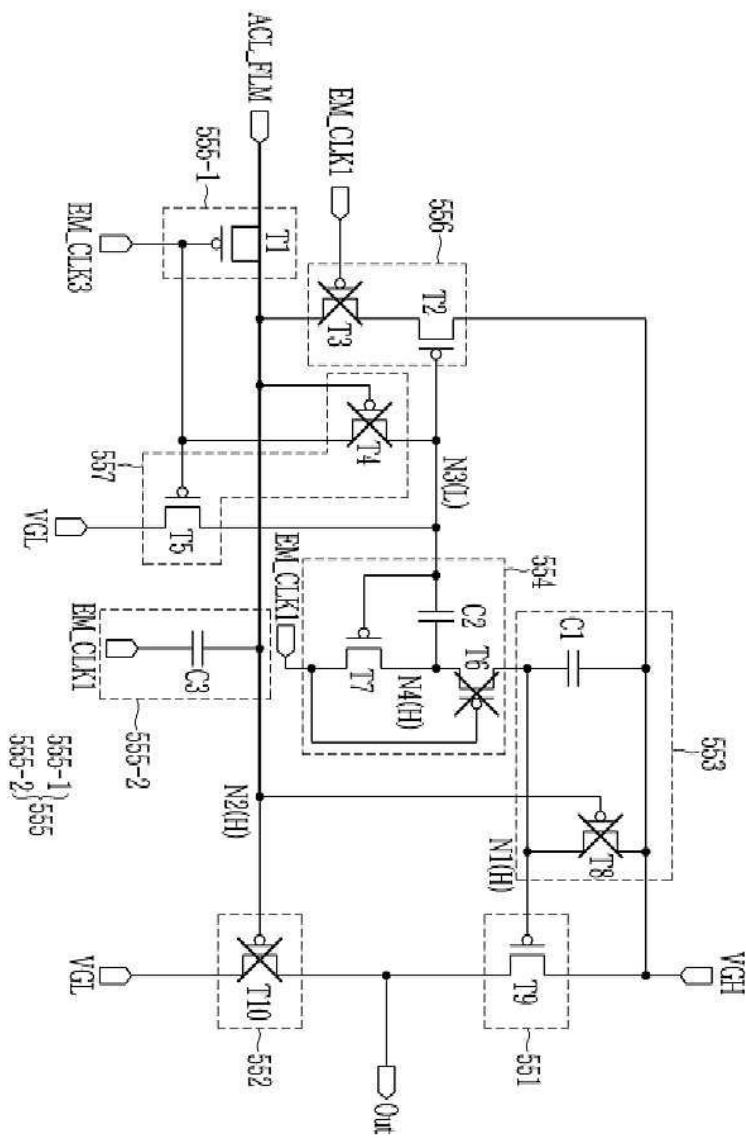
도면5



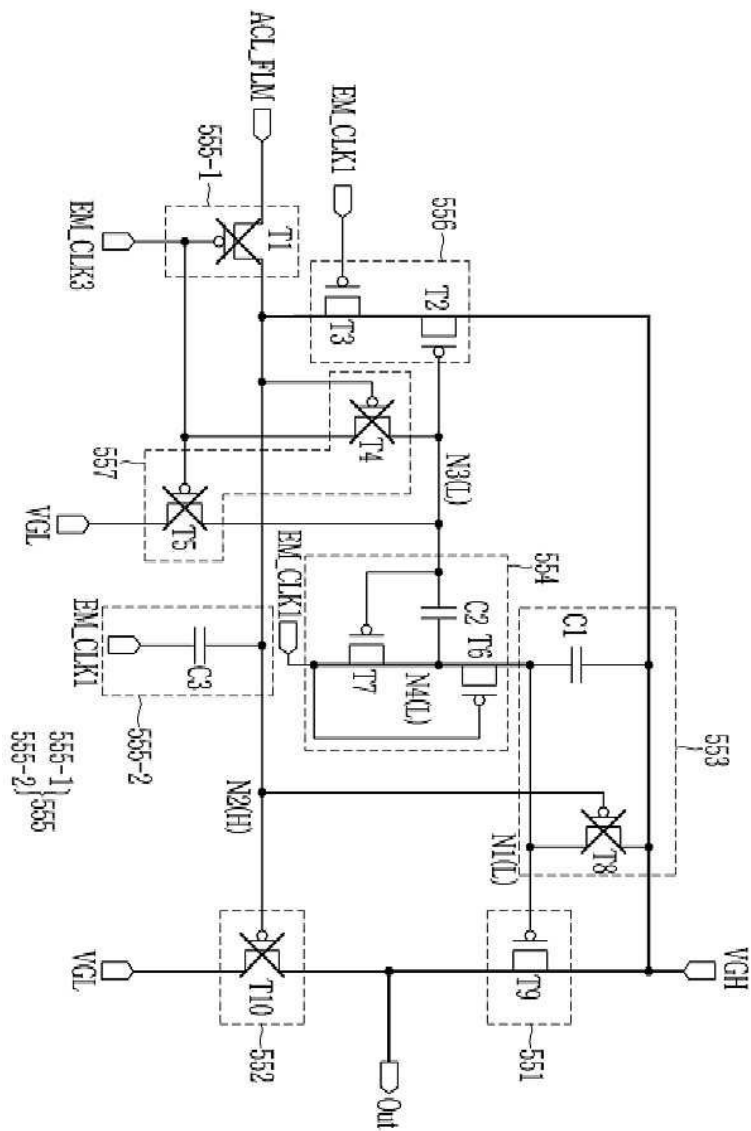
도면6



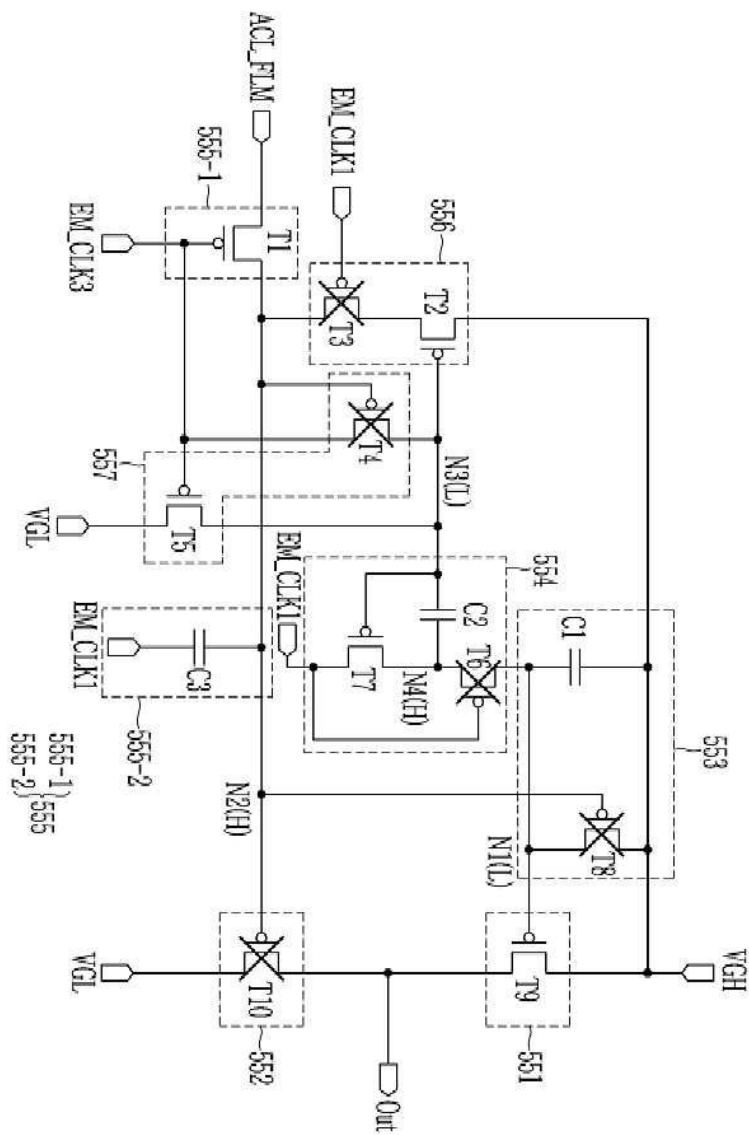
도면7



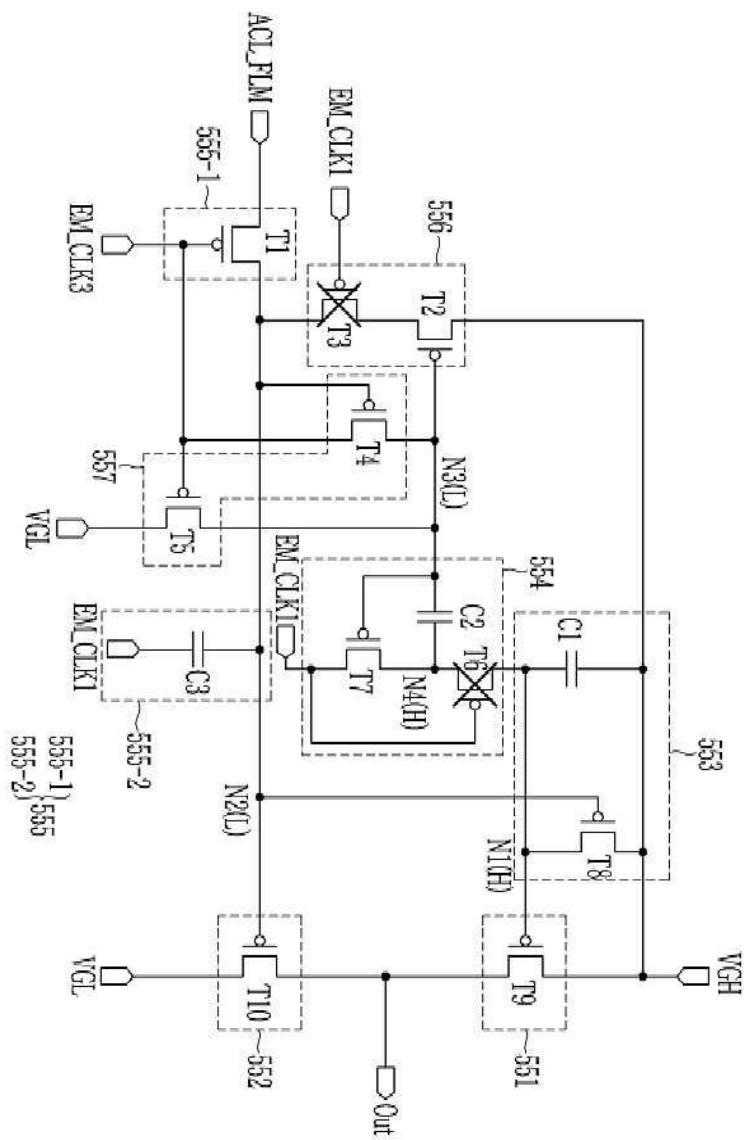
도면8



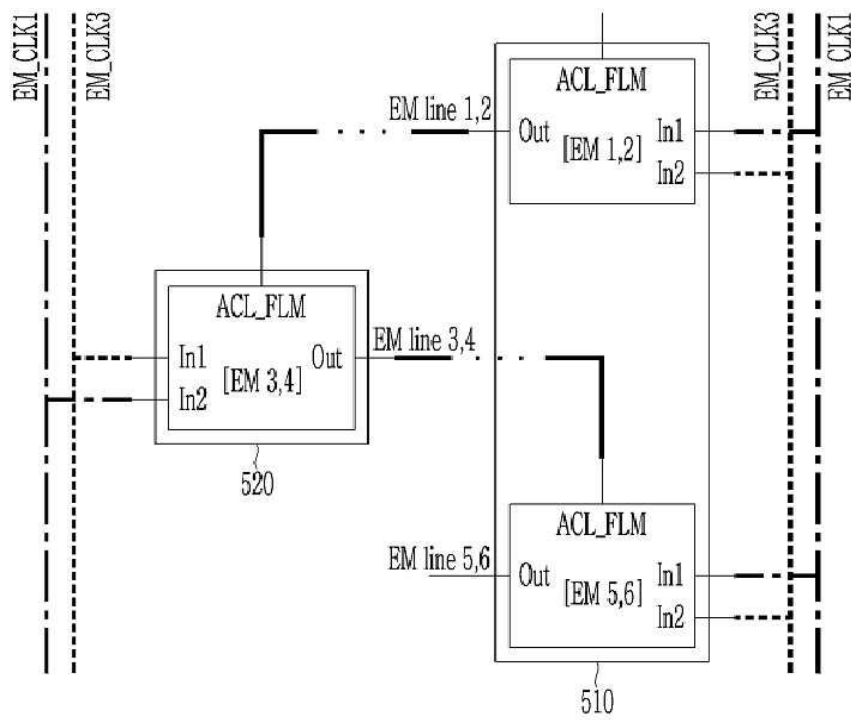
도면9



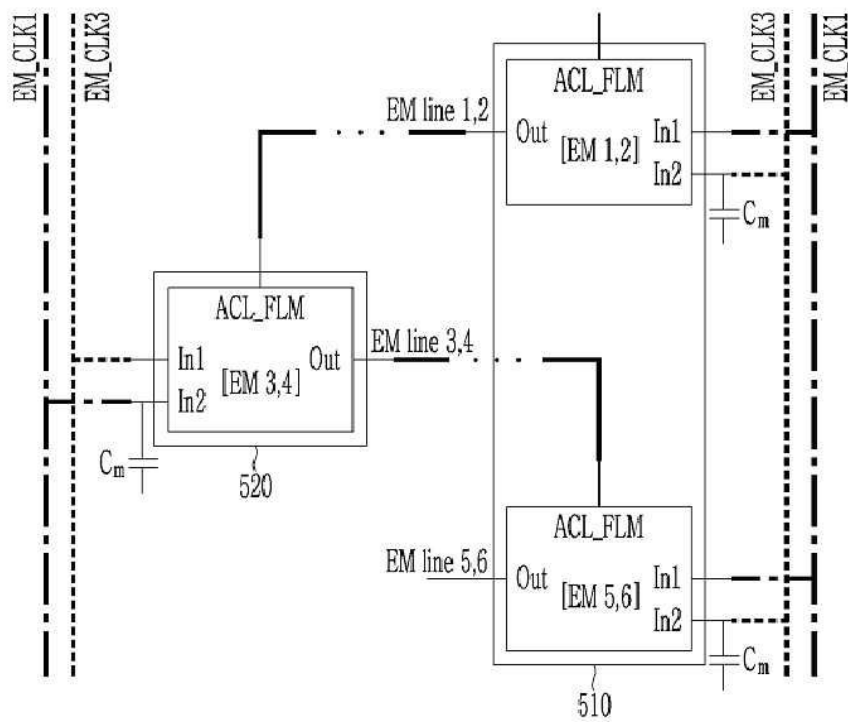
도면10



도면11



도면12



专利名称(译)	有机发光二极管显示装置		
公开(公告)号	KR1020200036977A	公开(公告)日	2020-04-08
申请号	KR1020180115869	申请日	2018-09-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	우종석		
发明人	우종석		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/04 G09G3/3208 G09G3/3225 G09G2300/0426 G09G2300/0861 G09G2310/0286 G09G2330/04 G09G3/3258 G09G3/3291		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示器包括：显示区域，其包括用于接收发射信号并发射光的像素；以及第一和第二发射信号发生器，分别设置在显示区域的两侧。第一和第二发射信号发生器中的每一个包括多个发射信号级。多个发射信号级中的每一个分别连接到n个像素行，并且连接有n个相邻像素行的两个相邻的发射信号级在第一和第二发射信号发生器中的同一者中。

