



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0062651
(43) 공개일자 2019년06월07일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3258 (2013.01)
H01L 27/3262 (2013.01)
(21) 출원번호 10-2017-0159644
(22) 출원일자 2017년11월27일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
정유광
경기도 안양시 만안구 안양천서로 177, 204동
1504호
배수빈
경기도 화성시 메타폴리스로 47-11, 1216호
(뒷면에 계속)
(74) 대리인
박영우

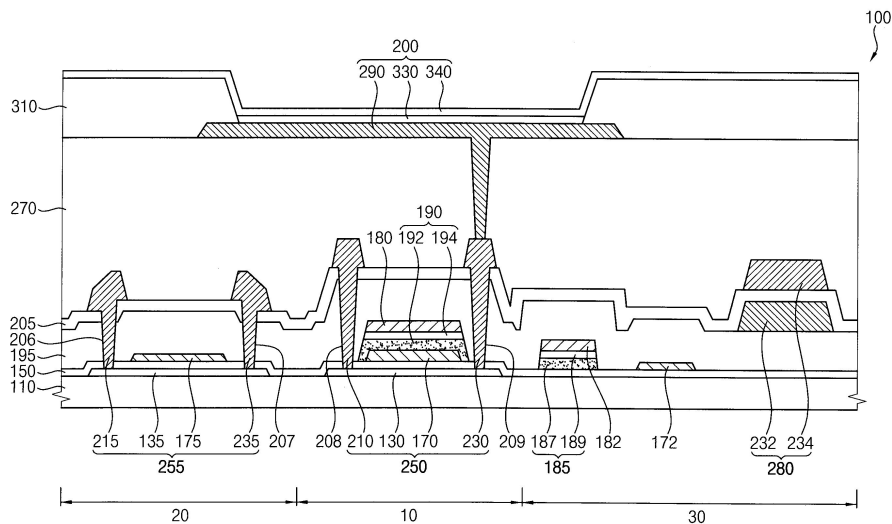
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법

(57) 요약

유기 발광 표시 장치는 제1 영역 및 제1 영역에 인접한 제2 영역을 갖는 기판, 기판 상의 제1 영역에 배치되는 제1 액티브층, 제1 액티브층 상에 배치되고, 제1 두께를 갖는 제1 게이트 전극, 제1 게이트 전극 상에 배치되는 제2 게이트 전극, 제2 게이트 전극 상에 배치되고, 제1 액티브층, 제1 게이트 전극과 함께 제1 반도체 소자를 구성하는 제1 소스 및 제1 드레인 전극들, 제1 게이트 전극과 제2 게이트 전극 사이에 개재되고, 제1 소스 전극 및 제1 드레인 전극과 이격되어 배치되는 제1 고유전율 절연 구조물 및 제1 소스 및 제2 드레인 전극 상에 배치되는 발광 구조물을 포함할 수 있다. 이에 따라, 제1 콘택홀, 제2 콘택홀, 제3 콘택홀 및 제4 콘택홀을 형성하는 공정에서 제1 고유전율 절연 구조물을 제거하지 않기 때문에 제1 내지 제4 콘택홀들이 용이하게 형성될 수 있다.

대표도



(52) CPC특허분류

H01L 27/3265 (2013.01)

H01L 51/56 (2013.01)

(72) 발명자

이준결

전라북도 완주군 상관면 신리로 99, 109동 901호

김상갑

서울특별시 강동구 고덕로 210, 508동 1407호

명세서

청구범위

청구항 1

제1 영역 및 상기 제1 영역에 인접한 제2 영역을 갖는 기판;

상기 기판 상의 제1 영역에 배치되는 제1 액티브층;

상기 제1 액티브층 상에 배치되고, 제1 두께를 갖는 제1 게이트 전극;

상기 제1 게이트 전극 상에 배치되는 제2 게이트 전극;

상기 제2 게이트 전극 상에 배치되고, 상기 제1 액티브층, 상기 제1 게이트 전극과 함께 제1 반도체 소자를 구성하는 제1 소스 및 제1 드레인 전극들;

상기 제1 게이트 전극과 상기 제2 게이트 전극 사이에 개재되고, 상기 제1 소스 전극 및 제1 드레인 전극과 이격되어 배치되는 제1 고유전율 절연 구조물(a first high dielectric constant (high-k) insulation structure); 및

상기 제1 소스 및 제2 드레인 전극 상에 배치되는 발광 구조물을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서, 상기 제1 고유전율 절연 구조물은 상기 제1 게이트 전극을 덮는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제 1 항에 있어서, 상기 제1 고유전율 절연 구조물은 상기 제1 게이트 전극의 상면에만 배치되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서, 상기 제1 고유전율 절연 구조물은,

상기 제1 게이트 전극의 상면과 접촉하고, 상기 제2 게이트 전극의 저면과 이격되는 제1 고유전율 절연층 패턴; 및

상기 제2 게이트 전극의 저면 및 상기 제1 고유전율 절연층 패턴의 상면과 동시에 접촉하며, 상기 제1 고유전율 절연층 패턴보다 낮은 유전율을 갖는 제1 절연층 패턴을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서, 상기 제1 고유전율 절연 구조물은,

상기 제2 게이트 전극의 저면과 접촉하고, 상기 제1 게이트 절연층의 상면과 이격되는 제1 고유전율 절연층 패턴; 및

상기 제1 게이트 전극의 상면 및 상기 제1 고유전율 절연층 패턴의 저면과 동시에 접촉하며, 상기 제1 고유전율 절연층 패턴보다 낮은 유전율을 갖는 제1 절연층 패턴을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 기판 상의 제2 영역에 배치되는 제2 액티브층;

상기 제2 액티브층 상에 배치되고, 상기 제1 두께보다 작은 제2 두께를 갖는 제3 게이트 전극; 및

상기 제2 액티브층 및 상기 제3 게이트 전극과 함께 제2 반도체 소자를 구성하는 제2 소스 및 제2 드레인 전극

들을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서, 상기 기관은,

상기 제2 영역으로부터 이격되고 상기 제1 영역과 인접한 제3 영역을 더 포함하고,

상기 기관 상의 제3 영역에 배치되고, 상기 제1 두께보다 작은 제2 두께를 갖는 제1 게이트 전극 패턴;

상기 기관 상의 제3 영역에서 상기 제1 게이트 전극 패턴과 이격되어 배치되는 제2 게이트 전극 패턴; 및

상기 제2 게이트 전극 패턴 아래에서 중첩하여 배치되는 제2 고율전을 절연층 구조물을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제 7 항에 있어서, 상기 제1 게이트 전극과 상기 제1 게이트 전극 패턴은 동일한 층에 위치하고, 상기 제2 게이트 전극과 상기 제2 게이트 전극 패턴은 동일한 층에 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서, 상기 제2 고율전을 절연 구조물은,

상기 기관과 인접하여 배치되는 제2 고율전을 절연층 패턴; 및

상기 제2 고율전을 절연층 패턴 상에 배치되는 제2 절연층 패턴을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제 1 항에 있어서, 상기 제1 게이트 전극, 상기 제2 게이트 전극 및 상기 제1 고율전을 절연 구조물은 제1 커패시터로 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제 1 항에 있어서,

상기 제1 액티브층과 상기 제1 게이트 전극 사이에 개재되는 게이트 절연층;

상기 제2 게이트 전극 상에 배치되는 제1 층간 절연층; 및

상기 제1 층간 절연층과 상기 제1 소스 및 제1 드레인 전극들 사이에 개재되는 제2 층간 절연층을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서, 상기 제1 층간 절연층은,

상기 제1 소스 전극이 상기 제1 액티브층에 접속되도록 상기 제1 액티브층의 제1 부분을 노출시키는 제1 콘택홀; 및

상기 제1 드레인 전극이 상기 제1 액티브층에 접속되도록 상기 제1 부분과 이격된 상기 제1 액티브층의 제2 부분을 노출시키는 제2 콘택홀을 포함하고,

상기 제1 고율전을 절연 구조물은 상기 제1 및 제2 콘택홀들과 이격되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제 12 항에 있어서,

상기 기관 상에 제1 층간 절연층과 상기 제2 층간 절연층 사이에 개재되는 제1 전극 패턴; 및

상기 제2 층간 절연층 상에서 제1 전극 패턴과 중첩되어 배치되고, 상기 제1 전극 패턴과 함께 제2 커패시터를

구성하는 제2 전극 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제 1 항에 있어서, 상기 발광 구조물은,

상기 제1 반도체 소자 상에 배치되는 하부 전극;

상기 하부 전극 상에 배치되는 발광층; 및

상기 발광층 상에 배치되는 상부 전극을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제1 영역 및 상기 제1 영역에 인접한 제2 영역을 갖는 기판을 제공하는 단계;

상기 기판 상의 제1 및 제2 영역들에 제1 및 제2 액티브층들을 형성하는 단계;

상기 제1 및 제2 액티브층들 상에 제1 두께를 갖는 제1 및 제2 게이트 전극들을 형성하는 단계;

상기 제1 및 제2 게이트 전극들을 덮도록 상기 기판 상에 예비 고유전율 절연 구조물을 전체적으로 형성하는 단계;

상기 예비 고유전율 절연 구조물 상에 예비 제2 게이트 전극층을 전체적으로 형성하는 단계;

상기 제2 게이트 전극층을 선택적으로 식각하여 상기 제1 게이트 전극 상에 위치하는 제2 게이트 전극, 상기 제1 및 제2 게이트 전극들 사이에 개재되는 제1 고유전율 절연 구조물, 상기 제1 두께보다 작은 제2 두께를 갖는 상기 제2 게이트 전극을 형성하는 단계; 및

상기 제2 게이트 전극 상에 발광 구조물을 형성하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제 15 항에 있어서, 상기 제1 고유전율 절연 구조물은 상기 제1 게이트 전극을 덮는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제 15 항에 있어서,

상기 제2 게이트 전극 상에 제1 층간 절연층을 형성하는 단계;

상기 제1 층간 절연층 상에 제2 층간 절연층을 형성하는 단계;

상기 제1 및 제2 층간 절연층들의 제1 부분을 제거하여 상기 제1 액티브층의 제1 부분을 노출시키는 제1 콘택홀을 형성하는 단계; 및

상기 제1 및 제2 층간 절연층들의 제2 부분을 제거하여 상기 제1 액티브층의 제2 부분을 노출시키는 제2 콘택홀을 형성하는 단계를 더 포함하고,

상기 제1 고유전율 절연 구조물은 상기 제1 및 제2 콘택홀들과 이격되는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제 15 항에 있어서, 상기 제1 고유전율 절연 구조물은,

상기 제1 게이트 전극의 상면과 접촉하고, 상기 제2 게이트 전극의 저면과 이격되는 제1 고유전율 절연층 패턴; 및

상기 제2 게이트 전극의 저면 및 상기 제1 고유전율 절연층 패턴의 상면과 동시에 접촉하며, 상기 제1 고유전율 절연층 패턴보다 낮은 유전율을 갖는 제1 절연층 패턴을 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 제조 방법.

청구항 19

반도체 소자 영역 및 상기 반도체 소자 영역에 인접한 커패시터 영역을 갖는 기판;

상기 기판 상의 반도체 소자 영역에 배치되고, 액티브층, 제1 두께를 갖는 게이트 전극 및 소스 및 드레인 전극들을 포함하는 반도체 소자;

상기 기판 상의 커패시터 영역에 배치되고, 상기 제1 두께보다 큰 제2 두께를 갖는 제1 도전 패턴 및 상기 제1 도전 패턴 상에 배치되는 제2 도전 패턴을 포함하는 스토리지 커패시터;

상기 제1 및 제2 도전 패턴들 사이에 개재되는 고유전율 절연 구조물; 및

상기 반도체 소자 및 상기 스토리지 커패시터 상에 배치되는 발광 구조물을 포함하는 유기 발광 표시 장치.

청구항 20

제 19 항에 있어서,

상기 고유전율 절연 구조물은 상기 소스 및 드레인 전극들과 접촉하지 않고,

상기 고유전율 절연 구조물은 상기 제1 도전 패턴과 접촉하는 고유전율 절연층 패턴 및 상기 제2 도전 패턴과 접촉하는 절연층 패턴을 포함하며,

상기 게이트 전극 및 상기 제1 도전 패턴은 동일한 층에 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 관한 것이다. 보다 상세하게는, 본 발명은 고유전율 절연 구조물을 포함하는 유기 발광 표시 장치 및 고유전율 절연 구조물을 포함하는 유기 발광 표시 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 평판 표시 장치는 경량 및 박형 등의 특성으로 인하여, 음극선관 표시 장치를 대체하는 표시 장치로서 사용되고 있다. 이러한 평판 표시 장치의 대표적인 예로서 액정 표시 장치와 유기 발광 표시 장치가 있다.

[0003] 최근 고유전율 절연층을 이용하여 초고해상도를 갖는 유기 발광 표시 장치가 개발되고 있다. 상기 유기 발광 표시 장치의 크기가 소형화됨에 따라 상기 유기 발광 표시 장치에 포함된 스토리지 커패시터의 면적이 감소될 수 있고, 상기 스토리지 커패시터의 정전 용량을 확보하는데 어려움이 있다. 따라서, 상기 정전 용량을 확보하기 위해 상기 고유전율 절연층이 스토리지 커패시터의 유전층으로 사용될 수 있다. 다만, 상기 고유전율 절연층을 사용하는 경우, 콘택홀을 형성하는 과정에서 상기 고유전율 절연층, 게이트 절연층 및 액티브층의 낮은 선택비 때문에 콘택홀 불량에 야기되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 일 목적은 고유전율 절연 구조물을 포함하는 유기 발광 표시 장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 고유전율 절연 구조물을 포함하는 유기 발광 표시 장치의 제조 방법을 제공하는 것이다.

[0006] 그러나, 본 발명이 상술한 목적들에 의해 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0007] 전술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 제1 영역 및 상기 제1 영역에 인접한 제2 영역을 갖는 기판, 상기 기판 상의 제1 영역에 배치되는 제1 액티브층, 상

기 제1 액티브층 상에 배치되고, 제1 두께를 갖는 제1 게이트 전극, 상기 제1 게이트 전극 상에 배치되는 제2 게이트 전극, 상기 제2 게이트 전극 상에 배치되고, 상기 제1 액티브층, 상기 제1 게이트 전극과 함께 제1 반도체 소자를 구성하는 제1 소스 및 제1 드레인 전극들, 상기 제1 게이트 전극과 상기 제2 게이트 전극 사이에 개재되고, 상기 제1 소스 전극 및 제1 드레인 전극과 이격되어 배치되는 제1 고유전율 절연 구조물 및 상기 제1 소스 및 제2 드레인 전극 상에 배치되는 발광 구조물을 포함할 수 있다.

[0008] 예시적인 실시예들에 있어서, 상기 제1 고유전율 절연 구조물은 상기 제1 게이트 전극을 덮을 수 있다.

[0009] 예시적인 실시예들에 있어서, 상기 제1 고유전율 절연 구조물은 상기 제1 게이트 전극의 상면에만 배치될 수 있다.

[0010] 예시적인 실시예들에 있어서, 상기 제1 고유전율 절연 구조물은 상기 제1 게이트 전극의 상면과 접촉하고, 상기 제2 게이트 전극의 저면과 이격되는 제1 고유전율 절연층 패턴 및 상기 제2 게이트 전극의 저면 및 상기 제1 고유전율 절연층 패턴의 상면과 동시에 접촉하며, 상기 제1 고유전율 절연층 패턴보다 낮은 유전율을 갖는 제1 절연층 패턴을 포함할 수 있다.

[0011] 예시적인 실시예들에 있어서, 상기 제1 고유전율 절연 구조물은 상기 제2 게이트 전극의 저면과 접촉하고, 상기 제1 게이트 절연층의 상면과 이격되는 제1 고유전율 절연층 패턴 및 상기 제1 게이트 전극의 상면 및 상기 제1 고유전율 절연층 패턴의 저면과 동시에 접촉하며, 상기 제1 고유전율 절연층 패턴보다 낮은 유전율을 갖는 제1 절연층 패턴을 포함할 수 있다.

[0012] 예시적인 실시예들에 있어서, 상기 기판 상의 제2 영역에 배치되는 제2 액티브층, 상기 제2 액티브층 상에 배치되고, 상기 제1 두께보다 작은 제2 두께를 갖는 제3 게이트 전극 및 상기 제2 액티브층 및 상기 제3 게이트 전극과 함께 제2 반도체 소자를 구성하는 제2 소스 및 제2 드레인 전극들을 더 포함할 수 있다.

[0013] 예시적인 실시예들에 있어서, 상기 기판은 상기 제2 영역으로부터 이격되고 상기 제1 영역과 인접한 제3 영역을 더 포함하고, 상기 기판 상의 제3 영역에 배치되고, 상기 제1 두께보다 작은 제2 두께를 갖는 제1 게이트 전극 패턴, 상기 기판 상의 제3 영역에서 상기 제1 게이트 전극 패턴과 이격되어 배치되는 제2 게이트 전극 패턴 및 상기 제2 게이트 전극 패턴 아래에서 중첩하여 배치되는 제2 고유전율 절연층 구조물을 더 포함할 수 있다.

[0014] 예시적인 실시예들에 있어서, 상기 제1 게이트 전극과 상기 제1 게이트 전극 패턴은 동일한 층에 위치하고, 상기 제2 게이트 전극과 상기 제2 게이트 전극 패턴은 동일한 층에 위치할 수 있다.

[0015] 예시적인 실시예들에 있어서, 상기 제2 고유전율 절연 구조물은 상기 기판과 인접하여 배치되는 제2 고유전율 절연층 패턴 및 상기 제2 고유전율 절연층 패턴 상에 배치되는 제2 절연층 패턴을 포함할 수 있다.

[0016] 예시적인 실시예들에 있어서, 상기 제1 게이트 전극, 상기 제2 게이트 전극 및 상기 제1 고유전율 절연 구조물은 제1 커패시터로 구성될 수 있다.

[0017] 예시적인 실시예들에 있어서, 상기 제1 액티브층과 상기 제1 게이트 전극 사이에 개재되는 게이트 절연층, 상기 제2 게이트 전극 상에 배치되는 제1 층간 절연층, 상기 제1 층간 절연층과 상기 제1 소스 및 제1 드레인 전극들 사이에 개재되는 제2 층간 절연층을 더 포함할 수 있다.

[0018] 예시적인 실시예들에 있어서, 상기 제1 층간 절연층은 상기 제1 소스 전극이 상기 제1 액티브층에 접촉되도록 상기 제1 액티브층의 제1 부분을 노출시키는 제1 콘택홀 및 상기 제1 드레인 전극이 상기 제1 액티브층에 접촉되도록 상기 제1 부분과 이격된 상기 제1 액티브층의 제2 부분을 노출시키는 제2 콘택홀을 포함하고, 상기 제1 고유전율 절연 구조물은 상기 제1 및 제2 콘택홀들과 이격될 수 있다.

[0019] 예시적인 실시예들에 있어서, 상기 기판 상에 제1 층간 절연층과 상기 제2 층간 절연층 사이에 개재되는 제1 전극 패턴 및 상기 제2 층간 절연층 상에서 제1 전극 패턴과 중첩되어 배치되고, 상기 제1 전극 패턴과 함께 제2 커패시터를 구성하는 제2 전극 패턴을 더 포함할 수 있다.

[0020] 예시적인 실시예들에 있어서, 상기 발광 구조물은 상기 제1 반도체 소자 상에 배치되는 하부 전극, 상기 하부 전극 상에 배치되는 발광층 및 상기 발광층 상에 배치되는 상부 전극을 더 포함할 수 있다.

[0021] 전술한 본 발명의 다른 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법은 제1 영역 및 상기 제1 영역에 인접한 제2 영역을 갖는 기판을 제공하는 단계, 상기 기판 상의 제1 및 제2 영역들에 제1 및 제2 액티브층들을 형성하는 단계, 상기 제1 및 제2 액티브층들 상에 제1 두께를 갖는 제1 및 제2 게이트 전극들을 형성하는 단계, 상기 제1 및 제2 게이트 전극들을 덮도록 상기 기판 상에 예비 고

유전을 절연 구조물을 전체적으로 형성하는 단계, 상기 예비 고유전을 절연 구조물 상에 예비 제2 게이트 전극층을 전체적으로 형성하는 단계, 상기 제2 게이트 전극층을 선택적으로 식각하여 상기 제1 게이트 전극 상에 위치하는 제2 게이트 전극, 상기 제1 및 제2 게이트 전극들 사이에 개재되는 제1 고유전을 절연 구조물, 상기 제1 두께보다 작은 제2 두께를 갖는 상기 제2 게이트 전극을 형성하는 단계 및 상기 제2 게이트 전극 상에 발광 구조물을 형성하는 단계를 포함할 수 있다.

[0022] 예시적인 실시예들에 있어서, 상기 제1 고유전을 절연 구조물은 상기 제1 게이트 전극을 덮을 수 있다.

[0023] 예시적인 실시예들에 있어서, 상기 제2 게이트 전극 상에 제1 층간 절연층을 형성하는 단계, 상기 제1 층간 절연층 상에 제2 층간 절연층을 형성하는 단계, 상기 제1 및 제2 층간 절연층들의 제1 부분을 제거하여 상기 제1 액티브층의 제1 부분을 노출시키는 제1 콘택홀을 형성하는 단계 및 상기 제1 및 제2 층간 절연층들의 제2 부분을 제거하여 상기 제1 액티브층의 제2 부분을 노출시키는 제2 콘택홀을 형성하는 단계를 더 포함하고, 상기 제1 고유전을 절연 구조물은 상기 제1 및 제2 콘택홀들과 이격될 수 있다.

[0024] 예시적인 실시예들에 있어서, 상기 제1 고유전을 절연 구조물은 상기 제1 게이트 전극의 상면과 접촉하고, 상기 제2 게이트 전극의 저면과 이격되는 제1 고유전을 절연층 패턴 및 상기 제2 게이트 전극의 저면 및 상기 제1 고유전을 절연층 패턴의 상면과 동시에 접촉하며, 상기 제1 고유전을 절연층 패턴보다 낮은 유전율을 갖는 제1 절연층 패턴을 포함할 수 있다.

[0025] 전술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 반도체 소자 영역 및 상기 반도체 소자 영역에 인접한 커패시터 영역을 갖는 기판, 상기 기판 상의 반도체 소자 영역에 배치되고, 액티브층, 제1 두께를 갖는 게이트 전극 및 소스 및 드레인 전극들을 포함하는 반도체 소자, 상기 기판 상의 커패시터 영역에 배치되고, 상기 제1 두께보다 큰 제2 두께를 갖는 제1 도전 패턴 및 상기 제1 도전 패턴 상에 배치되는 제2 도전 패턴을 포함하는 스토리지 커패시터, 상기 제1 및 제2 도전 패턴들 사이에 개재되는 고유전을 절연 구조물 및 상기 반도체 소자 및 상기 스토리지 커패시터 상에 배치되는 발광 구조물을 포함할 수 있다.

[0026] 예시적인 실시예들에 있어서, 상기 고유전을 절연 구조물은 상기 소스 및 드레인 전극들과 접촉하지 않고, 상기 고유전을 절연 구조물은 상기 제1 도전 패턴과 접촉하는 고유전을 절연층 패턴 및 상기 제2 도전 패턴과 접촉하는 절연층 패턴을 포함하며, 상기 게이트 전극 및 상기 제1 도전 패턴은 동일한 층에 위치할 수 있다.

발명의 효과

[0027] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 제1 게이트 전극과 제2 게이트 전극 사이에만 개재되는 제1 고유전을 절연 구조물을 포함함으로써, 제1 콘택홀, 제2 콘택홀, 제3 콘택홀 및 제4 콘택홀을 형성하는 공정에서 제1 고유전을 절연 구조물을 제거하지 않기 때문에 제1 내지 제4 콘택홀들이 용이하게 형성될 수 있다.

[0028] 또한, 제1 고유전을 절연 구조물이 제1 게이트 전극을 완전히 덮음으로써 유기 발광 표시 장치는 제2 게이트 전극을 식각하는 공정에서, 제1 게이트 전극을 보호할 수 있다.

[0029] 더욱이, 유기 발광 표시 장치가 제1 고유전을 절연 구조물을 포함함으로써 유기 발광 표시 장치는 고유전율을 갖는 제1 커패시터를 포함할 수 있다. 이에 따라, 유기 발광 표시 장치는 상대적으로 많은 정전 용량을 확보할 수 있는 상기 제1 커패시터를 포함하는 유기 발광 표시 장치로 기능할 수 있다.

[0030] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법에 있어서, 제1 콘택홀, 제2 콘택홀, 제3 콘택홀 및 제4 콘택홀을 형성하는 공정에서 제1 고유전을 절연 구조물 및 제2 고유전을 절연 구조물이 제거되지 않기 때문에 제1 내지 제4 콘택홀들이 용이하게 형성될 수 있다. 이에 따라, 제1 내지 제4 콘택홀들의 불량이 발생되지 않는 유기 발광 표시 장치를 제조할 수 있다.

[0031] 다만, 본 발명의 효과들이 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 2는 도 1의 제1 게이트 전극의 두께와 및 제3 게이트 전극 및 제1 게이트 전극 패턴 각각의 두께를 비교하기

위한 단면도이다.

도 3은 도 1의 다른 실시예에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 4A는 도 1의 다른 실시예에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 4B는 도 4A에 포함된 제1 고유전율 절연 구조물의 일 예를 나타내는 단면도이다.

도 5A는 도 1의 다른 실시예에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 5B는 도 5A에 포함된 제1 고유전율 절연 구조물의 일 예를 나타내는 단면도이다.

도 6 내지 도 16은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.

도 17은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 18은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 19는 도 18의 제1 게이트 전극, 제3 게이트 전극 및 제1 게이트 전극 패턴 각각의 두께를 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치들 및 유기 발광 표시 장치의 제조 방법에 대하여 상세하게 설명한다. 첨부한 도면들에 있어서, 동일하거나 유사한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.
- [0034] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이고, 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이고, 도 2는 도 1의 제1 게이트 전극의 두께와 제3 게이트 전극 및 제1 게이트 전극 패턴 각각의 두께를 비교하기 위한 단면도이다.
- [0035] 도 1 및 도 2를 참조하면, 유기 발광 표시 장치(100)는 기판(110), 게이트 절연층(150), 제1 고유전율 절연 구조물(a first high dielectric constant: high-k insulation structure)(190), 제2 고유전율 절연 구조물(185), 제1 반도체 소자(250), 제2 반도체 소자(255), 제2 게이트 전극(180), 제1 게이트 전극 패턴(172), 제2 게이트 전극 패턴(182), 제1 층간 절연층(195), 발광 구조물(200), 제2 층간 절연층(205), 제1 전극 패턴(232), 제2 전극 패턴(234), 평탄화층(270), 화소 정의막(310) 등을 포함할 수 있다. 여기서, 제1 고유전율 절연 구조물(190)은 제1 고유전율 절연층 패턴(192) 및 제1 절연층 패턴(194)을 포함할 수 있다. 또한, 제1 반도체 소자(250)는 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함할 수 있고, 제2 반도체 소자(255)는 제2 액티브층(135), 제3 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함할 수 있다. 더욱이, 제2 고유전율 절연 구조물(185)은 제2 고유전율 절연층 패턴(187) 및 제2 절연층 패턴(189)을 포함할 수 있고, 발광 구조물(200)은 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함할 수 있다. 제1 게이트 전극(170) 및 제3 게이트 전극(180)은 제1 커패시터로 기능할 수 있고, 제1 전극 패턴(232) 및 제2 전극 패턴(234)은 제2 커패시터(280)로 구성될 수 있다.
- [0036] 유기 발광 표시 장치(100)가 제1 고유전율 절연 구조물(190)을 포함함으로써 유기 발광 표시 장치(100)는 고유전율을 갖는 상기 제1 커패시터를 포함할 수 있다. 이에 따라, 유기 발광 표시 장치(100)는 상대적으로 많은 정전 용량을 확보할 수 있는 상기 제1 커패시터를 포함하는 유기 발광 표시 장치로 기능할 수 있다. 여기서, 상기 '고유전율'이라 함은 유전 상수 K가 8 이상임을 의미한다.
- [0037] 기판(110)이 제공될 수 있다. 기판(110)은 투명한 또는 불투명한 재료로 구성될 수 있다. 예를 들면, 기판(110)은 석영 기판, 합성 석영(synthetic quartz) 기판, 불화칼슘 기판, 불소가 도핑된 석영(F-doped quartz) 기판, 소다라임(sodalime) 유리 기판, 무알칼리(non-alkali) 유리 기판 등을 포함할 수 있다. 선택적으로, 기판(110)은 연성을 갖는 투명 수지 기판으로 이루어질 수 있다. 기판(110)으로 이용될 수 있는 투명 수지 기판의 예로는 폴리이미드 기판을 들 수 있다. 이러한 경우, 상기 폴리이미드 기판은 제1 폴리이미드층, 배리어 필름층, 제2 폴리이미드층 등으로 구성될 수 있다. 예를 들면, 상기 폴리이미드 기판은 경질의 유리 기판 상에 제1 폴리이미드층, 배리어 필름층 및 제2 폴리이미드층이 적층된 구성을 가질 수 있다. 상기 폴리이미드 기판의 제2 폴리이미드층 상에 절연층(예를 들어, 버퍼층)을 배치한 후, 상기 절연층 상에 상부 구조물(예를 들어, 제1 반도체 소자(250), 제2 반도체 소자(255), 상기 제1 커패시터, 제2 커패시터(280), 발광 구조물(200) 등)이 배

치될 수 있다. 이러한 상부 구조물의 형성 후, 상기 경질의 유리 기판이 제거될 수 있다. 즉, 상기 폴리이미드 기판은 얇고 플렉서블하기 때문에, 상기 폴리이미드 기판 상에 상기 상부 구조물을 직접 형성하기 어려울 수 있다. 이러한 점을 고려하여, 상기 경질의 유리 기판을 이용하여 상부 구조물을 형성한 다음, 상기 유리 기판을 제거함으로써, 상기 폴리이미드 기판이 기판(110)으로 이용될 수 있다. 예시적인 실시예들에 있어서, 기판(110)은 제1 영역(10), 제2 영역(20) 및 제3 영역(30)을 포함할 수 있다. 예를 들면, 제2 영역(20)은 제1 영역(10)과 제3 영역(30) 사이에 위치할 수 있고, 제1 영역(10)과 제3 영역(30)은 이격하여 위치할 수 있다.

[0038] 기판(110) 상에는 버퍼층(도시되지 않음)이 배치될 수도 있다. 상기 버퍼층은 기판(110) 상에 전체적으로 배치될 수 있다. 상기 버퍼층은 기판(110)으로부터 금속 원자들이나 불순물들이 제1 반도체 소자(250), 제2 반도체 소자(255), 상기 제1 커패시터, 제2 커패시터(280) 및 발광 구조물(200)로 확산되는 현상을 방지할 수 있으며, 액티브층(130)을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 액티브층(130)을 수득하게 할 수 있다. 또한, 상기 버퍼층은 기판(110)의 표면이 균일하지 않을 경우, 기판(110)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(110)의 유형에 따라 기판(110) 상에 두 개 이상의 버퍼층이 제공될 수 있거나 상기 버퍼층이 배치되지 않을 수 있다. 예를 들면, 상기 버퍼층은 유기 물질 또는 무기 물질을 포함할 수 있다.

[0039] 제1 액티브층(130)이 기판(110) 상의 제1 영역(10)에 배치될 수 있다. 예를 들면, 제1 액티브층(130)은 산화물 반도체, 무기물 반도체(예를 들면, 아몰퍼스 실리콘(amorphous silicon), 폴리 실리콘(poly silicon)) 또는 유기물 반도체 등을 포함할 수 있다.

[0040] 제2 액티브층(135)이 기판(110) 상의 제2 영역(20)에 배치될 수 있다. 예를 들면, 제2 액티브층(135)은 산화물 반도체, 무기물 반도체 또는 유기물 반도체 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130) 및 제2 액티브층(135)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다.

[0041] 기판(110), 제1 액티브층(130) 및 제2 액티브층(135) 상에는 게이트 절연층(150)이 배치될 수 있다. 게이트 절연층(150)은 기판(110) 상에서 제1 액티브층(130) 및 제2 액티브층(135)을 덮을 수 있고, 기판(110) 상에 전체적으로 배치될 수 있다. 예를 들면, 게이트 절연층(150)은 기판(110) 상에서 제1 액티브층(130) 및 제2 액티브층(135)을 덮으며, 제1 액티브층(130) 및 제2 액티브층(135)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 이와는 달리, 게이트 절연층(150)은 기판(110) 상에서 제1 액티브층(130) 및 제2 액티브층(135)을 충분히 덮을 수 있으며, 제1 액티브층(130) 및 제2 액티브층(135)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 게이트 절연층(150)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다.

[0042] 제1 게이트 전극(170)은 게이트 절연층(150) 상의 제1 영역(10)에 배치될 수 있다. 제1 게이트 전극(170)은 게이트 절연층(150) 중에서 하부에 제1 액티브층(130)이 위치하는 부분 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 도 2에 도시된 바와 같이, 제1 게이트 전극(170)은 제1 두께(T1)를 가질 수 있다. 제1 게이트 전극(170)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 게이트 전극(170)은 금(Au), 은(Ag), 알루미늄(Al), 백금(Pt), 니켈(Ni), 티타늄(Ti), 팔라듐(Pd), 마그네슘(Mg), 칼슘(Ca), 리튬(Li), 크롬(Cr), 탄탈륨(Ta), 몰리브덴(Mo), 스칸듐(Sc), 네오디뮴(Nd), 이리듐(Ir), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlN_x), 은을 함유하는 합금, 텅스텐(W), 텅스텐 질화물(WN_x), 구리를 함유하는 합금, 몰리브덴을 함유하는 합금, 티타늄 질화물(TiN_x), 탄탈륨 질화물(TaN_x), 스트론튬 루테튬 산화물(SrRuO_y), 아연 산화물(ZnO_x), 인듐 주석 산화물(ITO), 주석 산화물(SnO_x), 인듐 산화물(InO_x), 갈륨 산화물(GaO_x), 인듐 아연 산화물(IZO) 등으로 구성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 게이트 전극(170)은 다층 구조를 가질 수도 있다.

[0043] 제2 게이트 전극(175)은 게이트 절연층(150) 상의 제2 영역(20)에 배치될 수 있다. 제2 게이트 전극(175)은 게이트 절연층(150) 중에서 하부에 제2 액티브층(135)이 위치하는 부분 상에 배치될 수 있다. 예시적인 실시예들에 있어서, 도 2에 도시된 바와 같이, 제2 게이트 전극(175)은 제1 두께(T1)보다 작은 제2 두께(T2)를 가질 수 있다. 예를 들면, 제1 게이트 전극(170), 제2 게이트 전극 패턴(182), 제1 고유전율 절연 구조물(190) 및 제2 고유전율 절연 구조물(185)을 형성하기 위해 식각 공정을 진행하는 과정에서 제3 게이트 전극(175)의 일부 및 제1 게이트 전극 패턴(172)의 일부가 제거될 수 있고, 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172) 각각의 두께가 상대적으로 줄어들 수 있다. 따라서, 제1 게이트 전극(170)의 두께보다 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172) 각각의 두께가 작을 수 있다.

[0044] 제2 게이트 전극(175)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 게이트 전극(170)은 다층 구조를 가질

수도 있다.

[0045] 제1 게이트 전극 패턴(172)이 게이트 절연층(150) 상의 제3 영역(30)에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극 패턴(172)은 제2 두께(T2)를 가질 수 있다. 제1 게이트 전극 패턴(172)은 배선으로 기능할 수 있다. 예를 들면, 제1 게이트 전극 패턴(172)은 데이터 신호를 제공하는 데이터 신호 배선, 게이트 신호를 제공하는 게이트 신호 배선, 초기화 신호를 제공하는 초기화 신호 배선, 발광 신호를 제공하는 발광 신호 배선, 전압 전압을 제공하는 전원 전압 배선 등일 수 있다. 제1 게이트 전극 패턴(172)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 게이트 전극 패턴(172)은 다층 구조를 가질 수도 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극(170), 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다.

[0046] 제1 고유전율 절연 구조물(190)이 제1 게이트 전극(170) 상의 제1 영역(10)에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 고유전율 절연 구조물(190)은 제1 게이트 전극(170)을 완전히 덮을 수 있다. 예를 들면, 제1 고유전율 절연 구조물(190)이 제1 게이트 전극(170)을 완전히 덮음에 따라, 제2 게이트 전극(180)을 식각하는 공정에서, 제1 게이트 전극(170)을 보호할 수 있다. 또한, 제1 고유전율 절연 구조물(190)은 제1 소스 전극(210) 및 제1 드레인 전극(230)과 이격되어 배치될 수 있다. 다시 말하면, 제1 고유전율 절연 구조물(190)은 제1 소스 전극(210) 및 제1 드레인 전극(230)과 직접적으로 접촉하지 않을 수 있다.

[0047] 예를 들면, 제1 소스 전극(210) 및 제1 드레인 전극(230)이 제1 액티브층(130)에 접속되기 위한 콘택홀을 형성하는 공정에서, 제1 고유전율 절연 구조물(190)이 게이트 절연층(150) 상에 전체적으로 형성되어 제2 층간 절연층(205) 및 제1 층간 절연층(195)과 함께 제1 고유전율 절연층 패턴(192)이 제거되는 경우, 제1 고유전율 절연층 패턴(192) 때문에 BC12 또는 C12 가스를 이용하여 식각 공정이 진행될 수 있다. 이러한 경우, 제1 액티브층(130), 게이트 절연층(150) 및 제1 고유전율 절연 구조물(190)의 낮은 선택비 때문에 콘택홀 불량률이 야기될 수 있다. 다시 말하면, 콘택홀을 형성하기 위한 상기 식각 공정에서 제1 액티브층(130)이 노출되지 않거나 완전히 제거될 수 있다. 이에 따라, 상기 콘택홀을 용이하게 형성하기 위해 제1 고유전율 절연 구조물(190)이 콘택홀을 형성하는 공정에서 제거되지 않도록 제1 고유전율 절연 구조물(190)이 상기 콘택홀과 이격되어 배치될 수 있다. 즉, 제1 고유전율 절연 구조물(190)은 제1 소스 전극(210) 및 제1 드레인 전극(230)과 이격될 수 있다.

[0048] 예시적인 실시예들에 있어서, 제1 고유전율 절연 구조물(190)은 제1 게이트 전극(170)을 덮는 제1 고유전율 절연층 패턴(192) 및 제1 고유전율 절연층 패턴(192) 상에 배치되는 제1 절연층 패턴(194)을 포함할 수 있다. 여기서, 제1 고유전율 절연층 패턴(192)은 제1 게이트 전극(170)의 상면과 직접적으로 접촉할 수 있고, 제1 절연층 패턴(194)은 제2 게이트 전극(180)의 저면 및 제1 고유전율 절연층 패턴(192)의 상면과 동시에 접촉할 수 있다. 또한, 제1 절연층 패턴(194)은 제1 고유전율 절연층 패턴(192)보다 상대적으로 낮은 유전율을 가질 수 있다. 제1 고유전율 절연 구조물(190)이 제1 절연층 패턴(194)을 포함하는 경우, 제1 게이트 전극(170)과 제2 게이트 전극(180) 사이의 거리가 증가함에 따라 상기 제1 커패시터의 누설 전류가 줄어들 수 있다. 또한, 제1 고유전율 절연층 패턴(192)의 두께 및 제1 절연층 패턴(194)의 두께는 상기 제1 커패시터에 요구되는 정전 용량에 따라 결정될 수 있다. 예시적인 실시예들에 있어서, 제1 고유전율 절연층 패턴(192)의 두께는 제1 절연층 패턴(194)의 두께보다 클 수 있다.

[0049] 제1 고유전율 절연층 패턴(192)은 고유전율을 갖는 금속 산화물을 포함할 수 있다. 예를 들면, 제1 고유전율 절연층 패턴(192)은 알루미늄 산화물(AlO_x), 지르코늄 산화물(ZrO_x), 하프늄 산화물(HfO_x), 티타늄 산화물(TiO_x) 등으로 구성될 수 있다. 또한, 제1 절연층 패턴(194)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 제1 절연층 패턴(194)은 실리콘 산화물(SiO_x), 실리콘 질화물(SiN_x), 실리콘 산질화물(SiO_xNy), 실리콘 산탄화물(SiO_xCy), 실리콘 탄질화물($SiCxNy$), 실리콘 산탄화물(SiO_xCy), 알루미늄 산화물(AlO_x), 알루미늄 질화물(AlN_x), 탄탈륨 산화물(TaO_x), 하프늄 산화물(HfO_x), 지르코늄 산화물(ZrO_x), 티타늄 산화물(TiO_x) 등으로 구성될 수 있다. 이에 따라, 제1 고유전율 절연층 패턴(192) 및 제1 절연층 패턴(194)을 포함하는 제1 고유전율 절연 구조물(190)이 구성될 수 있다. 다른 예시적인 실시예들에 있어서, 제1 절연층 패턴(194)과 제1 고유전율 절연층 패턴(192)이 동일한 물질을 포함하는 경우, 제1 고유전율 절연 구조물(190)은 단일층으로 형성될 수 있다.

[0050] 제2 고유전율 절연 구조물(185)이 게이트 절연층(150) 상의 제3 영역(30)에 배치될 수 있다. 예시적인 실시예들에 있어서, 제2 고유전율 절연 구조물(185)은 제1 고유전율 절연 구조물(190)과 이격되어 위치할 수 있고, 제1 소스 전극(210), 제1 드레인 전극(230), 제2 드레인 전극(235) 및 제2 소스 전극(215)과 접촉하지 않을 수

있다. 또한, 제2 고유전을 절연 구조물(185)은 제2 고유전을 절연층 패턴(187) 및 제2 절연층 패턴(189)을 포함할 수 있다. 예를 들면, 제2 고유전을 절연층 패턴(187)은 기관(110)과 인접하여 위치할 수 있고, 제2 절연층 패턴(189)은 제2 고유전을 절연층 패턴(187) 상에서 제2 게이트 전극 패턴(182)과 중첩하여 배치될 수 있다. 제2 고유전을 절연층 패턴(187)은 고유전을 갖는 금속 산화물을 포함할 수 있고, 제2 절연층 패턴(189)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 고유전을 절연 구조물(190) 및 제2 고유전을 절연 구조물(185)은 동일한 물질을 사용하여 동시에 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 제2 절연층 패턴(189)과 제2 고유전을 절연층 패턴(187)이 동일한 물질을 포함하는 경우, 제2 고유전을 절연 구조물(185)은 단일층으로 형성될 수 있다.

[0051] 제1 고유전을 절연 구조물(190) 상에 제2 게이트 전극(180)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(180)은 제1 게이트 전극(170) 및 제1 고유전을 절연 구조물(190)과 중첩하여 위치할 수 있다. 또한, 제2 게이트 전극(180)의 폭은 제1 게이트 전극(170)의 폭과 동일하거나 클 수 있다. 더욱이, 제1 게이트 전극(170) 및 제2 게이트 전극(180)은 유기 발광 표시 장치(100)의 스토리지 커패시터(예를 들어, 제1 커패시터)로 기능할 수 있다. 예를 들면, 유기 발광 표시 장치(100)로부터 제1 게이트 전극(170)에 제공되는 신호를 조절하여 제1 게이트 전극(170)은 제1 반도체 소자(250)의 게이트 전극으로 기능하거나 상기 스토리지 커패시터의 하부 전극으로도 기능할 수 있다. 따라서, 제2 게이트 전극(180)은 제1 게이트 전극(170)과 함께 유기 발광 표시 장치(100)의 스토리지 커패시터로 기능할 수 있다. 제1 게이트 전극(170) 및 제2 게이트 전극(180)은 상기 스토리지 커패시터로 기능할 수 있기 때문에 제1 고유전을 절연 구조물(190)을 유전층으로 사용하는 상기 스토리지 커패시터는 상대적으로 많은 정전 용량을 확보할 수 있다.

[0052] 제2 게이트 전극(180)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제2 게이트 전극(180)은 다층 구조를 가질 수도 있다. 이에 따라, 제1 게이트 전극(170) 및 제2 게이트 전극(180)을 포함하는 제1 커패시터가 구성될 수 있다.

[0053] 제2 게이트 전극 패턴(182)은 제2 고유전을 절연 구조물(185) 상의 제3 영역(30)에 배치될 수 있고, 제1 게이트 전극 패턴(172)과 이격될 수 있다. 제2 게이트 전극 패턴(182)은 배선으로 기능할 수 있다. 예를 들면, 제2 게이트 전극 패턴(182)은 데이터 신호를 제공하는 데이터 신호 배선, 게이트 신호를 제공하는 게이트 신호 배선, 초기화 신호를 제공하는 초기화 신호 배선, 발광 신호를 제공하는 발광 신호 배선, 전압 전압을 제공하는 전원 전압 배선 등일 수 있다. 제2 게이트 전극 패턴(182)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제2 게이트 전극 패턴(182)은 다층 구조를 가질 수도 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(180) 및 제2 게이트 전극 패턴(182)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다.

[0054] 제1 층간 절연층(195)이 게이트 절연층(150), 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172) 상에 배치될 수 있다. 제1 층간 절연층(195)은 게이트 절연층(150) 상에서 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172)을 덮을 수 있고, 게이트 절연층(150) 상에 전체적으로 배치될 수 있다. 예를 들면, 제1 층간 절연층(195)은 게이트 절연층(150) 상에서 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172)을 덮으며, 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 이와는 달리, 제1 층간 절연층(195)은 게이트 절연층(150) 상에서 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172)을 충분히 덮을 수 있으며, 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 제1 층간 절연층(195)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다.

[0055] 제1 전극 패턴(232)이 제1 층간 절연층(195) 상의 제3 영역(30)에 배치될 수 있다. 제1 전극 패턴(232)은 제2 커패시터(280)의 하부 전극에 해당될 수 있다. 제1 전극 패턴(232)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 전극 패턴(232)은 다층 구조를 가질 수도 있다.

[0056] 제2 층간 절연층(205)은 제1 층간 절연층(195) 및 제1 전극 패턴(232) 상에 배치될 수 있다. 제2 층간 절연층(205)은 제1 층간 절연층(195) 상에서 제1 전극 패턴(232)을 덮을 수 있고, 제1 층간 절연층(195) 상에 전체적으로 배치될 수 있다. 예를 들면, 제2 층간 절연층(205)은 제1 층간 절연층(195) 상에서 제1 전극 패턴(232)을

덮으며, 제1 전극 패턴(232)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 이와는 달리, 제2 층간 절연층(205)은 제1 층간 절연층(195) 상에서 제1 전극 패턴(232)을 충분히 덮을 수 있으며, 제1 전극 패턴(232)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 제2 층간 절연층(205)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다.

[0057] 제1 소스 전극(210) 및 제1 드레인 전극(230)이 제2 층간 절연층(205) 상의 제1 영역(10)에 배치될 수 있다. 제1 소스 전극(210)은 제2 층간 절연층(205), 제1 층간 절연층(195) 및 게이트 절연층(150)의 제1 부분을 제거하여 형성된 제1 콘택홀(208)을 통해 제1 액티브층(130)의 소스 영역에 접속될 수 있고, 제1 드레인 전극(230)은 제2 층간 절연층(205), 제1 층간 절연층(195) 및 게이트 절연층(150)의 제2 부분을 제거하여 형성된 제2 콘택홀(209)을 통해 제1 액티브층(130)의 드레인 영역에 접속될 수 있다. 제1 소스 전극(210) 및 제1 드레인 전극(230) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제1 소스 전극(210) 및 제1 드레인 전극(230) 각각은 다층 구조를 가질 수도 있다. 이에 따라, 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함하는 제1 반도체 소자(250)가 구성될 수 있다.

[0058] 제2 소스 전극(215) 및 제2 드레인 전극(235)이 제2 층간 절연층(205) 상의 제2 영역(20)에 배치될 수 있다. 제2 소스 전극(215)은 제2 층간 절연층(205), 제1 층간 절연층(195) 및 게이트 절연층(150)의 제3 부분을 제거하여 형성된 제3 콘택홀(206)을 통해 제2 액티브층(135)의 소스 영역에 접속될 수 있고, 제2 드레인 전극(235)은 제2 층간 절연층(205), 제1 층간 절연층(195) 및 게이트 절연층(150)의 제4 부분을 제거하여 형성된 제4 콘택홀(207)을 통해 제2 액티브층(135)의 드레인 영역에 접속될 수 있다. 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 다층 구조를 가질 수도 있다. 이에 따라, 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함하는 제2 반도체 소자(255)가 구성될 수 있다.

[0059] 다만, 제1 반도체 소자(250) 및 제2 반도체 소자(255)가 상부 게이트 구조를 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 제1 반도체 소자(250) 및 제2 반도체 소자(255)는 하부 게이트 구조를 가질 수도 있다.

[0060] 예시적인 실시예들에 있어서, 제1 콘택홀(208), 제2 콘택홀(209), 제3 콘택홀(206) 및 제4 콘택홀(207)을 형성하는 공정에서 제1 고유전율 절연 구조물(190) 및 제2 고유전율 절연 구조물(185)이 제거되지 않기 때문에(예를 들어, 제2 층간 절연층(205), 제1 층간 절연층(195) 및 게이트 절연층(150)만 제거됨) 제1 내지 제4 콘택홀들(208, 207, 206, 207)이 용이하게 형성될 수 있다.

[0061] 제2 전극 패턴(234)이 제2 층간 절연층(205) 상의 제3 영역(30)에 배치될 수 있다. 제2 전극 패턴(234)은 제2 층간 절연층(205) 중에서 하부에 제1 전극 패턴(232)이 위치하는 부분 상에 배치될 수 있다. 다시 말하면, 제2 전극 패턴(234)은 제1 전극 패턴(232) 상에 중첩하여 배치될 수 있고, 제2 전극 패턴(234)은 제2 커패시터(280)의 하부 전극에 해당될 수 있다. 즉, 제2 전극 패턴(234)은 제1 전극 패턴(232)과 함께 제2 커패시터(280)를 구성할 수 있다. 제2 전극 패턴(234)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제2 전극 패턴(234)은 다층 구조를 가질 수도 있다. 예시적인 실시예들에 있어서, 제1 소스 전극(210), 제1 드레인 전극(230), 제2 소스 전극(215), 제2 드레인 전극(235) 및 제2 전극 패턴(234)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다.

[0062] 제2 층간 절연층(205), 제1 소스 전극(210), 제1 드레인 전극(230), 제2 소스 전극(215), 제2 드레인 전극(235) 및 제2 전극 패턴(234) 상에 평탄화층(270)이 배치될 수 있다. 평탄화층(270)은 제1 소스 전극(210), 제1 드레인 전극(230), 제2 소스 전극(215), 제2 드레인 전극(235) 및 제2 전극 패턴(234)을 덮을 수 있고, 제2 층간 절연층(205) 상에 전체적으로 배치될 수 있다. 예를 들면, 평탄화층(270)은 제2 층간 절연층(205) 상에서 제1 소스 전극(210), 제1 드레인 전극(230), 제2 소스 전극(215), 제2 드레인 전극(235) 및 제2 전극 패턴(234)을 충분히 덮도록 상대적으로 두꺼운 두께로 배치될 수 있고, 이러한 경우, 평탄화층(270)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 평탄화층(270)의 평탄한 상면을 구현하기 위하여 평탄화층(270)에 대해 평탄화 공정이 추가될 수 있다. 평탄화층(270)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 평탄화층(270)은 유기 물질을 포함할 수 있다. 예를 들면, 평탄화층(270)은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 폴리아미드계 수지, 실록산계 수지, 아크릴계 수지, 에폭시계 수지 등으로 구

성될 수 있다.

- [0063] 하부 전극(290)은 평탄화층(270) 상에 배치될 수 있다. 하부 전극(290)은 평탄화층(270) 중 하부에 제1 반도체 소자(250)가 위치하는 부분 상에 배치될 수 있고, 평탄화층(270)의 일부를 관통하여 제1 드레인 전극(230)과 접속할 수 있다. 또한, 하부 전극(290)은 제1 반도체 소자(250)와 전기적으로 연결될 수 있다. 하부 전극(290) 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 하부 전극(290)은 다층 구조를 가질 수도 있다.
- [0064] 화소 정의막(310)은 하부 전극(290)의 일부 및 평탄화층(270) 상에 배치될 수 있다. 화소 정의막(310)은 하부 전극(290)의 양측부를 덮을 수 있고, 하부 전극(290)의 일부를 노출시킬 수 있다. 화소 정의막(310)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(310)은 유기 물질을 포함할 수 있다.
- [0065] 발광층(330)은 화소 정의막(310)에 의해 노출된 하부 전극(290) 상에 배치될 수 있다. 발광층(330)은 서브 화소들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 이와는 달리, 발광층(330)은 적색광, 녹색광, 청색광 등의 다른 색광들을 방출시킬 수 있는 복수의 발광 물질들을 적층하여 전체적으로 백색광을 방출할 수 있다. 이러한 경우, 발광층(330) 상에 컬러 필터가 배치(예를 들어, 봉지 기판(미도시)의 저면에 발광층(330)과 중첩되도록 배치)될 수도 있다. 상기 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 중 적어도 하나를 포함할 수 있다. 선택적으로, 상기 컬러 필터는 황색(Yellow) 컬러 필터, 청남색(Cyan) 컬러 필터 및 자주색(Magenta) 컬러 필터를 포함할 수도 있다. 상기 컬러 필터는 감광성 수지로 구성될 수 있다.
- [0066] 상부 전극(340)은 화소 정의막(310) 및 발광층(330) 상에 배치될 수 있다. 상부 전극(340)은 발광층(330) 및 화소 정의막(310)을 덮을 수 있고, 발광층(330) 및 화소 정의막(310) 상에 전체적으로 배치될 수 있다. 상부 전극(340)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 상부 전극(340)은 다층 구조를 가질 수도 있다. 이에 따라, 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함하는 발광 구조물(200)이 구성될 수 있다.
- [0067] 봉지 기판(미도시)은 상부 전극(340) 상에 배치될 수 있다. 상기 봉지 기판은 실질적으로 기판(110)과 동일한 재료로 구성될 수 있다. 예를 들면, 상기 봉지 기판은 석영 기판, 합성 석영 기판, 불화칼슘 기판, 불소가 도핑된 석영 기판, 소다 라임 유리 기판, 무알칼리 유리 기판 등을 포함할 수 있다. 다른 예시적인 실시예들에 있어서, 상기 봉지 기판은 투명 무기 물질 또는 플렉서블 플라스틱으로 구성될 수 있다. 예를 들면, 상기 봉지 기판은 연성을 갖는 투명 수지 기판을 포함할 수도 있다. 이러한 경우, 유기 발광 표시 장치(100)의 가요성을 향상시키기 위하여 적어도 하나의 무기층 및 적어도 하나의 유기층이 교대로 적층되는 구조를 가질 수 있다.
- [0068] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치(100)는 제1 게이트 전극(170)과 제2 게이트 전극(180) 사이에만 개재되는 제1 고유전율 절연 구조물(190)을 포함(예를 들어, 제1 고유전율 절연 구조물(190)은 제1 소스 전극(210) 및 제1 드레인 전극(230)과 직접적으로 접촉하지 않음)함으로써, 제1 콘택홀(208), 제2 콘택홀(209), 제3 콘택홀(206) 및 제4 콘택홀(207)을 형성하는 공정에서 제1 고유전율 절연 구조물(190)을 제거하지 않기 때문에 제1 내지 제4 콘택홀들(208, 207, 206, 207)이 용이하게 형성될 수 있다.
- [0069] 또한, 제1 고유전율 절연 구조물(190)이 제1 게이트 전극(170)을 완전히 덮음으로써 유기 발광 표시 장치(100)는 제2 게이트 전극(180)을 식각하는 공정에서, 제1 게이트 전극(170)을 보호할 수 있다.
- [0070] 더욱이, 유기 발광 표시 장치(100)가 제1 고유전율 절연 구조물(190)을 포함함으로써 유기 발광 표시 장치(100)는 고유전율을 갖는 제1 커패시터(예를 들어, 제1 게이트 전극(170) 및 제2 게이트 전극(180))를 포함할 수 있다. 이에 따라, 유기 발광 표시 장치(100)는 상대적으로 많은 정전 용량을 확보할 수 있는 상기 제1 커패시터를 포함하는 유기 발광 표시 장치로 기능할 수 있다.
- [0071] 도 3은 도 1의 다른 실시예에 따른 유기 발광 표시 장치를 나타내는 단면도이다. 도 3에 예시한 유기 발광 표시 장치는 제1 고유전율 절연 구조물(190)의 형상을 제외하고 도 1 및 도 2를 참조하여 설명한 유기 발광 표시 장치(100)와 실질적으로 동일한 구성을 가질 수 있다. 도 3에 있어서, 도 1 및 도 2를 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.
- [0072] 도 3을 참조하면, 제1 고유전율 절연 구조물(190)이 제1 게이트 전극(170) 상의 제1 영역(10)에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 고유전율 절연 구조물(190)은 제1 게이트 전극(170)의 상면에만 배치될 수 있다. 예를 들면, 제1 고유전율 절연 구조물(190)이 제1 게이트 전극(170)의 상면에만 배치되는 경우, 제1

고유전을 절연 구조물(190)이 제1 소스 및 제1 드레인 전극들(210, 230)로부터 이격되는 거리가 상대적으로 증가될 수 있다. 이러한 경우, 제1 콘택홀(208) 및 제2 콘택홀(209)을 형성하는 과정에서 공정 마진(process margin)을 확보할 수 있으므로, 제1 콘택홀(208) 및 제2 콘택홀(209)을 상대적으로 용이하게 형성할 수 있다.

[0073] 제1 고유전을 절연 구조물(190)은 제1 소스 전극(210) 및 제1 드레인 전극(230)과 이격되어 배치될 수 있다. 다시 말하면, 제1 고유전을 절연 구조물(190)은 제1 소스 전극(210) 및 제1 드레인 전극(230)과 직접적으로 접촉하지 않을 수 있다.

[0074] 예시적인 실시예들에 있어서, 제1 고유전을 절연 구조물(190)은 제1 고유전을 절연층 패턴(192) 및 제1 고유전을 절연층 패턴(192) 상에 배치되는 제1 절연층 패턴(194)을 포함할 수 있다. 여기서, 제1 고유전을 절연층 패턴(192)은 제1 게이트 전극(170)의 상면과 직접적으로 접촉할 수 있고, 제1 절연층 패턴(194)은 제2 게이트 전극(180)의 저면 및 제1 고유전을 절연층 패턴(192)의 상면과 동시에 접촉할 수 있다. 또한, 제1 고유전을 절연층 패턴(192)의 두께는 제1 절연층 패턴(194)의 두께보다 클 수 있다. 제1 고유전을 절연층 패턴(192)은 고유전율을 갖는 금속 산화물을 포함할 수 있고, 제1 절연층 패턴(194)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 이에 따라, 제1 고유전을 절연층 패턴(192) 및 제1 절연층 패턴(194)을 포함하는 제1 고유전을 절연 구조물(190)이 구성될 수 있다.

[0075] 제1 고유전을 절연 구조물(190) 상에 제2 게이트 전극(180)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(180)은 제1 게이트 전극(170) 및 제1 고유전을 절연 구조물(190)과 중첩하여 위치할 수 있다. 또한, 제2 게이트 전극(180)의 폭은 제1 게이트 전극(170)의 폭보다 작을 수 있다. 제2 게이트 전극(180)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제2 게이트 전극(180)은 다층 구조를 가질 수도 있다.

[0076] 도 4A는 도 1의 다른 실시예에 따른 유기 발광 표시 장치를 나타내는 단면도이고, 도 4B는 도 4A에 포함된 제1 고유전을 절연 구조물의 일 예를 나타내는 단면도이다. 도 4A에 예시한 유기 발광 표시 장치는 제1 고유전을 절연 구조물(190)의 형상을 제외하고 도 1 및 도 2를 참조하여 설명한 유기 발광 표시 장치(100)와 실질적으로 동일한 구성을 가질 수 있다. 도 4A에 있어서, 도 1 및 도 2를 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0077] 도 4A를 참조하면, 제1 고유전을 절연 구조물(190)이 제1 게이트 전극(170) 상의 제1 영역(10)에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 고유전을 절연 구조물(190)은 제1 게이트 전극(170)을 완전히 덮을 수 있고, 제1 게이트 전극(170)을 보호할 수 있다. 또한, 제1 고유전을 절연 구조물(190)은 제1 소스 전극(210) 및 제1 드레인 전극(230)과 이격되어 배치될 수 있다. 다시 말하면, 제1 고유전을 절연 구조물(190)은 제1 소스 전극(210) 및 제1 드레인 전극(230)과 직접적으로 접촉하지 않을 수 있다.

[0078] 예시적인 실시예들에 있어서, 제1 고유전을 절연 구조물(190)은 제1 게이트 전극(170)을 덮는 제1 절연층 패턴(194) 및 제1 절연층 패턴(194) 상에 배치되는 제1 고유전을 절연층 패턴(192)을 포함할 수 있다. 여기서, 제1 절연층 패턴(194)은 제1 게이트 전극(170)의 상면과 직접적으로 접촉할 수 있고, 제1 고유전을 절연층 패턴(192)은 제2 게이트 전극(180)의 저면 및 제1 절연층 패턴(194)의 상면과 동시에 접촉할 수 있다. 또한, 제1 절연층 패턴(194)은 제1 고유전을 절연층 패턴(192)보다 상대적으로 낮은 유전율을 가질 수 있다. 예시적인 실시예들에 있어서, 제1 고유전을 절연층 패턴(192)의 두께는 제1 절연층 패턴(194)의 두께보다 클 수 있다. 제1 고유전을 절연층 패턴(192)은 고유전율을 갖는 금속 산화물을 포함할 수 있다. 또한, 제1 절연층 패턴(194)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 이에 따라, 제1 고유전을 절연층 패턴(192) 및 제1 절연층 패턴(194)을 포함하는 제1 고유전을 절연 구조물(190)이 구성될 수 있다.

[0079] 다른 예시적인 실시예들에 있어서, 제1 절연층 패턴(194)과 제1 고유전을 절연층 패턴(192)이 동일한 물질을 포함하는 경우, 도 4B에 도시된 바와 같이, 제1 고유전을 절연 구조물(190)은 단일층으로 형성될 수 있다. 이러한 경우, 제1 커패시터는 상대적으로 높은 유전율을 갖는 커패시터로 기능할 수 있다. 또한, 제2 절연층 패턴(189)과 제2 고유전을 절연층 패턴(187)이 동일한 물질을 포함하는 경우, 제2 고유전을 절연 구조물(185)은 단일층으로 형성될 수 있다.

[0080] 도 5A는 도 1의 다른 실시예에 따른 유기 발광 표시 장치를 나타내는 단면도이고, 도 5B는 도 5A에 포함된 제1 고유전을 절연 구조물의 일 예를 나타내는 단면도이다. 도 5A에 예시한 유기 발광 표시 장치는 제1 고유전을 절연 구조물(190)의 형상을 제외하고 도 3을 참조하여 설명한 유기 발광 표시 장치와 실질적으로 동일한 구성을 가질 수 있다. 도 5A에 있어서, 도 3을 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요

소들에 대해 중복되는 설명은 생략한다.

- [0081] 도 5A를 참조하면, 제1 고유전을 절연 구조물(190)이 제1 게이트 전극(170) 상의 제1 영역(10)에 배치될 수 있다. 예시적인 실시예들에 있어서, 제1 고유전을 절연 구조물(190)은 제1 게이트 전극(170)의 상면에만 배치될 수 있다.
- [0082] 예시적인 실시예들에 있어서, 제1 고유전을 절연 구조물(190)은 제1 절연층 패턴(194) 및 제1 절연층 패턴(194) 상에 배치되는 제1 절연층 패턴(194)을 포함할 수 있다. 여기서, 제1 절연층 패턴(194)은 제1 게이트 전극(170)의 상면과 직접적으로 접촉할 수 있고, 제1 고유전을 절연층 패턴(192)은 제2 게이트 전극(180)의 저면 및 제1 절연층 패턴(194)의 상면과 동시에 접촉할 수 있다. 또한, 제1 고유전을 절연층 패턴(192)의 두께는 제1 절연층 패턴(194)의 두께보다 클 수 있다. 제1 고유전을 절연층 패턴(192)은 고유전율을 갖는 금속 산화물을 포함할 수 있고, 제1 절연층 패턴(194)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 이에 따라, 제1 고유전을 절연층 패턴(192) 및 제1 절연층 패턴(194)을 포함하는 제1 고유전을 절연 구조물(190)이 구성될 수 있다.
- [0083] 제1 고유전을 절연 구조물(190) 상에 제2 게이트 전극(180)이 배치될 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(180)은 제1 게이트 전극(170) 및 제1 고유전을 절연 구조물(190)과 중첩하여 위치할 수 있고, 제2 게이트 전극(180)의 폭은 제1 게이트 전극(170)의 폭보다 작을 수 있다. 제2 게이트 전극(180)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제2 게이트 전극(180)은 다층 구조를 가질 수도 있다.
- [0084] 다른 예시적인 실시예들에 있어서, 제1 절연층 패턴(194)과 제1 고유전을 절연층 패턴(192)이 동일한 물질을 포함하는 경우, 도 5B에 도시된 바와 같이, 제1 고유전을 절연 구조물(190)은 단일층으로 형성될 수 있다. 이러한 경우, 제1 커패시터는 상대적으로 높은 유전율을 갖는 커패시터로 기능할 수 있다. 또한, 제2 절연층 패턴(189)과 제2 고유전을 절연층 패턴(187)이 동일한 물질을 포함하는 경우, 제2 고유전을 절연 구조물(185)은 단일층으로 형성될 수 있다.
- [0085] 도 6 내지 도 16은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다. 예를 들면, 도 7은 도 6의 제1 게이트 전극, 제3 게이트 전극 및 제1 게이트 전극 패턴 각각의 두께를 설명하기 위한 단면도이고, 도 12는 도 11의 제1 게이트 전극의 두께와 및 제3 게이트 전극 및 제1 게이트 전극 패턴 각각의 두께를 비교하기 위한 단면도이다.
- [0086] 도 5를 참조하면, 기판(110)이 제공될 수 있다. 기판(110)은 투명한 또는 불투명한 재료로 구성될 수 있다. 예를 들면, 기판(110)은 석영 기판, 합성 석영 기판, 불화칼슘 기판, 불소가 도핑된 석영 기판, 소다라임 유리 기판, 무알칼리 유리 기판 등을 사용하여 형성될 수 있다. 기판(110)은 제1 영역(10), 제2 영역(20) 및 제3 영역(30)을 포함할 수 있다. 예를 들면, 제2 영역(20)은 제1 영역(10)과 제3 영역(30) 사이에 위치할 수 있고, 제1 영역(10)과 제3 영역(30)은 이격하여 위치할 수 있다.
- [0087] 기판(110) 상에는 버퍼층(도시되지 않음)이 형성될 수도 있다. 상기 버퍼층은 기판(110) 상에 전체적으로 형성될 수 있다. 상기 버퍼층은 기판(110)으로부터 금속 원자들이나 불순물들이 반도체 소자들, 커패시터들 및 발광 구조물로 확산되는 현상을 방지할 수 있으며, 액티브층을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 액티브층을 수득하게 할 수 있다. 또한, 상기 버퍼층은 기판(110)의 표면이 균일하지 않을 경우, 기판(110)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(110)의 유형에 따라 기판(110) 상에 두 개 이상의 버퍼층이 제공될 수 있거나 상기 버퍼층이 배치되지 않을 수 있다. 예를 들면, 상기 버퍼층은 유기 물질 또는 무기 물질을 사용하여 형성될 수 있다.
- [0088] 제1 액티브층(130)이 기판(110) 상의 제1 영역(10)에 형성될 수 있다. 예를 들면, 제1 액티브층(130)은 산화물 반도체, 무기물 반도체 또는 유기물 반도체 등을 사용하여 형성될 수 있다.
- [0089] 제2 액티브층(135)이 기판(110) 상의 제2 영역(20)에 형성될 수 있다. 예를 들면, 제2 액티브층(135)은 산화물 반도체, 무기물 반도체 또는 유기물 반도체 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130) 및 제2 액티브층(135)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다. 예를 들면, 기판(110) 상에 예비 액티브층이 전체적으로 형성된 후, 상기 예비 액티브층을 선택적으로 식각하여 제1 액티브층(130) 및 제2 액티브층(135)이 형성될 수 있다.
- [0090] 기판(110), 제1 액티브층(130) 및 제2 액티브층(135) 상에는 게이트 절연층(150)이 형성될 수 있다. 게이트 절연층(150)은 기판(110) 상에서 제1 액티브층(130) 및 제2 액티브층(135)을 덮을 수 있고, 기판(110) 상에 전체적으로 형성될 수 있다. 예를 들면, 게이트 절연층(150)은 기판(110) 상에서 제1 액티브층(130) 및 제2 액티브

층(135)을 덮으며, 제1 액티브층(130) 및 제2 액티브층(135)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 이와는 달리, 게이트 절연층(150)은 기판(110) 상에서 제1 액티브층(130) 및 제2 액티브층(135)을 충분히 덮을 수 있으며, 제1 액티브층(130) 및 제2 액티브층(135)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 게이트 절연층(150)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다.

[0091] 제1 게이트 전극(170)은 게이트 절연층(150) 상의 제1 영역(10)에 형성될 수 있다. 제1 게이트 전극(170)은 게이트 절연층(150) 중에서 하부에 제1 액티브층(130)이 위치하는 부분 상에 형성될 수 있다. 제1 게이트 전극(170)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 예를 들면, 제1 게이트 전극(170)은 금, 은, 알루미늄, 백금, 니켈, 티타늄, 팔라듐, 마그네슘, 칼슘, 리튬, 크롬, 탄탈륨, 몰리브데늄, 스칸듐, 네오디뮴, 이리듐, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리를 함유하는 합금, 몰리브데늄을 함유하는 합금, 티타늄 질화물, 탄탈륨 질화물, 스트론튬 루테튬 산화물, 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 게이트 전극(170)은 다층 구조를 가질 수도 있다.

[0092] 제2 게이트 전극(175)은 게이트 절연층(150) 상의 제2 영역(20)에 형성될 수 있다. 제2 게이트 전극(175)은 게이트 절연층(150) 중에서 하부에 제2 액티브층(135)이 위치하는 부분 상에 형성될 수 있다. 제2 게이트 전극(175)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 게이트 전극(170)은 다층 구조를 가질 수도 있다.

[0093] 제1 게이트 전극 패턴(172)이 게이트 절연층(150) 상의 제3 영역(30)에 형성될 수 있다. 제1 게이트 전극 패턴(172)은 배선으로 기능할 수 있다. 예를 들면, 제1 게이트 전극 패턴(172)은 데이터 신호를 제공하는 데이터 신호 배선, 게이트 신호를 제공하는 게이트 신호 배선, 초기화 신호를 제공하는 초기화 신호 배선, 발광 신호를 제공하는 발광 신호 배선, 전압 전압을 제공하는 전원 전압 배선 등일 수 있다. 제1 게이트 전극 패턴(172)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 게이트 전극 패턴(172)은 다층 구조를 가질 수도 있다.

[0094] 예시적인 실시예들에 있어서, 제1 게이트 전극(170), 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다. 예를 들면, 예비 게이트 전극층이 제1 두께(T1)로 게이트 절연층(150) 상에 전체적으로 형성된 후, 상기 예비 게이트 전극층을 선택적으로 식각하여 제1 게이트 전극(170), 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172)이 형성될 수 있다. 도 7에 도시된 바와 같이, 제1 게이트 전극(170), 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172) 각각은 제1 두께(T1)를 가질 수 있다.

[0095] 도 8을 참조하면, 예비 고유전율 절연 구조물(1190)이 게이트 절연층(150) 상에 전체적으로 형성될 수 있다. 예시적인 실시예들에 있어서, 예비 고유전율 절연 구조물(1190)은 예비 고유전율 절연층(191) 및 예비 고유전율 절연층(191) 상에 형성되는 예비 절연층(193)을 포함할 수 있다.

[0096] 예비 고유전율 절연층(191)은 게이트 절연층(150) 상에서 제1 게이트 전극(170), 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172)을 덮을 수 있고, 게이트 절연층(150) 상에 전체적으로 형성될 수 있다. 예를 들면, 예비 고유전율 절연층(191)은 게이트 절연층(150) 상에서 제1 게이트 전극(170), 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172)을 덮으며, 제1 게이트 전극(170), 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 이와는 달리, 예비 고유전율 절연층(191)은 게이트 절연층(150) 상에서 제1 게이트 전극(170), 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172)을 충분히 덮을 수 있으며, 게이트 절연층(150) 상에서 제1 게이트 전극(170), 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 예비 고유전율 절연층(191)은 고유전율을 갖는 금속 산화물을 사용하여 형성될 수 있다. 예를 들면, 예비 고유전율 절연층(191)은 알루미늄 산화물, 지르코늄 산화물, 하프늄 산화물, 티타늄 산화물 등을 포함할 수 있다.

[0097] 예비 절연층(193)은 예비 고유전율 절연층(191) 상에 전체적으로 형성될 수 있다. 예를 들면, 예비 절연층(193)은 예비 고유전율 절연층(191) 상에서 예비 고유전율 절연층(191)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 이와는 달리, 예비 절연층(193)은 예비 고유전율 절연층(191) 상에서 단차를 생성시키지 않

고 실질적으로 평탄한 상면을 가질 수 있다. 예비 절연층(193)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 예를 들면, 예비 절연층(193)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물, 실리콘 산탄화물, 알루미늄 산화물, 알루미늄 질화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등을 포함할 수 있다. 이에 따라, 예비 고유전율 절연층(191) 및 예비 제1 절연층 패턴(193)을 포함하는 예비 고유전율 절연 구조물(1190)이 형성될 수 있다.

[0098] 예비 고유전율 절연 구조물(1190) 상에 예비 제2 게이트 전극층(1180)이 전체적으로 형성될 수 있다. 예를 들면, 예비 제2 게이트 전극층(1180)은 예비 절연층(193) 상에서 예비 절연층(193)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 이와는 달리, 예비 제2 게이트 전극층(1180)은 예비 절연층(193) 상에서 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 예비 제2 게이트 전극층(1180)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제2 게이트 전극(180)은 다층 구조를 가질 수도 있다.

[0099] 도 9를 참조하면, 예비 제2 게이트 전극층(1180) 상에 제1 포토레지스트(482) 및 제2 포토레지스트(484)가 형성될 수 있다. 예를 들면, 제1 포토레지스트(482)는 제1 게이트 전극(170) 상에 형성될 수 있고, 제2 포토레지스트(484)는 제3 영역(30)의 일부(예를 들어, 제1 게이트 전극(170)과 제1 게이트 전극 패턴(172) 사이)에 형성될 수 있다.

[0100] 도 10을 참조하면, 제1 포토레지스트(482) 및 제2 포토레지스트(484)가 형성된 후, 제1 및 제2 포토레지스트들(482, 484)을 마스크로 이용하여 예비 제2 게이트 전극층(1180) 및 예비 고유전율 절연 구조물(1190)이 부분적으로 제거될 수 있다. 상기 식각 공정은 BC12 또는 C12 가스를 이용하여 수행될 수 있고, 예비 제2 게이트 전극층(1180)이 티타늄 또는 알루미늄을 포함하는 경우 예비 제2 게이트 전극층(1180)이 상대적으로 용이하게 식각될 수 있다.

[0101] 도 11을 참조하면, 예비 제2 게이트 전극층(1180)에 선택적 식각 공정이 수행된 후, 제1 게이트 전극(170) 상에 제1 고유전율 절연 구조물(190) 및 제2 게이트 전극(180)이 형성될 수 있고, 게이트 절연층(150)의 제3 영역(30)에 제2 고유전율 절연 구조물(185) 및 제2 게이트 전극 패턴(182)이 형성될 수 있다.

[0102] 제1 고유전율 절연 구조물(190)은 제1 게이트 전극(170) 상의 제1 영역(10)에 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 고유전율 절연 구조물(190)은 제1 게이트 전극(170)을 완전히 덮을 수 있다. 예를 들면, 제1 고유전율 절연 구조물(190)이 제1 게이트 전극(170)을 완전히 덮음에 따라, 상기 선택적 식각 공정을 수행하는 동안 제1 게이트 전극(170)을 보호할 수 있다. 예시적인 실시예들에 있어서, 제1 고유전율 절연 구조물(190)은 제1 게이트 전극(170)을 덮는 제1 고유전율 절연층 패턴(192) 및 제1 고유전율 절연층 패턴(192) 상에 배치되는 제1 절연층 패턴(194)을 포함할 수 있다. 또한, 제1 절연층 패턴(194)은 제1 고유전율 절연층 패턴(192)보다 상대적으로 낮은 유전율을 가질 수 있다. 더욱이, 제1 고유전율 절연층 패턴(192)의 두께는 제1 절연층 패턴(194)의 두께보다 클 수 있다.

[0103] 제2 고유전율 절연 구조물(185)은 게이트 절연층(150) 상의 제3 영역(30)에 형성될 수 있다. 예시적인 실시예들에 있어서, 제2 고유전율 절연 구조물(185)은 제1 고유전율 절연 구조물(190)과 이격되어 위치할 수 있다. 또한, 제2 고유전율 절연 구조물(185)은 제2 고유전율 절연층 패턴(187) 및 제2 절연층 패턴(189)을 포함할 수 있다. 더욱이, 제1 고유전율 절연 구조물(190) 및 제2 고유전율 절연 구조물(185)은 동일한 물질을 사용하여 동시에 형성될 수 있다.

[0104] 제1 고유전율 절연 구조물(190) 상에 제2 게이트 전극(180)이 형성될 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(180)은 제1 게이트 전극(170) 및 제1 고유전율 절연 구조물(190)과 중첩하여 위치할 수 있다. 또한, 제2 게이트 전극(180)의 폭은 제1 게이트 전극(170)의 폭과 동일하거나 크게 형성될 수 있다. 더욱이, 제1 게이트 전극(170) 및 제2 게이트 전극(180)은 유기 발광 표시 장치의 스토리지 커패시터(예를 들어, 제1 커패시터)로 기능할 수 있다. 제1 게이트 전극(170) 및 제2 게이트 전극(180)은 상기 스토리지 커패시터로 기능할 수 있기 때문에 제1 고유전율 절연 구조물(190)을 유전층으로 사용하는 상기 스토리지 커패시터는 상대적으로 많은 정전 용량을 확보할 수 있다.

[0105] 제2 게이트 전극 패턴(182)은 제2 고유전율 절연 구조물(185) 상의 제3 영역(30)에 형성될 수 있고, 제1 게이트 전극 패턴(172)과 이격될 수 있다. 제2 게이트 전극 패턴(182)은 배선으로 기능할 수 있다. 예를 들면, 제2 게이트 전극 패턴(182)은 데이터 신호를 제공하는 데이터 신호 배선, 게이트 신호를 제공하는 게이트 신호 배선, 초기화 신호를 제공하는 초기화 신호 배선, 발광 신호를 제공하는 발광 신호 배선, 전압 전압을 제공하는 전원

전압 배선 동일 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(180) 및 제2 게이트 전극 패턴(182)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다.

[0106] 한편, 상기 선택적 식각 공정이 수행되는 동안, 도 12에 도시된 바와 같이, 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172)의 크기가 이전 상태(예를 들어, 선택적 식각 공정 전 상태)보다 상대적으로 감소될 수 있고, 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172) 각각의 두께가 제1 두께(T1)보다 작은 제2 두께(T2)로 감소될 수 있다. 다시 말하면, 제1 게이트 전극(170)이 제3 게이트 전극(175) 및 제1 게이트 전극 패턴(172) 각각의 두께보다 클 수 있다.

[0107] 도 13을 참조하면, 제1 층간 절연층(195)이 게이트 절연층(150), 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172) 상에 형성될 수 있다. 제1 층간 절연층(195)은 게이트 절연층(150) 상에서 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172)을 덮을 수 있고, 게이트 절연층(150) 상에 전체적으로 형성될 수 있다. 예를 들면, 제1 층간 절연층(195)은 게이트 절연층(150) 상에서 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172)을 덮으며, 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 이와는 달리, 제1 층간 절연층(195)은 게이트 절연층(150) 상에서 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172)을 충분히 덮을 수 있으며, 제2 게이트 전극(180), 제3 게이트 전극(175), 제2 게이트 전극 패턴(182) 및 제1 게이트 전극 패턴(172)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 제1 층간 절연층(195)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다.

[0108] 제1 전극 패턴(232)이 제1 층간 절연층(195) 상의 제3 영역(30)에 형성될 수 있다. 제1 전극 패턴(232)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 전극 패턴(232)은 다층 구조를 가질 수도 있다.

[0109] 제2 층간 절연층(205)은 제1 층간 절연층(195) 및 제1 전극 패턴(232) 상에 형성될 수 있다. 제2 층간 절연층(205)은 제1 층간 절연층(195) 상에서 제1 전극 패턴(232)을 덮을 수 있고, 제1 층간 절연층(195) 상에 전체적으로 형성될 수 있다. 예를 들면, 제2 층간 절연층(205)은 제1 층간 절연층(195) 상에서 제1 전극 패턴(232)을 덮으며, 제1 전극 패턴(232)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 이와는 달리, 제2 층간 절연층(205)은 제1 층간 절연층(195) 상에서 제1 전극 패턴(232)을 충분히 덮을 수 있으며, 제1 전극 패턴(232)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 제2 층간 절연층(205)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다.

[0110] 도 14를 참조하면, 제2 층간 절연층(205), 제1 층간 절연층(195) 및 게이트 절연층(150)의 제1 부분을 제거하여 제1 콘택홀(208)이 형성될 수 있고, 제1 콘택홀(208)은 제1 액티브층(130)의 소스 영역을 노출시킬 수 있다. 또한, 제2 층간 절연층(205), 제1 층간 절연층(195) 및 게이트 절연층(150)의 제2 부분을 제거하여 제2 콘택홀(209)이 형성될 수 있고, 제2 콘택홀(209)은 제1 액티브층(130)의 드레인 영역을 노출시킬 수 있다.

[0111] 제2 층간 절연층(205), 제1 층간 절연층(195) 및 게이트 절연층(150)의 제3 부분을 제거하여 제3 콘택홀(206)이 형성될 수 있고, 제3 콘택홀(206)은 제2 액티브층(135)의 소스 영역을 노출시킬 수 있다. 또한, 제2 층간 절연층(205), 제1 층간 절연층(195) 및 게이트 절연층(150)의 제4 부분을 제거하여 제4 콘택홀(207)이 형성될 수 있고, 제4 콘택홀(207)은 제2 액티브층(135)의 드레인 영역을 노출시킬 수 있다. 제1 콘택홀(208), 제2 콘택홀(209), 제3 콘택홀(206) 및 제4 콘택홀(207)은 불소(F) 가스를 이용하여 식각될 수 있다.

[0112] 예를 들면, 예비 고유전율 절연 구조물(1190)이 게이트 절연층(150) 상에 전체적으로 형성되어 제2 층간 절연층(205) 및 제1 층간 절연층(195)과 함께 예비 고유전율 절연 구조물(1190)을 제거하여 제1 콘택홀(208), 제2 콘택홀(209), 제3 콘택홀(206) 및 제4 콘택홀(207)을 형성하는 경우, 예비 고유전율 절연층(191) 때문에 BC12 또는 C12 가스를 이용하여 식각 공정이 진행될 수 있다. 이러한 경우, 제1 액티브층(130), 게이트 절연층(150) 및 제1 고유전율 절연 구조물(190)의 낮은 선택비 때문에 콘택홀 불량률이 야기될 수 있다. 다시 말하면, 제1 내지 제4 콘택홀들(208, 207, 206, 207)을 형성하기 위한 상기 식각 공정에서 제1 액티브층(130)이 노출되지 않거나 완전히 제거될 수 있다. 이에 따라, 제1 내지 제4 콘택홀들(208, 207, 206, 207)을 용이하게 형성하기 위해 제1 고유전율 절연 구조물(190)이 제1 내지 제4 콘택홀들(208, 207, 206, 207)을 형성하는 공정에서 제거되지 않도록 제1 고유전율 절연 구조물(190) 및 제2 고유전율 절연 구조물(185)이 제1 내지 제4 콘택홀들(208, 207, 206, 207)과 이격되어 형성될 수 있다. 즉, 제1 고유전율 절연 구조물(190) 및 제2 고유전율 절연 구조물(185)은 제1

내지 제4 콘택홀들(208, 207, 206, 207)과 이격될 수 있다.

- [0113] 예시적인 실시예들에 있어서, 제1 콘택홀(208), 제2 콘택홀(209), 제3 콘택홀(206) 및 제4 콘택홀(207)을 형성하는 공정에서 제1 고유전율 절연 구조물(190) 및 제2 고유전율 절연 구조물(185)이 제거되지 않기 때문에(예를 들어, 제2 층간 절연층(205), 제1 층간 절연층(195) 및 게이트 절연층(150)만 제거됨) 제1 내지 제4 콘택홀들(208, 207, 206, 207)이 용이하게 형성될 수 있다.
- [0114] 도 15를 참조하면, 제1 소스 전극(210) 및 제1 드레인 전극(230)이 제2 층간 절연층(205) 상의 제1 영역(10)에 형성될 수 있다. 제1 소스 전극(210)은 제1 콘택홀(208)을 통해 제1 액티브층(130)의 소스 영역에 접속될 수 있고, 제1 드레인 전극(230)은 제2 콘택홀(209)을 통해 제1 액티브층(130)의 드레인 영역에 접속될 수 있다. 제1 소스 전극(210) 및 제1 드레인 전극(230) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제1 소스 전극(210) 및 제1 드레인 전극(230) 각각은 다층 구조를 가질 수도 있다. 이에 따라, 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함하는 제1 반도체 소자(250)가 형성될 수 있다.
- [0115] 제2 소스 전극(215) 및 제2 드레인 전극(235)이 제2 층간 절연층(205) 상의 제2 영역(20)에 형성될 수 있다. 제2 소스 전극(215)은 제3 콘택홀(206)을 통해 제2 액티브층(135)의 소스 영역에 접속될 수 있고, 제2 드레인 전극(235)은 제4 콘택홀(207)을 통해 제2 액티브층(135)의 드레인 영역에 접속될 수 있다. 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 다층 구조를 가질 수도 있다. 이에 따라, 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함하는 제2 반도체 소자(255)가 형성될 수 있다.
- [0116] 제2 전극 패턴(234)이 제2 층간 절연층(205) 상의 제3 영역(30)에 형성될 수 있다. 제2 전극 패턴(234)은 제2 층간 절연층(205) 중에서 하부에 제1 전극 패턴(232)이 위치하는 부분 상에 형성될 수 있다. 다시 말하면, 제2 전극 패턴(234)은 제1 전극 패턴(232) 상에 중첩하여 형성될 수 있고, 제1 전극 패턴(232)과 함께 제2 커패시터(280)를 구성할 수 있다. 제2 전극 패턴(234)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제2 전극 패턴(234)은 다층 구조를 가질 수도 있다. 예시적인 실시예들에 있어서, 제1 소스 전극(210), 제1 드레인 전극(230), 제2 소스 전극(215), 제2 드레인 전극(235) 및 제2 전극 패턴(234)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다. 예를 들면, 제2 층간 절연층(205) 상에 예비 전극층이 전체적으로 형성된 후 상기 예비 전극층을 선택적으로 식각하여 제1 소스 전극(210), 제1 드레인 전극(230), 제2 소스 전극(215), 제2 드레인 전극(235) 및 제2 전극 패턴(234)이 형성될 수 있다.
- [0117] 도 16을 참조하면, 제2 층간 절연층(205), 제1 소스 전극(210), 제1 드레인 전극(230), 제2 소스 전극(215), 제2 드레인 전극(235) 및 제2 전극 패턴(234) 상에 평탄화층(270)이 형성될 수 있다. 평탄화층(270)은 제1 소스 전극(210), 제1 드레인 전극(230), 제2 소스 전극(215), 제2 드레인 전극(235) 및 제2 전극 패턴(234)을 덮을 수 있고, 제2 층간 절연층(205) 상에 전체적으로 형성될 수 있다. 예를 들면, 평탄화층(270)은 제2 층간 절연층(205) 상에서 제1 소스 전극(210), 제1 드레인 전극(230), 제2 소스 전극(215), 제2 드레인 전극(235) 및 제2 전극 패턴(234)을 충분히 덮도록 상대적으로 두꺼운 두께로 형성될 수 있고, 이러한 경우, 평탄화층(270)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 평탄화층(270)의 평탄한 상면을 구현하기 위하여 평탄화층(270)에 대해 평탄화 공정이 추가될 수 있다. 평탄화층(270)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 평탄화층(270)은 유기 물질을 사용하여 형성될 수 있다. 예를 들면, 평탄화층(270)은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 폴리이미드계 수지, 실록산계 수지, 아크릴계 수지, 에폭시계 수지 등을 포함할 수 있다.
- [0118] 하부 전극(290)은 평탄화층(270) 상에 형성될 수 있다. 하부 전극(290)은 평탄화층(270) 중 하부에 제1 반도체 소자(250)가 위치하는 부분 상에 형성될 수 있고, 평탄화층(270)의 일부를 관통하여 제1 드레인 전극(230)과 접속할 수 있다. 또한, 하부 전극(290)은 제1 반도체 소자(250)와 전기적으로 연결될 수 있다. 하부 전극(290) 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 하부 전극(290)은 다층 구조를 가질 수도 있다.
- [0119] 화소 정의막(310)은 하부 전극(290)의 일부 및 평탄화층(270) 상에 형성될 수 있다. 화소 정의막(310)은 하부

전극(290)의 양측부를 덮을 수 있고, 하부 전극(290)의 일부를 노출시킬 수 있다. 화소 정의막(310)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(310)은 유기 물질을 사용하여 형성될 수 있다.

[0120] 발광층(330)은 화소 정의막(310)에 의해 노출된 하부 전극(290) 상에 형성될 수 있다. 발광층(330)은 서브 화소들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 이와는 달리, 발광층(330)은 적색광, 녹색광, 청색광 등의 다른 색광들을 발생시킬 수 있는 복수의 발광 물질들을 적층하여 전체적으로 백색광을 방출할 수 있다. 이러한 경우, 발광층(330) 상에 컬러 필터가 형성(예를 들어, 봉지 기판(미도시)의 저면에 발광층(330)과 중첩되도록 형성)될 수도 있다. 상기 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 중 적어도 하나를 포함할 수 있다. 선택적으로, 상기 컬러 필터는 황색 컬러 필터, 청남색 컬러 필터 및 자주색 컬러 필터를 포함할 수도 있다. 상기 컬러 필터는 감광성 수지를 사용하여 형성될 수 있다.

[0121] 상부 전극(340)은 화소 정의막(310) 및 발광층(330) 상에 형성될 수 있다. 상부 전극(340)은 발광층(330) 및 화소 정의막(310)을 덮을 수 있고, 발광층(330) 및 화소 정의막(310) 상에 전체적으로 형성될 수 있다. 상부 전극(340)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 상부 전극(340)은 다층 구조를 가질 수도 있다. 이에 따라, 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함하는 발광 구조물(200)이 형성될 수 있다.

[0122] 봉지 기판(미도시)은 상부 전극(340) 상에 형성될 수 있다. 상기 봉지 기판은 실질적으로 기판(110)과 동일한 재료로 구성될 수 있다. 예를 들면, 상기 봉지 기판은 석영 기판, 합성 석영 기판, 불화칼슘 기판, 불소가 도핑된 석영 기판, 소다 라임 유리 기판, 무알칼리 유리 기판 등을 사용하여 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 상기 봉지 기판은 투명 무기 물질 또는 플렉서블 플라스틱을 사용하여 형성될 수 있다. 예를 들면, 상기 봉지 기판은 연성을 갖는 투명 수지 기판을 포함할 수도 있다. 이러한 경우, 유기 발광 표시 장치의 가요성을 향상시키기 위하여 적어도 하나의 무기층 및 적어도 하나의 유기층이 교대로 적층되는 구조를 가질 수 있다. 이에 따라, 도 1에 도시된 유기 발광 표시 장치(100)가 제조될 수 있다.

[0123] 본 발명에 실시예들에 따른 유기 발광 표시 장치(100)의 제조 방법에 있어서, 제1 콘택홀(208), 제2 콘택홀(209), 제3 콘택홀(206) 및 제4 콘택홀(207)을 형성하는 공정에서 제1 고유전율 절연 구조물(190) 및 제2 고유전율 절연 구조물(185)이 제거되지 않기 때문에 제1 내지 제4 콘택홀들(208, 207, 206, 207)이 용이하게 형성될 수 있다. 이에 따라, 제1 내지 제4 콘택홀들(208, 207, 206, 207)의 불량이 발생되지 않는 유기 발광 표시 장치(100)를 제조할 수 있다.

[0124] 도 17은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다. 도 17에 예시한 유기 발광 표시 장치(500)는 제1 커패시터(380)의 위치를 제외하고 도 1 및 도 2를 참조하여 설명한 유기 발광 표시 장치(100)와 실질적으로 동일한 구성을 가질 수 있다. 도 17에 있어서, 도 1 및 도 2를 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0125] 도 17을 참조하면, 유기 발광 표시 장치(500)는 기판(110), 게이트 절연층(150), 고유전율 절연 구조물(190), 제1 반도체 소자(250), 제2 반도체 소자(255), 제1 게이트 전극 패턴(172), 제1 커패시터(380)(예를 들어, 스토리지 커패시터), 제1 층간 절연층(195), 발광 구조물(200), 제2 층간 절연층(205), 제2 커패시터(280), 평탄화층(270), 화소 정의막(310) 등을 포함할 수 있다. 여기서, 제1 반도체 소자(250)는 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함할 수 있고, 제2 반도체 소자(255)는 제2 액티브층(135), 제3 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함할 수 있다. 또한, 제1 커패시터(380)는 제1 도전 패턴(382) 및 제2 도전 패턴(384)을 포함할 수 있고, 제2 커패시터(280)는 제1 전극 패턴(232) 및 제2 전극 패턴(234)을 포함할 수 있다. 더욱이, 고유전율 절연 구조물(190)은 고유전율 절연층 패턴(192) 및 절연층 패턴(194)을 포함할 수 있고, 발광 구조물(200)은 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함할 수 있다. 여기서, 상기 '고유전율'이라 함은 유전 상수 K가 8 이상임을 의미한다.

[0126] 기판(110)은 제1 영역(10)(예를 들어, 제1 반도체 소자 영역), 제2 영역(20)(예를 들어, 제2 반도체 소자 영역) 및 제3 영역(30)(예를 들어, 커패시터 영역)을 포함할 수 있다. 예를 들면, 제2 영역(20)은 제1 영역(10)과 제3 영역(30) 사이에 위치할 수 있고, 제1 영역(10)과 제3 영역(30)은 이격하여 위치할 수 있다.

[0127] 기판(110) 상의 제1 영역(10)에 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함하는 제1 반도체 소자(250)가 배치될 수 있다. 예를 들면, 제1 반도체 소자(250)는 스위칭 트

랜지스터로 기능할 수 있다. 예시적인 실시예들에 있어서, 제1 게이트 전극(170)은 제1 두께(T1)를 가질 수 있다.

[0128] 기판(110) 상의 제2 영역(10)에 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함하는 제2 반도체 소자(255)가 배치될 수 있다. 예를 들면, 제2 반도체 소자(255)는 구동 트랜지스터로 기능할 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(175)은 제1 두께(T1)를 가질 수 있다.

[0129] 기판(110) 상의 제3 영역(30)에 제1 도전 패턴(382), 제2 도전 패턴(384)을 포함하는 제1 커패시터(380)가 배치될 수 있다. 예를 들면, 제1 커패시터(380)는 스토리지 커패시터에 해당될 수 있다.

[0130] 제1 도전 패턴(382)과 제2 도전 패턴(384) 사이에 고유전율 절연 구조물(190)이 개재될 수 있다. 예시적인 실시예들에 있어서, 고유전율 절연 구조물(190)은 제1 도전 패턴(382) 상면에만 배치될 수 있다. 예를 들면, 고유전율 절연층(192) 및 절연층 패턴(194)을 포함할 수 있고, 고유전율 절연층(192)은 제1 도전 패턴(382)과 직접적으로 접촉할 수 있고, 절연층 패턴(194)은 제2 도전 패턴(384)과 직접적으로 접촉할 수 있다.

[0131] 도 18은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이고, 도 19는 도 18의 제1 게이트 전극, 제3 게이트 전극 및 제1 게이트 전극 패턴 각각의 두께를 설명하기 위한 단면도이다. 도 18에 예시한 유기 발광 표시 장치(600)는 제1 절연층(594)의 형상을 제외하고 도 4를 참조하여 설명한 유기 발광 표시 장치와 실질적으로 동일한 구성을 가질 수 있다. 도 18에 있어서, 도 4를 참조하여 설명한 구성 요소들과 실질적으로 동일하거나 유사한 구성 요소들에 대해 중복되는 설명은 생략한다.

[0132] 도 18을 참조하면, 제1 고유전율 절연 구조물(190)은 제1 게이트 전극(170)을 덮는 제1 절연층(594) 및 제1 절연층(594) 상에 배치되는 제1 고유전율 절연층 패턴(192)을 포함할 수 있다. 여기서, 제1 절연층(594)은 제1 게이트 전극(170)의 상면과 직접적으로 접촉할 수 있고, 제1 고유전율 절연층 패턴(192)은 제2 게이트 전극(180)의 저면 및 제1 절연층(594)의 상면과 동시에 접촉할 수 있다.

[0133] 예시적인 실시예들에 있어서, 제1 절연층(594)은 게이트 절연층(150) 상에 전체적으로 형성될 수 있다. 예를 들면, 예비 고유전율 절연 구조물(1190) 및 예비 제2 게이트 전극층(1180)이 게이트 절연층(150) 상에 전체적으로 형성된 후, 선택적 식각 공정이 수행될 경우 예비 제2 게이트 전극층(1180) 및 예비 고유전율 절연층(191)은 선택적으로 식각될 수 있고, 예비 절연층(193)(예를 들어, 제1 절연층(594)에 대응됨)은 식각되지 않을 수 있다(도 8 내지 10 참조). 이러한 경우, 제1 게이트 전극 패턴(172) 및 제1 게이트 전극 패턴(172)이 식각되지 않기 때문에, 도 19에 도시된 바와 같이, 제1 게이트 전극(170), 제1 게이트 전극 패턴(172) 및 제3 게이트 전극(175) 각각의 두께(예를 들어, 제1 두께(T1))는 모두 동일할 수 있다.

[0134] 제1 내지 제4 콘택홀들(208, 207, 206, 207)을 형성하는 공정에서, 제1 절연층(594)을 식각하는 공정이 추가되더라도 제1 절연층(594)은 실리콘 화합물, 금속 산화물 등을 포함하기 때문에 1 내지 제4 콘택홀들(208, 207, 206, 207)이 용이하게 형성될 수 있다.

[0135] 상술한 바에서는, 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

산업상 이용가능성

[0136] 본 발명은 유기 발광 표시 장치를 구비할 수 있는 다양한 디스플레이 기기들에 적용될 수 있다. 예를 들면, 본 발명은 차량용, 선박용 및 항공기용 디스플레이 장치들, 휴대용 통신 장치들, 전시용 또는 정보 전달용 디스플레이 장치들, 의료용 디스플레이 장치들 등과 같은 수많은 디스플레이 기기들에 적용 가능하다.

부호의 설명

[0137] 10: 제1 영역 20: 제2 영역

30: 제3 영역

100, 500, 600: 유기 발광 표시 장치

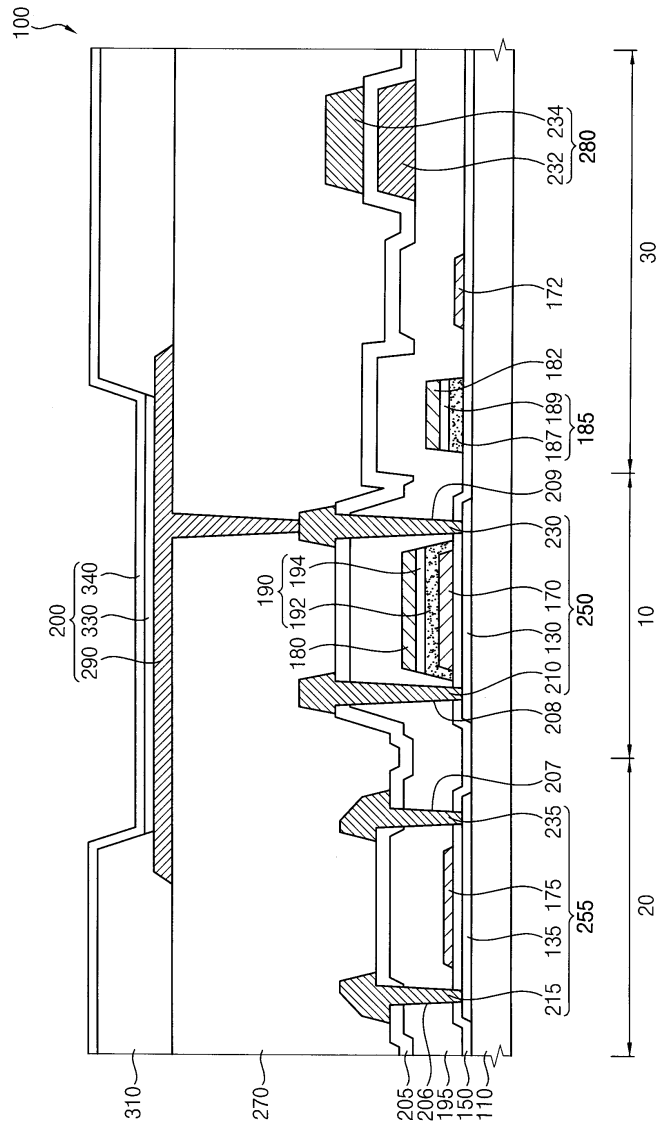
110: 기판 130: 제1 액티브층

135: 제2 액티브층 150: 게이트 절연층

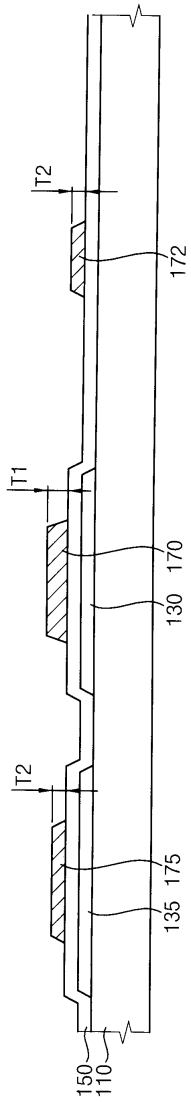
170: 제1 게이트 전극 172: 제1 게이트 전극 패턴
 175: 제3 게이트 전극 180: 제2 게이트 전극
 182: 제2 게이트 전극 패턴 185: 제2 고유전율 절연 구조물
 187: 제2 고유전율 절연층 패턴 189: 제2 절연층 패턴
 190: 제1 고유전율 절연 구조물 191: 예비 고유전율 절연층
 192: 제1 고유전율 절연층 패턴 193: 193: 예비 절연층
 194: 제1 절연층 패턴 195: 제1 층간 절연층
 200: 발광 구조물 205: 제2 층간 절연층
 206: 제3 콘택홀 207: 제4 콘택홀
 208: 제1 콘택홀 209: 제2 콘택홀
 210: 제1 소스 전극 215: 제2 소스 전극
 230: 제1 드레인 전극 232: 제1 전극 패턴
 234: 제2 전극 패턴 235: 제2 드레인 전극
 250: 제1 반도체 소자 255: 제2 반도체 소자
 270: 평탄화층 280: 제2 커패시터
 290: 하부 전극 310: 화소 정의막
 330: 발광층 340: 상부 전극
 380: 제1 커패시터 382: 제1 도전 패턴
 384: 제2 도전 패턴 482: 제1 포토레지스트 패턴
 484: 제2 포토레지스트 패턴 594: 제1 절연층
 1180: 예비 제2 게이트 전극층
 1190: 예비 고유전율 절연 구조물

도면

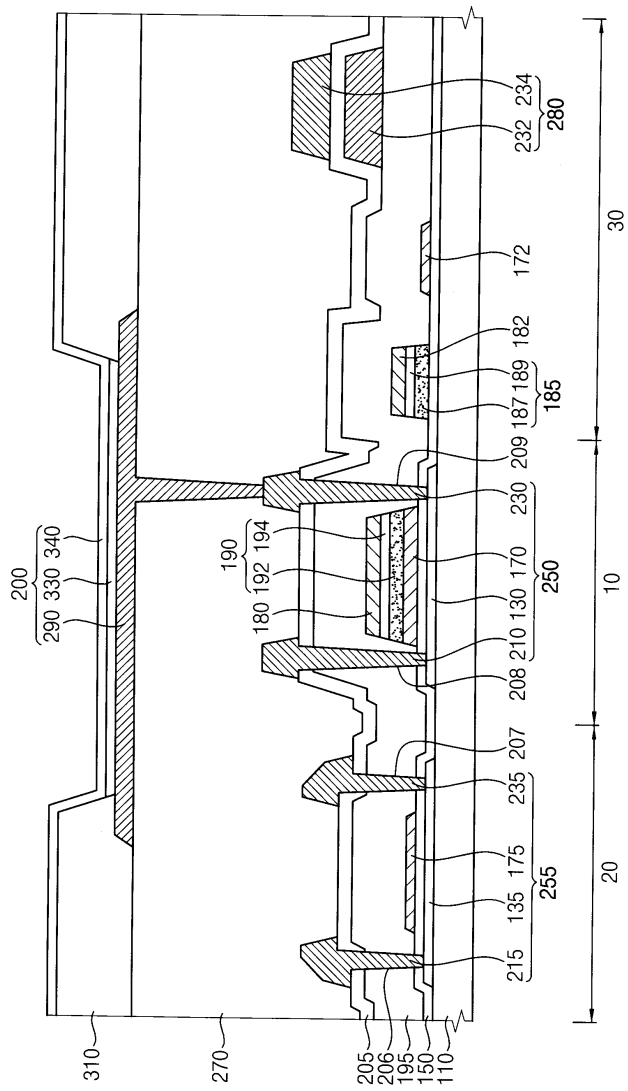
도면1



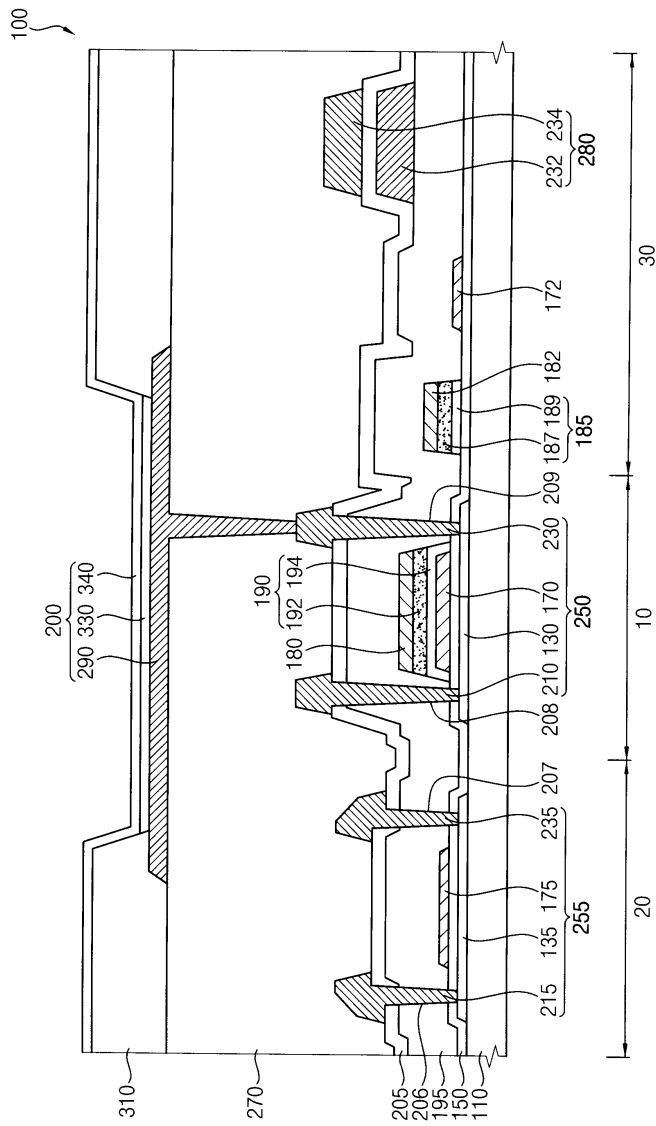
도면2



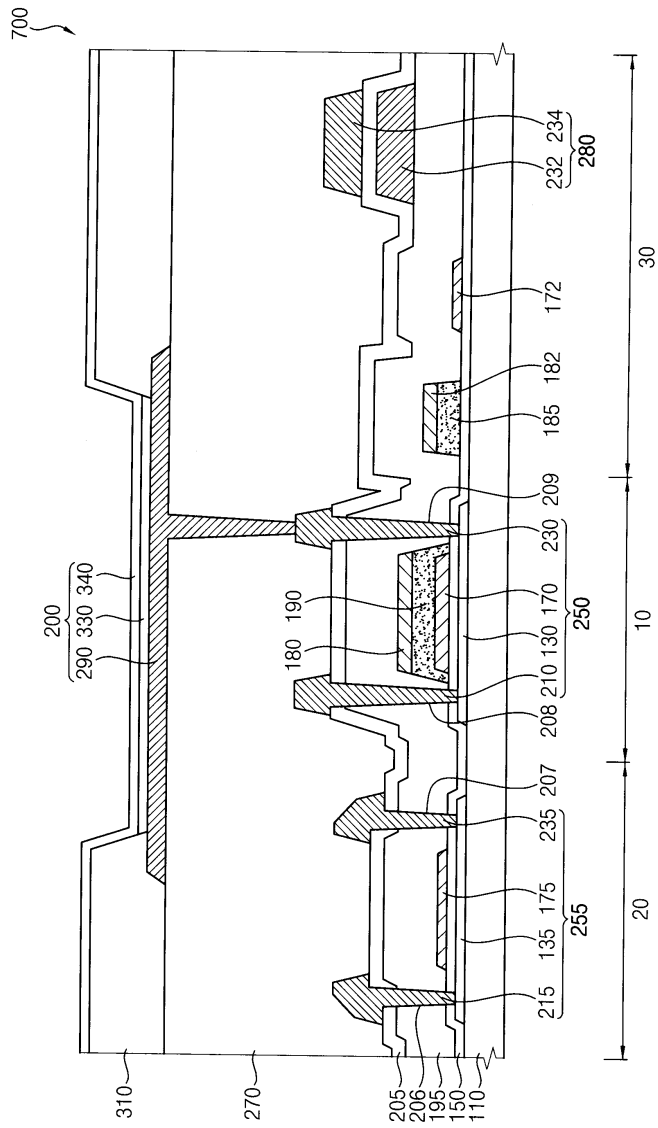
도면3



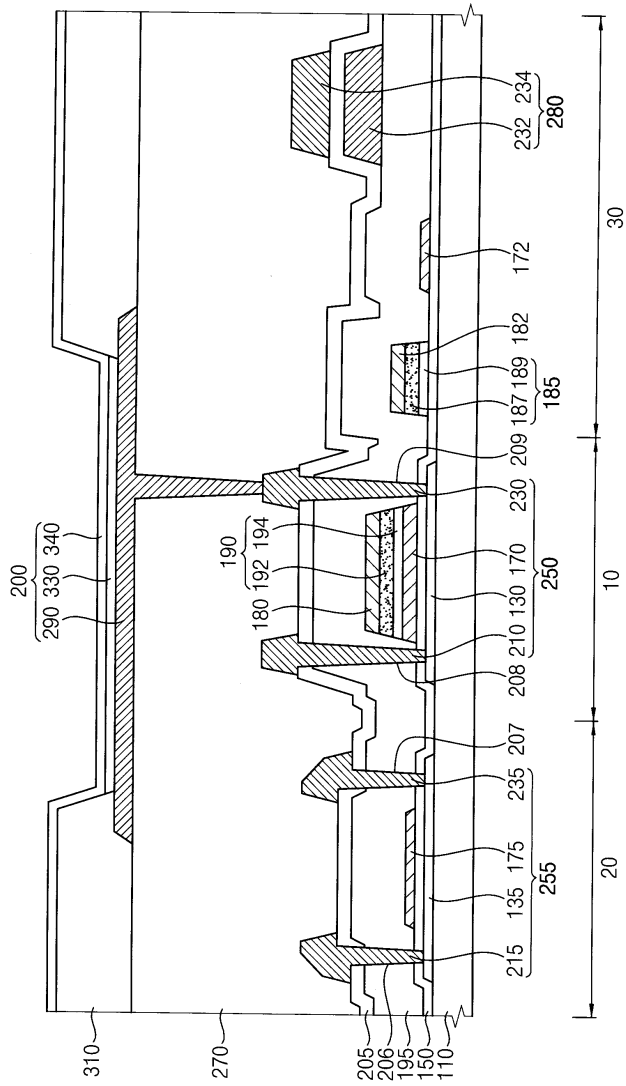
도면4a



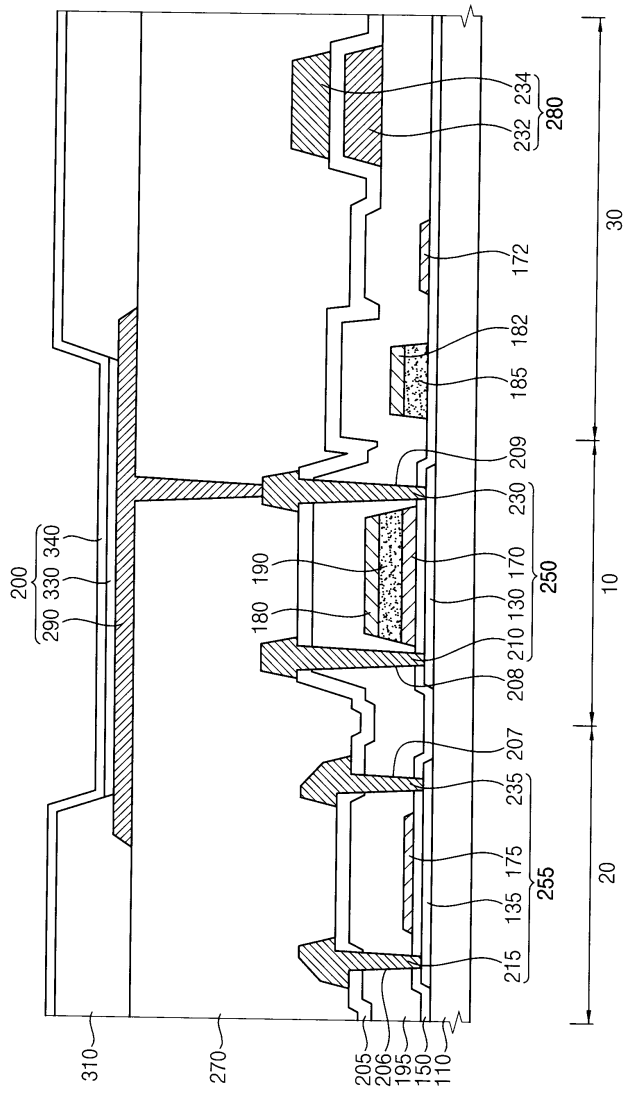
도면4b



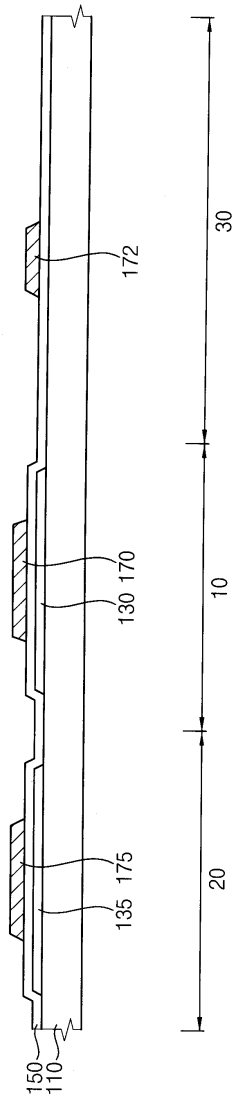
도면5a



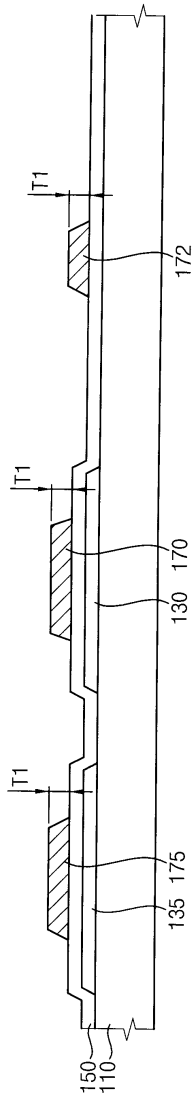
도면5b



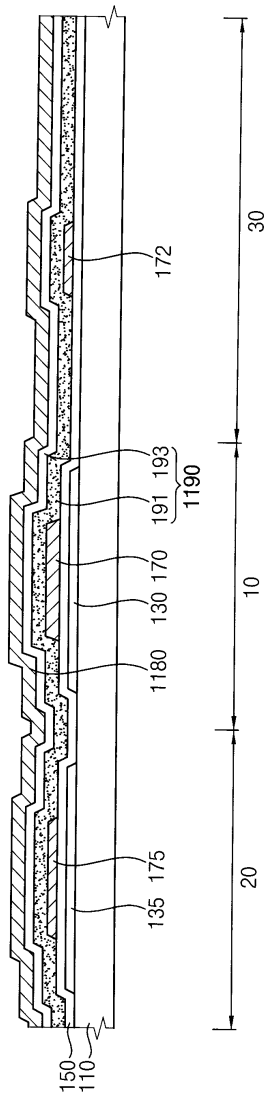
도면6



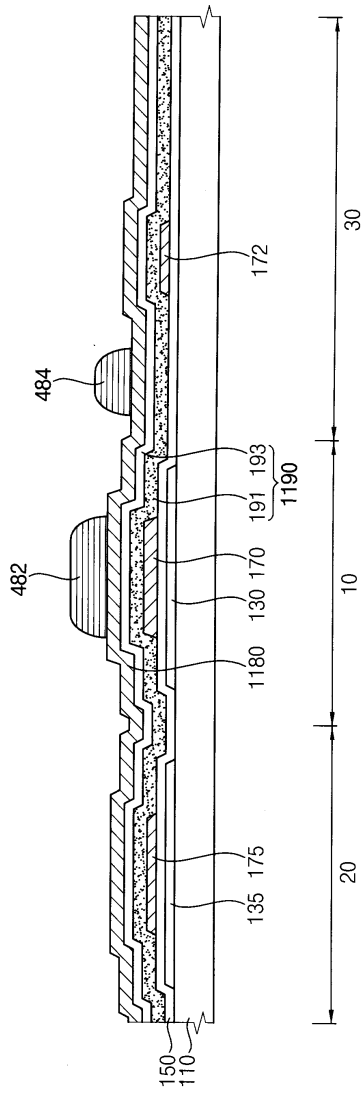
도면7



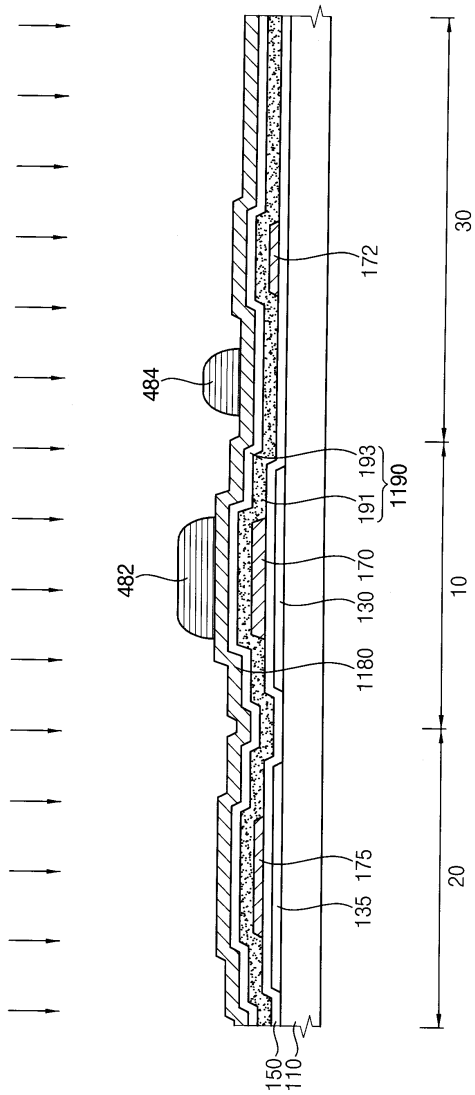
도면8



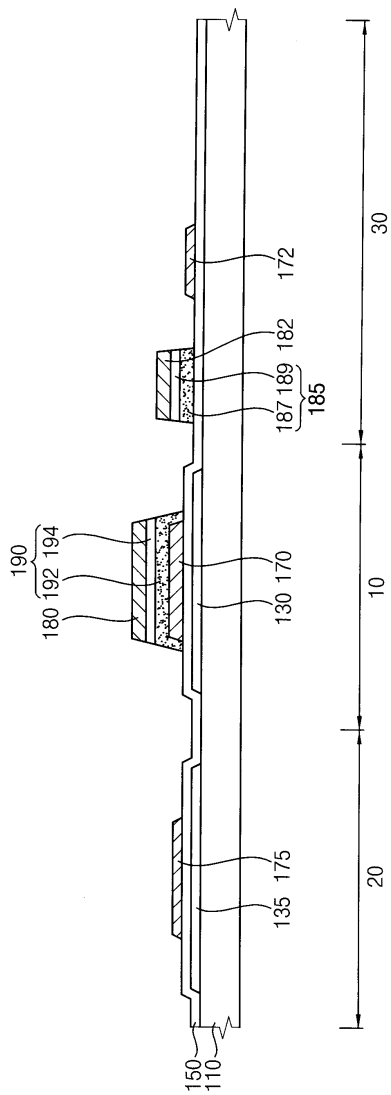
도면9



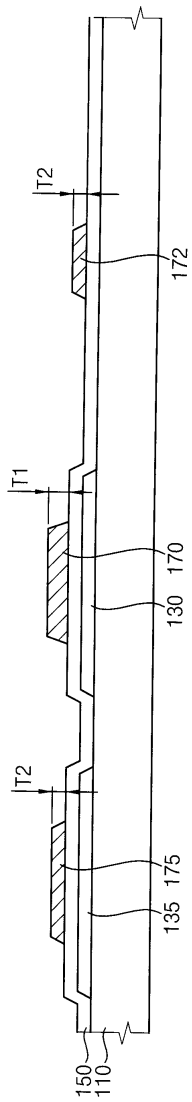
도면10



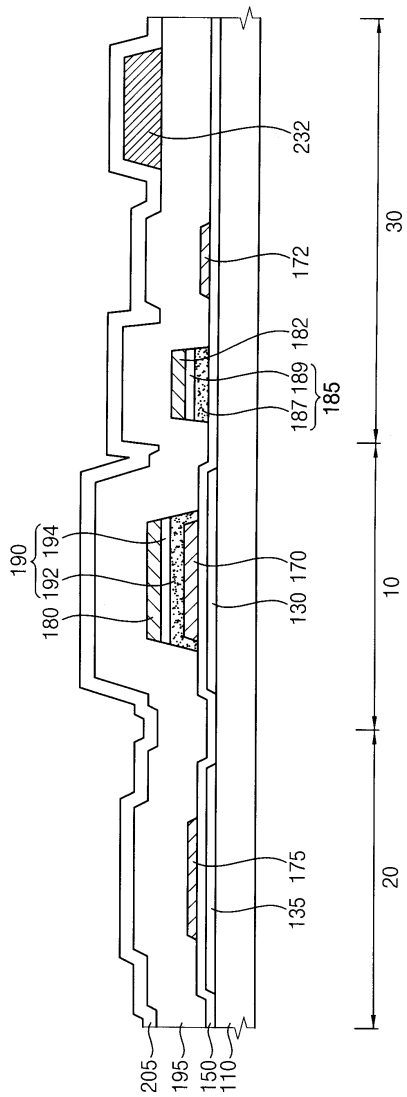
도면11



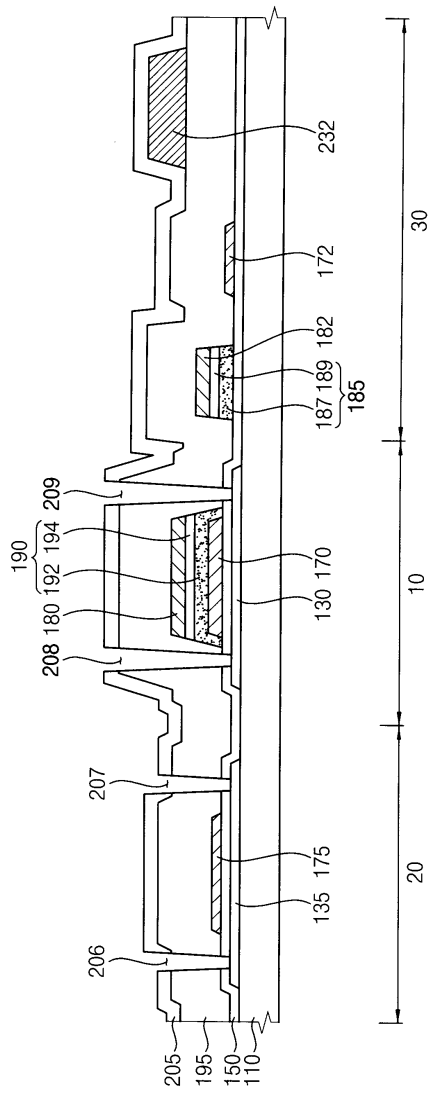
도면12



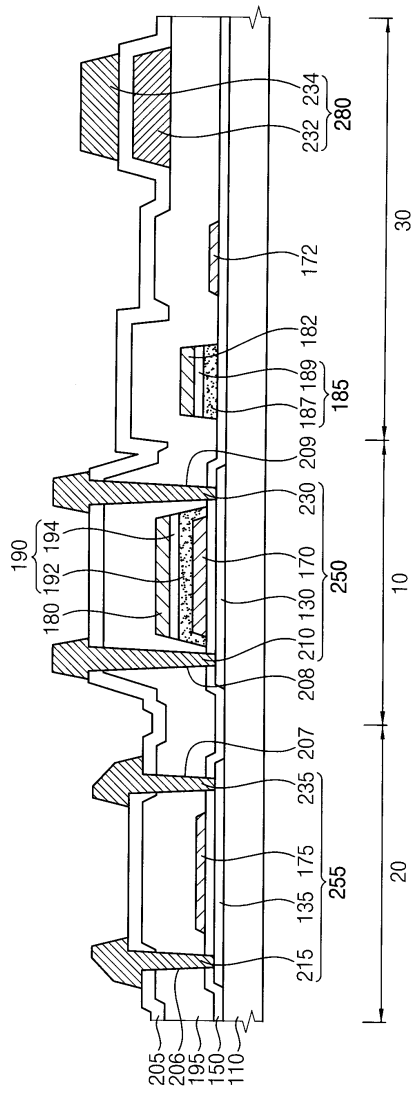
도면13



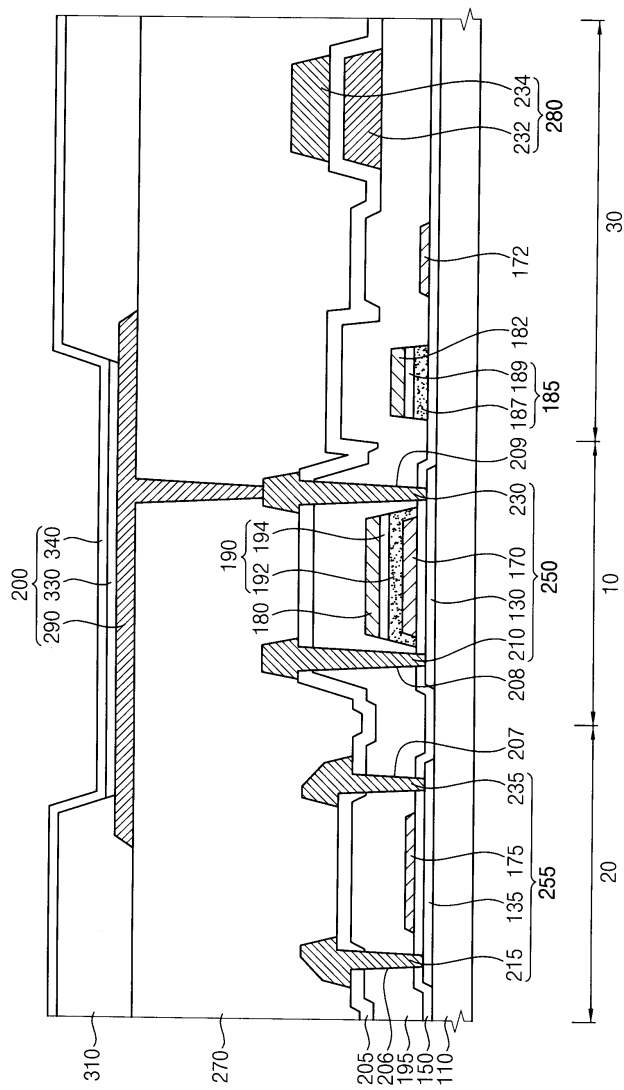
도면14



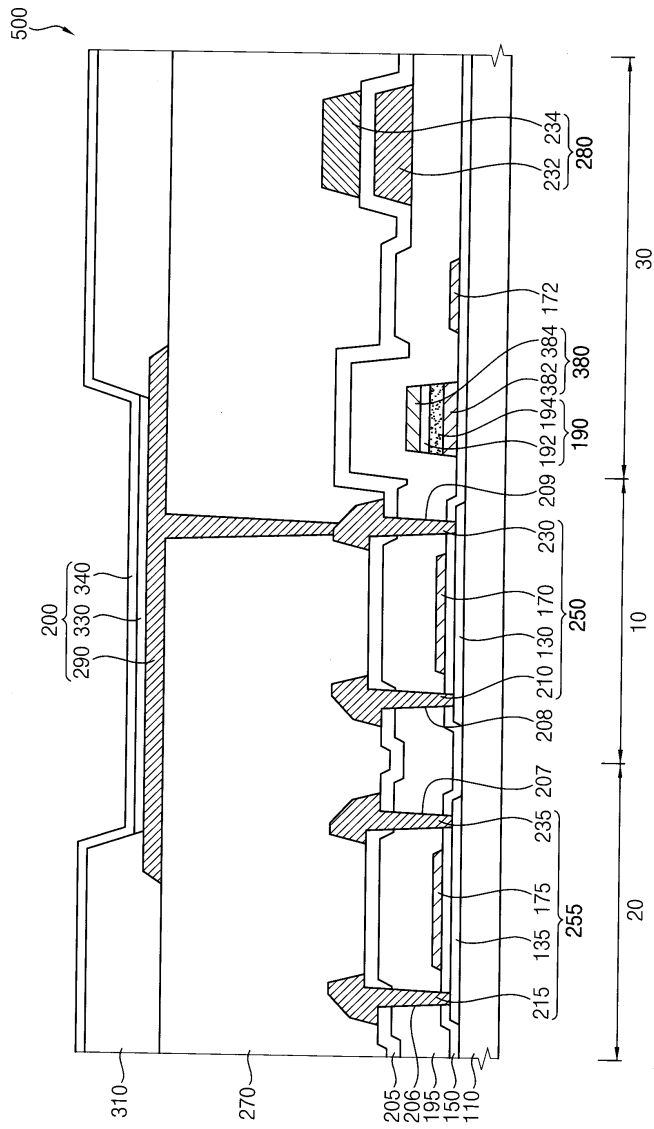
도면15



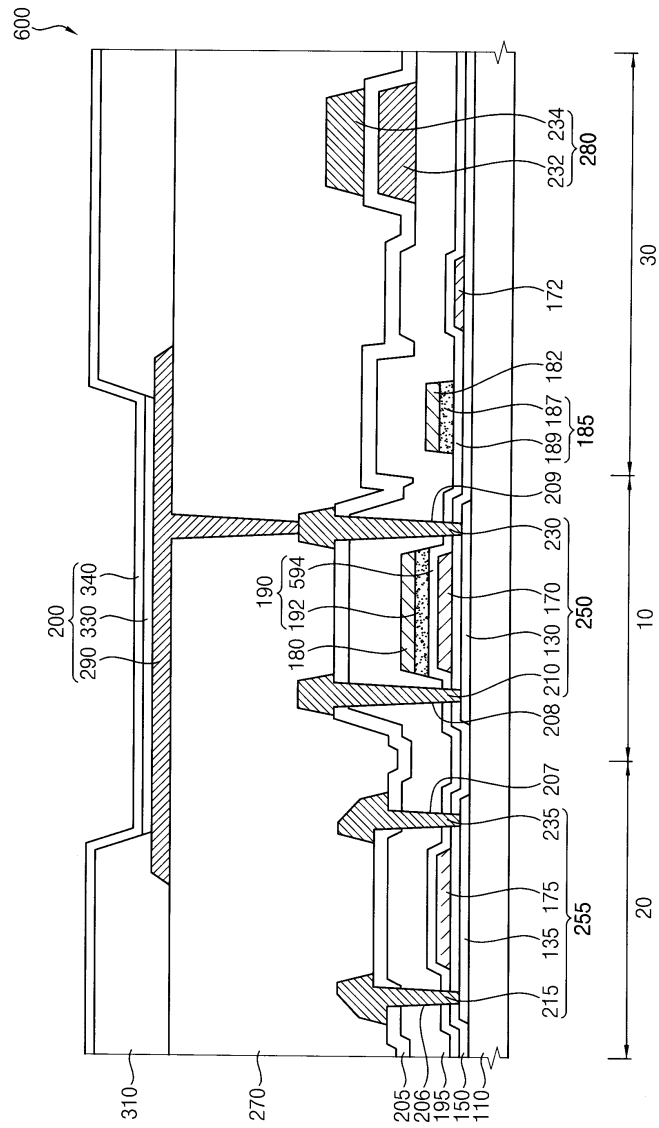
도면16



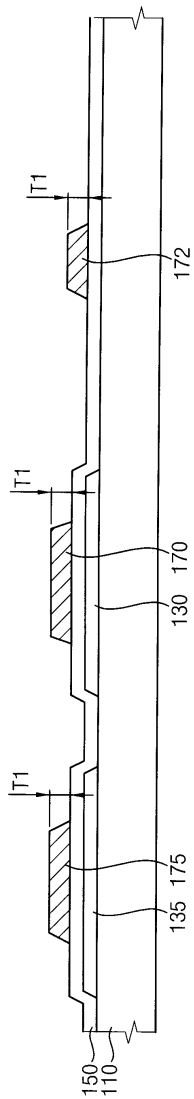
도면17



도면18



도면19



专利名称(译)	有机发光显示器和制造有机发光显示器的方法		
公开(公告)号	KR1020190062651A	公开(公告)日	2019-06-07
申请号	KR1020170159644	申请日	2017-11-27
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	정유광 배수빈 이준걸 김상갑		
发明人	정유광 배수빈 이준걸 김상갑		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3258 H01L27/3262 H01L27/3265 H01L51/56 H01L27/124 H01L27/1255 H01L29/78645 H01L2227/323 H01L27/3246 H01L51/5012		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

OLED显示器包括具有第一区域和与第一区域相邻的第二区域的基板，设置在基板上的第一区域中的第一有源层，以及设置在第一有源层上的第一厚度。布置在栅电极上的第一源极和第一漏极，布置在第一栅电极上的第二栅电极和第二栅电极以及第一有源层和第一栅电极一起形成第一半导体器件。介于电极之间，第一栅电极和第二栅电极之间，并设置在第一高介电常数绝缘结构上，并且第一源极和第二漏极与第一源极和第一漏极隔开。它可以包括发光结构。因此，由于在形成第一接触孔，第二接触孔，第三接触孔和第四接触孔的过程中没有去除第一高介电常数绝缘结构，所以可以容易地形成第一至第四接触孔。可以。

