



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0058087
(43) 공개일자 2019년05월29일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01)

(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0155741
(22) 출원일자 2017년11월21일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
공충식
경기도 파주시 월롱면 엘지로 245
신미희
경기도 파주시 월롱면 엘지로 245
강규태
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인인벤싱크

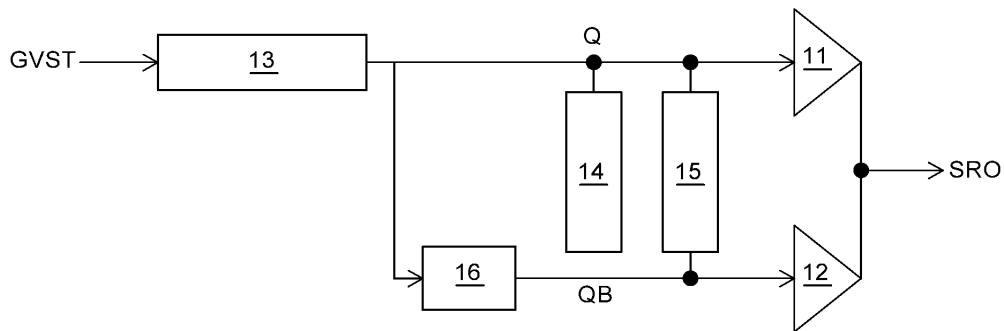
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 게이트 구동부 및 이를 포함한 전계발광 표시장치

(57) 요약

본 명세서의 실시예에 따른 전계발광 표시장치는 게이트 라인들에 연결된 서브 픽셀들, 및 게이트 라인들 중 적어도 어느 하나에 스캔 신호를 공급하고, 복수의 스테이지들로 구성된 게이트 구동부를 포함한다. 복수의 스테이지들 중 일 스테이지는, 제1 게이트 클럭 신호 및 제2 게이트 클럭 신호를 이용하여 QB 노드 및 QP 노드를 턴-온 전압으로 충전하는 QB 노드 조절부, 및 QP 노드의 전압에 대응하여 턴-오프 전압을 출력하는 풀다운부를 포함한다. QB 노드 조절부는, Q1 노드의 전압을 반전시켜 QP 노드에 인가하는 QP 노드 제어부, 및 QP 노드를 부트스트랩핑하는 QB 노드 제어부를 포함한다. 이에 따라, 전계발광 표시장치는 QB 노드 및 QP 노드에 안정적인 전압을 제공하는 QB 노드 조절부로 구성된 게이트 구동부를 이용함으로써, 게이트 구동부의 신뢰성을 향상시키고 전계발광 표시장치의 베젤을 줄일 수 있다.

대표도 - 도3



(52) CPC특허분류

G09G 2320/0209 (2013.01)

G09G 2320/0233 (2013.01)

명세서

청구범위

청구항 1

게이트 라인들에 연결된 서브 픽셀들; 및

상기 게이트 라인들 중 적어도 어느 하나에 스캔 신호를 공급하고, 복수의 스테이지들로 구성된 게이트 구동부를 포함하고,

상기 복수의 스테이지들 중 일 스테이지는,

제1 게이트 클럭 신호 및 제2 게이트 클럭 신호를 이용하여 QB 노드 및 QP 노드를 턴-온 전압으로 충전하는 QB 노드 조절부; 및

상기 QP 노드의 전압에 대응하여 턴-오프 전압을 출력하는 풀다운부를 포함하며,

상기 QB 노드 조절부는,

Q1 노드의 전압을 반전시켜 상기 QP 노드에 인가하는 QP 노드 제어부; 및

상기 QP 노드를 부트스트래핑하는 QB 노드 제어부를 포함하는, 전계발광 표시장치.

청구항 2

제1 항에 있어서,

상기 QP 노드 제어부는

게이트 로우 전압 라인 및 상기 QP 노드 사이에 연결되고, 게이트가 상기 제2 게이트 클럭 신호 라인에 연결된 제1 트랜지스터; 및

상기 제2 게이트 클럭 신호 라인 및 상기 QP 노드 사이에 연결되고, 게이트가 상기 Q1 노드에 연결된 제2 트랜지스터를 포함하고,

상기 QB 노드 제어부는

상기 제1 게이트 클럭 신호 라인 및 상기 QB 노드 사이에 연결되고, 게이트가 상기 QP 노드에 연결된 제3 트랜지스터; 및

상기 QP 노드 및 상기 QB 노드 사이에 연결된 제1 커패시터를 포함하는, 전계발광 표시장치.

청구항 3

제1 항에 있어서,

상기 일 스테이지는, 상기 QB 노드 전압에 대응하여 상기 Q1 노드를 턴-오프 전압으로 방전시키고, 상기 제2 게이트 클럭 신호에 대응하여 게이트 스타트 전압을 상기 Q1 노드에 인가하는 Q1 노드 제어부를 더 포함하는, 전계발광 표시장치.

청구항 4

제3 항에 있어서,

상기 Q1 노드 제어부는,

상기 게이트 스타트 전압이 인가되는 게이트 스타트 전압 라인 및 상기 Q1 노드 사이에 연결되고, 게이트가 상기 제2 게이트 클럭 신호 라인에 연결된 제4 트랜지스터; 및

상기 Q1 노드 및 게이트 하이 전압 라인 사이에 연결되고, 게이트가 상기 QB 노드에 연결된 제5 트랜지스터를 포함하는, 전계발광 표시장치.

청구항 5

제1 항에 있어서,

상기 일 스테이지는 Q2 노드의 전압에 대응하여 턴-온 전압을 출력하는 풀업부를 더 포함하는, 전계발광 표시장치.

청구항 6

제5 항에 있어서,

상기 풀업부는 상기 제1 게이트 클럭 신호 라인과 상기 스캔 신호 출력 라인 사이에 연결되고, 게이트가 Q2 노드에 연결된 제6 트랜지스터를 포함하고,

상기 풀다운부는 게이트 하이 전압 라인 및 상기 스캔 신호 출력 라인 사이에 연결되고, 게이트가 상기 QP 노드에 연결된 제7 트랜지스터를 포함하는, 전계발광 표시장치.

청구항 7

제5 항에 있어서,

상기 일 스테이지는 상기 Q1 노드와 상기 Q2 노드 사이에 연결된 Q 노드 안정화부를 더 포함하는, 전계발광 표시장치.

청구항 8

제1 항에 있어서,

상기 일 스테이지는, 상기 Q1 노드의 전압에 대응하여 상기 QB 노드를 턴-오프 전압으로 방전시키는 QB 노드 안정화부를 더 포함하는, 전계발광 표시장치.

청구항 9

게이트에 Q2 노드가 연결되어 턴-온 전압을 출력하는 풀업 트랜지스터;

게이트에 QP 노드가 연결되어 턴-오프 전압을 출력하는 풀다운 트랜지스터; 및

상기 풀업 트랜지스터의 게이트에 턴-오프 전압이 인가된 상태에서, 상기 QP 노드에 주기적으로 턴-온 전압 이상의 전압을 제공하고, QB 노드에 주기적으로 턴-온 전압을 제공하는 QB 노드 조절부를 포함하는, 게이트 구동부.

청구항 10

제9 항에 있어서,

상기 Q2 노드와 Q1 노드 사이에 있는 Q 노드 안정화부;

게이트 스타트 전압을 상기 Q1 노드에 인가하는 Q1 노드 활성화부; 및

상기 QB 노드의 전압에 의해 상기 Q1 노드를 주기적으로 방전시키는 Q1 노드 방전부를 더 포함하는, 게이트 구동부.

청구항 11

제10 항에 있어서,

상기 Q1 노드의 전압에 의해 상기 QB 노드를 방전시키는 QB 노드 안정화부를 더 포함하는, 게이트 구동부.

청구항 12

제10 항에 있어서,

상기 QB 노드 조절부는

게이트 로우 전압 라인 및 상기 QP 노드 사이에 연결되고, 게이트가 제2 게이트 클럭 신호 라인에 연결된 제1

트랜지스터;

상기 제2 게이트 클럭 신호 라인 및 상기 QP 노드 사이에 연결되고, 게이트가 상기 Q1 노드에 연결된 제2 트랜지스터;

제1 게이트 클럭 신호 라인 및 상기 QB 노드 사이에 연결되고, 게이트가 상기 QP 노드에 연결된 제3 트랜지스터; 및

상기 QP 노드 및 상기 QB 노드 사이에 연결된 제1 커패시터를 포함하고,

상기 제1 게이트 클럭 신호 및 상기 제2 게이트 클럭 신호는 서로 반대 위상인, 게이트 구동부.

청구항 13

제9 항에 있어서,

상기 풀업 트랜지스터의 게이트와 드레인에 연결된 제2 커패시터를 더 포함하는, 게이트 구동부.

청구항 14

제13 항에 있어서,

턴-온 전압이 인가되는 라인에 게이트가 연결되고, 상기 Q2 노드와 Q1 노드 사이에 연결된 제8 트랜지스터를 더 포함하고,

상기 제2 커패시터에 의해 상기 Q2 노드에 턴-온 전압 이상의 전압이 인가되는 동안 상기 제8 트랜지스터는 턴-오프 상태인, 게이트 구동부.

청구항 15

제10 항에 있어서,

상기 Q2 노드의 전압이 턴-온 전압 이상인 동안, 상기 QP 노드 및 상기 QB 노드의 전압은 턴-오프 전압이고, 상기 풀업 트랜지스터는 턴-온되어 턴-온 전압을 출력하는, 게이트 구동부.

발명의 설명

기술 분야

[0001] 본 명세서는 구동 능력이 향상된 게이트 구동부 및 이를 이용한 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광 표시장치, 액정 표시장치, 및 양자점 표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 표시장치는 복수의 서브 픽셀을 포함하는 표시패널, 표시패널을 구동하는 구동부, 및 표시패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시패널에 게이트 신호를 공급하는 게이트 구동부 및 표시패널에 데이터 신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 예를 들어, 전계발광 표시장치는 서브 픽셀들에 게이트 신호 및 데이터 신호 등이 공급되면, 선택된 서브 픽셀의 발광소자가 빛을 발광하게 됨으로써 영상을 표시할 수 있다. 발광소자는 유기물 또는 무기물을 기반으로 구현될 수 있다.

[0005] 전계발광 표시장치는 서브 픽셀 내부에 발광소자로부터 생성된 빛을 기반으로 영상을 표시하므로 다양한 장점을 지니고 있어 서브 픽셀의 발광을 제어하는 픽셀 구동 회로의 정확도 향상이 필요하다. 서브 픽셀에 인가되는 전압이 정확하지 않으면 표시패널 상에서 상하 휘도 불균일이나 크로스토크(cross-talk) 등 화질 이슈를 초래할 수 있다.

[0006] 따라서, 서브 픽셀에 정확한 신호를 전달하기 위해 게이트 구동부의 정확도 향상을 위한 방안이 모색되고 있다.

발명의 내용

해결하려는 과제

- [0007] 전계발광 표시장치의 최소 동작 가능 구성요소인 표시패널은 하나 이상의 스캔 신호를 이용하여 구동된다. 표시패널은 서브 픽셀의 집합인 픽셀 어레이가 배치되어 영상을 표시하는 표시 영역과 영상을 표시하지 않는 비표시 영역을 포함한다. 서브 픽셀은 하나 이상의 스캔 신호를 이용하여 구동된다. 스캔 신호를 공급하는 게이트 구동부는 픽셀 어레이와 함께 박막 트랜지스터의 형태로 표시패널에 내장하는 기술이 적용될 수 있는데, 표시패널에 내장된 게이트 구동부는 GIP(gate in panel) 회로로 알려져 있다. GIP 회로는 시프트 레지스터(shift register)의 형태로 구현될 수 있다. 시프트 레지스터는 복수의 스테이지(stage)들로 구현되고, 복수의 스테이지들은 스타트 신호(start signal)에 응답하여 출력을 발생하며, 그 출력을 클럭 신호에 따라 시프트시킬 수 있다. 게이트 구동부는 복수의 트랜지스터를 포함하는 스테이지들을 구비하고, 스테이지들을 중속적으로 접속시킴으로써 출력을 순차적으로 발생한다. 또한, 게이트 구동부는 게이트 라인의 개수에 대응하는 스테이지를 구비하며, 각 스테이지는 일대일로 대응하는 게이트 라인에 스캔 신호를 출력할 수 있다. 복수의 트랜지스터는 박막 트랜지스터의 형태로 구현될 수 있다.
- [0008] 각 스테이지들은 풀업 트랜지스터(pull-up transistor)를 제어하기 위한 Q 노드, 풀다운 트랜지스터(pull-down transistor)를 제어하기 위한 QB 노드를 포함한다. 스테이지는 스타트 신호 및 클럭 신호에 응답하여 Q 노드와 QB 노드 전압을 서로 반대로 충전 및 방전시키는 트랜지스터들을 포함할 수 있다. 첫 번째 스테이지를 제외한 스테이지들의 스타트 신호는 전단 스테이지로부터 출력된 출력 신호일 수 있다.
- [0009] QB 노드는 Q 노드와 반대로 충전 및 방전된다. 예를 들면, Q 노드에 게이트 온 전압이 인가될 때 QB 노드에는 게이트 오프 전압이 인가되고, Q 노드에 게이트 오프 전압이 인가될 때 QB 노드에는 게이트 온 전압이 인가된다. 이 경우, 풀업 트랜지스터 및 풀다운 트랜지스터가 턴-온(turn-on) 또는 턴-오프(turn-off)됨으로써 픽셀 어레이에 게이트 온 또는 게이트 오프 전압을 제공할 수 있다. 그리고, 풀다운 트랜지스터는 턴-온되는 시간이 턴-오프되는 시간보다 길기 때문에 QB 노드에는 게이트 온 전압이 안정적으로 인가될 수 있어야 한다. 예를 들어, 게이트 구동부를 구성하는 트랜지스터들이 P타입 트랜지스터인 경우, 게이트 온 전압은 게이트 로우 전압이고, 게이트 오프 전압은 게이트 하이 전압이다. 그리고, 게이트 신호에 의해 제어되는 서브 픽셀에 포함된 트랜지스터가 N타입 트랜지스터일 경우, 게이트 온 전압은 게이트 하이 전압이고, 게이트 오프 전압은 게이트 로우 전압이다. 게이트 구동부 및 서브 픽셀을 구성하는 트랜지스터의 종류는 이에 한정되지 않는다.
- [0010] 게이트 구동부는 다양한 형태로 구현될 수 있으며, 구동의 신뢰성을 높이기 위한 회로 구성을 최적화하기 위한 연구가 진행되고 있다.
- [0011] 이에 본 명세서의 발명자들은 위에서 언급한 문제점을 인식하고, 게이트 라인에 인가되는 스캔 신호의 정확도를 향상시킨 게이트 구동부 및 이를 포함하는 전계발광 표시장치를 발명하였다.
- [0012] 본 명세서의 실시예에 따른 해결 과제는 QB 노드의 전압을 안정화하고 정확한 전압을 제공하기 위한 QB 노드 조절부를 포함하는 게이트 구동부를 제공하는 것이다.
- [0013] 본 명세서의 실시예에 따른 해결 과제는 게이트 구동부로부터 출력되는 스캔 신호의 정확성을 향상시킨 게이트 구동부를 표시패널 상에 형성함으로써 베젤을 감소시킨 전계발광 표시장치를 제공하는 것이다.
- [0014] 본 명세서의 실시예에 따른 해결 과제는 신뢰성이 향상된 게이트 구동부 및 이를 포함하는 전계발광 표시장치를 제공하는 것이다.
- [0015] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0016] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 게이트 라인들에 연결된 서브 픽셀들, 및 게이트 라인들 중 적어도 어느 하나에 스캔 신호를 공급하고, 복수의 스테이지들로 구성된 게이트 구동부를 포함한다. 복수의 스테이지들 중 일 스테이지는, 제1 게이트 클럭 신호 및 제2 게이트 클럭 신호를 이용하여 QB 노드 및 QP 노드를 턴-온 전압으로 충전하는 QB 노드 조절부, 및 QP 노드의 전압에 대응하여 턴-오프 전압을 출력하는 풀다운부를 포함한다. QB 노드 조절부는, Q1 노드의 전압을 반전시켜 QP 노드에 인가하는 QP 노드 제어부, 및 QP 노드를 부트스트래핑하는 QB 노드 제어부를 포함한다. 이에 따라, 전계발광 표시장치는 QB

노드 및 QP 노드에 안정적인 전압을 제공하는 QB 노드 조절부로 구성된 게이트 구동부를 이용함으로써, 게이트 구동부의 신뢰성을 향상시키고 전계발광 표시장치의 베젤을 줄일 수 있다.

[0017] 본 명세서의 일 실시예에 따른 게이트 구동부에 있어서, 게이트 구동부는 게이트에 Q2 노드가 연결되어 턴-온 전압을 출력하는 풀업 트랜지스터, 게이트에 QP 노드가 연결되어 턴-오프 전압을 출력하는 풀다운 트랜지스터, 및 풀업 트랜지스터의 게이트에 턴-오프 전압이 인가된 상태에서, QP 노드에 주기적으로 턴-온 전압 이상의 전압을 제공하고, QB 노드에 주기적으로 턴-온 전압을 제공하는 QB 노드 조절부를 포함한다. 이에 따라, 게이트 구동부는 QB 노드 및 QP 노드에 안정적인 전압을 제공하는 QB 노드 조절부를 포함함으로써, 게이트 구동부의 신뢰성을 향상시킬 수 있다.

[0018] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0019] 본 명세서의 실시예들에 따르면, 게이트 구동부는 QB 노드에 문턱전압 드롭이 없는 안정적인 전압을 인가하는 QB 노드 조절부를 포함함으로써, QB 노드에 연결된 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0020] 그리고, 본 명세서의 실시예들에 따르면, 게이트 구동부는 QP 노드에 게이트 온 전압 이상의 전압을 인가하는 QP 노드 생성부를 포함함으로써, QP 노드에 연결된 트랜지스터의 신뢰성을 향상시키고 사이즈를 줄일 수 있으므로 전계발광 표시장치의 베젤을 줄일 수 있다.

[0021] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

[0022] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.

도 2는 본 명세서의 일 실시예에 따른 게이트 구동부의 블록도이다.

도 3은 본 명세서의 일 실시예에 따른 스테이지의 블록도이다.

도 4는 본 명세서의 일 실시예에 따른 QB 노드 조절부를 나타낸 블록도이다.

도 5는 본 명세서의 제1 실시예에 따른 게이트 구동부의 회로도이다.

도 6은 본 명세서의 제2 실시예에 따른 게이트 구동부의 회로도이다.

도 7은 본 명세서의 일 실시예에 따른 게이트 구동부의 구동 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0024] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0025] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0026] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

- [0027] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0028] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0029] 본 명세서에서 표시패널의 기관 상에 형성되는 픽셀 구동 회로와 게이트 구동부는 N타입 또는 P타입의 트랜지스터로 구현될 수 있다. 예를 들어, 트랜지스터는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 트랜지스터는 게이트(gate), 소스(source), 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 예를 들어, 트랜지스터에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. N타입 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. N타입 트랜지스터에서 전자가 소스로부터 드레인쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. P타입 트랜지스터의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. P타입 트랜지스터의 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니고, 트랜지스터의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 소스 및 드레인은 각각 제1 전극 및 제2 전극 또는 제2 전극 및 제1 전극으로 언급될 수 있다.
- [0030] 이하에서, 게이트 온 전압(gate on voltage)은 트랜지스터가 턴-온(turn-on)될 수 있는 게이트 신호의 전압일 수 있다. 게이트 오프 전압(gate off voltage)은 트랜지스터가 턴-오프(turn-off)될 수 있는 전압일 수 있다. P타입 트랜지스터에서 게이트 온 전압은 게이트 로우 전압(VGL)일 수 있고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다. N타입 트랜지스터에서 게이트 온 전압은 게이트 하이 전압일 수 있고, 게이트 오프 전압은 게이트 로우 전압일 수 있다.
- [0031] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예에 따른 게이트 구동부 및 이를 포함한 전계발광 표시장치에 대하여 설명하기로 한다.
- [0032] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.
- [0033] 도 1을 참고하면, 전계발광 표시장치(100)는 영상 처리부(110), 타이밍 제어부(120), 게이트 구동부(130), 데이터 구동부(140), 표시패널(150), 및 전원 공급부(180)를 포함한다.
- [0034] 영상 처리부(110)는 외부로부터 공급된 영상 데이터 및 각종 장치를 구동하기 위한 구동신호 등을 출력한다. 영상 처리부(110)로부터 출력되는 구동신호에는 데이터 인에이블 신호, 수직 동기신호, 수평 동기신호, 및 클럭신호가 포함될 수 있다.
- [0035] 타이밍 제어부(120)는 영상 처리부(110)로부터 공급된 영상 데이터 및 구동신호 등을 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 게이트 구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC), 데이터 구동부(140)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC), 및 표시패널(150)에 표시하고자 하는 영상의 휘도 정보를 담고 있는 데이터 신호(DATA)를 출력한다.
- [0036] 게이트 구동부(130)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 게이트 구동부(130)는 게이트 라인들(GL1, ..., GLn)을 통해 게이트 신호를 출력한다. 게이트 구동부(130)는 IC(integrated circuit) 형태로 형성될 수 있고, 표시패널(150)에 내장된 GIP(gate in panel) 형태로 형성될 수도 있다. 게이트 구동부(130)는 표시패널(150)의 좌측 및 우측에 각각 배치되거나 어느 일측에 배치될 수도 있다. 그리고, 게이트 구동부(130)는 복수의 스테이지들을 포함한다. 예를 들어, 게이트 구동부(130)의 제1 스테이지는 표시패널(150)의 제1 게이트 라인에 제1 게이트 신호를 출력한다.
- [0037] 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터 전압을 출력한다. 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 디지털 형태의 데이터 신호(DATA)를 샘플링하고 래치(latch)하여 감마 기준전압에 기초한 아날로그 형태의 데이터 신호로 변환한다. 데이터 구동부(140)는 데이터 라인들(DL1, ..., DLm)을 통해 데이터 신호를 출력한다. 데이터 구동부(140)는 IC(integrated circuit) 형태로 표시패널(150) 상에 형성되거나, 표시패널(150)에 COF(chip on film) 형태로 형성될 수도 있다.

다.

- [0038] 전원 공급부(180)는 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 등을 출력한다. 전원 공급부(180)로부터 출력된 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 등은 표시패널(150)에 공급된다. 고전위 전원전압(VDD)은 고전위 전원라인을 통해 표시패널(150)에 공급되고, 저전위 전원전압(VSS)은 저전위 전원라인을 통해 표시패널(150)에 공급된다. 전원 공급부(180)로부터 출력된 전압은 게이트 구동부(130)나 데이터 구동부(140)에서 이용될 수도 있다.
- [0039] 표시패널(150)은 게이트 구동부(130) 및 데이터 구동부(140)로부터 공급된 게이트 신호 및 데이터 신호, 그리고 전원 공급부(180)로부터 공급된 전원전압에 대응하여 영상을 표시한다. 표시패널(150)은 영상을 표시할 수 있도록 동작하는 픽셀 어레이를 포함하고, 픽셀 어레이는 서브 픽셀(SP)들로 구성된다.
- [0040] 표시패널(150)은 서브 픽셀(SP)들이 배치된 표시 영역(DA)과 표시 영역(DA)의 외곽으로 각종 신호 라인들이나 패드 등이 형성되는 비표시 영역을 포함한다. 표시 영역(DA)은 영상이 표시되는 영역이므로 서브 픽셀(SP)들이 위치하는 영역이고, 비표시 영역은 영상이 표시되지 않는 영역이므로 더미 서브 픽셀들이 위치하거나 서브 픽셀(SP)이 위치하지 않는 영역이다.
- [0041] 표시 영역(DA)은 복수의 서브 픽셀(SP)을 포함하고, 각각의 서브 픽셀(SP)들이 표시하는 계조를 기반으로 영상을 표시한다. 각각의 서브 픽셀(SP)은 컬럼 라인(column line)을 따라 배열되는 데이터 라인(DL)과 연결되고, 픽셀 라인(pixel line) 또는 로우 라인(row line)을 따라 배열되는 게이트 라인에 연결된다. 동일한 픽셀 라인에 위치한 서브 픽셀(SP)들은 동일한 게이트 라인을 공유하며 동시에 구동된다. 그리고, 제1 게이트 라인에 연결된 서브 픽셀(SP)들을 제1 서브 픽셀들이라고 정의하고, 제n 게이트 라인에 연결된 서브 픽셀(SP)들을 제n 서브 픽셀들이라고 정의할 때, 제1 서브 픽셀들부터 제n 서브 픽셀들은 순차적으로 구동된다.
- [0042] 서브 픽셀(SP)들은 매트릭스 형태로 배치되어 픽셀 어레이를 구성하지만, 이에 한정되지는 않는다. 서브 픽셀(SP)들은 매트릭스 형태 이외에도 서브 픽셀(SP)을 공유하는 형태, 스트라이프(stripe) 형태, 다이아몬드(diamond) 형태 등 다양한 형태로 배치될 수 있다.
- [0043] 서브 픽셀(SP)들은 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀을 포함할 수 있다. 서브 픽셀(SP)들은 발광 특성에 따라 하나 이상의 다른 발광 면적을 가질 수도 있다.
- [0044] 도 2는 본 명세서의 일 실시예에 따른 게이트 구동부의 블록도이다. 구체적으로, 도 2는 본 명세서의 일 실시예에 따른 게이트 구동부 및 게이트 구동부로부터 출력되는 신호가 인가되는 픽셀 라인을 도시한다.
- [0045] 앞서 언급한 바와 같이, 표시패널(150)은 서브 픽셀(SP)들을 기반으로 영상을 표시하는 표시 영역(DA)과 신호 라인이나 구동부 등이 위치하며 영상을 표시하지 않는 비표시 영역(NDA)을 포함한다.
- [0046] 서브 픽셀(SP)은 발광소자에 인가되는 전류량을 제어하는 픽셀 구동 회로를 포함한다. 픽셀 구동 회로는 발광소자에 일정 전류가 흐를 수 있도록 전류량을 제어하는 구동 트랜지스터를 포함할 수 있다. 발광소자는 발광기간에서 발광하고, 발광기간 이외의 기간에는 발광하지 않는다. 발광기간 이외의 기간에는 픽셀 구동 회로가 초기화되고, 스캔 신호가 픽셀 구동 회로에 입력되며, 프로그래밍 및 픽셀 구동 회로 보상 기간 등이 진행될 수 있다.
- [0047] 전계발광 표시패널(100)에 포함된 서브 픽셀(SP)들을 구동하기 위한 게이트 신호는 한 개 이상의 스캔 신호를 포함한다. 예를 들어, 두 개의 스캔 신호는 두 개의 스캔 라인을 통해 각각 서브 픽셀(SP)에 인가된다.
- [0048] 본 명세서에 따른 게이트 구동부(130)는 제1 스캔 스테이지(Scan(1)) 내지 제n 스캔 스테이지(Scan(n))를 포함한다. 도 2에서는 제k 스캔 스테이지(Scan(k))를 예로서 도시한다. 이 경우, k는 자연수이고 $1 \leq k \leq n$ 이다.
- [0049] 게이트 구동부(130)는 제k 스캔 스테이지(Scan(k))에 입력되는 제1 게이트 클럭 신호(GCLK1), 제2 게이트 클럭 신호(GCLK2), 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 게이트 스타트 전압(GVST)이 인가되는 배선들을 포함한다. 제k 스캔 스테이지(Scan(k))는 제1 게이트 클럭 신호(GCLK1) 및 제2 게이트 클럭 신호(GCLK2)에 대응하여 게이트 스타트 전압(GVST)을 시프트하면서 스캔 신호를 제k 픽셀 라인(H(k))에 제공한다. 이 경우, 게이트 스타트 전압(GVST)은 제1 스캔 스테이지(Scan(1))에 입력되고, 제2 스캔 스테이지(Scan(2)) 내지 제n 스캔 스테이지(Scan(n))는 이전 스테이지에서 출력되는 스캔 신호를 스타트 신호로 입력받음으로서 동작한다. 제1 게이트 클럭 신호(GCLK1) 및 제2 게이트 클럭 신호(GCLK2)는 게이트 하이 전압과 게이트 로우 전압 사이를 스윙하며 서로 반대 위상일 수 있다. 이 경우, 제1 게이트 클럭 신호(GCLK1) 및 제2 게이트 클럭 신호(GCLK2)는 서로 반대

위상이고, 게이트 클럭 주기의 차이가 있을 수 있다. 예를 들어, 제1 게이트 클럭 신호(GCLK1)의 게이트 클럭 주기는 제2 게이트 클럭 신호(GCLK2)의 게이트 클럭 주기보다 길 수 있다.

- [0050] 게이트 구동부(130)에 입력되는 게이트 클럭 신호는 제1 게이트 클럭 신호(GCLK1) 및 제2 게이트 클럭 신호(GCLK2)의 2상 회로를 도시하였으나, 이에 한정되지는 않는다.
- [0051] 도 3은 본 명세서의 일 실시예에 따른 스테이지의 블록도이다. 앞서 언급한 바와 같이, 게이트 구동부(130)는 복수의 스테이지들을 포함한다. 도 3은 복수의 스테이지들 중 일 스테이지를 구성하는 구성요소들을 블록화하여 나타낸 도면이다.
- [0052] 도 3을 참조하면, 스테이지는 풀업부(11), 풀다운부(12), Q 노드 제어부(13), Q 노드 안정화부(14), QB 노드 안정화부(15), 및 QB 노드 조절부(16)를 포함한다. 이 중, Q 노드 안정화부(14) 및 QB 노드 안정화부(15)는 생략될 수도 있다.
- [0053] 풀업부(11)는 Q 노드(Q)의 전압에 응답하여 스캔 신호(SRO)를 출력하고, 풀다운부(12)는 Q 노드(Q) 및 QB 노드(QB) 중 적어도 어느 하나의 전압에 응답하여 스캔 신호(SRO)를 게이트 오프 전압으로 제어한다.
- [0054] Q 노드 제어부(13)는 Q 노드(Q)를 충전 또는 방전시키기 위한 구성요소로, 게이트 스타트 전압(GVST)를 이용하여 Q 노드(Q)에 게이트 온 전압을 인가한다.
- [0055] QB 노드 조절부(16)는 Q 노드 제어부(13)에서 출력되는 신호, 예를 들면, Q 노드(Q)에 인가되는 신호를 입력받아 QB 노드(QB)에 출력한다. Q 노드 제어부(13)가 게이트 온 전압을 Q 노드(Q)에 출력시키는 동안 게이트 오프 전압을 QB 노드(QB)에 출력시킨다. 그리고, Q 노드 제어부(13)가 게이트 오프 전압을 Q 노드(Q)에 출력시키는 동안 게이트 온 전압을 QB 노드(QB)에 출력시킨다. QB 노드 조절부(16)는 복수의 트랜지스터들로 구성될 수 있다. 예를 들어, QB 노드 조절부(16)를 구성하는 복수의 트랜지스터들은 P타입 트랜지스터일 때, 게이트 클럭 신호에 의해 제어되고 QB 노드(QB)와 게이트 로우 전압 사이에 연결된 트랜지스터에 의해 QB 노드(QB)에 직접적으로 게이트 로우 전압이 인가되는 경우, 트랜지스터의 문턱전압으로 인해 QB 노드(QB)에 인가되는 전압은 온전한 게이트 로우 전압이 인가되지 못할 수 있다. 다시 말하면, QB 노드(QB)에는 게이트 로우 전압과 트랜지스터의 문턱전압의 차이만큼의 전압이 인가된다. QB 노드(QB)에 인가된 전압은 풀다운부(12)를 안정적으로 턴-온시키지 못하기 때문에 게이트 라인에 게이트 오프 전압의 스캔 신호를 안정적으로 인가하지 못한다. 따라서, 이를 해결하기 위한 QB 노드 조절부(16)의 회로도를 후술하도록 한다. 그리고, 일 프레임 중 게이트 온 전압이 스캔 신호로 인가되는 구간은 게이트 클럭 신호의 주기에 해당하고 나머지 기간은 게이트 오프 전압이 인가되므로, QB 노드(QB)의 전압이 안정적으로 게이트 오프 전압 상태일 수 있도록 게이트 구동부를 구현하는 것은 중요하다. 게이트 오프 전압이 스캔 신호에 정확히 인가되지 않을 경우, 화질 불량 등이 발생할 수 있다.
- [0056] Q 노드 안정화부(14)는 Q 노드(Q)를 두 개의 노드로 분리하여 하나의 노드에 인가되는 전압의 변화가 다른 노드에 연결된 트랜지스터에 미치는 영향을 감소시킬 수 있다.
- [0057] QB 노드 안정화부(15)는 스캔 신호(SRO)가 게이트 온 전압을 출력하는 동안 QB 노드(QB)에 게이트 하이 전압(VGH)을 인가함으로써 QB 노드(QB)가 안정적으로 게이트 오프 전압을 유지하도록 한다.
- [0058] 도 4는 본 명세서의 일 실시예에 따른 QB 노드 조절부를 나타낸 블록도이다. 구체적으로, 도 4는 도 3의 QB 노드 조절부(16)를 나타낸 블록도이다.
- [0059] 이하에서는, QB 노드 조절부(16)를 구성하는 트랜지스터는 P타입을 예로서 설명한다.
- [0060] QB 노드 조절부(16)는 QP 노드 제어부(16-1) 및 QB 노드 제어부(16-2)를 포함한다. QP 노드 제어부(16-1)는 Q 노드(Q)의 전압을 반전시켜 QP 노드(QP)에 출력하고, QB 노드 제어부(16-2)는 QP 노드(QP)와 QB 노드(QB) 사이에 연결되어 QB 노드 제어부(16-2)에 포함된 제1 커패시터(CQP)를 통해 QP 노드(QP)를 부트스트래핑(bootstrapping)시키고 QB 노드(QB)에 안정적인 전압을 출력시킨다.
- [0061] QP 노드 제어부(16-1)는 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)로 구성된다. 제1 트랜지스터(T1)는 제2 게이트 클럭 신호(GCLK2)가 입력되는 제2 게이트 클럭 신호 라인에 연결된 게이트, 게이트 로우 전압(VGL)에 연결된 소스, 및 QP 노드(QP)에 연결된 드레인을 포함한다. 제2 트랜지스터(T2)는 Q 노드(Q)에 연결된 게이트, 제2 게이트 클럭 신호(GCLK2)가 입력되는 제2 게이트 클럭 신호 라인에 연결된 소스, 및 QP 노드(QP)에 연결된 드레인을 포함한다. Q 노드(Q)가 게이트 오프 전압인 구간에서 제2 트랜지스터(T2)는 턴-오프되고, 제1 트랜지스터(T1)는 제2 게이트 클럭 신호(GCLK2)에 의해 턴-온 또는 턴-오프를 반복하며 게이트 로우 전압(VGL)을 QP 노드(QP)에 인가한다. Q 노드(Q)가 게이트 온 전압인 구간에서 제2 트랜지스터(T2)는 턴-온되어 제2 게이트 클럭 신

호(GCLK2)의 게이트 오프 전압을 QP 노드(QP)에 인가한다. 다시 말하면, QP 노드 제어부(16-1)는 Q 노드(Q)의 전압을 반전시켜 QP 노드(QP)에 출력시킨다.

- [0062] QB 노드 제어부(16-2)는 제3 트랜지스터(T3) 및 제1 커패시터(CQP)로 구성된다. 제3 트랜지스터(T3)는 QP 노드(QP)에 연결된 게이트, 제1 게이트 클럭 신호(GCLK1)가 입력되는 제1 게이트 클럭 신호 라인에 연결된 소스, 및 QB 노드(QB)에 연결된 드레인을 포함한다. 그리고, 제1 커패시터(CQP)의 제1 전극 및 제2 전극은 QP 노드(QP) 및 QB 노드(QB)에 각각 연결된다. 제3 트랜지스터(T3)는 QP 노드(QP)의 전압이 게이트 온 전압일 때, 제1 게이트 클럭 신호(GCLK1)의 게이트 로우 전압을 QB 노드(QB)에 인가한다. 이 때, 제1 커패시터(CQP)의 부트스트래핑 현상에 의해 QB 노드(QB)의 게이트 로우 전압 보다 QP 노드(QB)의 게이트 로우 전압이 낮아지고, QB 노드(QB)에는 제1 게이트 클럭 신호(GCLK1)의 게이트 로우 전압이 안정적으로 인가될 수 있다.
- [0063] 도 5는 본 명세서의 제1 실시예에 따른 게이트 구동부의 회로도이다. 구체적으로, 도 4에서 설명한 QB 노드 조절부(16)를 포함하는 본 명세서의 제1 실시예에 따른 게이트 구동부(130)의 회로도이다.
- [0064] 앞에서 설명한 바와 같이, 게이트 구동부(130)는 복수의 스테이지들을 포함하고 복수의 스테이지들 각각은 스캔 신호(SRO)를 출력한다. 복수의 스테이지들 각각은 도 4에서 언급한 QB 노드 조절부(16) 이외에 Q1 노드 제어부, 풀업부, 풀다운부, 및 Q 노드 안정화부를 포함한다. 도 3을 참고하면, Q1 노드 제어부는 Q 노드 제어부(13)에 대응될 수 있고, 풀업부, 풀다운부, 및 Q 노드 안정화부는 각각 11, 12, 및 14 블록에 대응시킬 수 있다.
- [0065] Q1 노드 제어부는 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)를 포함한다.
- [0066] 제4 트랜지스터(T4)는 Q1 노드 활성화부라고 일컫을 수 있고, 제2 게이트 클럭 신호 라인에 연결된 게이트, 게이트 스타트 전압(GVST)이 인가되는 게이트 스타트 전압 라인에 연결된 소스, 및 Q1 노드(Q1)에 연결된 드레인을 포함한다. 제4 트랜지스터(T4)는 제2 게이트 클럭 신호 및 게이트 스타트 전압(GVST)의 게이트 온 전압에 의해 턴-온되어 게이트 온 전압을 Q1 노드(Q1)에 인가한다.
- [0067] 제5 트랜지스터(T5)는 Q1 노드 방전부라고 일컫을 수 있고, QB 노드(QB)에 연결된 게이트, Q1 노드(Q1)에 연결된 소스, 게이트 하이 전압(VGH)이 인가되는 게이트 하이 전압 라인에 연결된 드레인을 포함한다. 제5 트랜지스터(T5)는 QB 노드(QB)에 인가된 게이트 로우 전압에 의해 턴-온되어 Q1 노드(Q1)를 게이트 하이 전압(VGH)으로 방전시킨다. 이 경우, Q1 노드(Q1)를 확실하게 방전시키지 못하면 제5 트랜지스터(T5)의 열화 속도가 빨라지므로 신뢰성이 떨어진다. 따라서, QB 노드(QB)에 정확한 전압을 인가함으로써, 제5 트랜지스터(T5)를 턴-온시켜서 Q1 노드(Q1)를 충분히 방전시킬 수 있어야 한다. QB 노드 조절부는 QB 노드(QB)에 게이트 로우 전압(VGL)이 안정적으로 인가시켜 줄 수 있다. 이에 대한 설명은 QB 노드 조절부를 설명하면서 함께 설명하도록 한다.
- [0068] Q1 노드 제어부는 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)를 통해 Q1 노드(Q1)에 게이트 스타트 전압(GVST)의 게이트 로우 전압을 인가하거나 게이트 하이 전압(VGH)으로 방전시킨다.
- [0069] 풀업부는 제6 트랜지스터(T6) 및 제2 커패시터(CB)를 포함한다.
- [0070] 제6 트랜지스터(T6)는 풀업 트랜지스터라고도 일컬어지고, Q2 노드(Q2)에 연결된 게이트, 제1 게이트 클럭 신호 라인에 연결된 소스, 및 스캔 신호(SRO)가 출력되는 스캔 신호 출력 라인에 연결된 드레인을 포함한다. 제6 트랜지스터(T6)는 Q2 노드(Q2)에 인가되는 게이트 온 전압에 의해 턴-온되어 제1 게이트 클럭 신호(GCLK1)를 스캔 신호 출력 라인에 출력한다.
- [0071] 제2 커패시터(CB)는 Q2 노드(Q2)에 연결된 제1 전극 및 스캔 신호 출력 라인에 연결된 제2 전극을 포함한다. 제2 커패시터(CB)는 Q2 노드(Q2)가 플로팅되고, 스캔 신호 출력 라인에 게이트 로우 전압이 인가되면 부트스트래핑되어 제6 트랜지스터(T6)를 안정적으로 턴-온시킨다.
- [0072] 따라서, 풀업부는 제6 트랜지스터(T6) 및 제2 커패시터(CB)를 통해 게이트 온 전압을 스캔 신호 출력 라인에 안정적으로 출력시킬 수 있다.
- [0073] 풀다운부는 제7 트랜지스터(T7)를 포함한다. 제7 트랜지스터(T7)는 풀다운 트랜지스터라고도 일컬어지고, QP 노드(QP)에 연결된 게이트, 스캔 신호 출력 라인에 연결된 소스, 및 게이트 하이 전압 라인에 연결된 드레인을 포함한다. 제7 트랜지스터(T7)는 QP 노드(QP)의 게이트 온 전압에 의해 턴-온되어 게이트 하이 전압(VGH)을 스캔 신호(SRO)로 방전시킨다. 따라서, 풀다운부는 제7 트랜지스터(T7)를 통해 게이트 오프 전압을 스캔 신호 출력 라인에 출력시킬 수 있다.
- [0074] Q 노드 안정화부는 제8 트랜지스터(T8)를 통해 도 4에서 언급한 Q 노드(Q)를 Q1 노드(Q1) 및 Q2 노드(Q2)로 분

리한다. 제8 트랜지스터(T8)는 게이트 로우 전압 라인에 연결된 게이트, Q2 노드(Q2)에 연결된 소스, 및 Q1 노드(Q1)에 연결된 드레인을 포함한다. 제8 트랜지스터(T8)는 게이트에 인가되는 게이트 로우 전압(VGL)에 의해 턴-온 상태를 유지한다. 그리고, 제2 커패시터(CB)에 의해 Q2 노드(Q2)가 부트스트래핑될 때, 제8 트랜지스터(T8)의 소스 및 드레인 사이의 전류는 제로가 된다. 다시 설명하면, 제8 트랜지스터(T8)는 Q2 노드(Q2)가 부트스트래핑되어 턴-온 전압 이상의 전압이 인가되는 동안 턴-오프되어, Q2 노드(Q2)와 Q1 노드(Q1) 간의 전기적 연결을 차단한다. 따라서, Q2 노드(Q2)가 부트스트래핑되어 전압이 변하더라도 Q1 노드(Q1)에 영향을 미치지 않기 때문에, Q1 노드(Q1)에 연결된 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)의 임계 특성이 바이어스(bias)되는 것을 방지할 수 있다.

[0075] Q 노드 안정화부는 제8 트랜지스터(T8)를 통해 Q 노드(Q)를 Q1 노드(Q1) 및 Q2 노드(Q2)로 분리함으로써, 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)의 바이어스 스트레스(bias stress)를 감소시키고 신뢰성을 향상시킬 수 있다.

[0076] QB 노드 조절부(도 5에서 점선의 사각형으로 표시)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 및 제1 커패시터(CQP)를 포함한다.

[0077] 제1 트랜지스터(T1)는 제2 게이트 클럭 신호(GCLK2)가 인가되는 제2 게이트 클럭 신호 라인에 연결된 게이트, 게이트 로우 전압(VGL)이 인가되는 게이트 로우 전압 라인에 연결된 소스, 및 QP 노드(QP)에 연결된 드레인을 포함한다. 제1 트랜지스터(T1)는 제2 게이트 클럭 신호(GCLK2)에 의해 게이트 로우 전압(VGL)을 QP 노드(QP)에 인가한다.

[0078] 제2 트랜지스터(T2)는 Q1 노드(Q1)에 연결된 게이트, 제2 게이트 클럭 신호 라인에 연결된 소스, 및 QP 노드(QP)에 연결된 드레인을 포함한다. 제2 트랜지스터(T2)는 Q1 노드(Q1)에 인가된 게이트 로우 전압에 의해 턴-온되어 제2 게이트 클럭 신호(GCLK2)를 QP 노드(QP)에 인가한다.

[0079] 제3 트랜지스터(T3)는 QP 노드(QP)에 연결된 게이트, 제1 게이트 클럭 신호(GCLK1)가 인가되는 제1 게이트 클럭 신호 라인에 연결된 소스, 및 QB 노드(QB)에 연결된 드레인을 포함한다. 제3 트랜지스터(T3)는 제1 트랜지스터(T1) 또는 제2 트랜지스터(T2)에 의해 QP 노드(QP)에 인가된 게이트 온 전압에 의해 턴-온되어 제1 게이트 클럭 신호(GCLK1)를 QB 노드(QB)에 인가한다.

[0080] 제1 커패시터(CQP)는 QP 노드(QP)에 연결된 제1 전극 및 QB 노드(QB)에 연결된 제2 전극을 포함한다. 제1 커패시터(CQP)는 QP 노드(QP)가 플로팅(floating)되고, QB 노드(QB)에 게이트 로우 전압이 인가되면 부트스트래핑되어 제3 트랜지스터(T3)를 안정적으로 턴-온시킨다.

[0081] 이 경우, QP 노드(QP)는 부트스트래핑되어 게이트 로우 전압 보다 더 낮은 상태가 된다. QP 노드(QP)에는 풀다운부를 구성하는 제7 트랜지스터(T7)가 연결된다. 제7 트랜지스터(T7)는 장시간 턴-온 상태를 유지해야 하는 버퍼 트랜지스터이므로 스테이지를 구성하는 회로 중 가장 큰 면적을 차지한다. 하지만, 제1 커패시터(CQP)에 의해 부트스트래핑되어 게이트 로우 전압보다 더 낮은 상태가 된 QP 노드(QP)를 제7 트랜지스터(T7)에 연결시킴으로써, 제7 트랜지스터(T7)의 사이즈를 줄일 수 있으므로, 전계발광 표시장치(100)의 베젤인 비표시영역을 감소시킬 수 있다.

[0082] 그리고, 안정적으로 턴-온된 제3 트랜지스터(T3)를 통해 제1 게이트 클럭 신호(GCLK1)의 게이트 로우 전압(VGL)이 QB 노드(QB)에 인가된다. QB 노드(QB)에는 Q1 노드 제어부를 구성하는 제5 트랜지스터(T5)의 게이트가 연결된다. 앞서 설명한 바와 같이, QB 노드(QB)에는 제3 트랜지스터(T3)를 통해 문턱전압 드롭 없는 게이트 로우 전압(VGL)이 인가된다. 따라서, 제5 트랜지스터(T5)의 신뢰성이 향상된다.

[0083] 도 7은 본 명세서의 일 실시예에 따른 게이트 구동부의 구동 파형도이다. 그리고, 도 7은 도 5의 구동 파형도이다.

[0084] 도 5 및 도 7을 참조하면, 제1 기간(P1)에서 제1 게이트 클럭 신호(GCLK1) 및 제2 게이트 클럭 신호(GCLK2)는 게이트 로우 전압(VGL)과 게이트 하이 전압(VGH) 사이를 스위칭하고 서로 반대 위상이다. 이 경우, 제1 게이트 클럭 신호(GCLK1) 및 제2 게이트 클럭 신호(GCLK2)는 게이트 클럭 주기의 차이가 있을 수 있다. 예를 들어, 제1 게이트 클럭 신호(GCLK1)의 게이트 클럭 주기는 제2 게이트 클럭 신호(GCLK2)의 게이트 클럭 주기보다 길 수 있다. 제1 기간(P1)에서, 게이트 스타트 전압(GVST)이 게이트 하이 전압(VGH)으로 유지되므로 제4 트랜지스터(T4)가 턴-온되면 Q1 노드(Q1)에 게이트 하이 전압(VGH)이 인가된다. 제8 트랜지스터(T8)는 턴-온 상태이므로 Q2 노드(Q2)도 게이트 하이 전압(VGH)으로 유지된다. 이에 따라, 제6 트랜지스터(T6)가 턴-오프 상태를 유지한다.

- [0085] 그리고, 제1 기간(P1)에서 제1 트랜지스터(T1)는 제2 게이트 클럭 신호(GCLK2)에 의해 주기적으로 턴-온되어 게이트 로우 전압(VGL)을 QP 노드(QP)에 인가한다. 예를 들면, QP 노드(QP)의 전압은 게이트 로우 전압(VGL)에서 제1 트랜지스터(T1)의 문턱전압(V_{th})이 상쇄된 전압($VGL - V_{th}$)이 인가된다. 이어서, QP 노드(QP)에 인가된 전압으로 인해 제3 트랜지스터(T3)가 턴-온되어 제1 게이트 클럭 신호(GCLK1)의 게이트 로우 전압(VGL)을 QB 노드(QB)에 인가한다. 이 경우, 제1 커패시터(CQP)에 의한 부트스트래핑 현상으로 인해 QP 노드(QP)의 전압은 게이트 로우 전압(VGL)보다 낮은 전압이 된다. 제1 기간(P1)에서 QP 노드(QP)의 전압은 게이트 로우 전압(VGL)보다 낮은 전압과 게이트 로우 전압과 제1 트랜지스터(T1)의 문턱전압의 차이만큼의 전압 사이에서 스윙하므로, 제7 트랜지스터(T7)가 턴-온되어 게이트 하이 전압(VGH)을 출력한다. 이에 따라, 제1 기간(P1)에서 스캔 신호(SRO)는 게이트 하이 전압(VGH)이 유지된다. 이 경우, 게이트 로우 전압(VGL)이 턴-온 전압인 경우는 P형 트랜지스터에 한정되는 사항이므로, 트랜지스터의 종류에 관계없이 게이트 로우 전압(VGL)보다 낮은 전압은 턴-온 전압 이상의 전압이라고 일컬을 수 있다.
- [0086] 제2 기간(P2)은 스캔 신호(SRO)에 게이트 로우 전압(VGL)을 인가하기 위한 전단계로서, 게이트 스타트 전압(GVST)이 인가된다. 제2 게이트 클럭 신호(GCLK2) 및 게이트 스타트 전압(GVST)의 게이트 로우 전압(VGL)에 의해 제4 트랜지스터(T4)가 턴-온되어 게이트 로우 전압(VGL)이 Q1 노드(Q1)에 인가된다. 턴-온 상태인 제8 트랜지스터(T8)를 통해 Q1 노드(Q1)의 전압이 Q2 노드(Q2)로 인가된다. Q2 노드(Q2)의 게이트 로우 전압(VGL)은 제6 트랜지스터(T6)를 턴-온시켜 제1 게이트 클럭 신호(GCLK1)의 게이트 하이 전압(VGH)을 출력한다.
- [0087] 그리고, Q1 노드(Q1)의 게이트 로우 전압(VGL)에 의해 제2 트랜지스터(T2)가 턴-온되고, 제2 게이트 클럭 신호(GCLK2)의 게이트 로우 전압(VGL)에 의해 제1 트랜지스터(T1)가 턴-온되어, QP 노드(QP)에는 게이트 로우 전압(VGL)과 제1 트랜지스터(T1) 및 제2 트랜지스터(T2)의 문턱전압(V_{th})의 차이만큼의 전압($VGL - V_{th}$)이 인가된다. QP 노드(QP)의 전압에 의해 제3 트랜지스터(T3)가 턴-온되어 제1 게이트 클럭 신호(GCLK1)의 게이트 하이 전압(VGH)을 QB 노드(QB)에 인가한다. QB 노드(QB)의 게이트 하이 전압(VGH)에 의해 제5 트랜지스터(T5)는 턴-오프된다. 그리고, QP 노드(QP)의 전압에 의해 제7 트랜지스터(T7)가 턴-온되어 게이트 하이 전압(VGH)을 출력한다. 따라서, 제2 기간(P2)에서 제6 트랜지스터(T6) 및 제7 트랜지스터(T7)가 턴-온되어 게이트 하이 전압(VGH)을 출력하므로 스캔 신호(SRO)는 게이트 하이 전압(VGH)이다.
- [0088] 제3 기간(P3)은 스캔 신호(SRO)에 게이트 로우 전압(VGL)을 인가하기 위한 단계로서, 제1 커패시터(CQP)에 의한 부트스트래핑 현상이 발생한다. 턴-온된 제6 트랜지스터(T6)를 통해 게이트 로우 전압(VGL)으로 전환된 제1 게이트 클럭 신호(GCLK1)가 스캔 신호 출력 라인에 인가되고, 동시에 플로팅된 Q2 노드(Q2)는 제2 커패시터(CB)의 부트스트래핑 현상에 의해 게이트 로우 전압(VGL)보다 더 낮은 전압이 된다. 이에 따라, 제6 트랜지스터(T6)가 안정적으로 턴-온되어 게이트 로우 전압(VGL)을 출력한다.
- [0089] 그리고, 제2 게이트 클럭 신호(GCLK2)가 게이트 하이 전압(VGH)이 되어 제4 트랜지스터(T4) 및 제1 트랜지스터(T1)는 턴-오프되고, 턴-온 상태의 제2 트랜지스터(T2)를 통해 제2 게이트 클럭 신호(GCLK2)의 게이트 하이 전압(VGH)이 QP 노드(QP)에 인가된다. QP 노드(QP)의 게이트 하이 전압(VGH)에 의해 제3 트랜지스터(T3)는 턴-오프되고, QB 노드(QB)에는 이전 단계의 전압이 유지된다. QB 노드(QB)의 전압은 게이트 하이 전압(VGH)이 유지된다. QP 노드(QP) 및 QB 노드(QB)의 전압에 의해 제7 트랜지스터(T7) 및 제5 트랜지스터(T5)는 턴-오프된다. 따라서, 제3 기간(P3)에서 턴-온된 제6 트랜지스터(T6)를 통해 게이트 로우 전압(VGL)을 출력하므로 스캔 신호(SRO)는 게이트 로우 전압(VGL)이다.
- [0090] 도 6은 본 명세서의 제2 실시예에 따른 게이트 구동부의 회로도이다. 구체적으로, 도 4에서 설명한 QB 노드 조절부(16)를 포함하는 본 명세서의 제2 실시예에 따른 게이트 구동부(130)의 회로도이다.
- [0091] 앞에서 설명한바와 같이, 게이트 구동부(130)는 복수의 스테이지들을 포함하고 복수의 스테이지 각각은 스캔 신호(SRO)를 출력한다. 복수의 스테이지들 각각은 도 4에서 언급한 QB 노드 조절부(16) 이외에 Q1 노드 제어부, 풀업부, 풀다운부, Q 노드 안정화부, 및 QB 노드 안정화부를 포함한다. 도 3을 참고하면, Q1 노드 제어부는 Q 노드 제어부(13)에 대응될 수 있고, 풀업부, 풀다운부, Q 노드 안정화부, 및 QB 노드 안정화부는 각각 11, 12, 14, 및 15 블록에 대응시킬 수 있다.
- [0092] 도 6은 본 명세서의 제1 실시예에 따른 QB 노드 조절부(16)에서 제9 트랜지스터(T9)가 추가된 회로도이므로, 중복되는 설명은 생략하고 QB 노드 안정화부에 대해서만 설명한다.
- [0093] QB 노드 안정화부는 제9 트랜지스터(T9)를 포함한다. 제9 트랜지스터(T9)는 Q1 노드(Q1)에 연결된 게이트, QB 노드(QB)에 연결된 소스, 및 게이트 하이 전압 라인에 연결된 드레인을 포함한다. 제9 트랜지스터(T9)는 Q1 노

드(Q1)가 게이트 온 전압일 때 턴-온되어 QB 노드(QB)를 게이트 하이 전압(VGH)으로 방전시킨다.

- [0094] QB 노드 안정화부의 구동 방법을 설명하기 위해 도 7을 참고하면, 제3 기간(P3)을 제외한 제1 기간(P1) 및 제2 기간(P2)에서 제8 트랜지스터(T8)은 턴-온 상태이므로, Q2 노드(Q2) 및 Q1 노드(Q1)의 전압은 동일하다. 제1 기간(P1)에서 Q1 노드(Q1)가 게이트 하이 전압(VGH)이므로, 제9 트랜지스터(T9)는 턴-오프 상태를 유지한다. 그리고, 제2 기간(P2)에서 Q1 노드(Q1)는 게이트 로우 전압(VGL)이므로 제9 트랜지스터(T9)는 턴-온되어 QB 노드(QB)를 게이트 하이 전압(VGH)으로 방전시킨다. 그리고, 제3 기간(P3)에서 Q1 노드(Q1)는 플로팅되어 이전 상태의 전압을 유지하므로 Q1 노드(Q1)에는 게이트 로우 전압(VGL)이 인가되어 있기 때문에 제9 트랜지스터(T9)는 턴-온 상태를 유지한다. 따라서, 제2 기간(P2) 및 제3 기간(P3)에서 제9 트랜지스터(T9)를 턴-온시켜줌으로써, QB 노드(QB)의 전압을 게이트 하이 전압(VGH)으로 방전시키고 제3 트랜지스터(T3)를 턴-오프시켜 Q1 노드(Q1) 및 Q2 노드(Q2)의 전압을 안정화시킬 수 있다. 또한, Q1 노드(Q1)의 전압을 안정화시켜줌으로써, 제5 트랜지스터(T5)의 열화 속도를 늦출 수 있다.
- [0095] 본 명세서의 실시예에 따른 게이트 구동부 및 이를 이용한 전계발광 표시장치는 다음과 같이 설명될 수 있다.
- [0096] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 게이트 라인들에 연결된 서브픽셀들, 및 게이트 라인들 중 적어도 어느 하나에 스캔 신호를 공급하고, 복수의 스테이지들로 구성된 게이트 구동부를 포함한다. 복수의 스테이지들 중 일 스테이지는, 제1 게이트 클럭 신호 및 제2 게이트 클럭 신호를 이용하여 QB 노드 및 QP 노드를 턴-온 전압으로 충전하는 QB 노드 조절부, 및 QP 노드 전압에 대응하여 턴-오프 전압을 출력하는 풀다운부를 포함한다. QB 노드 조절부는, Q1 노드의 전압을 반전시켜 QP 노드에 인가하는 QP 노드 제어부, 및 QP 노드를 부트스트래핑하는 QB 노드 제어부를 포함한다. 이에 따라, 전계발광 표시장치는 QB 노드 및 QP 노드에 안정적인 전압을 제공하는 QB 노드 조절부로 구성된 게이트 구동부를 이용함으로써, 게이트 구동부의 신뢰성을 향상시키고 전계발광 표시장치의 베젤을 줄일 수 있다.
- [0097] QP 노드 제어부는 게이트 로우 전압 라인 및 QP 노드 사이에 연결되고, 게이트가 제2 게이트 클럭 신호 라인에 연결된 제1 트랜지스터, 및 제2 게이트 클럭 신호 라인 및 QP 노드 사이에 연결되고, 게이트가 Q1 노드에 연결된 제2 트랜지스터를 포함할 수 있다. QB 노드 제어부는 제1 게이트 클럭 신호 라인 및 QB 노드 사이에 연결되고, 게이트가 QP 노드에 연결된 제3 트랜지스터, 및 QP 노드 및 QB 노드 사이에 연결된 제1 커패시터를 포함할 수 있다.
- [0098] 일 스테이지는, QB 노드 전압에 대응하여 Q1 노드를 턴-오프 전압으로 방전시키고, 제2 게이트 클럭 신호에 대응하여 게이트 스타트 전압을 Q1 노드에 인가하는 Q1 노드 제어부를 더 포함할 수 있다.
- [0099] Q1 노드 제어부는 게이트 스타트 전압이 인가되는 게이트 스타트 전압 라인 및 Q1 노드 사이에 연결되고, 게이트가 제2 게이트 클럭 신호 라인에 연결된 제4 트랜지스터, 및 Q1 노드 및 게이트 하이 전압 라인 사이에 연결되고, 게이트가 QB 노드에 연결된 제5 트랜지스터를 포함할 수 있다.
- [0100] 일 스테이지는 Q2 노드의 전압에 대응하여 턴-온 전압을 출력하는 풀업부를 더 포함할 수 있다.
- [0101] 풀업부는 제1 게이트 클럭 신호 라인과 스캔 신호 출력 라인 사이에 연결되고, 게이트가 Q2 노드에 연결된 제6 트랜지스터를 포함할 수 있다. 풀다운부는 게이트 하이 전압 라인 및 스캔 신호 출력 라인 사이에 연결되고, 게이트가 QP 노드에 연결된 제7 트랜지스터를 포함할 수 있다.
- [0102] 일 스테이지는 Q1 노드와 상기 Q2 노드 사이에 연결된 Q 노드 안정화부를 더 포함할 수 있다.
- [0103] 일 스테이지는, Q1 노드의 전압에 대응하여 QB 노드를 턴-오프 전압으로 방전시키는 QB 노드 안정화부를 더 포함할 수 있다.
- [0104] 본 명세서의 일 실시예에 따른 게이트 구동부에 있어서, 게이트 구동부는 게이트에 Q2 노드가 연결되어 턴-온 전압을 출력하는 풀업 트랜지스터, 게이트에 QP 노드가 연결되어 턴-오프 전압을 출력하는 풀다운 트랜지스터, 및 풀업 트랜지스터의 게이트에 턴-오프 전압이 인가된 상태에서, QP 노드에 주기적으로 턴-온 전압 이상의 전압을 제공하고, QB 노드에 주기적으로 턴-온 전압을 제공하는 QB 노드 조절부를 포함한다. 이에 따라, 게이트 구동부는 QB 노드 및 QP 노드에 안정적인 전압을 제공하는 QB 노드 조절부를 포함함으로써, 게이트 구동부의 신뢰성을 향상시킬 수 있다.
- [0105] Q2 노드와 Q1 노드 사이에 있는 Q 노드 안정화부, 게이트 스타트 전압을 상기 Q1 노드에 인가하는 Q1 노드 활성화부, 및 QB 노드의 전압에 의해 Q1 노드를 주기적으로 방전시키는 Q1 노드 방전부를 더 포함할 수 있다.

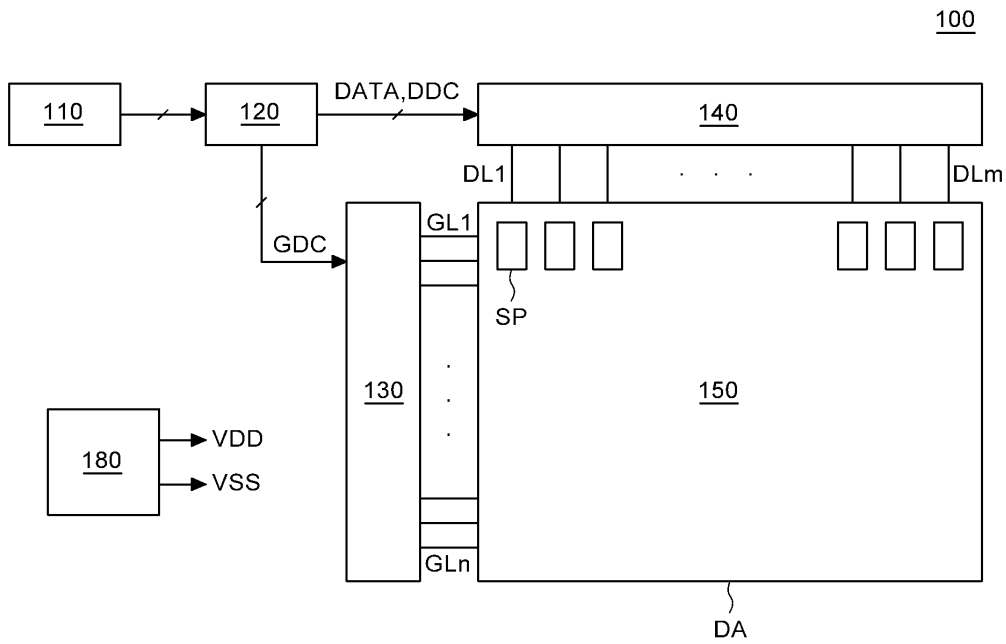
- [0106] Q1 노드의 전압에 의해 QB 노드를 방전시키는 QB 노드 안정화부를 더 포함할 수 있다.
- [0107] QB 노드 조절부는 게이트 로우 전압 라인 및 QP 노드 사이에 연결되고, 게이트가 제2 게이트 클럭 신호 라인에 연결된 제1 트랜지스터, 제2 게이트 클럭 신호 라인 및 QP 노드 사이에 연결되고, 게이트가 Q1 노드에 연결된 제2 트랜지스터, 제1 게이트 클럭 신호 라인 및 QB 노드 사이에 연결되고, 게이트가 QP 노드에 연결된 제3 트랜지스터, 및 QP 노드 및 QB 노드 사이에 연결된 제1 커패시터를 포함할 수 있다. 그리고, 제1 게이트 클럭 신호 및 제2 게이트 클럭 신호는 서로 반대 위상일 수 있다.
- [0108] 풀업 트랜지스터의 게이트와 드레인에 연결된 제2 커패시터를 더 포함할 수 있다.
- [0109] 턴-온 전압이 인가되는 라인에 게이트가 연결되고, Q2 노드와 Q1 노드 사이에 연결된 제8 트랜지스터를 더 포함할 수 있고, 제2 커패시터에 의해 Q2 노드에 턴-온 전압 이상의 전압이 인가되는 동안 제8 트랜지스터는 턴-오프 상태일 수 있다.
- [0110] Q2 노드의 전압이 턴-온 전압 이상인 동안, QP 노드 및 QB 노드의 전압은 턴-오프 전압이고, 풀업 트랜지스터는 턴-온되어 턴-온 전압을 출력할 수 있다.
- [0111] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

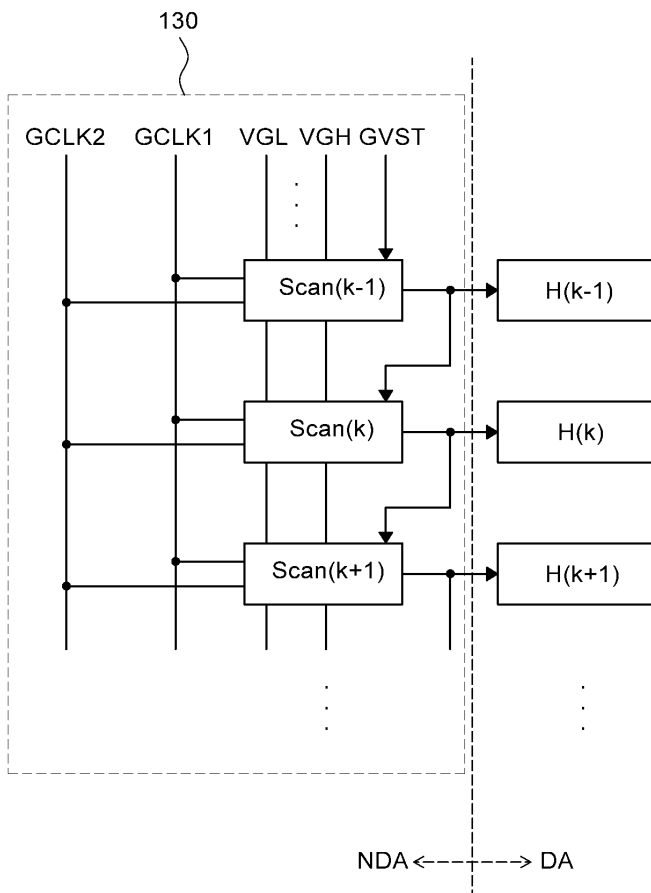
- [0112] GL1~GLn : 게이트 라인들
- DL1~DLm : 데이터 라인들
- 11 : 풀업부
- 12 : 풀다운부
- 13 : Q 노드 제어부
- 14 : Q 노드 안정화부
- 15 : QB 노드 안정화부
- 16 : QB 노드 조절부
- 100 : 전계발광 표시장치
- 110 : 영상 처리부
- 120 : 타이밍 제어부
- 130 : 게이트 구동부
- 140 : 데이터 구동부
- 150 : 표시패널
- 180 : 전원 공급부

도면

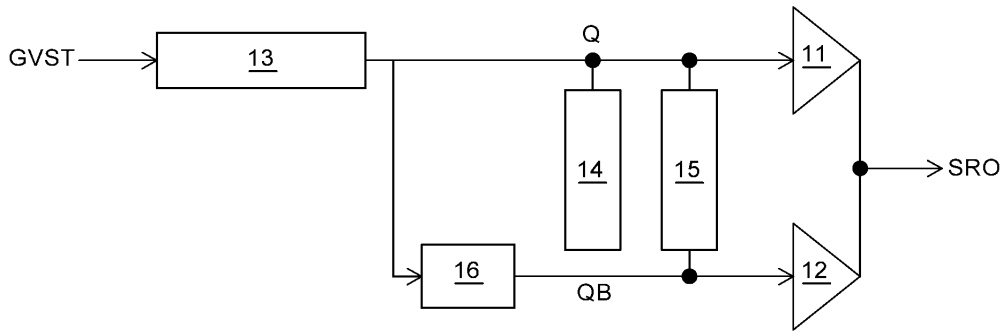
도면1



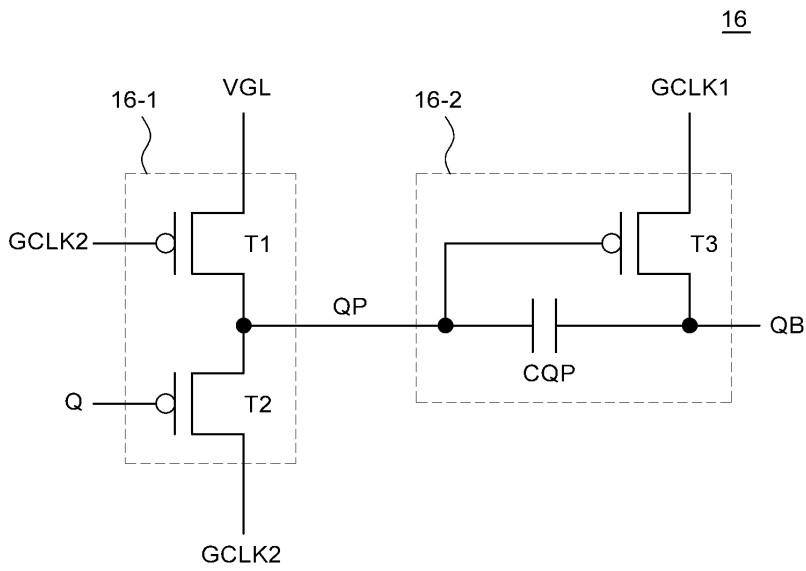
도면2



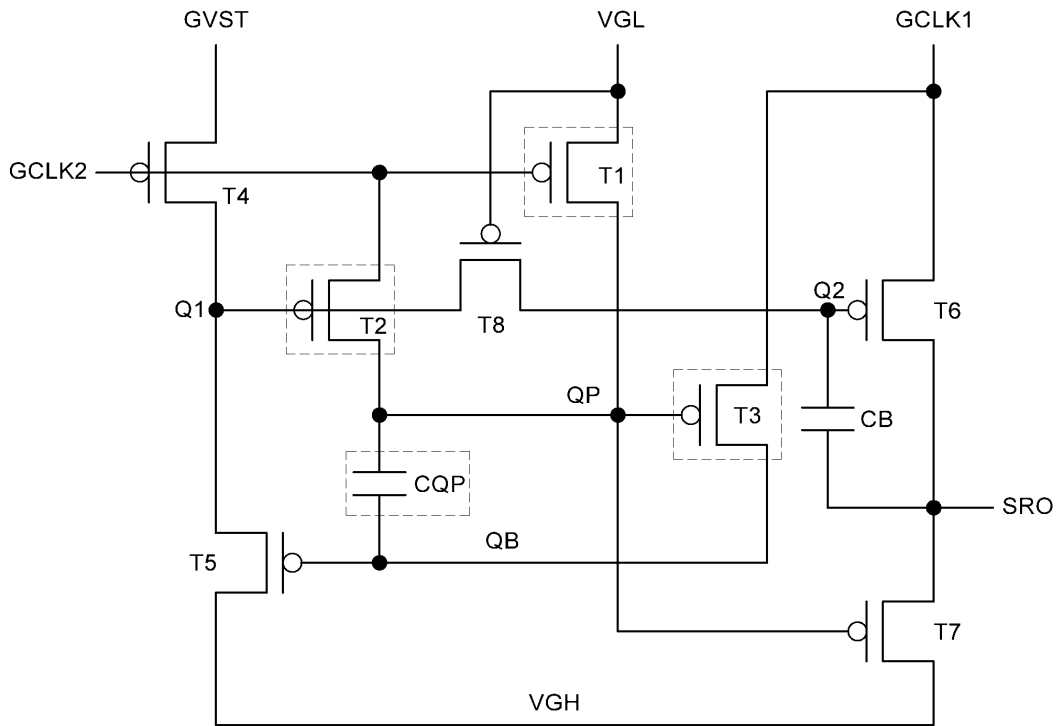
도면3



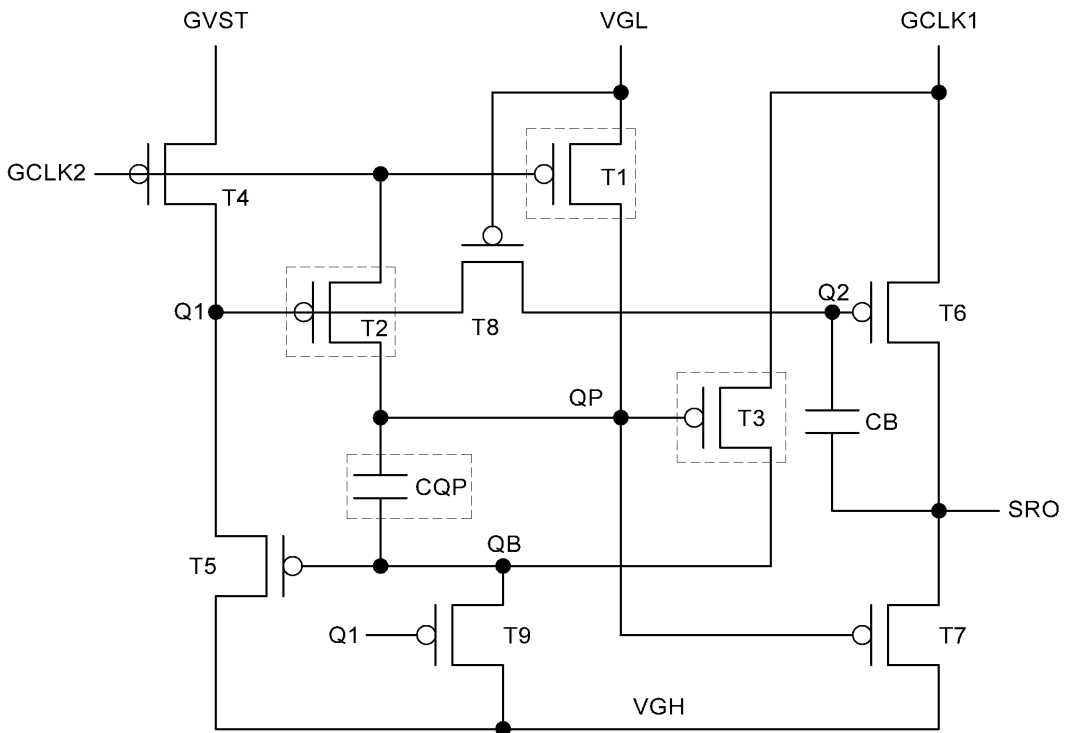
도면4



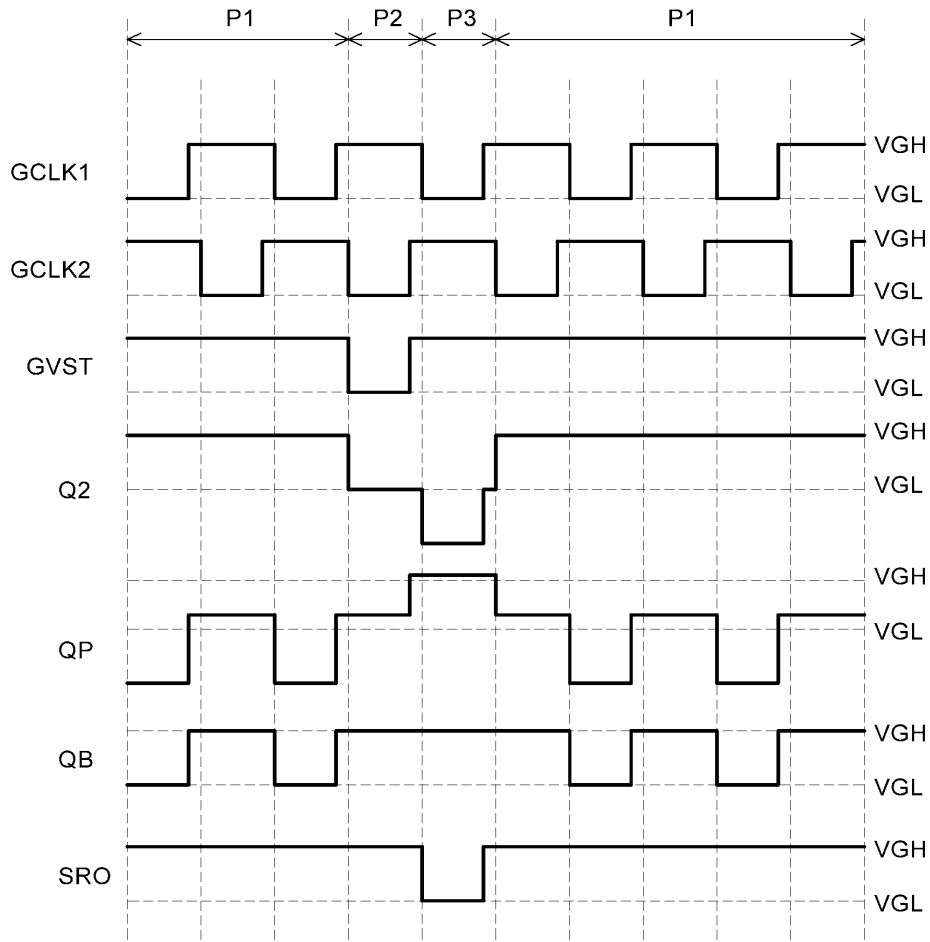
도면5



도면6



도면7



专利名称(译)	栅极驱动器和包括其的电致发光显示器		
公开(公告)号	KR1020190058087A	公开(公告)日	2019-05-29
申请号	KR1020170155741	申请日	2017-11-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	공충식 신미희 강규태		
发明人	공충식 신미희 강규태		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G2320/0209 G09G2320/0233 G09G2300/0408 G09G2310/0267 G09G2310/0286 G09G2310/08 G09G3/30		
外部链接	Espacenet		

摘要(译)

根据本说明书的示例性实施例的电致发光显示装置向连接至栅极线的子像素中的至少一个和栅极线提供扫描信号，并且包括具有多级的栅极驱动器。多个阶段中的一个可以包括：QB节点控制器，被配置为使用第一栅极时钟信号和第二栅极时钟信号将QB节点和QP节点充电至导通电压，以及与QP节点的电压相对应的匝。用于输出截止电压的下拉部分。该QB节点控制器包括：QP节点控制器，用于将Q1节点的电压反相并将其施加到QP节点；以及QB节点控制器，用于自举QP节点。因此，电致发光显示器可以通过使用包括QB节点控制器的栅极驱动器来提高栅极驱动器的可靠性并且减小电致发光显示器的边框，该QB节点控制器向QB节点和QP节点提供稳定的电压。

