



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0057724
(43) 공개일자 2019년05월29일

(51) 국제특허분류(Int. Cl.)
G09G 3/3266 (2016.01)

(52) CPC특허분류
G09G 3/3266 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0155014
(22) 출원일자 2017년11월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
공충식
경기도 파주시 월롱면 엘지로 245
한홍규
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)

(74) 대리인
특허법인로얄

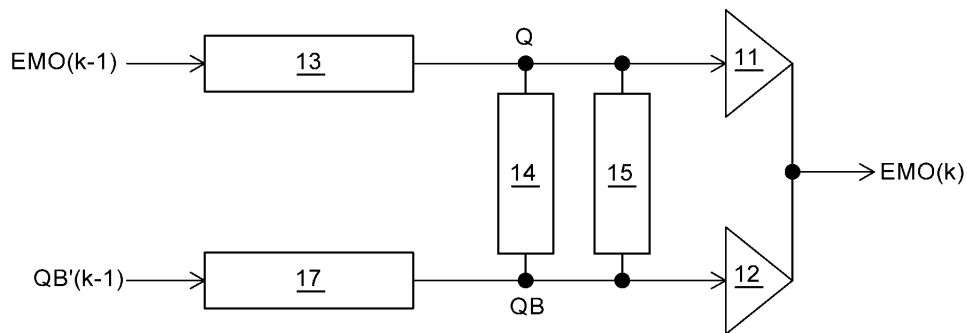
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 게이트 구동부 및 이를 이용한 전계발광 표시장치

(57) 요약

본 명세서의 실시예에 따른 전계발광 표시장치는 에미션 라인에 연결된 서브 픽셀들, 및 에미션 라인에 에미션 신호를 공급하며, 복수의 스테이지들로 이루어진 에미션 구동부를 포함하고, 복수의 스테이지들 중 제k(k는 2 이상인 자연수) 스테이지는, Q 노드에 의해 제어되어 턴-온 전압의 에미션 신호를 출력하는 풀업부, Q 노드 또는 QB 노드에 의해 제어되어 턴-오프 전압을 출력하는 풀다운부, QB 노드와 QB' 노드 사이에 위치하는 QB 노드 제어부, 및 제k-1 스테이지의 QB' 노드의 전압을 쉬프트하여 상기 QB' 노드에 인가하는 QB 노드 조절부를 포함한다. 이에 따라, 에미션 클럭 신호의 부하 증가에 의한 영향을 줄이고 안정적으로 QB 노드를 출력하여 에미션 구동부의 신뢰성을 향상시킬 수 있다.

대표도 - 도4



(72) 발명자

신미희

경기도 파주시 월롱면 엘지로 245

이세완

경기도 파주시 월롱면 엘지로 245

명세서

청구범위

청구항 1

에미션 라인에 연결된 서브 픽셀들; 및

상기 에미션 라인에 에미션 신호를 공급하며, 복수의 스테이지들로 이루어진 에미션 구동부를 포함하고,

상기 복수의 스테이지들 중 제 k (k 는 2 이상인 자연수) 스테이지는

Q 노드에 의해 제어되어 턴-온 전압의 에미션 신호를 출력하는 풀업부;

상기 Q 노드 또는 QB 노드에 의해 제어되어 턴-오프 전압을 출력하는 풀다운부;

상기 QB 노드와 QB' 노드 사이에 위치하는 QB 노드 제어부; 및

제 $k-1$ 스테이지의 QB' 노드의 전압을 쉬프트하여 상기 QB' 노드에 인가하는 QB 노드 조절부를 포함하는, 전계발광 표시장치.

청구항 2

제1 항에 있어서,

상기 제 k 스테이지는, 제 $k-1$ 스테이지의 에미션 신호를 이용하여 상기 Q 노드의 전압을 제어하는 Q 노드 제어부를 더 포함하는, 전계발광 표시장치.

청구항 3

제1 항에 있어서,

상기 서브 픽셀들은 발광소자 및 픽셀 구동 회로를 포함하고,

상기 에미션 라인은 상기 픽셀 구동 회로에 포함된 에미션 트랜지스터에 연결된, 전계발광 표시장치.

청구항 4

제1 항에 있어서,

상기 QB 노드 조절부는 Q' 노드 제어부, QB' 노드 제어부, QB 노드 홀딩부, QB' 노드 홀딩부, 및 커패시터를 포함하는 전계발광 표시장치.

청구항 5

제4 항에 있어서,

상기 Q' 노드 제어부는 제1 에미션 클럭 신호에 의해 제어되어 상기 제 $k-1$ 스테이지의 QB' 노드의 전압을 상기 Q' 노드에 인가하고,

상기 QB' 노드 제어부는 상기 Q' 노드에 의해 제어되어 제2 에미션 클럭 신호를 상기 QB' 노드에 인가하고,

상기 QB 노드 홀딩부는 상기 Q 노드에 의해 제어되어 상기 QB 노드를 에미션 하이 전압으로 방전시키고,

상기 QB' 노드 홀딩부는 상기 Q 노드에 의해 제어되어 상기 QB' 노드를 에미션 하이 전압으로 방전시키고,

상기 커패시터는 상기 Q' 노드 및 상기 QB' 노드 사이에 연결되며,

상기 QB 노드 제어부는 상기 제2 에미션 클럭 신호에 의해 상기 QB' 노드 및 상기 QB 노드의 단락(short)을 제어하거나, 상기 QB' 노드에 의해 제어되어 에미션 로우 전압을 상기 QB 노드에 인가하는, 전계발광 표시장치.

청구항 6

제5 항에 있어서,

상기 제1 에미션 클럭 신호 및 상기 제2 에미션 클럭 신호는 서로 반대 위상인, 전계발광 표시장치.

청구항 7

제4 항에 있어서,

상기 QB 노드 조절부는 Q' 노드 홀딩부를 더 포함하는, 전계발광 표시장치.

청구항 8

제7 항에 있어서,

상기 Q' 노드 제어부는 제1 에미션 클럭 신호에 의해 제어되어 상기 제k-1 스테이지의 QB' 노드의 전압을 상기 Q' 노드에 인가하고,

상기 QB' 노드 제어부는 상기 Q' 노드에 의해 제어되어 제2 에미션 클럭 신호를 상기 QB' 노드에 인가하고,

상기 QB 노드 홀딩부는 상기 Q 노드에 의해 제어되어 상기 QB 노드를 에미션 하이 전압으로 방전시키고,

상기 QB' 노드 홀딩부는 상기 Q 노드에 의해 제어되어 상기 QB' 노드를 에미션 하이 전압으로 방전시키며,

상기 Q' 노드 홀딩부는 상기 Q 노드에 의해 제어되어 상기 Q' 노드를 에미션 하이 전압으로 방전시키고,

상기 커패시터는 상기 Q' 노드 및 QB' 노드 사이에 연결되며,

상기 QB 노드 제어부는 상기 제2 에미션 클럭 신호에 의해 상기 QB' 노드 및 상기 QB 노드의 단락(short)을 제어하거나, 상기 QB' 노드에 의해 제어되어 에미션 로우 전압을 상기 QB 노드에 인가하는, 전계발광 표시장치.

청구항 9

n (n 은 2 이상의 자연수)개의 스테이지를 포함하는 게이트 구동부에 있어서,

제 k ($1 \leq k \leq n$) 스테이지는,

풀업부 및 풀다운부;

상기 풀업부에 연결된 Q 노드를 제어하는 Q 노드 제어부; 및

상기 풀다운부에 연결된 QB 노드를 제어하는 QB 노드 조절부를 포함하고,

상기 QB 노드 조절부는 Q' 노드 제어부, QB' 노드 제어부, QB 노드 제어부, QB' 노드 홀딩부, 및 QB 노드 홀딩부를 포함하며,

상기 QB 노드 조절부는 제 $k-1$ 스테이지의 QB' 노드의 전압을 쉬프트하여 QB' 노드의 전압에 인가하는, 게이트 구동부.

청구항 10

제9 항에 있어서,

상기 QB 노드 조절부에는 에미션 로우 전압, 에미션 하이 전압, 제1 에미션 클럭 신호, 및 제2 에미션 클럭 신호가 인가되고,

상기 에미션 로우 전압은 상기 에미션 하이 전압보다 낮은 전압이고, 상기 제1 에미션 클럭 신호 및 상기 제2 에미션 클럭 신호는 상기 에미션 로우 전압 및 상기 에미션 하이 전압 사이를 스위칭하는, 게이트 구동부.

청구항 11

제9 항에 있어서,

상기 QB 노드 조절부는 커패시터를 더 포함하고,

상기 Q' 노드 제어부는 제1 트랜지스터를 포함하고,

상기 QB' 노드 제어부는 제2 트랜지스터를 포함하고,
 상기 QB 노드 제어부는 제3 트랜지스터를 포함하고,
 상기 QB' 노드 홀딩부는 제4 트랜지스터를 포함하며,
 상기 QB 노드 홀딩부는 제5 트랜지스터를 포함하며,
 상기 커패시터는 상기 Q' 노드와 상기 QB' 노드에 연결된, 게이트 구동부.

청구항 12

제11 항에 있어서,
 상기 제1 트랜지스터의 게이트는 제1 에미션 클럭 신호 라인에 연결되고, 제1 전극은 상기 제k-1 스테이지의 QB' 노드에 연결되고, 제2 전극은 상기 Q' 노드에 연결되고,
 상기 제2 트랜지스터의 게이트는 상기 Q' 노드에 연결되고, 제1 전극은 제2 에미션 클럭 신호 라인에 연결되고, 제2 전극은 상기 QB' 노드에 연결되고,
 상기 제3 트랜지스터의 게이트는 상기 제2 에미션 클럭 신호 라인에 연결되고, 제1 전극은 상기 QB' 노드에 연결되고, 제2 전극은 상기 QB 노드에 연결되고,
 상기 제4 트랜지스터의 게이트는 상기 Q 노드에 연결되고, 제1 전극은 상기 QB' 노드에 연결되고, 제2 전극은 에미션 하이 전압 라인에 연결되고,
 상기 제5 트랜지스터의 게이트는 상기 Q 노드에 연결되고, 제1 전극은 상기 QB 노드에 연결되고, 제2 전극은 상기 에미션 하이 전압 라인에 연결되는, 게이트 구동부.

청구항 13

제12 항이 있어서,
 상기 QB 노드 조절부는 상기 Q' 노드 홀딩부를 더 포함하고,
 상기 Q' 노드 홀딩부는 제6 트랜지스터로 구성되며,
 상기 제6 트랜지스터의 게이트는 상기 Q 노드에 연결되고, 제1 전극은 상기 Q' 노드에 연결되고, 제2 전극은 상기 에미션 하이 전압 라인에 연결되는, 게이트 구동부.

청구항 14

제11 항에 있어서,
 상기 제1 트랜지스터의 게이트는 제1 에미션 클럭 신호 라인에 연결되고, 제1 전극은 상기 제k-1 스테이지의 QB' 노드에 연결되고, 제2 전극은 상기 Q' 노드에 연결되고,
 상기 제2 트랜지스터의 게이트는 상기 Q' 노드에 연결되고, 제1 전극은 제2 에미션 클럭 신호 라인에 연결되고, 제2 전극은 상기 QB' 노드에 연결되고,
 상기 제3 트랜지스터의 게이트는 상기 QB' 노드에 연결되고, 제1 전극은 에미션 로우 전압 라인에 연결되고, 제2 전극은 상기 QB 노드에 연결되고,
 상기 제4 트랜지스터의 게이트는 상기 Q 노드에 연결되고, 제1 전극은 상기 QB' 노드에 연결되고, 제2 전극은 에미션 하이 전압 라인에 연결되고,
 상기 제5 트랜지스터의 게이트는 상기 Q 노드에 연결되고, 제1 전극은 상기 QB 노드에 연결되고, 제2 전극은 상기 에미션 하이 전압 라인에 연결되는, 게이트 구동부.

청구항 15

제14 항이 있어서,
 상기 QB 노드 조절부는 상기 Q' 노드 홀딩부를 더 포함하고,

상기 Q' 노드 홀딩부는 제6 트랜지스터로 구성되며,

상기 제6 트랜지스터의 게이트는 상기 Q 노드에 연결되고, 제1 전극은 상기 Q' 노드에 연결되고, 제2 전극은 상기 에미션 하이 전압 라인에 연결되는, 게이트 구동부.

발명의 설명

기술 분야

[0001] 본 명세서는 구동 능력이 향상된 게이트 구동부 및 이를 이용한 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광 표시장치, 액정 표시장치, 유기발광 표시장치, 및 양자점 표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 이 중에서 전계발광 표시장치는 응답속도가 빠르고, 발광효율이 높으며 시야각이 큰 장점이 있다. 일반적으로 전계발광 표시장치는 스캔 신호에 의해서 턴-온되는 트랜지스터를 이용하여 데이터 전압을 구동 트랜지스터의 게이트 전극에 인가하고, 구동 트랜지스터에 공급되는 데이터 전압을 스토리지 커패시터에 충전한다. 그리고, 발광 제어 신호를 이용하여 스토리지 커패시터에 충전된 데이터 전압을 출력함으로써 발광소자를 발광시킨다. 발광소자는 유기발광소자 및 무기발광소자를 포함한다.

[0004] 전계발광 표시장치에는 게이트 신호 및 데이터 신호가 공급되고, 게이트 신호는 스캔 신호 및 에미션 신호를 포함한다. 전계발광 표시장치는 에미션 신호와 하나 이상의 스캔 신호를 이용하여 구동된다. 일반적으로 스캔 신호를 생성하는 게이트 구동부는 게이트 신호를 순차적으로 출력하기 위한 쉬프트 레지스터(shift register)를 포함할 수 있다.

[0005] 영상을 표시하기 위한 최소 장치인 표시패널은 픽셀 어레이(pixel array)가 배치되어 영상을 표시하는 표시 영역 및 영상을 표시하지 않는 비표시 영역으로 구분된다. 게이트 구동부는 표시패널의 비표시 영역인 베젤 영역에 박막 트랜지스터들의 조합으로 형성되는 게이트-인-패널(Gate In Panel, 이하 GIP) 형태로 구현되기도 한다. GIP 형태의 게이트 구동부는 게이트 라인의 개수에 대응하여 스테이지를 구비하고, 각 스테이지는 일대일로 대응하는 게이트 라인에 공급되는 게이트 펄스를 출력한다. 게이트 라인은 표시영역에 배치된 픽셀 어레이에 게이트 신호를 공급하여, 발광소자가 발광할 수 있도록 한다.

[0006] 따라서, 픽셀 어레이에 정확한 신호를 전달하기 위해 게이트 구동부의 구동 능력 향상 및 구동의 신뢰성을 높이기 위한 방안이 모색되고 있다.

발명의 내용

해결하려는 과제

[0007] 앞서 언급한 바와 같이, 전계발광 표시장치는 에미션 신호와 하나 이상의 스캔 신호를 이용하여 구동된다. 전계발광 표시장치를 구동하기 위해서는 데이터 신호를 주사하기 위한 스캔 신호뿐만 아니라, 스캔 신호를 주사하는 동안 발광소자의 발광을 중지시키기 위한 에미션 신호가 필요하다.

[0008] 일반적으로 에미션 신호를 발생시키기 위해서 스캔 신호를 반전하여 사용하지만, 스캔 신호를 반전하여 발생시킨 에미션 신호는 전계발광 표시장치의 펄스폭변조(pulse-width-modulation) 구동 및 스캔 신호 주사시, 간섭이 발생할 수 있다. 또한, 표시패널의 고해상도에 따른 클럭 신호 및 에미션 신호의 부하 증가로 인해 동작 마진이 감소하여 에미션 구동회로의 불량률이 발생할 수 있다.

[0009] 이에 본 명세서의 발명자들은 위에서 언급한 문제점을 인식하고, 스캔 신호를 출력하는 스캔 구동부와 별도로 에미션 신호를 출력하는 에미션 구동부를 포함하는 게이트 구동부를 마련하여, 구동 능력 및 구동 신뢰성이 향상된 게이트 구동부 및 이를 이용한 전계발광 표시장치를 발명하였다.

[0010] 본 명세서의 실시예에 따른 해결 과제는 전계발광 표시패널의 펄스폭변조 구동 및 스캔 신호 주사시 간섭을 회피하여 에미션 신호의 정확성을 향상시킨 게이트 구동부 및 이를 이용한 표시장치를 제공하는 것이다.

[0011] 본 명세서의 실시예에 따른 해결 과제는 표시패널의 고해상도에 따른 클럭 신호 및 에미션 신호의 부하 증가에

도 불량이 발생하지 않고 동작이 가능한 게이트 구동부 및 이를 이용한 표시장치를 제공하는 것이다.

[0012] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0013] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 에미션 라인에 연결된 서브 픽셀들, 및 에미션 라인에 에미션 신호를 공급하며, 복수의 스테이지들로 이루어진 에미션 구동부를 포함하고, 복수의 스테이지들 중 제 k (k 는 2 이상인 자연수) 스테이지는, Q 노드에 의해 제어되어 턴-온 전압의 에미션 신호를 출력하는 풀업부, Q 노드 또는 QB 노드에 의해 제어되어 턴-오프 전압을 출력하는 풀다운부, QB 노드와 QB' 노드 사이에 위치하는 QB 노드 제어부, 및 제 $k-1$ 스테이지의 QB' 노드의 전압을 쉬프트하여 QB' 노드에 인가하는 QB 노드 조절부를 포함한다. 이에 따라, 에미션 클럭 신호의 부하 증가에 의한 영향을 줄이고 안정적으로 QB 노드를 출력하여 에미션 구동부의 신뢰성을 향상시킬 수 있다.

[0014] 본 명세서의 일 실시예에 따라 n (n 은 2 이상의 자연수)개의 스테이지를 포함하는 게이트 구동부에 있어서, 제 k ($1 \leq k \leq n$) 스테이지는, 풀업부 및 풀다운부, 풀업부에 연결된 Q 노드를 제어하는 Q 노드 제어부, 및 풀다운부에 연결된 QB 노드를 제어하는 QB 노드 조절부를 포함하고, QB 노드 조절부는 Q' 노드 제어부, QB' 노드 제어부, QB 노드 제어부, QB' 노드 홀딩부, 및 QB 노드 홀딩부를 포함하며, QB 노드 조절부는 제 $k-1$ 스테이지의 QB' 노드의 전압을 쉬프트하여 QB' 노드의 전압에 인가하는 을 제공한다. 이에 따라, 에미션 클럭 신호의 부하 증가에 의한 영향을 줄이고 안정적으로 QB 노드를 출력하여 에미션 구동부의 신뢰성을 향상시킬 수 있다.

[0015] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0016] 본 명세서의 실시예들에 따르면, 에미션 스테이지에 포함된 QB 노드를 제어하기 위한 구조로 Q 노드를 인버팅하여 QB 노드에 전압을 인가하는 것이 아니라, QB 노드를 제어하기 위한 QB 노드 조절부를 별도로 마련함으로써, 에미션 클럭 신호의 부하 증가로 인한 영향을 줄일 수 있다.

[0017] 그리고, 본 명세서의 실시예들에 따르면, QB 노드 조절부는 이전 스테이지의 QB' 노드의 신호를 입력으로 하는 쉬프트 회로를 부트스트래핑 방식으로 구현함으로써, 에미션 클럭 신호의 부하 증가에 의한 영향을 줄이고 안정적으로 QB 노드를 출력할 수 있다.

[0018] 그리고, 본 명세서의 실시예들에 따르면, QB 노드 조절부는 QB' 노드 및 QB 노드에 각각 연결된 트랜지스터들을 포함함으로써, QB' 노드 및 QB 노드에 에미션 하이 전압을 인가하여 QB' 노드 및 QB 노드의 장시간 플로팅을 방지하여 에미션 구동부를 안정화할 수 있다.

[0019] 그리고, 본 명세서의 실시예들에 따르면, QB 노드 조절부는 Q' 노드에 에미션 하이 전압을 인가할 수 있는 트랜지스터를 포함함으로써, 장시간 턴-오프 상태인 트랜지스터로 인해 Q' 노드가 로직로우 전압으로 떨어져 Q' 노드에 게이트가 연결된 트랜지스터가 턴-온되는 것을 방지할 수 있다.

[0020] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

- [0021] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.
- 도 2는 본 명세서의 일 실시예에 따른 게이트 구동부의 블록도이다.
- 도 3은 본 명세서의 일 실시예에 따른 에미션 구동부의 블록도이다.
- 도 4는 본 명세서의 다른 실시예에 따른 에미션 구동부의 블록도이다.
- 도 5는 도 3 및 도 4의 에미션 구동부의 출력 파형을 나타낸 그래프이다.
- 도 6은 본 명세서의 제1 실시예에 따른 QB 노드 조절부의 회로도이다.
- 도 7은 본 명세서의 제2 실시예에 따른 QB 노드 조절부의 회로도이다.

도 8은 본 명세서의 제3 실시예에 따른 QB 노드 조절부의 회로도이다.

도 9는 본 명세서의 제4 실시예에 따른 QB 노드 조절부의 회로도이다.

도 10은 본 명세서의 일 실시예에 따른 QB 노드 조절부의 구동 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0023] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0024] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0025] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0026] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0027] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0028] 본 명세서에서 표시패널의 기관 상에 형성되는 픽셀 구동 회로와 게이트 구동부는 n타입 또는 p타입의 트랜지스터로 구현될 수 있다. 예를 들어, 트랜지스터는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 트랜지스터는 게이트(gate), 소스(source), 및 드레인(drain)을 포함한 3전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 예를 들어, 트랜지스터에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n타입 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n타입 트랜지스터에서 전자가 소스로부터 드레인쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p타입 트랜지스터의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p타입 트랜지스터의 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니고, 트랜지스터의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 소스 및 드레인은 각각 제1 전극 및 제2 전극 또는 제2 전극 및 제1 전극으로 언급될 수 있다.
- [0029] 이하에서, 게이트 온 전압(gate on voltage)은 트랜지스터가 턴-온(turn-on)될 수 있는 게이트 신호의 전압일 수 있다. 게이트 오프 전압(gate off voltage)은 트랜지스터가 턴-오프(turn-off)될 수 있는 전압일 수 있다. p타입 트랜지스터에서 게이트 온 전압은 게이트 로우 전압(VGL) 또는 로직로우 전압(VL)일 수 있고, 게이트 오프 전압은 게이트 하이 전압(VGH) 또는 로직하이 전압(VH)일 수 있다. n타입 트랜지스터에서 게이트 온 전압은 게이트 하이 전압일 수 있고, 게이트 오프 전압은 게이트 로우 전압일 수 있다. 또한, 로직로우 전압(VL)은 에미션 로우 전압(VEL)과 동일하고, 로직하이 전압(VH)은 에미션 하이 전압(VEH)과 동일한 전압일 수 있다.
- [0030] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예에 따른 게이트 구동부 및 이를 이용한 전계발광 표시장치에 대하여 설명하기로 한다.

- [0031] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치의 블록도이다.
- [0032] 도 1을 참고하면, 전계발광 표시장치(100)는 영상 처리부(110), 타이밍 제어부(120), 게이트 구동부(130), 데이터 구동부(140), 표시패널(150), 및 전원 공급부(180)를 포함한다.
- [0033] 영상 처리부(110)는 외부로부터 공급된 영상 데이터 및 각종 장치를 구동하기 위한 구동신호 등을 출력한다. 영상 처리부(110)로부터 출력되는 구동신호에는 데이터 인에이블 신호, 수직 동기신호, 수평 동기신호, 및 클럭신호가 포함될 수 있다.
- [0034] 타이밍 제어부(120)는 영상 처리부(110)로부터 공급된 영상 데이터 및 구동신호 등을 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 게이트 구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC), 데이터 구동부(140)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC), 및 표시패널(150)에 표시하고자 하는 영상의 휘도 정보를 담고 있는 데이터 신호(DATA)를 출력한다.
- [0035] 게이트 구동부(130)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 게이트 구동부(130)는 게이트 라인들(GL1, ..., GLn)을 통해 게이트 신호를 출력한다. 게이트 구동부(130)는 IC(integrated circuit) 형태로 형성될 수 있고, 표시패널(150)에 내장된 GIP(gate in panel) 형태로 형성될 수도 있다. 게이트 구동부(130)는 표시패널(150)의 좌측 및 우측에 각각 배치되거나 어느 일측에 배치될 수도 있다. 게이트 구동부(130)는 복수의 스테이지들로 이루어진다. 예를 들어, 게이트 구동부(130)의 제1 스테이지는 표시패널(150)의 제1 게이트 라인에 인가시킬 제1 게이트 신호를 출력한다.
- [0036] 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터 전압을 출력한다. 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 디지털 형태의 데이터 신호(DATA)를 샘플링하고 래치(latch)하여 감마 기준전압에 기초한 아날로그 형태의 데이터 신호로 변환한다. 데이터 구동부(140)는 데이터 라인들(DL1, ..., DLm)을 통해 데이터 신호를 출력한다. 데이터 구동부(140)는 IC(integrated circuit) 형태로 표시패널(150) 상에 형성되거나, 표시패널(150)에 COF(chip on film) 형태로 형성될 수도 있다.
- [0037] 전원 공급부(180)는 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 등을 출력한다. 전원 공급부(180)로부터 출력된 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 등은 표시패널(150)에 공급된다. 고전위 전원전압(VDD)은 고전위 전원라인을 통해 표시패널(150)에 공급되고, 저전위 전원전압(VSS)은 저전위 전원라인을 통해 표시패널(150)에 공급된다. 전원 공급부(180)로부터 출력된 전압은 게이트 구동부(130)나 데이터 구동부(140)에서 이용될 수도 있다.
- [0038] 표시패널(150)은 게이트 구동부(130) 및 데이터 구동부(140)로부터 공급된 게이트 신호 및 데이터 신호, 그리고 전원 공급부(180)로부터 공급된 전원전압에 대응하여 영상을 표시한다. 표시패널(150)은 영상을 표시할 수 있도록 동작하는 픽셀 어레이를 포함하고, 픽셀 어레이는 서브 픽셀(SP)들로 구성된다.
- [0039] 표시패널(150)은 서브 픽셀(SP)들이 배치된 표시 영역(DA)과 표시 영역(DA)의 외곽으로 각종 신호 라인들이나 패드 등이 형성되는 비표시 영역을 포함한다. 표시 영역(DA)은 영상이 표시되는 영역이므로 서브 픽셀(SP)들이 위치하는 영역이고, 비표시 영역은 영상이 표시되지 않는 영역이므로 더미 서브 픽셀들이 위치하거나 서브 픽셀(SP)이 위치하지 않는 영역이다.
- [0040] 표시 영역(DA)은 복수의 서브 픽셀(SP)을 포함하고, 각각의 서브 픽셀(SP)들이 표시하는 계조를 기반으로 영상을 표시한다. 각각의 서브 픽셀(SP)은 컬럼 라인(column line)을 따라 배열되는 데이터 라인(DL)과 연결되고, 픽셀 라인(pixel line) 또는 로우 라인(row line)을 따라 배열되는 게이트 라인에 연결된다. 동일한 픽셀 라인에 위치한 서브 픽셀(SP)들은 동일한 게이트 라인을 공유하며 동시에 구동된다. 그리고, 제1 게이트 라인에 연결된 서브 픽셀(SP)들을 제1 서브 픽셀들이라고 정의하고, 제n 게이트 라인에 연결된 서브 픽셀(SP)들을 제n 서브 픽셀들이라고 정의할 때, 제1 서브 픽셀들부터 제n 서브 픽셀들은 순차적으로 구동된다.
- [0041] 서브 픽셀(SP)들은 매트릭스 형태로 배치되어 픽셀 어레이를 구성하지만, 이에 한정되지는 않는다. 서브 픽셀(SP)들은 매트릭스 형태 이외에도 서브 픽셀(SP)을 공유하는 형태, 스트라이프(stripe) 형태, 다이아몬드(diamond) 형태 등 다양한 형태로 배치될 수 있다.
- [0042] 서브 픽셀(SP)들은 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀을 포함할 수 있다. 서브 픽셀(SP)들은 발광 특성에 따라 하나 이상의 다른 발광 면적을 가질 수도 있다.

- [0043] 도 2는 본 명세서의 일 실시예에 따른 게이트 구동부의 블록도이다. 구체적으로, 도 2는 본 명세서의 일 실시예에 따른 게이트 구동부 및 게이트 구동부로부터 출력되는 신호가 인가되는 픽셀 라인을 도시한다.
- [0044] 앞서 언급한 바와 같이, 표시패널(150)은 서브 픽셀(SP)들을 기반으로 영상을 표시하는 표시 영역(DA)과 신호 라인이나 구동부 등이 위치하며 영상을 표시하지 않는 비표시 영역(NDA)을 포함한다.
- [0045] 서브 픽셀(SP)은 발광소자 및 발광소자의 애노드에 인가되는 전류량을 제어하는 픽셀 구동 회로를 포함한다. 픽셀 구동 회로는 발광소자에 일정 전류가 흐를 수 있도록 전류량을 제어하는 구동 트랜지스터를 포함할 수 있다. 발광소자는 발광기간에서 발광하고, 발광기간 이외의 기간에는 발광하지 않는다. 발광기간 이외의 기간에는 픽셀 구동 회로가 초기화되고, 스캔 신호가 픽셀 구동 회로에 입력되며, 프로그래밍 및 픽셀 구동 회로 보상 기간 등이 진행될 수 있다. 예를 들어, 픽셀 구동 회로 보상은 구동 트랜지스터의 문턱전압 보상일 수 있다. 발광기간 이외의 기간에는 발광소자가 특정 휘도로 발광할 수 있는 전류가 일정하게 공급되지 않으므로 발광소자가 발광하지 않도록 해야한다. 예를 들어, 발광소자가 발광하지 않게 할 수 있는 방법은 발광소자의 애노드와 구동 트랜지스터 사이에 에미션 트랜지스터를 연결할 수 있다. 에미션 트랜지스터는 에미션 라인에 연결되어 에미션 구동부로부터 출력되는 에미션 신호에 의해 제어된다. 발광기간에서 에미션 신호는 턴-온 전압이고, 발광기간 이외의 기간에서 에미션 신호는 턴-오프 전압일 수 있다.
- [0046] 표시패널(150)에 포함된 서브 픽셀(SP)들을 구동하기 위한 게이트 신호는 스캔 신호 및 에미션 신호를 포함한다. 따라서, 게이트 구동부(130)는 스캔 신호를 생성하는 스캔 구동부(132) 및 에미션 신호를 생성하는 에미션 구동부(134)를 포함한다. 스캔 신호는 스캔 라인을 통해 서브 픽셀(SP)에 인가되고, 에미션 신호는 에미션 라인을 통해 서브 픽셀(SP)에 인가된다.
- [0047] 본 명세서에 따른 스캔 구동부(132)는 제1 스캔 스테이지(Scan(1)) 내지 제n 스캔 스테이지(Scan(n))를 포함한다. 그리고, 본 명세서에 따른 에미션 구동부(134)는 제1 에미션 스테이지(EM(1)) 내지 제n 에미션 스테이지(EM(n))를 포함한다. 도 2에서는 제k 스캔 스테이지(Scan(k)) 및 제k 에미션 스테이지(EM(k))를 예로서 도시한다. 이 경우, k는 자연수이고 $1 \leq k \leq n$ 이다.
- [0048] 스캔 구동부(132)는 제k 스캔 스테이지(Scan(k))에 입력되는 제1 게이트 클럭 신호(GCLK1), 제2 게이트 클럭 신호(GCLK2), 게이트 로우 전압(VGL), 게이트 하이 전압(VGH), 게이트 스타트 전압(GVST)이 인가되는 배선들을 포함한다. 제k 스캔 스테이지(Scan(k))는 제1 게이트 클럭 신호(GCLK1) 및 제2 게이트 클럭 신호(GCLK2)에 대응하여 게이트 스타트 전압(GVST)을 시프트하면서 스캔 신호를 제k 픽셀 라인(H(k))에 제공한다. 이 경우, 게이트 스타트 전압(GVST)은 제1 스캔 스테이지(Scan(1))에 입력되고, 제2 스캔 스테이지(Scan(2)) 내지 제n 스캔 스테이지(Scan(n))는 이전 스테이지에서 출력되는 스캔 신호를 스타트 신호로 입력받음으로써 동작한다. 게이트 구동부(130)는 서브 픽셀(SP)에 포함된 회로의 구성에 따라 두 개 이상의 스캔 구동부를 포함할 수도 있다.
- [0049] 에미션 구동부(134)는 제k 에미션 스테이지(EM(k))에 입력되는 제1 에미션 클럭 신호(ECLK1), 제2 에미션 클럭 신호(ECLK2), 에미션 로우 전압(VEL), 에미션 하이 전압(VEH), 및 에미션 스타트 전압(EVST)이 인가되는 배선들을 포함한다. 예를 들어, 에미션 로우 전압(VEL)은 -8V 내지 -7V 이고, 에미션 하이 전압(VEH)은 7V 내지 8V 일 수 있다. 제k 에미션 스테이지(EM(k))는 제1 에미션 클럭 신호(ECLK1) 및 제2 에미션 클럭 신호(ECLK2)에 대응하여 에미션 스타트 전압(EVST)을 시프트하면서 에미션 신호를 제k 픽셀 라인(H(k))에 제공한다. 이 경우, 에미션 스타트 전압(EVST)은 제1 에미션 스테이지(EM(1))에 입력되고, 제2 에미션 스테이지(EM(2)) 내지 제n 에미션 스테이지(EM(n))는 이전 스테이지에서 출력되는 에미션 신호를 스타트 신호로 입력받음으로써 동작한다. 예를 들어, 제k 에미션 스테이지(EM(k))의 출력 신호는 제(k+1) 에미션 스테이지(EM(k+1))의 스타트 신호로 입력되고, 제k 픽셀 라인(H(k))으로 입력된다. 게이트 구동부(130)는 서브 픽셀(SP)에 포함된 회로의 구성에 따라 두 개 이상의 에미션 구동부를 포함할 수도 있다. 제1 에미션 클럭 신호(ECLK1) 및 제2 에미션 클럭 신호(ECLK2)는 에미션 하이 전압과 에미션 로우 전압 사이를 스윙하며 서로 반대 위상일 수 있다. 이 경우, 제1 에미션 클럭 신호(ECLK1) 및 제2 에미션 클럭 신호(ECLK2)는 서로 반대 위상이고 에미션 클럭 주기의 차이가 있을 수 있다. 예를 들어, 제1 에미션 클럭 신호(ECLK1)의 에미션 클럭 주기는 제2 에미션 클럭 신호(ECLK2)의 에미션 클럭 주기보다 길 수 있다.
- [0050] 게이트 구동부(130)에 입력되는 게이트 클럭 신호 및 에미션 클럭 신호는 각각 제1 게이트 클럭 신호(GCLK1) 및 제2 게이트 클럭 신호(GCLK2), 제1 에미션 클럭 신호(ECLK1) 및 제2 에미션 클럭 신호(ECLK2)의 2상 회로를 도시하였으나, 이에 한정되지는 않는다.
- [0051] 따라서, 스캔 신호를 출력하는 스캔 구동부와 별도로 에미션 신호를 출력하는 에미션 구동부를 배치하여, 전체

발광 표시패널의 펄스폭변조 구동 및 스캔 신호 주사시 간섭을 회피 및 정확성을 향상시킬 수 있으므로, 게이트 구동부의 구동 능력 및 구동 신뢰성이 향상될 수 있다.

- [0052] 도 3은 본 명세서의 일 실시예에 따른 에미션 구동부의 블록도이다. 도 3은 제k 에미션 구동부(134)를 구성하는 제k 에미션 스테이지(EM(k))를 예로서 설명한다.
- [0053] 도 3을 참조하면, 제k 에미션 스테이지(EM(k))는 풀업부(11), 풀다운부(12), Q 노드 제어부(13), Q 노드 안정화부(14), QB 노드 안정화부(15), 및 인버터부(16)를 포함한다. 이 중, Q 노드 안정화부(14) 및 QB 노드 안정화부(15)는 생략될 수도 있다.
- [0054] 풀업부(11)는 Q 노드(Q)의 전압에 응답하여 제k 에미션 신호(EMO(k))를 출력하고, 풀다운부(12)는 Q 노드(Q) 및 QB 노드(QB) 중 적어도 어느 하나의 전압에 응답하여 제k 에미션 신호(EMO(k))를 턴-오프 전압으로 제어한다. 턴-오프 전압은 턴-오프 전압이 인가되는 트랜지스터의 종류에 따라 다르다. 턴-오프 전압은 p형 트랜지스터의 경우 게이트 하이 전압이고, n형 트랜지스터의 경우 게이트 로우 전압이다. 그리고, 턴-온 전압은 p형 트랜지스터의 경우 게이트 로우 전압이고, n형 트랜지스터의 경우 게이트 하이 전압이다. 이하에서는 p형 트랜지스터로 구성된 제k 에미션 스테이지(EM(k))를 예로서 설명한다.
- [0055] Q 노드 제어부(13)는 Q 노드(Q)를 충전 또는 방전시키기 위한 구성요소로, 제k-1 에미션 스테이지(EM(k-1))의 출력 신호인 제k-1 에미션 신호(EMO(k-1))를 스타트 신호로 이용하여 Q 노드(Q)에 턴-온 전압을 인가한다.
- [0056] 인버터부(16)는 Q 노드 제어부(13)에서 출력되는 신호, 예를 들면, Q 노드(Q)에 인가되는 신호를 입력받아 반전시켜 QB 노드(QB)에 출력한다. Q 노드 제어부(13)가 턴-온 전압을 Q 노드(Q)에 출력시키는 동안 턴-오프 전압을 QB 노드(QB)에 출력시킨다. 그리고, Q 노드 제어부(13)가 턴-오프 전압을 Q 노드(Q)에 출력시키는 동안 턴-온 전압을 QB 노드(QB)에 출력시킨다. 인버터부(16)는 Q 노드(Q)의 전압에 의해 제어되는 Q' 노드 및 Q 노드(Q)의 전압에 의해 제어되어 QB 노드(QB)에 전압을 출력하기 위한 QB' 노드를 포함한다. 인버터부(16)는 Q' 노드에 게이트가 연결되고, QB' 노드에 드레인이 연결되며, 소스에 에미션 클럭 신호가 인가되는 트랜지스터, 및 트랜지스터의 게이트 및 드레인에 각각 일 전극이 연결된 커패시터를 포함함으로써 구현될 수 있다. Q' 노드가 턴-온 전압일 때 트랜지스터를 통해 에미션 클럭 신호의 에미션 로우 전압이 QB' 노드에 인가된다. Q' 노드에 인가되는 전압은 Q 노드에 의해 제어되어 로직하이 전압과 로직로우 전압 사이를 지속적으로 스위칭하고, QB' 노드에 인가되는 전압은 로직하이 전압을 유지한다. 이에 따라, 에미션 구동부의 인버터부에 포함된 Q' 노드와 QB' 노드에 연결된 커패시터는 충전 및 방전을 지속적으로 수행하게 된다. 따라서, 에미션 구동부가 안정적으로 게이트 하이 전압을 출력해야 하는 구간에서 전압이 흔들리게 된다. 그리고, 표시패널(150)의 해상도가 증가하게 되면 서 에미션 클럭 신호의 부하가 증가하고 지속적인 커패시터의 충전 및 방전으로 인하여 에미션 클럭 신호의 왜곡이 발생할 수 있다. 또한, 에미션 클럭 신호 라인을 표시패널에 형성시, 고해상도 표시패널일수록 공정 편차에 의한 에미션 클럭 신호의 부하가 크게 변동될 수 있다. 이러한 문제점을 해결하기 위한 본 명세서의 다른 실시예는 후술하도록 한다.
- [0057] Q 노드 안정화부(14)는 제k 에미션 신호(EMO(k))가 턴-오프 전압을 출력하는 동안 Q 노드(Q)에 에미션 하이 전압(VEH)을 인가함으로써 안정적으로 턴-오프 전압을 유지하도록 한다.
- [0058] QB 노드 안정화부(15)는 제k 에미션 신호(EMO(k))가 턴-온 전압을 출력하는 동안 QB 노드(QB)에 에미션 하이 전압(VEH)을 인가함으로써 안정적으로 턴-오프 전압을 유지할 수 있다. 이 경우, 에미션 하이 전압(VEH)은 로직하이 전압(VH)일 수 있다.
- [0059] 도 4는 본 명세서의 다른 실시예에 따른 에미션 구동부의 블록도이다. 도 4는 제k 에미션 구동부(134)를 구성하는 제k 에미션 스테이지(EM(k))를 예로서 설명한다.
- [0060] 도 4를 참조하면, 제k 에미션 스테이지(EM(k))는 풀업부(11), 풀다운부(12), Q 노드 제어부(13), Q 노드 안정화부(14), QB 노드 안정화부(15), 및 QB 노드 조절부(17)를 포함한다. 이 중, Q 노드 안정화부(14) 및 QB 노드 안정화부(15)는 생략될 수도 있다.
- [0061] 풀업부(11)는 Q 노드(Q)의 전압에 응답하여 제k 에미션 신호(EMO(k))를 출력하고, 풀다운부(12)는 Q 노드(Q) 및 QB 노드(QB) 중 적어도 어느 하나의 전압에 응답하여 제k 에미션 신호(EMO(k))를 턴-오프 전압으로 제어한다. 예를 들어, 풀업부(11)는 단일 트랜지스터로 구성되거나, 트랜지스터 및 커패시터로 구성될 수 있다. 그리고, 풀다운부(12)는 단일 트랜지스터, 트랜지스터 및 커패시터, 또는 복수의 트랜지스터 및 커패시터로 구성될 수 있다. 이 경우, 풀업부(11)를 구성하는 트랜지스터의 게이트는 Q 노드(Q)에 연결되고, 풀다운부(12)를 구성하는

트랜지스터의 게이트는 QB 노드(QB)에 연결된다.

- [0062] Q 노드 제어부(13)는 Q 노드(Q)를 충전 또는 방전시키기 위한 구성요소로, 제k-1 에미션 스테이지(EM(k-1))의 출력 신호인 제k-1 에미션 신호(EMO(k-1))를 이용하여 Q 노드(Q)에 턴-온 전압을 인가한다.
- [0063] QB 노드 조절부(17)는 제k-1 에미션 스테이지(EM(k-1))의 QB' 노드(QB'(k-1))에 인가되는 신호를 입력받아 에미션 클럭 신호의 주기만큼 쉬프트(shift)하여 QB' 노드에 출력한다. QB 노드 조절부(17)는 쉬프트 레지스터(shift register)를 포함할 수 있다. QB 노드 조절부(17)는 제k-1 에미션 스테이지(EM(k-1))의 QB' 노드(QB'(k-1))가 턴-오프 전압을 유지할 때, QB' 노드 및 QB 노드(QB)를 턴-오프 전압으로 방전시키고, 제k-1 에미션 스테이지(EM(k-1))의 QB' 노드(QB'(k-1))가 턴-오프 전압 및 턴-온 전압으로 주기적으로 변동할 때, 제k-1 에미션 스테이지(EM(k-1))의 QB' 노드(QB'(k-1))의 전압을 QB' 노드로 인가한다. 이 경우, QB' 노드는 QB 노드 조절부(17)에 포함된 노드로서 QB' 노드와 QB 노드(QB)는 트랜지스터를 통해 연결된다. 마찬가지로, 제k-1 에미션 스테이지(EM(k-1))의 QB' 노드(QB'(k-1))는 이전 스테이지를 구성하는 QB 노드 조절부(17)에 포함된 노드이다. QB 노드 조절부(17)를 구성함으로써, 에미션 클럭 신호의 부하가 증가로 인한 문제점을 해결할 수 있으며, 지속적인 커패시터의 충전 및 방전으로 인하여 에미션 클럭 신호의 왜곡의 발생을 줄일 수 있다.
- [0064] Q 노드 안정화부(14)는 제k 에미션 신호(EMO(k))가 턴-오프 전압을 출력하는 동안 Q 노드(Q)에 에미션 하이 전압(VEH)을 인가함으로써 안정적으로 턴-오프 전압을 유지하도록 한다.
- [0065] QB 노드 안정화부(15)는 제k 에미션 신호(EMO(k))가 턴-온 전압을 출력하는 동안 QB 노드(QB)에 에미션 하이 전압(VEH)을 인가함으로써 안정적으로 턴-오프 전압을 유지할 수 있다. 이 경우, 에미션 하이 전압(VEH)은 로직하이 전압(VH)일 수 있다.
- [0066] 본 명세서의 다른 실시예에 따라 에미션 스테이지에 포함된 QB 노드를 제어하기 위한 구조로 Q 노드를 인버팅하여 QB 노드에 전압을 인가하는 것이 아니라, QB 노드를 제어하기 위한 QB 노드 조절부를 별도로 마련함으로써 에미션 클럭 신호의 부하 증가로 인한 영향을 줄일 수 있다. 그리고, 인버터를 구성하지 않으므로, 에미션 구동부가 안정적으로 게이트 하이 전압을 출력해야 하는 구간에서 전압이 흔들리는 문제점을 해결할 수 있다.
- [0067] 도 5는 도 3 및 도 4의 에미션 구동부의 출력 파형을 나타낸 그래프이다.
- [0068] 도 5를 참고하면, 도 3의 에미션 스테이지로부터 출력되는 에미션 신호는 에미션 신호가 로직로우 전압에서 로직하이 전압으로 전환되는 트랜지언트(transient) 구간이 아니라, 에미션 신호가 로직하이 전압으로 유지되는 노말(normal) 구간에서도 신호가 크게 왜곡되는 현상이 발생하지만, 본 명세서의 다른 실시예에 따른 도 4의 에미션 스테이지로부터 출력되는 에미션 신호는 도 3의 에미션 스테이지로부터 출력되는 에미션 신호에 비해 왜곡의 정도가 작음을 알 수 있다. 예를 들어, 도 3 및 도 4의 에미션 스테이지로부터 출력하기 위한 에미션 신호(EMO)는 -9V의 턴-온 전압 및 +7.5V의 턴-오프 전압이지만, 도 3의 에미션 스테이지로부터 출력되는 에미션 신호의 경우 턴-오프 전압이 최고 +10V까지 상승하고, 트랜지언트 구간에서 +5V까지 하락하기도 한다. 따라서, 도 4의 에미션 스테이지는 일정한 턴-오프 전압을 출력하는데 효과가 있음을 알 수 있다.
- [0069] 도 6은 본 명세서의 제1 실시예에 따른 QB 노드 조절부의 회로도이다. 도 6은 제k 에미션 스테이지(EM(k))에 포함된 QB 노드 조절부를 예로서 설명한다.
- [0070] QB 노드 조절부(17-1)는 Q'(k) 노드 제어부, QB'(k) 노드 제어부, QB(k) 노드 제어부, QB(k) 홀딩부, 및 QB'(k) 홀딩부, 그리고 커패시터(CQ')를 포함한다. 이 중, Q'(k) 노드 제어부, QB'(k) 노드 제어부, 및 QB(k) 노드 제어부를 포함하여 QB(k) 노드 충전부라고 일컫을 수 있다.
- [0071] Q'(k) 노드 제어부는 제1 트랜지스터(T1)로 구성되고, 제1 트랜지스터(T1)는 제1 에미션 클럭 신호(ECLK1)가 입력되는 제1 에미션 클럭 신호 라인에 연결된 게이트, 제k-1 QB' 노드(QB'(k-1))에 연결된 소스, 및 제k Q' 노드(Q'(k))에 연결된 드레인을 포함한다. 제1 트랜지스터(T1)는 제1 에미션 클럭 신호(ECLK1) 및 제k-1 QB' 노드(QB'(k-1))의 전압이 턴-온 전압인 구간에서 제k Q' 노드(Q'(k))를 턴-온 전압인 에미션 로우 전압(VEL)으로 충전시킨다.
- [0072] QB'(k) 노드 제어부는 제2 트랜지스터(T2)로 구성되고, 제2 트랜지스터(T2)는 제k Q' 노드(Q'(k))에 연결된 게이트, 제2 에미션 클럭 신호(ECLK2)가 입력되는 제2 에미션 클럭 신호 라인에 연결된 소스, 및 제k QB' 노드(QB'(k))에 연결된 드레인을 포함한다. 제2 트랜지스터(T2)는 제k Q' 노드(Q'(k))의 전압이 턴-온 전압일 때, 제2 에미션 클럭 신호(ECLK2)를 제k QB' 노드(QB'(k))에 인가한다.
- [0073] 커패시터(CQ')의 양 전극은 각각 제k Q' 노드(Q'(k))와 제k QB' 노드(QB'(k))에 연결된다. 커패시터(CQ')는 제

k QB' 노드(QB'(k))의 전압 변화에 따라 제k Q' 노드(Q'(k))는 부트스트래핑(bootstrapping)된다.

- [0074] QB(k) 노드 제어부는 제3 트랜지스터(T3)로 구성되고, 제3 트랜지스터(T3)는 제2 에미션 클럭 신호(ECLK2)가 입력되는 제2 에미션 클럭 신호 라인에 연결된 게이트, 제k QB' 노드(QB'(k))에 연결된 소스, 및 제k QB 노드(QB(k))에 연결된 드레인을 포함한다. 제3 트랜지스터(T3)는 제2 에미션 클럭 신호(ECLK2)에 의해 제k QB' 노드(QB'(k)) 및 제k QB 노드(QB(k))의 단락(short)을 제어한다.
- [0075] QB(k) 노드 홀딩부는 제5 트랜지스터(T5)로 구성되고, 제5 트랜지스터(T5)는 제k Q 노드(Q(k))에 연결된 게이트, 제k QB 노드(QB(k))에 연결된 소스, 및 에미션 하이 전압(VEH)이 입력되는 에미션 하이 전압 라인에 연결된 드레인을 포함한다. 제5 트랜지스터(T5)는 제k Q 노드(Q(k))의 전압이 턴-온 전압일 때 제k QB 노드(QB(k))를 에미션 하이 전압(VEH)으로 방전시킨다.
- [0076] QB'(k) 노드 홀딩부는 제4 트랜지스터(T4)로 구성되고, 제4 트랜지스터(T4)는 제k Q 노드(Q(k))에 연결된 게이트, 제k QB' 노드(QB'(k))에 연결된 소스, 및 에미션 하이 전압(VEH)이 입력되는 에미션 하이 전압 라인에 연결된 드레인을 포함한다. 제4 트랜지스터(T4)는 제k Q 노드(Q(k))의 전압이 턴-온 전압일 때 제k QB' 노드(QB'(k))를 에미션 하이 전압(VEH)으로 방전시킨다.
- [0077] 본 명세서의 제1 실시예에 따른 QB 노드 조절부(17-1)는 이전 스테이지의 QB' 노드의 신호를 입력하는 쉬프트 회로를 부트스트래핑 방식으로 구현함으로써, 에미션 클럭 신호의 부하 증가에 의한 영향을 줄이고 안정적으로 QB 노드를 출력할 수 있다. 본 명세서의 제1 실시예에 따른 QB 노드 조절부(17-1)의 구동 방법은 후술하기로 한다.
- [0078] 도 10은 본 명세서의 일 실시예에 따른 QB 노드 조절부의 구동 파형도이다. 또한, 도 10은 도 6의 구동 파형도이다.
- [0079] 도 6 및 도 10을 참조하면, 이전 스테이지(Scan(k-1))의 QB' 노드인 제k-1 QB' 노드(QB'(k-1))의 신호가 로직 하이 전압(VH)을 유지하는 제1 기간(P1)의 경우, 제1 에미션 클럭 신호(ECLK1)에 의해 제1 트랜지스터(T1)는 주기적으로 턴-온되어 제k Q' 노드(Q'(k))에 로직하이 전압(VH)을 인가시킨다. 따라서, 제1 기간(P1) 동안 제2 트랜지스터(T2)를 턴-오프시킨다. 그리고, 제1 기간(P1)에서 Q 노드 제어부(13)는 제1 에미션 클럭 신호(ECLK1) 및 제2 에미션 클럭 신호(ECLK2)에 의해 교번적으로 인가되는 턴-온 전압에 의해서 제k Q 노드(Q(k))에 턴-온 전압을 인가시키기 때문에 풀업부(11)는 턴-온된다. 제1 기간(P1)에서 풀다운부(12)는 턴-오프되므로 제k QB 노드(QB(k))는 로직하이 전압(VH)을 유지한다. 제1 기간(P1)에서 제k Q 노드(Q(k))에 로직로우 전압(VL)이 인가되므로 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)는 턴-온되어 에미션 하이 전압(VEH)으로 제k QB' 노드(QB'(k)) 및 제k QB 노드(QB(k))를 방전시킨다. 제1 기간(P1)의 대부분 제2 트랜지스터(T2)가 턴-오프되기 때문에 턴-온된 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)를 통해 에미션 하이 전압(VEH)을 제k QB' 노드(QB'(k)) 및 제k QB 노드(QB(k))에 인가함으로써, 제k QB' 노드(QB'(k)) 및 제k QB 노드(QB(k))의 장시간 플로팅을 방지하여 에미션 구동부를 안정화할 수 있다.
- [0080] 이전 스테이지(Scan(k-1))의 QB' 노드인 제k-1 QB' 노드(QB'(k-1))의 신호가 주기적으로 변동되는 제2 기간(P2) 중 제2-1 기간(P2-1)의 경우, 제k-1 QB' 노드(QB'(k-1))와 동기하는 제1 에미션 클럭 신호(ECLK1)에 의해 제1 트랜지스터(T1)가 턴-온되어 제k Q' 노드(Q'(k))를 선충전(pre-charging)시킨다.
- [0081] 제2-2 기간(P2-2)에서 로직로우 전압(VL)으로 선충전된 제k Q' 노드(Q'(k))에 의해 제2 트랜지스터(T2)가 턴-온되면 제2 에미션 클럭 신호(ECLK2)가 제k QB' 노드(QB'(k))에 전달된다. 이 경우, 제2 에미션 클럭 신호(ECLK2)는 로직로우 전압(VL)이고, 제1 에미션 클럭 신호(ECLK1)가 로직하이 전압(VH)이므로 제1 트랜지스터(T1)는 턴-오프된다. 따라서, 제k QB' 노드(QB'(k))의 전압 변동은 커패시터(CQ')의 부트스트래핑 현상으로 인해 제k Q' 노드(Q'(k))의 전압을 로직로우 전압(VL)보다 더 낮은 전압으로 변동시킨다. 그리고, 로직로우 전압(VL)인 제2 에미션 클럭 신호(ECLK2)에 의해 제3 트랜지스터(T3)가 턴-온되므로, 제k QB 노드(QB(k))는 로직로우 전압(VL)이 된다. 이 경우, 부트스트래핑에 의해 로직로우 전압(VL) 보다 더 낮은 전압이 제2 트랜지스터(T2)의 게이트에 인가되므로 제2 트랜지스터(T2)는 안정적으로 제2 에미션 클럭 신호(ECLK2)를 제k QB' 노드(QB'(k))에 인가할 수 있다.
- [0082] 제2-3 기간(P2-3)에서 제1 에미션 클럭 신호(ECLK1)가 다시 로직로우 전압(VL)이 되고, 제1 에미션 클럭 신호(ECLK1)에 의해 턴-온된 제1 트랜지스터(T1)를 통해 제k-1 QB' 노드(QB'(k-1))의 로직로우 전압(VL)이 제k Q' 노드(Q'(k))에 인가된다. 제k Q' 노드(Q'(k))에 의해 턴-온된 제2 트랜지스터(T2)를 통해 제2 에미션 클럭 신호(ECLK2)인 로직하이 전압(VH)이 제k QB' 노드(QB'(k))에 인가된다. 이 경우, 제2 에미션 클럭 신호(ECLK2)에

의해 제3 트랜지스터(T3)는 턴-오프되므로, 제k QB 노드(QB(k))는 제2-2 기간(P2-2)에 인가된 전압을 유지한다. 제2-3 기간(P2-3)에서 제k QB 노드(QB(k))의 전압은 로직로우 전압(VL)이다.

- [0083] 제2-4 기간(P2-4)에서 제1 에미션 클럭 신호(ECLK1)는 로직하이 전압(VH)이 되고, 제2 에미션 클럭 신호(ECLK2)는 로직로우 전압(VL)이 되므로, 제1 트랜지스터(T1)는 턴-오프되어 제k Q' 노드(Q'(k))는 로직로우 전압(VL)을 유지하게 되고, 제2 트랜지스터(T2)는 턴-온된다. 턴-온된 제2 트랜지스터(T2)를 통해 제2 에미션 클럭 신호(ECLK2)가 제k QB' 노드(QB'(k))에 인가되므로 커패시터(CQ')의 부트스트래핑 현상으로 제k Q' 노드(Q'(k))는 로직로우 전압(VL)보다 더 낮은 상태의 전압이 된다. 따라서, 제2 트랜지스터(T2)는 안정적으로 턴-온되어 제k QB' 노드(QB'(k))에 로직로우 전압을 온전히 인가할 수 있다.
- [0084] 제2 기간(P2)에서 제k Q 노드(Q(k))는 로직하이 전압(VH)을 유지하므로, 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)는 턴-오프를 유지한다.
- [0085] 따라서, 본 명세서의 제1 실시예에 따른 QB 노드 조절부(17-1)는 제k-1 QB' 노드(QB'(k-1))의 신호를 받아 에미션 클럭 신호의 주기만큼 쉬프트하여 제k QB' 노드(QB'(k))에 출력시킨다. 그리고, 제k QB' 노드(QB'(k)) 및 제k QB 노드(QB(k)) 사이에 연결된 제3 트랜지스터(T3)에 의해 제k QB 노드(QB(k))에 로직로우 전압(VL)이 인가되어 풀다운부(12)를 턴-온시키고, 게이트 오프 전압의 제k 에미션 신호(EMO(k))를 출력할 수 있다. 이에 따라, 본 명세서의 제1 실시예에 따른 QB 노드 조절부를 포함하는 에미션 구동부의 구동 신뢰성을 향상시킬 수 있다.
- [0086] 도 7은 본 명세서의 제2 실시예에 따른 QB 노드 조절부의 회로도이다. 도 7은 본 명세서의 제1 실시예에 따른 QB 노드 조절부(17-1)에서 제6 트랜지스터(T6)가 추가된 회로도이므로, 동일한 구성요소에 대해서는 동일한 효과를 가지며, 중복되는 설명은 생략하거나 간략히 할 수 있다.
- [0087] QB 노드 조절부(17-2)는 Q'(k) 노드 제어부, QB'(k) 노드 제어부, QB(k) 노드 제어부, QB(k) 홀딩부, QB'(k) 홀딩부, 및 Q'(k) 홀딩부, 그리고 커패시터(CQ')를 포함한다. 이 중, Q'(k) 노드 제어부, QB'(k) 노드 제어부, 및 QB(k) 노드 제어부를 포함하여 QB(k) 노드 충전부라고 일컫을 수 있다.
- [0088] Q'(k) 노드 제어부는 제1 트랜지스터(T1)로 구성되고, 제1 트랜지스터(T1)는 제k-1 QB' 노드(QB'(k-1))에 연결된 게이트, 에미션 로우 전압(VEL)이 입력되는 에미션 로우 전압 라인에 연결된 소스, 및 제k Q' 노드(Q'(k))에 연결된 드레인을 포함한다. 제1 트랜지스터(T1)는 제k-1 QB' 노드(QB'(k-1))의 전압 및 에미션 로우 전압(VEL)이 턴-온 전압인 구간에서 제k Q' 노드(Q'(k))를 에미션 로우 전압(VEL)으로 충전시킨다.
- [0089] QB'(k) 노드 제어부는 제2 트랜지스터(T2)로 구성되고, 제2 트랜지스터(T2)는 제k Q' 노드(Q'(k))에 연결된 게이트, 제2 에미션 클럭 신호(ECLK2)가 입력되는 제2 에미션 클럭 신호 라인에 연결된 소스, 및 제k QB' 노드(QB'(k))에 연결된 드레인을 포함한다. 제2 트랜지스터(T2)는 제k Q' 노드(Q'(k))의 전압이 턴-온 전압일 때, 제2 에미션 클럭 신호(ECLK2)를 제k QB' 노드(QB'(k))에 인가한다.
- [0090] 커패시터(CQ')의 양 전극은 각각 제k Q' 노드(Q'(k))와 제k QB' 노드(QB'(k))에 연결된다. 커패시터(CQ')는 제k QB' 노드(QB'(k))의 전압 변화에 따라 제k Q' 노드(Q'(k))는 부트스트래핑된다.
- [0091] QB(k) 노드 제어부는 제3 트랜지스터(T3)로 구성되고, 제3 트랜지스터(T3)는 제2 에미션 클럭 신호(ECLK2)가 입력되는 제2 에미션 클럭 신호 라인에 연결된 게이트, 제k QB' 노드(QB'(k))에 연결된 소스, 및 제k QB 노드(QB(k))에 연결된 드레인을 포함한다.
- [0092] QB(k) 노드 홀딩부는 제5 트랜지스터(T5)로 구성되고, 제5 트랜지스터(T5)는 제k Q 노드(Q(k))에 연결된 게이트, 제k QB 노드(QB(k))에 연결된 소스, 및 에미션 하이 전압(VEH)이 입력되는 에미션 하이 전압 라인에 연결된 드레인을 포함한다. 제5 트랜지스터(T5)는 제k Q 노드(Q(k))의 전압이 턴-온 전압일 때 제k QB 노드(QB(k))를 에미션 하이 전압(VEH)으로 방전시킨다.
- [0093] QB'(k) 노드 홀딩부는 제4 트랜지스터(T4)로 구성되고, 제4 트랜지스터(T4)는 제k Q 노드(Q(k))에 연결된 게이트, 제k QB' 노드(QB'(k))에 연결된 소스, 및 에미션 하이 전압(VEH)이 입력되는 에미션 하이 전압 라인에 연결된 드레인을 포함한다. 제4 트랜지스터(T4)는 제k Q 노드(Q(k))의 전압이 턴-온 전압일 때 제k QB' 노드(QB'(k))를 에미션 하이 전압(VEH)으로 방전시킨다.
- [0094] Q'(k) 노드 홀딩부는 제6 트랜지스터(T6)로 구성되고, 제6 트랜지스터(T6)는 제k Q 노드(Q(k))에 연결된 게이트, 제k Q' 노드(Q'(k))에 연결된 소스, 및 에미션 하이 전압(VEH)이 입력되는 에미션 하이 전압 라인에 연결된 드레인을 포함한다. 제6 트랜지스터(T6)는 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)와 함께 제k Q 노드

(Q(k))의 전압이 턴-온 전압일 때 제k Q' 노드(Q'(k))를 에미션 하이 전압(VEH)으로 방전시킨다.

- [0095] 본 명세서의 제2 실시예에 따른 QB 노드 조절부(17-2)는 제6 트랜지스터(T6)를 통해 제k Q' 노드(Q(k))에 에미션 하이 전압(VEH)을 인가함으로써, 장시간 턴-오프 상태인 제1 트랜지스터(T1)로 인해 제k Q' 노드(Q'(k))가 로직로우 전압으로 떨어져 제2 트랜지스터(T2)가 턴-온되는 것을 방지할 수 있다.
- [0096] 본 명세서의 제2 실시예에 따른 QB 노드 조절부(17-2)의 구동 파형도는 도 10의 일 실시예에 따른 QB 노드 조절부의 구동 파형도가 동일하게 적용될 수 있다.
- [0097] 도 8은 본 명세서의 제3 실시예에 따른 QB 노드 조절부의 회로도이다. 도 8은 본 명세서의 제1 실시예에 따른 QB 노드 조절부(17-1)에서 제3 트랜지스터(T3)의 연결 구조가 변동된 회로도이므로, 동일한 구성요소에 대해서는 동일한 효과를 가지며, 중복되는 설명은 생략하거나 간략히 할 수 있다.
- [0098] QB 노드 조절부(17-3)는 Q'(k) 노드 제어부, QB'(k) 노드 제어부, QB(k) 노드 제어부, QB(k) 홀딩부 및 QB'(k) 홀딩부, 그리고 커패시터(CQ')를 포함한다. 이 중, Q'(k) 노드 제어부, QB'(k) 노드 제어부, 및 QB(k) 노드 제어부를 포함하여 QB(k) 노드 충전부라고 일컫을 수 있다.
- [0099] Q'(k) 노드 제어부는 제1 트랜지스터(T1)로 구성되고, 제1 트랜지스터(T1)는 제1 에미션 클럭 신호(ECLK1)가 입력되는 제1 에미션 클럭 신호 라인에 연결된 게이트, 제k-1 QB' 노드(QB'(k-1))에 연결된 소스, 및 제k Q' 노드(Q'(k))에 연결된 드레인을 포함한다. 제1 트랜지스터(T1)는 제1 에미션 클럭 신호(ECLK1) 및 제k-1 QB' 노드(QB'(k-1))의 전압이 턴-온 전압인 구간에서 제k Q' 노드(Q'(k))를 에미션 로우 전압(VEL)으로 충전시킨다.
- [0100] QB'(k) 노드 제어부는 제2 트랜지스터(T2)로 구성되고, 제2 트랜지스터(T2)는 제k Q' 노드(Q'(k))에 연결된 게이트, 제2 에미션 클럭 신호(ECLK2)가 입력되는 제2 에미션 클럭 신호 라인에 연결된 소스, 및 제k QB' 노드(QB'(k))에 연결된 드레인을 포함한다. 제2 트랜지스터(T2)는 제k Q' 노드(Q'(k))의 전압이 턴-온 전압일 때, 제2 에미션 클럭 신호(ECLK2)를 제k QB' 노드(QB'(k))에 인가한다.
- [0101] 커패시터(CQ')의 양 전극은 각각 제k Q' 노드(Q'(k))와 제k QB' 노드(QB'(k))에 연결된다. 커패시터(CQ')는 제k QB' 노드(QB'(k))의 전압 변화에 따라 제k Q' 노드(Q'(k))는 부트스트래핑(bootstrapping)된다.
- [0102] QB(k) 노드 제어부는 제3 트랜지스터(T3)로 구성되고, 제3 트랜지스터(T3)는 제k QB' 노드(QB'(k))에 연결된 게이트, 에미션 로우 전압(VEL)이 입력되는 에미션 로우 전압 라인에 연결된 소스, 및 제k QB 노드(QB(k))에 연결된 드레인을 포함한다. 제3 트랜지스터(T3)는 제k QB' 노드(QB'(k))의 전압이 로직로우 전압(VL)일 때 턴-온되어 에미션 로우 전압(VEL)을 제k QB 노드(QB(k))에 인가한다. 그리고, 제k QB' 노드(QB'(k))가 로직하이 전압(VH)일 때 제3 트랜지스터(T3)를 턴-오프시켜 제k QB 노드(QB(k))가 이전에 인가된 전압을 그대로 유지할 수 있도록 한다.
- [0103] QB(k) 노드 홀딩부는 제5 트랜지스터(T5)로 구성되고, 제5 트랜지스터(T5)는 제k Q 노드(Q(k))에 연결된 게이트, 제k QB 노드(QB(k))에 연결된 소스, 및 에미션 하이 전압(VEH)이 입력되는 에미션 하이 전압 라인에 연결된 드레인을 포함한다. 제5 트랜지스터(T5)는 제k Q 노드(Q(k))의 전압이 턴-온 전압일 때 제k QB 노드(QB(k))를 에미션 하이 전압(VEH)으로 방전시킨다.
- [0104] QB'(k) 노드 홀딩부는 제4 트랜지스터(T4)로 구성되고, 제4 트랜지스터(T4)는 제k Q 노드(Q(k))에 연결된 게이트, 제k QB' 노드(QB'(k))에 연결된 소스, 및 에미션 하이 전압(VEH)이 입력되는 에미션 하이 전압 라인에 연결된 드레인을 포함한다. 제4 트랜지스터(T4)는 제k Q 노드(Q(k))의 전압이 턴-온 전압일 때 제k QB' 노드(QB'(k))를 에미션 하이 전압(VEH)으로 방전시킨다.
- [0105] 본 명세서의 제3 실시예에 따른 QB 노드 조절부(17-3)는 이전 스테이지의 QB' 노드의 신호를 입력으로하는 슈프 트 회로를 부트스트래핑 방식으로 구현함으로써, 에미션 클럭 신호의 부하 증가에 의한 영향을 줄이고 안정적으로 QB 노드를 출력할 수 있다.
- [0106] 본 명세서의 제3 실시예에 따른 QB 노드 조절부(17-3)의 구동 파형도는 도 10의 일 실시예에 따른 QB 노드 조절부의 구동 파형도가 동일하게 적용될 수 있다.
- [0107] 도 9는 본 명세서의 제4 실시예에 따른 QB 노드 조절부의 회로도이다. 도 9는 본 명세서의 제1 실시예에 따른 QB 노드 조절부(17-1)에서 제3 트랜지스터(T3)의 연결 구조가 변동되고, 제6 트랜지스터(T6)가 추가된 회로도이므로, 동일한 구성요소에 대해서는 동일한 효과를 가지며, 중복되는 설명은 생략하거나 간략히 할 수 있다.
- [0108] QB 노드 조절부(17-4)는 Q'(k) 노드 제어부, QB'(k) 노드 제어부, QB(k) 노드 제어부, QB(k) 홀딩부, QB'(k)

홀딩부, 및 Q'(k) 홀딩부, 그리고 커패시터(CQ')를 포함한다. 이 중, Q'(k) 노드 제어부, QB'(k) 노드 제어부, 및 QB(k) 노드 제어부를 포함하여 QB(k) 노드 충전부라고 일컫을 수 있다.

- [0109] Q'(k) 노드 제어부는 제1 트랜지스터(T1)로 구성되고, 제1 트랜지스터(T1)는 제1 에미션 클럭 신호(ECLK1)가 입력되는 제1 에미션 클럭 신호 라인에 연결된 게이트, 제k-1 QB' 노드(QB'(k-1))에 연결된 소스, 및 제k Q' 노드(Q'(k))에 연결된 드레인을 포함한다. 제1 트랜지스터(T1)는 제1 에미션 클럭 신호(ECLK1) 및 제k-1 QB' 노드(QB'(k-1))의 전압이 턴-온 전압인 구간에서 제k Q' 노드(Q'(k))를 에미션 로우 전압(VEL)으로 충전시킨다.
- [0110] QB'(k) 노드 제어부는 제2 트랜지스터(T2)로 구성되고, 제2 트랜지스터(T2)는 제k Q' 노드(Q'(k))에 연결된 게이트, 제2 에미션 클럭 신호(ECLK2)가 입력되는 제2 에미션 클럭 신호 라인에 연결된 소스, 및 제k QB' 노드(QB'(k))에 연결된 드레인을 포함한다. 제2 트랜지스터(T2)는 제k Q' 노드(Q'(k))의 전압이 턴-온 전압일 때, 제2 에미션 클럭 신호(ECLK2)를 제k QB' 노드(QB'(k))에 인가한다.
- [0111] 커패시터(CQ')의 양 전극은 각각 제k Q' 노드(Q'(k))와 제k QB' 노드(QB'(k))에 연결된다. 커패시터(CQ')는 제k QB' 노드(QB'(k))의 전압 변화에 따라 제k Q' 노드(Q'(k))는 부트스트래핑(bootstrapping)된다.
- [0112] QB(k) 노드 제어부는 제3 트랜지스터(T3)로 구성되고, 제3 트랜지스터(T3)는 제k QB' 노드(QB'(k))에 연결된 게이트, 에미션 로우 전압(VEL)이 입력되는 에미션 로우 전압 라인에 연결된 소스, 및 제k QB' 노드(QB'(k))에 연결된 드레인을 포함한다. 제3 트랜지스터(T3)는 제k QB' 노드(QB'(k))의 전압이 로직로우 전압(VL)일 때 턴-온되어 에미션 로우 전압(VEL)을 제k QB' 노드(QB'(k))에 인가한다. 그리고, 제k QB' 노드(QB'(k))가 로직하이 전압(VH)일 때 제3 트랜지스터(T3)를 턴-오프시켜 제k QB' 노드(QB'(k))가 이전에 인가된 전압을 그대로 유지할 수 있도록 한다.
- [0113] QB(k) 노드 홀딩부는 제5 트랜지스터(T5)로 구성되고, 제5 트랜지스터(T5)는 제k Q' 노드(Q'(k))에 연결된 게이트, 제k QB' 노드(QB'(k))에 연결된 소스, 및 에미션 하이 전압(VEH)이 입력되는 에미션 하이 전압 라인에 연결된 드레인을 포함한다. 제5 트랜지스터(T5)는 제k Q' 노드(Q'(k))의 전압이 턴-온 전압일 때 제k QB' 노드(QB'(k))를 에미션 하이 전압(VEH)으로 방전시킨다.
- [0114] QB'(k) 노드 홀딩부는 제4 트랜지스터(T4)로 구성되고, 제4 트랜지스터(T4)는 제k Q' 노드(Q'(k))에 연결된 게이트, 제k QB' 노드(QB'(k))에 연결된 소스, 및 에미션 하이 전압(VEH)이 입력되는 에미션 하이 전압 라인에 연결된 드레인을 포함한다. 제4 트랜지스터(T4)는 제k Q' 노드(Q'(k))의 전압이 턴-온 전압일 때 제k QB' 노드(QB'(k))를 에미션 하이 전압(VEH)으로 방전시킨다.
- [0115] Q'(k) 노드 홀딩부는 제6 트랜지스터(T6)로 구성되고, 제6 트랜지스터(T6)는 제k Q' 노드(Q'(k))에 연결된 게이트, 제k Q' 노드(Q'(k))에 연결된 소스, 및 에미션 하이 전압(VEH)이 입력되는 에미션 하이 전압 라인에 연결된 드레인을 포함한다. 제6 트랜지스터(T6)는 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)와 함께 제k Q' 노드(Q'(k))의 전압이 턴-온 전압일 때 제k Q' 노드(Q'(k))를 에미션 하이 전압(VEH)으로 방전시킨다. 따라서, 제6 트랜지스터(T6)를 통해 제k Q' 노드(Q'(k))에 에미션 하이 전압(VEH)을 인가함으로써, 장시간 턴-오프 상태인 제1 트랜지스터(T1)로 인해 제k Q' 노드(Q'(k))가 로직로우 전압으로 떨어져 제2 트랜지스터(T2)가 턴-온되는 것을 방지할 수 있다.
- [0116] 본 명세서의 제4 실시예에 따른 QB' 노드 조절부(17-4)는 이전 스테이지의 QB' 노드의 신호를 입력으로하는 슈프 트 회로를 부트스트래핑 방식으로 구현함으로써, 에미션 클럭 신호의 부하 증가에 의한 영향을 줄이고 안정적으로 QB' 노드를 출력할 수 있다.
- [0117] 본 명세서의 제4 실시예에 따른 QB' 노드 조절부(17-4)의 구동 파형도는 도 10의 일 실시예에 따른 QB' 노드 조절부의 구동 파형도가 동일하게 적용될 수 있다.
- [0118] 본 명세서의 실시예에 따른 게이트 구동부 및 이를 이용한 전계발광 표시장치는 다음과 같이 설명될 수 있다.
- [0119] 본 명세서의 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 에미션 라인에 연결된 서브 픽셀들, 및 에미션 라인에 에미션 신호를 공급하며, 복수의 스테이지들로 이루어진 에미션 구동부를 포함하고, 복수의 스테이지들 중 제k(k는 2 이상인 자연수) 스테이지는, Q' 노드에 의해 제어되어 턴-온 전압의 에미션 신호를 출력하는 풀업부, Q' 노드 또는 QB' 노드에 의해 제어되어 턴-오프 전압을 출력하는 풀다운부, QB' 노드와 QB' 노드 사이에 위치하는 QB' 노드 제어부, 및 제k-1 스테이지의 QB' 노드의 전압을 슈프트하여 상기 QB' 노드에 인가하는 QB' 노드 조절부를 포함한다. 이에 따라, 에미션 클럭 신호의 부하 증가에 의한 영향을 줄이고 안정적으로 QB' 노드를 출력하여 에미션 구동부의 신뢰성을 향상시킬 수 있다.

- [0120] 전계발광 표시장치는 제k 스테이지는 제k-1 스테이지의 에미션 신호를 이용하여 Q 노드의 전압을 제어하는 Q 노드 제어부를 더 포함할 수 있다.
- [0121] 서브 픽셀들은 발광소자 및 픽셀 구동 회로를 포함하고, 에미션 라인은 픽셀 구동 회로에 포함된 에미션 트랜지스터에 연결될 수 있다.
- [0122] QB 노드 조절부는 Q' 노드 제어부, QB' 노드 제어부, QB 노드 홀딩부, QB' 노드 홀딩부, 및 커패시터를 포함할 수 있다.
- [0123] Q' 노드 제어부는 제1 에미션 클럭 신호에 의해 제어되어 제k-1 스테이지의 QB' 노드의 전압을 Q' 노드에 인가하고, QB' 노드 제어부는 Q' 노드에 의해 제어되어 제2 에미션 클럭 신호를 QB' 노드에 인가하고, QB 노드 홀딩부는 Q 노드에 의해 제어되어 QB 노드를 에미션 하이 전압으로 방전시키고, QB' 노드 홀딩부는 Q 노드에 의해 제어되어 QB' 노드를 에미션 하이 전압으로 방전시키고, 커패시터는 Q' 노드 및 QB' 노드 사이에 연결되며, QB 노드 제어부는 제2 에미션 클럭 신호에 의해 QB' 노드 및 QB 노드의 단락(short)을 제어하거나, QB' 노드에 의해 제어되어 에미션 로우 전압을 QB 노드에 인가할 수 있다.
- [0124] 제1 에미션 클럭 신호 및 제2 에미션 클럭 신호는 서로 반대 위상일 수 있다.
- [0125] QB 노드 조절부는 Q' 노드 홀딩부를 더 포함할 수 있다.
- [0126] Q' 노드 제어부는 제1 에미션 클럭 신호에 의해 제어되어 제k-1 스테이지의 QB' 노드의 전압을 Q' 노드에 인가하고, QB' 노드 제어부는 Q' 노드에 의해 제어되어 제2 에미션 클럭 신호를 QB' 노드에 인가하고, QB 노드 홀딩부는 Q 노드에 의해 제어되어 QB 노드를 에미션 하이 전압으로 방전시키고, QB' 노드 홀딩부는 상기 Q 노드에 의해 제어되어 QB' 노드를 에미션 하이 전압으로 방전시키며, Q' 노드 홀딩부는 Q 노드에 의해 제어되어 Q' 노드를 에미션 하이 전압으로 방전시키고, 커패시터는 Q' 노드 및 QB' 노드 사이에 연결되며, QB 노드 제어부는 제2 에미션 클럭 신호에 의해 QB' 노드 및 QB 노드의 단락(short)을 제어하거나, QB' 노드에 의해 제어되어 에미션 로우 전압을 QB 노드에 인가할 수 있다.
- [0127] 본 명세서의 일 실시예에 따라 n(n은 2 이상의 자연수)개의 스테이지를 포함하는 게이트 구동부에 있어서, 제k($1 \leq k \leq n$) 스테이지는, 풀업부 및 풀다운부, 풀업부에 연결된 Q 노드를 제어하는 Q 노드 제어부, 및 풀다운부에 연결된 QB 노드를 제어하는 QB 노드 조절부를 포함하고, QB 노드 조절부는 Q' 노드 제어부, QB' 노드 제어부, QB 노드 제어부, QB' 노드 홀딩부, 및 QB 노드 홀딩부를 포함하며, QB 노드 조절부는 제k-1 스테이지의 QB' 노드의 전압을 쉬프트하여 QB' 노드의 전압에 인가하는 을 제공한다. 이에 따라, 에미션 클럭 신호의 부하 증가에 의한 영향을 줄이고 안정적으로 QB 노드를 출력하여 에미션 구동부의 신뢰성을 향상시킬 수 있다.
- [0128] QB 노드 조절부에는 에미션 로우 전압, 에미션 하이 전압, 제1 에미션 클럭 신호, 및 제2 에미션 클럭 신호가 인가되고, 에미션 로우 전압은 에미션 하이 전압보다 낮은 전압이고, 제1 에미션 클럭 신호 및 제2 에미션 클럭 신호는 에미션 로우 전압 및 에미션 하이 전압 사이를 스윙할 수 있다.
- [0129] QB 노드 조절부는 커패시터를 더 포함하고, Q' 노드 제어부는 제1 트랜지스터를 포함하고, QB' 노드 제어부는 제2 트랜지스터를 포함하고, QB 노드 제어부는 제3 트랜지스터를 포함하고, QB' 노드 홀딩부는 제4 트랜지스터를 포함하며, QB 노드 홀딩부는 제5 트랜지스터를 포함하며, 커패시터는 상기 Q' 노드와 상기 QB' 노드에 연결될 수 있다.
- [0130] 제1 트랜지스터의 게이트는 제1 에미션 클럭 신호 라인에 연결되고, 제1 전극은 제k-1 스테이지의 QB' 노드에 연결되고, 제2 전극은 Q' 노드에 연결되고, 제2 트랜지스터의 게이트는 Q' 노드에 연결되고, 제1 전극은 제2 에미션 클럭 신호 라인에 연결되고, 제2 전극은 QB' 노드에 연결되고, 제3 트랜지스터의 게이트는 제2 에미션 클럭 신호 라인에 연결되고, 제1 전극은 QB' 노드에 연결되고, 제2 전극은 QB 노드에 연결되고, 제4 트랜지스터의 게이트는 Q 노드에 연결되고, 제1 전극은 QB' 노드에 연결되고, 제2 전극은 에미션 하이 전압 라인에 연결되고, 제5 트랜지스터의 게이트는 Q 노드에 연결되고, 제1 전극은 QB 노드에 연결되고, 제2 전극은 에미션 하이 전압 라인에 연결될 수 있다.
- [0131] QB 노드 조절부는 Q' 노드 홀딩부를 더 포함하고, Q' 노드 홀딩부는 제6 트랜지스터로 구성되며, 제6 트랜지스터의 게이트는 Q 노드에 연결되고, 제1 전극은 Q' 노드에 연결되고, 제2 전극은 에미션 하이 전압 라인에 연결될 수 있다.
- [0132] 제1 트랜지스터의 게이트는 제1 에미션 클럭 신호 라인에 연결되고, 제1 전극은 제k-1 스테이지의 QB' 노드에 연결되고, 제2 전극은 Q' 노드에 연결되고, 제2 트랜지스터의 게이트는 Q' 노드에 연결되고, 제1 전극은 제2 에

미션 클럭 신호 라인에 연결되고, 제2 전극은 QB' 노드에 연결되고, 제3 트랜지스터의 게이트는 QB' 노드에 연결되고, 제1 전극은 에미션 로우 전압 라인에 연결되고, 제2 전극은 QB 노드에 연결되고, 제4 트랜지스터의 게이트는 Q 노드에 연결되고, 제1 전극은 QB' 노드에 연결되고, 제2 전극은 에미션 하이 전압 라인에 연결되고, 제5 트랜지스터의 게이트는 Q 노드에 연결되고, 제1 전극은 QB 노드에 연결되고, 제2 전극은 에미션 하이 전압 라인에 연결될 수 있다.

[0133] QB 노드 조절부는 Q' 노드 홀딩부를 더 포함하고, Q' 노드 홀딩부는 제6 트랜지스터로 구성되며, 제6 트랜지스터의 게이트는 Q 노드에 연결되고, 제1 전극은 Q' 노드에 연결되고, 제2 전극은 에미션 하이 전압 라인에 연결될 수 있다.

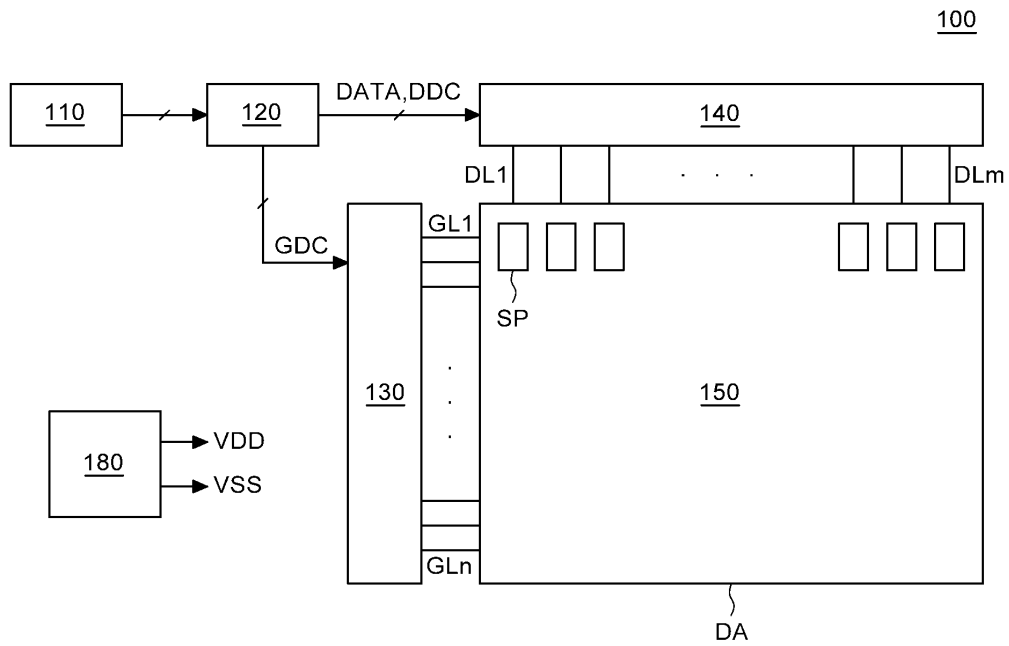
[0134] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

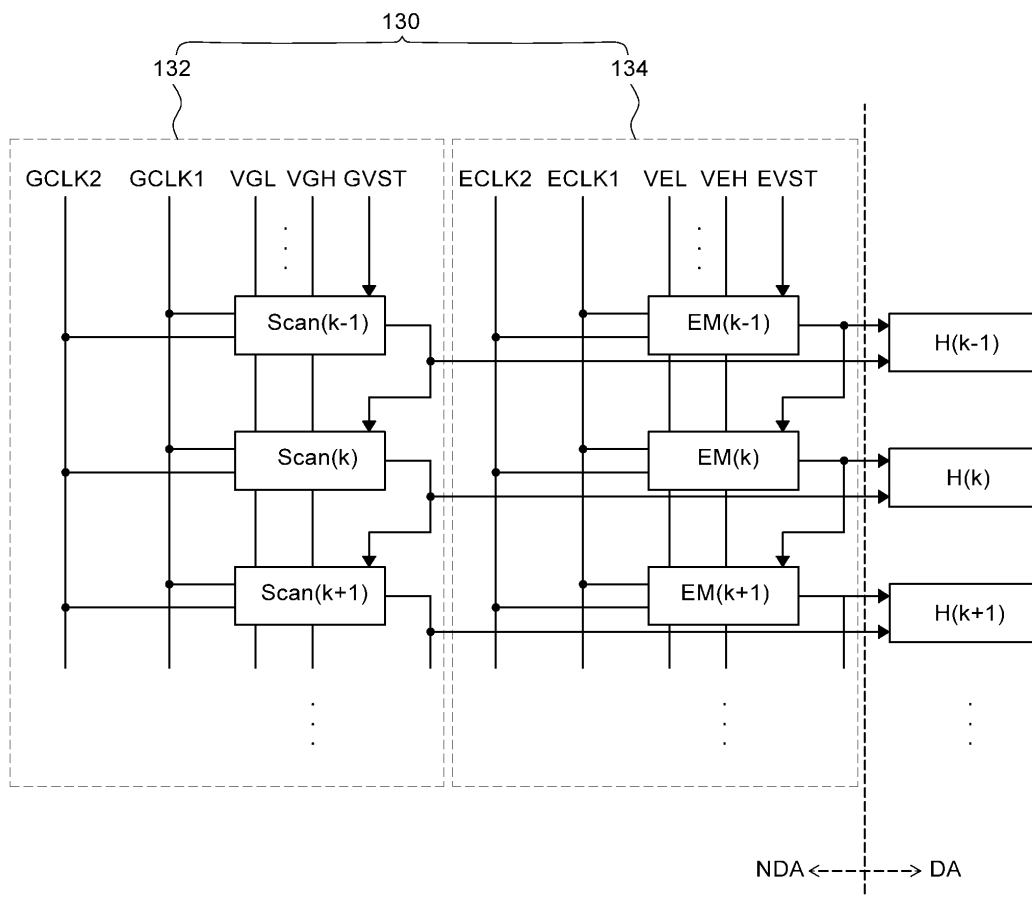
- [0135] GL1~GLn : 게이트 라인들
- DL1~DLm : 데이터 라인들
- 11 : 풀업부
- 12 : 풀다운부
- 13 : Q 노드 제어부
- 14 : Q 노드 안정화부
- 15 : QB 노드 안정화부
- 16 : 인버터부
- 17 : QB 노드 조절부
- 100 : 전계발광 표시장치
- 110 : 영상 처리부
- 120 : 타이밍 제어부
- 130 : 게이트 구동부
- 132 : 스캔 구동부
- 134 : 에미션 구동부
- 140 : 데이터 구동부
- 150 : 표시패널
- 180 : 전원 공급부

도면

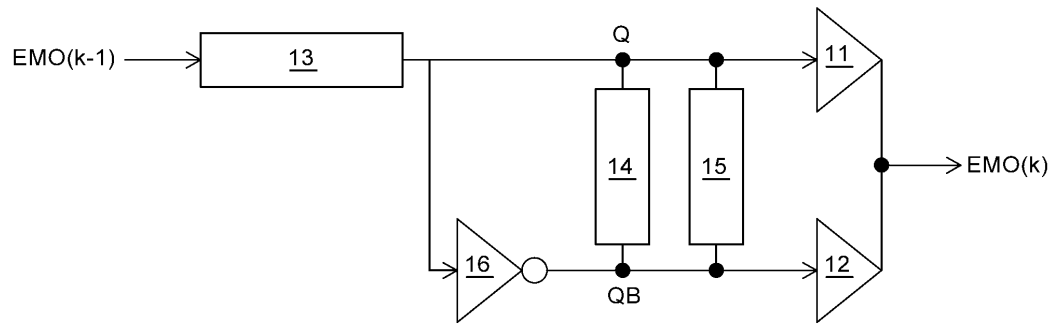
도면1



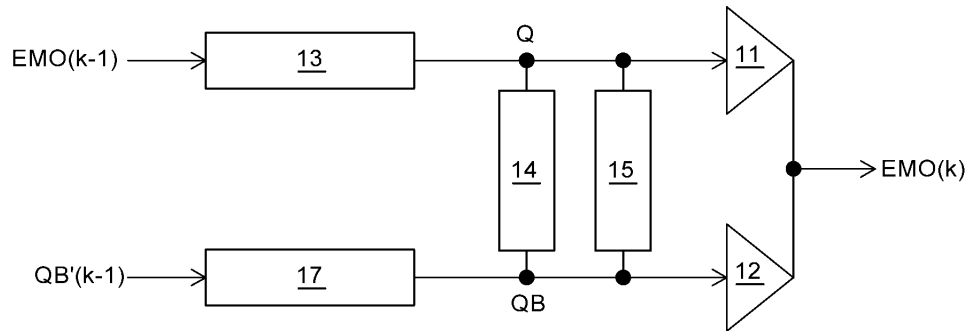
도면2



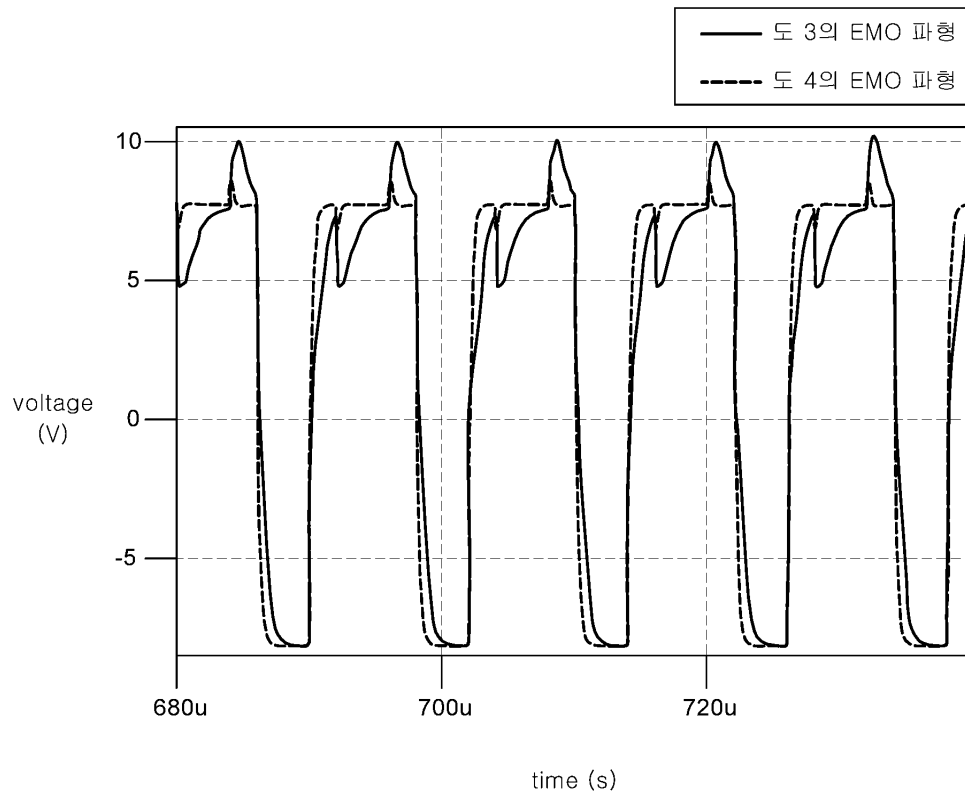
도면3



도면4

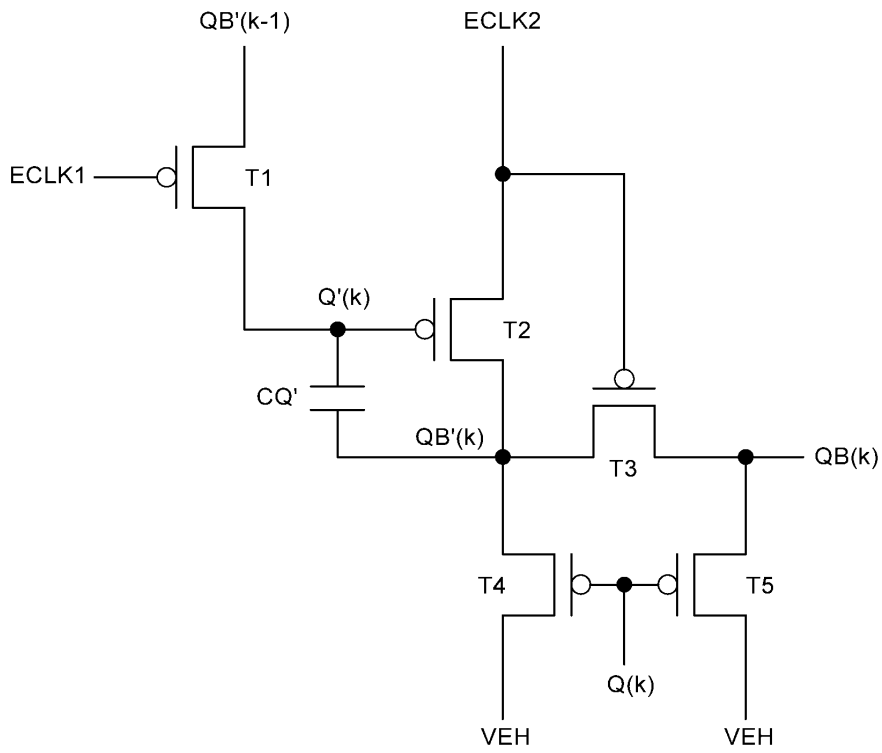


도면5



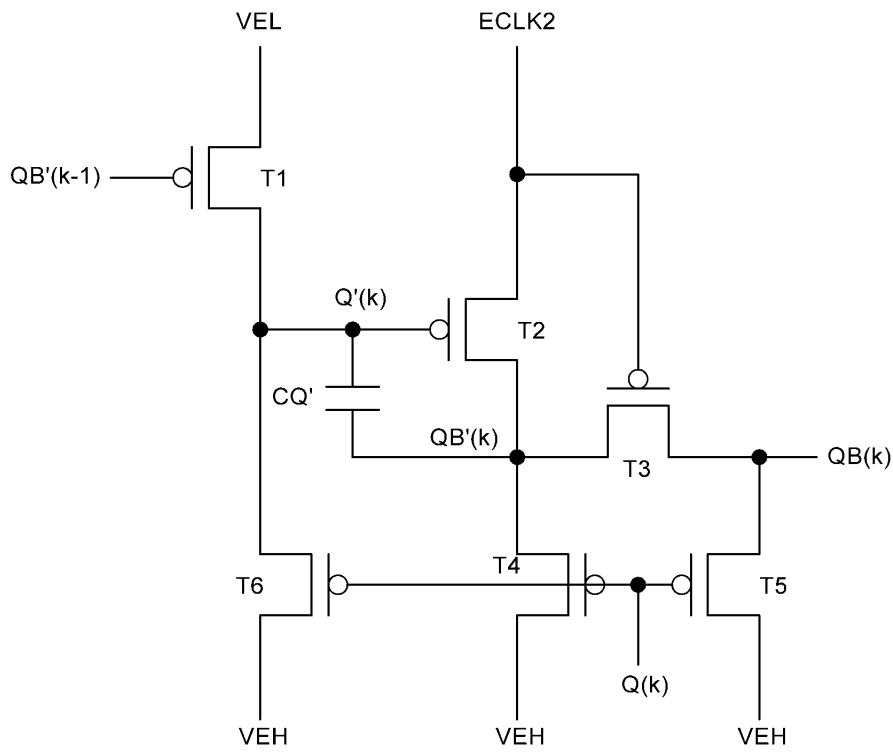
도면6

17-1



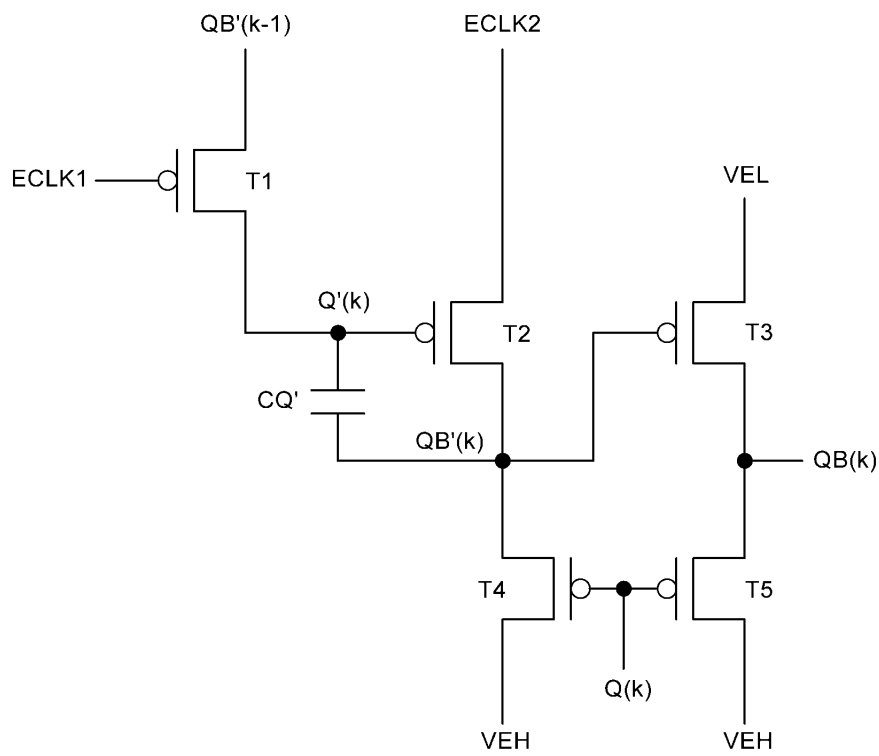
도면7

17-2



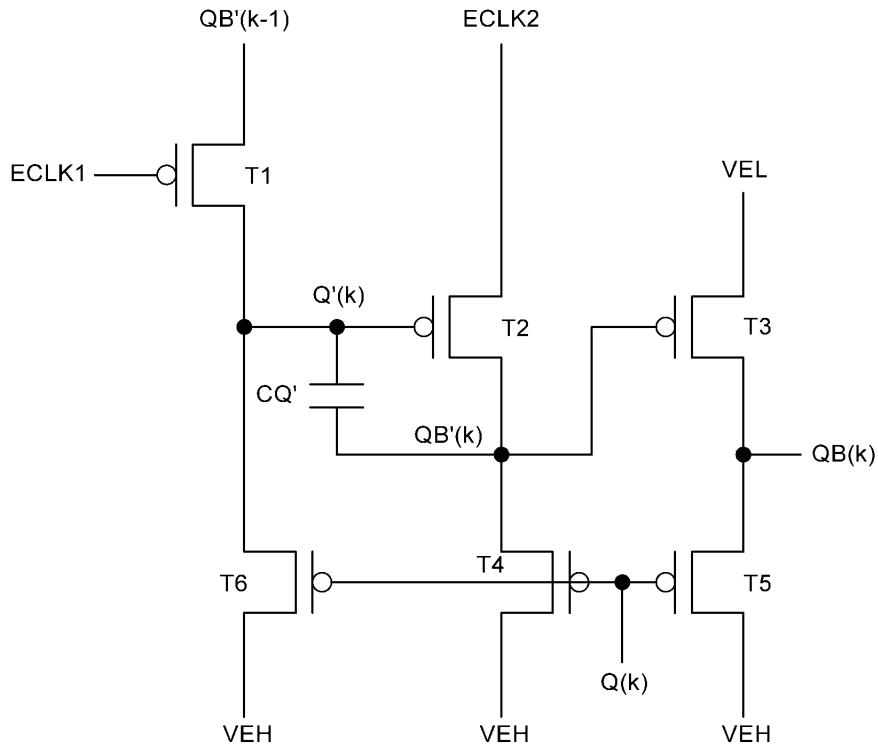
도면8

17-3

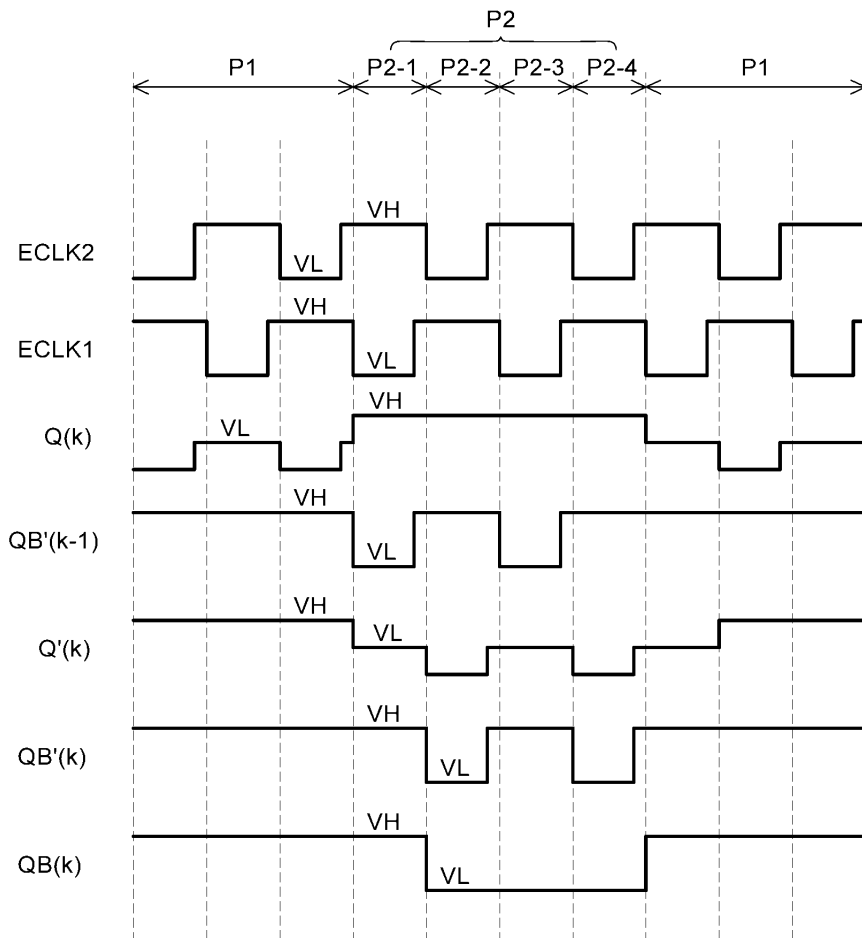


도면9

17-4



도면10



专利名称(译)	栅极驱动器和使用它的电致发光显示器		
公开(公告)号	KR1020190057724A	公开(公告)日	2019-05-29
申请号	KR1020170155014	申请日	2017-11-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	공충식 한흥규 신미희 이세완		
发明人	공충식 한흥규 신미희 이세완		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00		
外部链接	Espacenet		

摘要(译)

根据本说明书的示例性实施方式的电致发光显示装置包括连接至发射线的子像素，用于向发射线提供发射信号的发射信号，并且包括具有多级的发射驱动器。第k级 (k为2的自然数) 是由Q节点控制并输出导通电压的发射信号的下拉部分，由Q节点或QB节点控制并输出关断电压的下拉部分。并且，位于QB节点和QB'节点之间的QB节点控制单元，以及用于移位第k级的QB'节点的电压以施加到QB'节点的QB节点控制单元。因此，可以通过减小发射时钟信号的负载的增加的影响并且稳定地输出QB节点来提高发射驱动器的可靠性。

