



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0049274  
(43) 공개일자 2019년05월09일

(51) 국제특허분류(Int. Cl.)  
G09G 3/3266 (2016.01)

(52) CPC특허분류  
G09G 3/3266 (2013.01)  
G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0144927  
(22) 출원일자 2017년11월01일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
장용호  
경기도 파주시 월롱면 엘지로 245  
최우석  
경기도 파주시 월롱면 엘지로 245  
천광일  
경기도 파주시 월롱면 엘지로 245

(74) 대리인  
특허법인인벤싱크

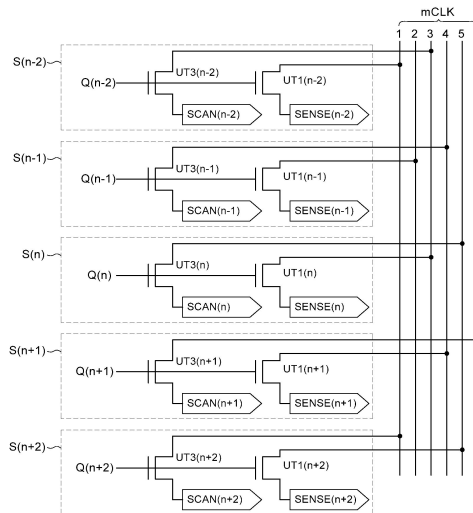
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 게이트 구동부 및 이를 포함하는 유기 발광 표시 장치

(57) 요약

본 발명은 게이트 구동부에 관한 것으로서, 보다 상세하게는 클락 신호를 공유하는 게이트 구동부 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다. 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 게이트 구동부는 종속 연결되는 복수의 스테이지를 포함하고, 복수의 스테이지 각각은 Q노드 및 QB노드의 전압에 의해, 센싱 신호를 출력하는 제1 출력부, Q노드 및 QB노드의 전압에 의해, 기준 신호를 출력하는 제2 출력부, Q노드 및 QB노드의 전압에 의해, 스캔 신호를 출력하는 제3 출력부, Q노드를 제어하는 제1 제어부 및 QB노드를 제어하는 제2 제어부를 포함하고, 제1 출력부 내지 제3 출력부 중 적어도 둘 이상은 복수의 클락 신호 중 적어도 하나의 클락 신호를 공유하여, 게이트 구동부의 면적을 저감할 수 있다.

대표도 - 도6



## 명세서

### 청구범위

#### 청구항 1

종속 연결되는 복수의 스테이지를 포함하고

상기 복수의 스테이지 각각은,

Q노드 및 QB노드의 전압에 의해, 센싱 신호를 출력하는 제1 출력부;

상기 Q노드 및 상기 QB노드의 전압에 의해, 기준 신호를 출력하는 제2 출력부;

상기 Q노드 및 상기 QB노드의 전압에 의해, 스캔 신호를 출력하는 제3 출력부;

상기 Q노드를 제어하는 제1 제어부 및

상기 QB노드를 제어하는 제2 제어부를 포함하고,

상기 제1 출력부 내지 상기 제3 출력부 중 적어도 둘 이상은 복수의 클락 신호 중 적어도 하나의 클락 신호를 공유하는, 게이트 구동부.

#### 청구항 2

제1 항에 있어서,

상기 복수의 클락 신호의 펄스 폭 및 위상은 서로 다른, 게이트 구동부.

#### 청구항 3

제1 항에 있어서,

상기 제1 출력부 및 상기 제3 출력부에 서로 다른 상의 제1 클락 신호가 인가되고,

상기 제2 출력부에 제2 클락 신호가 인가되는, 게이트 구동부.

#### 청구항 4

제3 항에 있어서,

상기 제1 출력부에 제 $n-2$  상의 제1 클락 신호가 인가되고,

상기 제3 출력부에 제 $n$  상의 제1 클락 신호가 인가되는, 게이트 구동부.

#### 청구항 5

제4 항에 있어서,

상기 제1 출력부는,

상기 Q노드의 전압에 따라, 상기 제 $n-2$  상의 제1 클락 신호를 상기 센싱 신호로 출력하는 제1 풀업 TFT 및

상기 QB노드의 전압에 따라, 저전위 전압을 상기 센싱 신호로 출력하는 제1 풀다운 TFT를 포함하고,

상기 제2 출력부는,

상기 Q노드의 전압에 따라, 상기 제2 클락 신호를 상기 기준 신호로 출력하는 제2 풀업 TFT 및

상기 QB노드의 전압에 따라, 상기 저전위 전압을 상기 기준 신호로 출력하는 제2 풀다운 TFT를 포함하고,

상기 제3 출력부는,

상기 Q노드의 전압에 따라, 상기 제 $n$  상의 제1 클락 신호를 상기 스캔 신호로 출력하는 제3 풀업 TFT 및

상기 QB노드의 전압에 따라, 상기 저전위 구동 전압을 상기 스캔 신호로 출력하는 제3 풀다운 TFT를 포함하는,

게이트 구동부.

**청구항 6**

제1 항에 있어서,  
 상기 제2 출력부 및 상기 제3 출력부에 서로 다른 상의 제1 클락 신호가 인가되고,  
 상기 제1 출력부에 제2 클락 신호가 인가되는, 게이트 구동부.

**청구항 7**

제6 항에 있어서,  
 상기 제2 출력부에 제 $n-1$  상의 제1 클락 신호가 인가되고,  
 상기 제3 출력부에 제 $n$  상의 제1 클락 신호가 인가되는, 게이트 구동부.

**청구항 8**

제7 항에 있어서,  
 상기 제1 출력부는,  
 상기 Q노드의 전압에 따라, 상기 제2 클락 신호를 상기 센싱 신호로 출력하는 제1 풀업 TFT 및  
 상기 QB노드의 전압에 따라, 저전위 전압을 상기 센싱 신호로 출력하는 제1 풀다운 TFT를 포함하고,  
 상기 제2 출력부는,  
 상기 Q노드의 전압에 따라, 상기 제 $n-1$  상의 제1 클락 신호를 상기 기준 신호로 출력하는 제2 풀업 TFT 및  
 상기 QB노드의 전압에 따라, 상기 저전위 전압을 상기 기준 신호로 출력하는 제2 풀다운 TFT를 포함하고,  
 상기 제3 출력부는,  
 상기 Q노드의 전압에 따라, 상기 제 $n$  상의 제1 클락 신호를 상기 스캔 신호로 출력하는 제3 풀업 TFT 및  
 상기 QB노드의 전압에 따라, 상기 저전위 구동 전압을 상기 스캔 신호로 출력하는 제3 풀다운 TFT를 포함하는,  
 게이트 구동부.

**청구항 9**

제1 항에 있어서,  
 상기 제1 제어부는,  
 전단 스테이지의 캐리 신호에 따라, 고전위 구동 전압을 상기 Q노드에 출력하는 제1 QTFT 및  
 후단 스테이지의 캐리 신호에 따라, 저전위 구동 전압을 상기 Q노드에 출력하는 제2 QTFT를 포함하고,  
 상기 제2 제어부는,  
 상기 Q노드가 입력단에 연결되어 있고, 상기 QB노드가 출력단에 연결되어 있는 인버터를 포함하는, 게이트 구동부.

**청구항 10**

복수의 화소를 구비하는 표시 패널 및  
 상기 표시 패널에 실장되고 복수의 클락 신호 중 적어도 하나의 클락 신호를 공유하여, 센싱 신호, 기준 신호 및 스캔 신호를 출력하는 게이트 구동부를 포함하는, 유기 발광 표시 장치.

**청구항 11**

제10 항에 있어서,

상기 복수의 화소에 배치되는 화소 회로는,

게이트 노드 및 소스 노드에 인가된 전압에 기초하여, 유기 발광 소자에 흐르는 전류를 제어하는 구동 TFT;

상기 센싱 신호에 기초하여, 초기화 전압을 상기 구동 TFT의 소스 노드에 인가하는 제1 스위칭 TFT;

상기 기준 신호에 기초하여, 기준 전압을 상기 구동 TFT의 게이트 노드에 인가하는 제2 스위칭 TFT;

상기 스캔 신호에 기초하여, 데이터 전압을 상기 구동 TFT의 게이트 노드에 인가하는 제3 스위칭 TFT 및

발광 제어 신호에 기초하여, 고전위 전압을 상기 구동 TFT의 드레인 노드에 인가하는 제4 스위칭 TFT을 포함하는, 유기 발광 표시 장치.

#### 청구항 12

제10 항에 있어서,

상기 게이트 구동부는

종속 연결되는 복수의 스테이지를 포함하고

상기 복수의 스테이지 각각은,

Q노드 및 QB노드의 전압에 의해, 상기 센싱 신호를 출력하는 제1 출력부;

상기 Q노드 및 상기 QB노드의 전압에 의해, 상기 기준 신호를 출력하는 제2 출력부;

상기 Q노드 및 상기 QB노드의 전압에 의해, 상기 스캔 신호를 출력하는 제3 출력부;

상기 Q노드를 제어하는 제1 제어부 및

상기 QB노드를 제어하는 제2 제어부를 포함하고,

상기 제1 출력부 내지 상기 제3 출력부 중 적어도 둘 이상은 복수의 클락 신호 중 적어도 하나의 클락 신호를 공유하는, 유기 발광 표시 장치.

#### 청구항 13

제12 항에 있어서,

상기 복수의 클락 신호의 펄스 폭 및 위상은 서로 다른, 유기 발광 표시 장치.

#### 청구항 14

제12 항에 있어서,

상기 제1 출력부 및 상기 제3 출력부에 서로 다른 상의 제1 클락 신호가 인가되고,

상기 제2 출력부에 제2 클락 신호가 인가되는, 유기 발광 표시 장치.

#### 청구항 15

제14 항에 있어서,

상기 제1 출력부에 제 $n-2$  상의 제1 클락 신호가 인가되고,

상기 제3 출력부에 제 $n$  상의 제1 클락 신호가 인가되는, 유기 발광 표시 장치.

#### 청구항 16

제15 항에 있어서,

상기 제1 출력부는,

상기 Q노드의 전압에 따라, 상기 제 $n-2$  상의 제1 클락 신호를 상기 센싱 신호로 출력하는 제1 풀업 TFT 및

상기 QB노드의 전압에 따라, 저전위 전압을 상기 센싱 신호로 출력하는 제1 풀다운 TFT를 포함하고,

상기 제2 출력부는,

상기 Q노드의 전압에 따라, 상기 제2 클락 신호를 상기 기준 신호로 출력하는 제2 풀업 TFT 및

상기 QB노드의 전압에 따라, 상기 저전위 전압을 상기 기준 신호로 출력하는 제2 풀다운 TFT를 포함하고,

상기 제3 출력부는,

상기 Q노드의 전압에 따라, 상기 제n 상의 제1 클락 신호를 상기 스캔 신호로 출력하는 제3 풀업 TFT 및

상기 QB노드의 전압에 따라, 상기 저전위 구동 전압을 상기 스캔 신호로 출력하는 제3 풀다운 TFT를 포함하는,  
유기 발광 표시 장치.

#### 청구항 17

제12 항에 있어서,

상기 제2 출력부 및 상기 제3 출력부에 서로 다른 상의 제1 클락 신호가 인가되고,

상기 제1 출력부에 제2 클락 신호가 인가되는, 유기 발광 표시 장치.

#### 청구항 18

제17 항에 있어서,

상기 제2 출력부에 제n-1 상의 제1 클락 신호가 인가되고,

상기 제3 출력부에 제n 상의 제1 클락 신호가 인가되는, 유기 발광 표시 장치.

#### 청구항 19

제18 항에 있어서,

상기 제1 출력부는,

상기 Q노드의 전압에 따라, 상기 제2 클락 신호를 상기 센싱 신호로 출력하는 제1 풀업 TFT 및

상기 QB노드의 전압에 따라, 저전위 전압을 상기 센싱 신호로 출력하는 제1 풀다운 TFT를 포함하고,

상기 제2 출력부는,

상기 Q노드의 전압에 따라, 상기 제n-1 상의 제1 클락 신호를 상기 기준 신호로 출력하는 제2 풀업 TFT 및

상기 QB노드의 전압에 따라, 상기 저전위 전압을 상기 기준 신호로 출력하는 제2 풀다운 TFT를 포함하고,

상기 제3 출력부는,

상기 Q노드의 전압에 따라, 상기 제n 상의 제1 클락 신호를 상기 스캔 신호로 출력하는 제3 풀업 TFT 및

상기 QB노드의 전압에 따라, 상기 저전위 구동 전압을 상기 스캔 신호로 출력하는 제3 풀다운 TFT를 포함하는,  
유기 발광 표시 장치.

#### 청구항 20

제12 항에 있어서,

상기 제1 제어부는,

전단 스테이지의 캐리 신호에 따라, 고전위 구동 전압을 상기 Q노드에 출력하는 제1 QTFT 및

후단 스테이지의 캐리 신호에 따라, 저전위 구동 전압을 상기 Q노드에 출력하는 제2 QTFT를 포함하고,

상기 제2 제어부는,

상기 Q노드가 입력단에 연결되어 있고, 상기 QB노드가 출력단에 연결되어 있는 인버터를 포함하는, 유기 발광 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 게이트 구동부에 관한 것으로서, 보다 상세하게는 클락 신호를 공유하는 게이트 구동부 및 이를 포함하는 유기 발광 표시 장치에 관한 것이다.

**배경 기술**

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시 장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들(Flat Panel Display, FPD)이 개발 및 시판되고 있다. 예를 들어, 액정 표시 장치(LCD: Liquid Crystal Display), 유기 발광 표시 장치(OLED: Organic Light Emitting Diode)와 같은 다양한 표시 장치가 활용되고 있다.

[0003] 표시 장치의 표시 패널은 게이트 라인과 데이터 라인들로 정의되는 복수의 화소들을 포함한다. 표시 장치는 게이트 라인들에 스캔 신호를 공급하는 게이트 구동부와 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부를 이용하여 영상을 표시한다. 표시 장치는 타이밍 제어부를 이용하여 게이트 구동부와 데이터 구동부의 동작 타이밍을 제어한다. 데이터 구동부는 타이밍 제어부의 제어 하에 타이밍 제어부로부터 공급되는 디지털 영상 데이터를 아날로그 데이터 전압으로 변환하여 출력한다.

[0004] 게이트 구동부는 스캔 신호를 순차적으로 출력하기 위해 쉬프트레지스터를 구비한다. 쉬프트레지스터는 서로 종속적으로 연결된 복수의 스테이지들로 구성된다. 복수의 스테이지들은 스캔 신호를 순차적으로 출력하여 표시 패널에 배치된 게이트 라인을 순차적으로 스캐닝한다. 이러한 게이트 구동부는 표시 패널의 집적화를 위해 표시 패널의 박막TFT 어레이 기판에 내장되는 GIP(Gate In Panel)형태로 배치될 수 있다.

[0005] 그리고 표시 패널에 배치되는 복수의 화소들은 게이트 구동부의 복수의 스테이지에서 출력되는 복수의 스캔 신호를 인가받아 구동 된다. 즉, 복수의 스캔 신호는 표시 패널 내부에서 분기하여, 화소에 구비되는 복수의 TFT 각각에 인가된다.

[0006] 이렇게, 표시 패널 내부에서 복수의 스캔 신호를 분기하기 위하여, 게이트 라인을 서로 종속 연결해야 되므로, 게이트 구동부 내부의 로드가 증가된다. 이로써, 게이트 구동부는 스캔 신호의 출력이 지연되는 문제점이 발생한다. 또한, 게이트 라인을 서로 종속 연결해야 되므로, 게이트 구동부의 크기 또한 증가하게 되어, 게이트 구동부를 박막 TFT 어레이 기판에 내장하는데 문제점이 발생한다.

**발명의 내용**

**해결하려는 과제**

[0007] 이에, 본 발명이 해결하고자 하는 과제는 저면적의 GIP형태의 게이트 구동부 및 이를 포함하는 유기 발광 표시 장치를 제공하는 것이다.

[0008] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

[0009] 진술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 게이트 구동부는 종속 연결되는 복수의 스테이지를 포함하고, 복수의 스테이지 각각은 Q노드 및 QB노드의 전압에 의해, 센싱 신호를 출력하는 제1 출력부, Q노드 및 QB노드의 전압에 의해, 기준 신호를 출력하는 제2 출력부, Q노드 및 QB노드의 전압에 의해, 스캔 신호를 출력하는 제3 출력부, Q노드를 제어하는 제1 제어부 및 QB노드를 제어하는 제2 제어부를 포함하고, 제1 출력부 내지 제3 출력부 중 적어도 둘 이상은 복수의 클락 신호 중 적어도 하나의 클락 신호를 공유하여, 게이트 구동부의 면적을 저감할 수 있다.

[0010] 진술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 복수의 화소를 구비하는 표시 패널 및 표시 패널에 실장되고 복수의 클락 신호 중 적어도 하나의 클락 신호를 공유하여, 센싱 신호, 기준 신호 및 스캔 신호를 출력하는 게이트 구동부를 포함하여, 게이트 구동부의 면적을 저감할 수 있다.

[0011] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

[0012] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 게이트 구동부 내부에서 클락 신호를 공유하여, 기준 신호, 스캔 신호 및 센싱 신호를 출력할 수 있다. 이에, 표시 패널 내부에 내장되는 게이트 구동부를 단순화하여 베젤의 감소를 도모할 수 있음과 동시에, 기준 신호, 스캔 신호 및 센싱 신호의 출력을 게이트 구동부 내부에서 분리 상태를 유지함으로써 출력 로드를 감소시켜, 신호의 지연을 방지할 수 있다.

[0013] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

[0014] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명하기 위한 개략적인 블록도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 구비된 5T1C 화소 회로를 나타내는 회로도이다.

도 3은 도 2에 도시된 화소 회로에 입력되는 신호를 나타내는 파형도이다.

도 4는 본 발명의 일 실시예에 따른 표시 장치의 게이트 구동부를 나타내는 블록도이다.

도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 게이트 구동부에 구비된 각 스테이지의 등가회로를 나타내는 도면이다.

도 6은 본 발명의 일 실시예에 따른 표시 장치의 게이트 구동부를 나타내는 블록도이다.

도 7은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 게이트 구동부에 구비된 각 스테이지의 등가회로를 나타내는 도면이다.

도 8은 본 발명의 다른 실시예에 따른 표시 장치의 게이트 구동부를 나타내는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

[0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0016] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0017] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0018] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0019] 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

[0020] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0021] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

- [0022] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0023] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0024] 본 발명에서 TFT는 P 타입 또는 N 타입으로 구성될 수 있으며, 이하의 실시예에서는 설명의 편의를 위해 TFT를 N 타입으로 구성하여 설명한다. 또한, 펄스 형태의 신호를 설명함에 있어서, 게이트 하이 전압(VGH) 상태를 "하이 상태"로 정의하고, 게이트 로우 전압(VGL) 상태를 "로우 상태"로 정의한다.
- [0025] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0026] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명하기 위한 개략적인 블록도이다.
- [0027] 도 1을 참조하면, 유기 발광 표시 장치(100)는 게이트 라인(GL) 및 데이터 라인(DL)에 연결된 복수의 화소(P)를 포함하는 표시 패널(110), 게이트 라인(GL) 각각에 게이트 신호를 공급하는 게이트 구동부(130), 데이터 라인(DL) 각각에 데이터 전압을 공급하는 데이터 구동부(140) 및 게이트 구동부(130)와 데이터 구동부(140)를 제어하는 타이밍 제어부(120)를 포함한다.
- [0028] 타이밍 제어부(120)는 외부로부터 입력되는 영상 데이터(RGB)를 표시 패널(110)의 크기 및 해상도에 적합하게 처리하여, 데이터 구동부(140)에 공급한다. 그리고 타이밍 제어부(120)는 외부로부터 입력되는 동기 신호(SYNC)들, 예를 들어, 도트 클럭신호(DCLK), 데이터 인에이블 신호(DE), 수평 동기신호(Hsync), 수직 동기신호(Vsync)를 이용해 다수의 게이트 및 데이터 제어신호(GCS, DCS)를 생성한다. 생성된 다수의 게이트 및 데이터 제어신호(GCS, DCS)를 게이트 구동부(130) 및 데이터 구동부(140)에 각각 공급함으로써, 게이트 구동부(130) 및 데이터 구동부(140)를 제어한다.
- [0029] 게이트 구동부(130)는 타이밍 제어부(120)로부터 공급된 게이트 제어 신호(GCS)에 따라 게이트 라인(GL)에 게이트 신호를 공급한다. 여기서, 게이트 신호는 적어도 하나의 스캔 신호(SCAN), 기준 신호(Ref), 센싱 신호(SENSE) 및 발광 제어 신호(EM(N))를 포함한다. 도 1에서는 게이트 구동부(130)가 표시 패널(110)의 일 측에 이격되어 배치된 것으로 도시되었으나, 게이트 구동부(130)의 수와 배치 위치는 이에 제한되지 않는다. 즉, 게이트 구동부(130)는 GIP(Gate In Panel) 방식으로 표시 패널(110)의 일측 또는 양측에 배치될 수도 있다.
- [0030] 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 데이터 제어 신호(DCS)에 따라 영상 데이터(RGB)를 데이터 전압(Vdata)으로 변환하고, 변환된 데이터 전압(Vdata)을 데이터 라인(DL)을 통해 화소(P)에 공급한다.
- [0031] 표시 패널(110)에서 복수의 게이트 라인(GL) 및 복수의 데이터 라인(DL)이 서로 교차되고, 복수의 화소(P) 각각은 게이트 라인(GL) 및 데이터 라인(DL)에 연결된다.
- [0032] 여기서, 하나의 화소(P)는 게이트 라인(GL)을 통해 게이트 구동부(130)로부터 게이트 신호를 공급받고, 데이터 라인(DL)을 통해 데이터 구동부(140)로부터 데이터 전압을 공급받으며, 전원 공급 라인을 통해 다양한 전원을 공급받는다.
- [0033] 구체적으로, 하나의 화소(P)는 게이트 라인(GL)을 통해 적어도 하나의 스캔 신호(SCAN), 기준 신호(Ref), 센싱 신호(SENSE) 및 발광 제어 신호(EM(N))를 수신하고, 데이터 라인(DL)을 통해 데이터 전압(Vdata)을 수신하고, 기준 전압 라인을 통해 기준 전압(Vref)을 수신하며, 전원 공급 라인을 통해 고전위 전압(VDD), 저전위 전압(VSS) 및 초기화 전압(Vinit)을 수신한다.
- [0034] 또한, 화소(P) 각각은 유기 발광 소자(OD) 및 유기 발광 소자(OD)의 구동을 제어하는 화소 회로를 포함한다. 여기서, 유기 발광 소자(OD)는 애노드, 캐소드, 및 애노드와 캐소드 사이의 유기 발광층으로 이루어진다. 화소 회로는 스위칭 TFT, 구동 TFT 및 커패시터를 포함한다. 구체적으로, 화소 회로에서 구동 TFT는 커패시터에 충전된 데이터 전압(Vdata)에 따라 유기 발광 소자(OD)에 공급되는 전류량을 제어하여 유기 발광 소자(OD)의 발광량을 조절하고, 스위칭 TFT는 게이트 라인(GL)을 통해 공급되는 스캔 신호(SCAN)를 수신하여 데이터 전압(Vdata)을 커패시터에 충전한다.
- [0035] 이와 같이 유기 발광 표시 장치(100)는 화소 회로에 구동 TFT 및 스위칭 TFT를 포함하고, 구동 TFT 및 스위칭 TFT 각각을 구성하는 액티브층은 서로 다른 물질로 구성될 수 있다. 이와 같이 하나의 화소 회로에서 구동 TFT 및 스위칭 TFT 각각이 서로 다른 특성을 갖는 TFT로 이루어져, 유기 발광 표시 장치(100)는 멀티 타입의 TFT를

포함할 수 있다.

- [0036] 구체적으로, 멀티 타입의 TFT를 포함하는 유기 발광 표시 장치(100)에서는 다결정 반도체 물질을 액티브층으로 하는 TFT로서 저온 폴리 실리콘(Low Temperature Poly-Silicon; 이하, LTPS라고 함)을 이용한 LTPS TFT가 사용된다. 폴리 실리콘 물질은 이동도가 높아 (100cm<sup>2</sup>/Vs 이상), 에너지 소비전력이 낮고 신뢰성이 우수하므로, 표시 소자용 TFT들을 구동하는 구동 소자용 게이트 구동부(130) 및/또는 멀티플렉서(MUX)에 적용할 수 있다. 또는 유기 발광 표시 장치(100)에서 화소(P) 내 구동 TFT로 적용하는 것이 좋다.
- [0037] 또한, 멀티 타입의 TFT를 포함하는 유기 발광 표시 장치(100)에서는 산화물 반도체 물질을 액티브층으로 하는 산화물 반도체 TFT가 사용된다. 산화물 반도체 물질은 오프-전류(Off-Current)가 낮으므로, 턴 온(turn On) 시간이 짧고 턴 오프(turn Off) 시간을 길게 유지하는 스위칭 TFT에 적합하다.
- [0038] 특히, 본 발명의 실시예에 따른 멀티 타입의 TFT를 포함하는 유기 발광 표시 장치(100)는 스위칭 TFT가 산화물 반도체 TFT로 이루어지고 구동 TFT는 LTPS TFT로 이루어진 화소 회로를 포함한다. 다만, 본 발명의 유기 발광 표시 장치(100)에서 스위칭 TFT는 산화물 반도체 TFT, 구동 TFT는 LTPS TFT로 한정되지 않으며, 멀티 타입의 TFT가 다양하게 구성될 수 있다. 또한, 본 발명의 유기 발광 표시 장치(100)에서 화소 회로는 멀티 타입의 TFT를 포함하지 않고 하나의 종류로 이루어진 TFT를 포함할 수도 있다.
- [0039] 이하에서는 본 발명의 일 실시예에 따른 유기 발광 표시 장치가 5T1C의 화소 회로 일 경우 회로의 구조 및 이의 동작 대해서 상세히 설명한다.
- [0040] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 구비된 5T1C 화소 회로를 나타내는 회로도이다.
- [0041] 도 2를 참조하면, 화소 회로는 구동 TFT(DRT), 4개의 스위칭 TFT(ST1, ST2, ST3, ST4) 및 1개의 커패시터(C1)를 포함한다.
- [0042] 구동 TFT(DRT)는 제2 스위칭 TFT(ST2) 및 제3 스위칭 TFT(ST3)와 연결된 게이트 노드, 제1 스위칭 TFT(ST1)와 연결된 소스 노드 및 제4 스위칭 TFT(ST4)와 연결된 드레인 노드를 포함한다.
- [0043] 구체적으로, 구동 TFT(DRT)의 게이트 노드는 데이터 전압(Vdata)을 공급하는 데이터 라인 및 기준 전압(Vref)을 공급하는 기준 전압 라인에 전기적으로 연결된다. 이에, 구동 TFT(DRT)의 게이트 노드는 제3 스위칭 TFT(ST3)의 소스 노드에 연결되어 데이터 전압(Vdata)을 공급받고, 제2 스위칭 TFT(ST2)의 소스 노드에 연결되어 기준 전압(Vref)을 공급 받는다. 구동 TFT(DRT)의 드레인 노드는 고전위 전압(VDD) 라인에 전기적으로 연결된다. 이에, 구동 TFT(DRT)의 드레인 노드는 제4 스위칭 TFT(ST4)의 소스 노드에 연결되어 고전위 전압(VDD)을 공급 받는다. 구동 TFT(DRT)의 소스 노드는 유기 발광 소자(OD)와 전기적으로 연결된다. 구체적으로, 구동 TFT(DRT)의 소스 노드는 유기 발광 소자(OD)의 애노드와 연결되고, 제1 스위칭 TFT(ST1)의 소스 노드와 연결된다.
- [0044] 이에 따라, 발광 제어 신호(EM(m))에 의해 제4 스위칭 TFT(ST4)가 턴 온되고 구동 TFT(DRT)도 턴 온 되면, 구동 TFT(DRT)는 게이트 노드 및 소스 노드에 인가된 전압에 기초하여 유기 발광 소자(OD)에 흐르는 전류의 크기를 제어하여, 유기 발광 소자(OD)의 휘도를 제어한다.
- [0045] 제1 스위칭 TFT(ST1)는 센싱 신호(SENSE(m)) 라인에 연결된 게이트 노드, 초기화 전압(Vinit) 라인에 연결된 드레인 노드 및 구동 TFT(DRT)의 소스 노드와 연결된 소스 노드를 포함한다. 구체적으로, 제1 스위칭 TFT(ST1)의 게이트 노드에 인가되는 센싱 신호(SENSE(m))가 하이 상태인 경우 제1 스위칭 TFT(ST1)가 턴 온 된다. 제1 스위칭 TFT(ST1)는 초기화 전압(Vinit)을 구동 TFT(DRT)의 소스 노드에 공급한다.
- [0046] 이에 따라, 센싱 신호(SENSE(m))가 하이 상태인 경우, 제1 스위칭 TFT(ST1)는 턴 온되어 초기화 전압(Vinit)을 구동 TFT(DRT)의 소스 노드에 공급하여, 유기 발광 소자(OD)에 기입된 데이터 전압(Vdata)을 초기화 시킨다.
- [0047] 제2 스위칭 TFT(ST2)는 기준 신호(Ref(m)) 라인에 연결된 게이트 노드, 기준 전압(Vref)이 인가되는 기준 전압 라인에 연결된 드레인 노드 및 구동 TFT(DRT)와 연결된 소스 노드를 포함한다. 구체적으로, 제2 스위칭 TFT(ST2)의 게이트 노드는 기준 신호(Ref(m)) 라인에 연결되어 기준 신호(Ref(m))에 의해 턴 온되거나 턴 오프 된다. 제2 스위칭 TFT(ST2)의 드레인 노드는 기준 전압 라인에 연결되어 기준 전압(Vref)을 구동 TFT(DRT)의 게이트 노드에 전달한다.
- [0048] 이에 따라, 기준 신호(Ref(m))가 하이 상태인 경우, 제2 스위칭 TFT(ST2)는 턴 온되어 기준 전압(Vref)을 구동 TFT(DRT)의 게이트 노드에 공급한다.
- [0049] 제3 스위칭 TFT(ST3)는 스캔 신호(SCAN(m)) 라인에 연결된 게이트 노드, 데이터 라인에 연결된 드레인 노드 및

구동 TFT(DRT)와 연결된 소스 노드를 포함한다. 구체적으로, 제3 스위칭 TFT(ST3)의 게이트 노드는 스캔 신호(SCAN(m)) 라인에 연결되어 스캔 신호(SCAN(m))에 의해 턴 온되거나 턴 오프된다. 제3 스위칭 TFT(ST3)의 드레인 노드는 데이터 라인에 연결되어 데이터 전압(Vdata)을 구동 TFT(DRT)의 게이트 노드에 전달한다.

- [0050] 이에 따라, 스캔 신호(SCAN(m))가 하이 상태인 경우, 제3 스위칭 TFT(ST3)는 턴 온되어 데이터 전압(Vdata)을 구동 TFT(DRT)의 게이트 노드에 공급한다.
- [0051] 제4 스위칭 TFT(ST4)는 발광 제어 신호(EM(m)) 라인에 연결된 게이트 노드, 고전위 전압(VDD) 라인에 연결된 드레인 노드 및 구동 TFT(DRT)의 드레인 노드와 연결된 소스 노드를 포함한다. 구체적으로, 제4 스위칭 TFT(ST4)의 게이트 노드는 발광 제어 신호(EM(m)) 라인에 연결되어, 발광 제어 신호(EM(m))가 하이 상태인 경우 제4 스위칭 TFT(ST4)는 턴 온 된다.
- [0052] 이에 따라, 발광 제어 신호(EM(m))가 하이 상태인 경우, 제4 스위칭 TFT(ST4)는 턴 온되어 고전위 전압(VDD)을 구동 TFT(DRT)의 드레인 노드에 공급하여, 구동 TFT(DRT)가 데이터 전압(Vdata)에 의해 유기 발광 소자(OD)의 전류량을 조절한다.
- [0053] 커패시터(C1)는 구동 TFT(DRT)의 게이트 노드와 소스 노드에 인가되는 전압을 저장하는 저장 커패시터이다.
- [0054] 구체적으로, 커패시터(C1)는 구동 TFT(DRT)의 게이트 노드 및 구동 TFT(DRT)의 소스 노드와 전기적으로 연결된다. 이에, 커패시터(C1)는 구동 TFT(DRT)의 게이트 노드 및 소스 노드에 인가되는 전압의 차이만큼 전압을 저장한다.
- [0055] 예를 들어, 제1 커패시터(C1)는 구동 TFT(DRT)의 게이트 노드 와 소스 노드의 전압 차이로 구동 TFT(DRT)의 문턱 전압을 저장하여 샘플링한다. 또한, 데이터 전압(Vdata)이 인가되는 경우, 데이터 전압(Vdata)을 저장하여 프로그래밍한다. 즉, 제1 커패시터(C1)는 소스 팔로워(source-follower) 방식으로 구동 TFT(DRT)의 문턱 전압을 샘플링한다. 커패시터(C1)의 샘플링과 프로그래밍에 관해서는 도 3을 참조하여 후술한다.
- [0056] 도 3은 도 2에 도시된 화소 회로에 입력되는 신호를 나타내는 파형도이다. 설명의 편의를 위해 도 2를 참조하여 후술한다.
- [0057] 도 3을 참조하면, 유기 발광 소자(OD)는 초기화 구간(p1), 샘플링 구간(p2), 프로그래밍 구간(p3) 및 발광 구간(p4)에 걸쳐 발광 한다. 도 3에서는 초기화 구간(p1), 샘플링 구간(p2) 및 프로그래밍 구간(p3)이 각각 동일한 시간 동안 유지되는 것으로 도시되었으나, 초기화 구간(p1), 샘플링 구간(p2) 및 프로그래밍 구간(p3) 각각의 시간은 실시예에 따라 다양하게 변화할 수 있다.
- [0058] 먼저, 초기화 구간(p1)이 시작되는 순간 센싱 신호(SENSE(m))가 라이징되어 하이 상태로 된다. 이후, 기준 신호(Ref(m))가 라이징되어 하이 상태로 된다. 그리고, 초기화 구간(p1)동안 발광 제어 신호(EM(m)) 및 스캔 신호(SCAN(m))는 로우 상태이다.
- [0059] 이에, 초기화 구간(p1) 동안 제1 스위칭 TFT(ST1) 및 제2 스위칭 TFT(ST2)는 순차적으로 턴 온되고, 제3 스위칭 TFT(ST3) 및 제4 스위칭 TFT(ST4)는 턴 오프된다.
- [0060] 이에 따라, 제1 스위칭 TFT(ST1)에 의해 초기화 전압(Vinit) 라인으로부터 초기화 전압(Vinit)이 구동 TFT(DRT)의 소스 노드에 공급된 뒤, 제2 스위칭 TFT(ST2)에 의해 기준 전압 라인으로부터 기준 전압(Vref)이 구동 TFT(DRT)의 게이트 노드에 공급된다. 즉, 구동 TFT(DRT)의 소스 노드에 초기화 전압(Vinit)이 공급됨에 따라, 유기 발광 소자(OD)에 기입된 데이터 전압(Vdata)이 초기화된다.
- [0061] 샘플링 구간(p2)이 시작되는 순간, 센싱 신호(SENSE(m))는 폴링되어 로우 상태로 되고, 발광 제어 신호(EM(m))는 라이징되어 하이 상태로 된다. 이후, 기준 신호(Ref(m))가 폴링되어 로우 상태로 된다. 그리고, 샘플링 구간(p2)동안 스캔 신호(SCAN(m))는 로우 상태이다.
- [0062] 이에, 샘플링 구간(p2) 동안 제4 스위칭 TFT(ST4)는 턴 온되고, 제1 스위칭 TFT(ST1)는 턴 오프된다. 이후, 제2 스위칭 TFT(ST2)는 턴 오프된다. 이에 따라, 제2 스위칭 TFT(ST2)를 통해 기준 전압(Vref)이 구동 TFT(DRT)의 게이트 노드로 공급되고, 턴 온된 제4 스위칭 TFT(ST4)를 통해 고전위 전압(VDD)이 구동 TFT(DRT)의 드레인 노드로 공급된다. 즉, 샘플링 구간(p2) 동안 구동 TFT(DRT)의 게이트 노드의 전압은 기준 전압(Vref)으로 유지되고, 구동 TFT(DRT)의 소스 노드의 전압은 구동 TFT(DRT)의 드레인-소스 간 전류(이하, Ids라고 함)에 의해 상승한다. 여기서, 소스 팔로워(source-follower) 방식에 의해 구동 TFT(DRT)의 게이트-소스 간 전압(이하, Vgs라고 함)은 구동 TFT(DRT)의 문턱 전압으로 샘플링된다. 이와 같이 샘플링된 구동 TFT(DRT)의 문턱 전압은 커패시터

(C1)에 저장된다. 이에, 샘플링 기간(t2) 동안 구동 TFT(DRT)의 게이트 노드의 전압은 기준 전압(Vref)이고, 구동 TFT(DRT)의 소스 노드의 전압은 Vref-Vth이다.

[0063] 프로그래밍 구간(p3)이 시작되는 순간 스캔 신호(SCAN(m))는 라이징되어 하이 상태로 되고, 발광 제어 신호(EM(m))는 폴링되어 로우 상태가 된다. 그리고, 센싱 신호(SENSE(m))과 기준 신호(Ref(m))은 로우 상태를 유지한다.

[0064] 이에, 프로그래밍 구간(p3) 동안 제3 스위칭 TFT(ST3)만 턴 온되고, 제1 스위칭 TFT(ST1), 제2 스위칭 TFT(ST2) 및 제4 스위칭 TFT(ST4)는 턴 오프된다. 이에 따라, 턴 온된 제3 스위칭 TFT(ST3)를 통해 데이터 전압(Vdata)이 구동 TFT(DRT)의 게이트 노드로 공급되고, 구동 TFT(DRT)의 드레인 노드 및 소스 노드는 플로팅된다.

[0065] 프로그래밍 구간(p3) 동안 구동 TFT(DRT)의 게이트 노드에 데이터 전압(Vdata)이 공급된다. 구체적으로, 구동 TFT(DRT)의 게이트 노드의 전압 변화량은 Vdata-Vref이고, 프로그래밍 구간(p3) 동안 구동 TFT(DRT)의 소스 노드에서의 전압 변화량은 a\*(Vdata-Vref)이다. 여기서 a는 커패시터(C1)의 커플링에 의해 결정된다. 즉, 구동 TFT(DRT)의 소스 노드의 전압은 샘플링 구간(p2)에서 결정된 Vref-Vth에 프로그래밍 구간(p3) 동안 구동 TFT(DRT)의 소스 노드에서의 전압 변화량인 a\*(Vdata-Vref)을 더한 값이 된다. 다시 말해, 프로그래밍 구간(p3)에서 구동 TFT(DRT)의 소스 노드의 전압은 (Vref-Vth)+a\*(Vdata-Vref)이고, 구동 TFT(DRT)의 Vgs는 ((1-a)\*(Vdata-Vref)+Vth로 프로그래밍된다.

[0066] 발광 구간(p4)이 시작되는 순간 스캔 신호(SCAN(m))는 폴링되어 로우 상태로 되고, 발광 제어 신호(EM(m))는 라이징되어 하이 상태가 된다. 그리고, 센싱 신호(SENSE(m))과 기준 신호(Ref(m))은 로우 상태를 유지한다.

[0067] 이에, 발광 구간(p4) 동안 제1 스위칭 TFT(ST1), 제2 스위칭 TFT(ST2) 및 제3 스위칭 TFT(ST3)는 턴 오프되고, 제4 스위칭 TFT(ST4)는 턴 온된다. 이에 따라, 턴 온된 제4 스위칭 TFT(ST4)를 통해 고전위 전압(VDD)이 구동 TFT(DRT)의 드레인 노드로 공급되고, Vds>Vgs>Vth가 되어 구동 TFT(DRT)를 통해 유기 발광 소자(OD)로 전류가 흐른다. 구체적으로, 발광 구간(p4) 동안 구동 TFT(DRT)의 Vgs에 의해 유기 발광 소자(OD)에 흐르는 전류(Ioled)가 조절되고, Ioled에 의해 유기 발광 소자(OD)가 발광하여 휘도가 상승하게 된다. 이와 같이 발광 구간(p4) 동안 유기 발광 소자(OD)에 흐르는 전류(Ioled)는 다음 [수학식 1]과 같다.

[0068] [수학식 1]

[0069] 
$$I_{oled} = \frac{k}{2} [(1-a) \times (Vdata - Vref)]^2$$

[0070] 여기서, k는 화소 회로의 다양한 요인이 반영된 비례 상수이다. [수학식 1]을 검토해보면, [수학식 1]에서 Vth가 소거되어, 유기 발광 소자(OD)에 흐르는 전류(Ioled)는 구동 TFT(DRT)의 문턱 전압의 영향을 받지 않는다.

[0071] 이하에서는, 도 4 내지 도 6을 참조하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 게이트 구동부에 대해 상세히 설명한다.

[0072] 도 4는 본 발명의 일 실시예에 따른 표시 장치의 게이트 구동부를 나타내는 블록도이다.

[0073] 도 4에 도시된 바와 같이, 게이트 구동부(130)는 타이밍 제어부(140)로부터 제공된 제1 내지 제3 클럭 신호(mCLK, rCLK, qCLK)와 게이트 제어 신호(GCS) 중 게이트 스타트 펄스(GSP)에 응답하여 게이트 신호인 스캔 신호(SCAN), 기준 신호(Ref), 센싱 신호(SENSE)를 순차적으로 출력하는 제1 내지 제z 스테이지(S1 내지 Sz)를 구비한다.

[0074] 즉 제1 내지 제z 스테이지(S1 내지 Sz) 각각은 이전 스테이지 캐리 신호(CARRY(n-p)), p는 자연수 및 다음 스테이지의 캐리 신호(CARRY(n+q)), q는 자연수에 따라, 제1 내지 제3 클럭 신호(mCLK, rCLK, qCLK)를 게이트 신호인 스캔 신호(SCAN), 기준 신호(Ref) 및 센싱 신호(SENSE)로 출력한다.

[0075] 여기서, 제1 내지 제3 클럭 신호(mCLK, rCLK, qCLK)는 화소 회로에 출력되는 스캔 신호(SCAN), 기준 신호(Ref) 및 센싱 신호(SENSE)에 맞추어, 펄스 폭 및 위상이 서로 다르도록 가변되는 순환 클럭 신호일 수 있다..

[0076] 구체적으로, 제1 스테이지(S1)는 게이트 스타트 펄스(GSP)를 인가 받아 세트되고, 제1 내지 제3 클럭 신호(mCLK, rCLK, qCLK)를 게이트 신호인 제1 스캔 신호(SCAN1), 제1 기준 신호(Ref1), 제1 센싱 신호(SENSE1) 및 제1 캐리 신호(CARRY1)로 출력한다. 그리고, 다음 스테이지의 캐리 신호(CARRY(1+q))를 인가 받아 리세트된다.

- [0077] 제2 스테이지(S2)는 이전 스테이지 캐리 신호(CARRY(2-p)) 또는 게이트 스타트 펄스(GSP)를 인가 받아 세트되고, 제1 내지 제3 클락 신호(mCLK, rCLK, qCLK)를 게이트 신호인 제2 스캔 신호(SCAN2), 제2 기준 신호(Ref2), 제2 센싱 신호(SENSE2) 및 제2 캐리 신호(CARRY2)로 출력한다. 다음 스테이지의 캐리 신호(CARRY(2+q))를 인가 받아 리세트된다.
- [0078] 제n 스테이지(Sn)는 이전 스테이지 캐리 신호(CARRY(n-p)) 또는 게이트 스타트 펄스(GSP)를 인가 받아 세트되고, 제1 내지 제3 클락 신호(mCLK, rCLK, qCLK)를 게이트 신호인 제n 스캔 신호(SCAN(n)), 제n 기준 신호(Ref(n)), 제n 센싱 신호(SENSE(n)) 및 제n 캐리 신호(CARRY(n))로 출력한다. 다음 스테이지의 캐리 신호(CARRY(n+q)) 또는 게이트 리세트 펄스(미도시)를 인가 받아 리세트된다.
- [0079] 도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 게이트 구동부에 구비된 각 스테이지의 등가회로를 나타내는 도면이다.
- [0080] 이하, 각 스테이지(S1 내지 Sz)의 회로 구성 및 각 스테이지(S1 내지 Sz)가 게이트 신호를 출력하는 과정에 대해 제n 스테이지(Sn)를 예를 들어 설명한다.
- [0081] 도 5에 도시된 바와 같이, 제n 스테이지는 Q 노드(Q)의 전압 및 QB 노드(QB)의 전압에 의해, 센싱 신호(SENSE(n))를 출력하는 제1 출력부, 기준 신호(Ref(n))를 출력하는 제2 출력부, 스캔 신호(SCAN(n))를 출력하는 제3 출력부 및 캐리 신호(CARRY(n))를 출력하는 제4 출력부를 포함할 뿐만 아니라, Q 노드(Q)를 제어하는 제1 제어부와 QB 노드(QB)를 제어하는 제2 제어부를 포함한다.
- [0082] 즉, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제1 내지 제4 출력부는 모두 Q 노드(Q)의 전압 및 QB 노드(QB)의 전압에 의해 제어되는 멀티 출력부이다.
- [0083] 제1 출력부는 센싱 신호(SENSE(n))를 풀업(pull-up)하는 TFT인 제1 풀업 TFT(UT1) 및 센싱 신호(SENSE(n))를 풀다운(pull-down)하는 TFT인 제1 풀다운 TFT(DT1)를 포함한다.
- [0084] 여기서 제1 풀업 TFT(UT1)는 게이트에 Q 노드(Q)가 연결되고, 드레인에 입력인 제n-2 상의 제1 클락 신호(mCLK(n-2))가 인가되고, 소스에 출력단인 센싱 신호(SENSE(n)) 라인이 연결되는 풀업(pull-up) TFT이다. 제1 풀업 TFT(UT1)는 Q 노드(Q)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 제n-2 상의 제1 클락 신호(mCLK(n-2))를 센싱 신호(SENSE(n))로 출력한다.
- [0085] 그리고, 제1 풀다운 TFT(DT1)는 게이트에 QB 노드(QB)가 연결되고, 드레인에 입력인 저전위 전압(VGL)이 인가되고, 소스에 출력단인 출력단인 센싱 신호(SENSE(n)) 라인이 연결되는 풀다운(pull-down) TFT이다. 제1 풀다운 TFT(DT1)는 QB 노드(QB)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 저전위 전압(VGL)을 센싱 신호(SENSE(n))로 출력한다.
- [0086] 제2 출력부는 기준 신호(Ref(n))를 풀업(pull-up)하는 TFT인 제2 풀업 TFT(UT1) 및 기준 신호(Ref(n))를 풀다운(pull-down)하는 TFT인 제2 풀다운 TFT(DT2)를 포함한다.
- [0087] 여기서 제2 풀업 TFT(UT2)는 게이트에 Q 노드(Q)가 연결되고, 드레인에 입력인 제n 상의 제2 클락 신호(rCLK(n))가 인가되고, 소스에 출력단인 기준 신호(Ref(n)) 라인이 연결되는 풀업(pull-up) TFT이다. 제2 풀업 TFT(UT2)는 Q 노드(Q)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 제n 상의 제2 클락 신호(rCLK(n))를 기준 신호(Ref(n))로 출력한다.
- [0088] 그리고, 제2 풀다운 TFT(DT2)는 게이트에 QB 노드(QB)가 연결되고, 드레인에 입력인 저전위 전압(VGL)이 인가되고, 소스에 출력단인 출력단인 기준 신호(Ref(n)) 라인이 연결되는 풀다운(pull-down) TFT이다. 제2 풀다운 TFT(DT2)는 QB 노드(QB)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 저전위 전압(VGL)을 기준 신호(Ref(n))로 출력한다.
- [0089] 제3 출력부는 스캔 신호(SCAN(n))를 풀업(pull-up)하는 TFT인 제3 풀업 TFT(UT3) 및 스캔 신호(SCAN(n))를 풀다운(pull-down)하는 TFT인 제3 풀다운 TFT(DT3)를 포함한다.
- [0090] 여기서 제3 풀업 TFT(UT3)는 게이트에 Q 노드(Q)가 연결되고, 드레인에 입력인 제n 상의 제1 클락 신호(mCLK(n))가 인가되고, 소스에 출력단인 스캔 신호(SCAN(n)) 라인이 연결되는 풀업(pull-up) TFT이다. 제3 풀업 TFT(UT3)는 Q 노드(Q)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 제n 상의 제1 클락 신호(mCLK(n))를 스캔 신호(SCAN(n))로 출력한다.
- [0091] 그리고, 제3 풀다운 TFT(DT3)는 게이트에 QB 노드(QB)가 연결되고, 드레인에 입력인 저전위 전압(VGL)이 인가되

고, 소스에 출력단인 출력단인 스캔 신호(SCAN(n)) 라인이 연결되는 풀다운(pull-down) TFT이다. 제3 풀다운 TFT(DT3)는 QB 노드(QB)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 저전위 전압(VGL)을 스캔 신호(SCAN(n))로 출력한다.

- [0092] 제4 출력부는 캐리 신호(CARRY(n))를 풀업(pull-up)하는 TFT인 제4 풀업 TFT(UT4) 및 캐리 신호(CARRY(n))를 풀다운(pull-down)하는 TFT인 제4 풀다운 TFT(DT4)를 포함한다.
- [0093] 여기서 제4 풀업 TFT(UT4)는 게이트에 Q 노드(Q)가 연결되고, 드레인에 입력인 제n 상의 제3 클락 신호(qCLK(n))가 인가되고, 소스에 출력단인 캐리 신호(CARRY(n)) 라인이 연결되는 풀업(pull-up) TFT이다. 제4 풀업 TFT(UT4)는 Q 노드(Q)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 제n 상의 제3 클락 신호(qCLK(n))를 기준 신호(Ref(n))로 출력한다.
- [0094] 그리고, 제4 풀다운 TFT(DT4)는 게이트에 QB 노드(QB)가 연결되고, 드레인에 입력인 저전위 구동 전압(VSS)이 인가되고, 소스에 출력단인 출력단인 기준 신호(Ref(n)) 라인이 연결되는 풀다운(pull-down) TFT이다. 제4 풀다운 TFT(DT4)는 QB 노드(Q)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 저전위 구동 전압(VSS)을 캐리 신호(CARRY(n))로 출력한다.
- [0095] 제1 제어부는 전단 스테이지의 캐리 신호(CARRY(n-p)) 및 후단 스테이지의 캐리 신호(CARRY(n+q))를 인가 받아, Q 노드(Q)에 인가되는 전압을 제어하며, 제1 QTFT(QT1) , 제2 QTFT(QT2)를 포함한다.
- [0096] 제1 QTFT(QT1)는 게이트 및 드레인에 전단 스테이지의 캐리 신호(CARRY(n-p))가 인가되고, 소스에 Q 노드(Q)가 연결되는 TFT이다. 제1 QTFT(QT1)는 전단 스테이지의 캐리 신호(CARRY(n-p))가 하이 상태인 경우 턴온(turn-on)되어, 하이 상태의 전단 스테이지의 캐리 신호(CARRY(n-p))인 고전위 구동 전압을 Q 노드(Q)에 출력한다.
- [0097] 제2 QTFT(QT2)는 게이트에 후단 스테이지의 캐리 신호(CARRY(n+q))가 인가되고, 드레인에 입력인 저전위 구동 전압(VSS)이 인가되고, 소스에 Q 노드(Q)가 연결되는 TFT이다. 제2 QTFT(QT2)는 후단 스테이지의 캐리 신호(CARRY(n+q))가 하이 상태인 경우 턴온(turn-on)되어, 저전위 구동 전압(VSS)을 Q 노드(Q)에 출력한다.
- [0098] 제2 제어부는 전술한 Q노드(Q)가 입력단에 연결되어 있고, QB노드(QB)가 출력단에 연결되어 있는 인버터(IVT)로 구성될 수 있다. 따라서, 제2 제어부를 통해, QB노드(QB)에는 Q노드(Q)와 반대의 전압 상태를 유지할 수 있다.
- [0099] 도 6은 본 발명의 일 실시예에 따른 표시 장치의 게이트 구동부를 나타내는 블록도이다.
- [0100] 도 6에서는 설명의 편의를 위해, 제n-2 스테이지(S(n-2)) 내지 제n+2 스테이지(S(n+2))의 제1 풀업 TFT(UT1) 및 제3 풀업 TFT(UT3)와 제1 클락 신호(mCLK) 라인의 연결 관계만을 도시하였다.
- [0101] 즉, 제1 출력부의 제1 풀업 TFT(UT1)와 제3 출력부의 제3 풀업 TFT(UT3)에는 서로 다른 상의 제1 클락 신호(mCLK)가 인가된다.
- [0102] 제1 풀업 TFT(UT1)에 인가되는 제1 클락 신호(mCLK)의 상과 제3 풀업 TFT(UT3)에 인가되는 제1 클락 신호(mCLK)의 상의 차이는 전술한 화소 회로에 인가되는 스캔 신호(SCAN(n))와 센싱 신호(SENSE(n))의 인가되는 시간 차이에 의해서 결정된다.
- [0103] 도 6에 도시된 바와 같이, 제1 출력부의 제1 풀업 TFT(UT1)에는 제n-2 상의 제1 클락 신호(mCLK(n-2))가 인가되고, 제3 출력부의 제3 풀업 TFT(UT3)에는 제n 상의 제1 클락 신호(mCLK(n))가 인가 된다.
- [0104] 구체적으로, 제1 클락 신호(mCLK)이 6상의 클락 신호일 경우, 제n-2 스테이지(S(n-2))의 경우, 제1 풀업 TFT(UT1(n-2))에는 제1 상의 제1 클락 신호(mCLK1)가 인가되고, 제3 풀업 TFT(UT3(n-2))에는 제3 상의 제1 클락 신호(mCLK3)가 인가된다. 제n-1 스테이지(S(n-1))의 경우, 제1 풀업 TFT(UT1(n-1))에는 제2 상의 제1 클락 신호(mCLK2)가 인가되고, 제3 풀업 TFT(UT3(n-1))에는 제4 상의 제1 클락 신호(mCLK4)가 인가된다. 제n 스테이지(S(n))의 경우, 제1 풀업 TFT(UT1(n))에는 제3 상의 제1 클락 신호(mCLK3)가 인가되고, 제3 풀업 TFT(UT3(n))에는 제5 상의 제1 클락 신호(mCLK5)가 인가된다. 제n+1 스테이지의 경우, 제1 풀업 TFT(UT1(n+1))에는 제4 상의 제1 클락 신호(mCLK4)가 인가되고, 제3 풀업 TFT(UT3(n+1))에는 제6 상의 제1 클락 신호(mCLK6)가 인가된다. 제n+2 스테이지의 경우, 제1 풀업 TFT(UT1(n+2))에는 제5 상의 제1 클락 신호(mCLK5)가 인가되고, 제3 풀업 TFT(UT3(n+2))에는 제1 상의 제1 클락 신호(mCLK1)가 인가된다.
- [0105] 즉, 제n 스테이지의 제1 풀업 TFT(UT1(n))와 제n-2 스테이지의 제3 풀업 TFT(UT(n-2))는 동일 상의 클락 신호를 공유할 수 있다.

- [0106] 이렇게, 게이트 구동부 내부에서 클락 신호를 공유하여, 복수의 스캔 신호 및 센싱 신호를 출력할 수 있다. 이에, 표시 패널 내부에 내장되는 게이트 구동부를 단순화하여 베젤의 감소를 도모할 수 있음과 동시에, 스캔 신호 및 센싱 신호의 출력을 게이트 구동부 내부에서 분리 상태를 유지함으로써 출력 로드를 감소시켜, 게이트 신호의 지연을 방지할 수 있다.
- [0107] 이하에서는, 도 7 및 도 8을 참조하여, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 게이트 구동부에 배치되는 각 스테이지(S1 내지 Sz)의 회로 구성 및 각 스테이지(S1 내지 Sz)가 게이트 신호를 출력하는 과정에 대해 제n 스테이지(Sn)를 예를 들어 설명한다.
- [0108] 도 7은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 게이트 구동부에 구비된 각 스테이지의 등가회로를 나타내는 도면이다.
- [0109] 도 7에 도시된 바와 같이, 제n 스테이지는 Q 노드(Q)의 전압 및 QB 노드(QB)의 전압에 의해, 센싱 신호(SENSE(n))를 출력하는 제1 출력부, 기준 신호(Ref(n))를 출력하는 제2 출력부, 스캔 신호(SCAN(n))를 출력하는 제3 출력부 및 캐리 신호(CARRY(n))를 출력하는 제4 출력부를 포함할 뿐만 아니라, Q 노드(Q)를 제어하는 제1 제어부와 QB 노드(QB)를 제어하는 제2 제어부를 포함한다.
- [0110] 즉, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제1 내지 제4 출력부는 모두 Q 노드(Q)의 전압 및 QB 노드(QB)의 전압에 의해 제어되는 멀티 출력부이다.
- [0111] 제1 출력부는 센싱 신호(SENSE(n))를 풀업(pull-up)하는 TFT인 제1 풀업 TFT(UT1) 및 센싱 신호(SENSE(n))를 풀다운(pull-down)하는 TFT인 제1 풀다운 TFT(DT1)를 포함한다.
- [0112] 여기서 제1 풀업 TFT(UT1)는 게이트에 Q 노드(Q)가 연결되고, 드레인에 입력인 제n 상의 제2 클락 신호(rCLK(n))가 인가되고, 소스에 출력단인 센싱 신호(SENSE(n)) 라인이 연결되는 풀업(pull-up) TFT이다. 제1 풀업 TFT(UT1)는 Q 노드(Q)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 제n 상의 제2 클락 신호(rCLK(n))를 센싱 신호(SENSE(n))로 출력한다.
- [0113] 그리고, 제1 풀다운 TFT(DT1)는 게이트에 QB 노드(QB)가 연결되고, 드레인에 입력인 저전위 전압(VGL)이 인가되고, 소스에 출력단인 출력단인 센싱 신호(SENSE(n)) 라인이 연결되는 풀다운(pull-down) TFT이다. 제1 풀다운 TFT(DT1)는 QB 노드(QB)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 저전위 전압(VGL)을 센싱 신호(SENSE(n))로 출력한다.
- [0114] 제2 출력부는 기준 신호(Ref(n))를 풀업(pull-up)하는 TFT인 제2 풀업 TFT(UT1) 및 기준 신호(Ref(n))를 풀다운(pull-down)하는 TFT인 제2 풀다운 TFT(DT2)를 포함한다.
- [0115] 여기서 제2 풀업 TFT(UT2)는 게이트에 Q 노드(Q)가 연결되고, 드레인에 입력인 제n-1 상의 제1 클락 신호(mCLK(n-1))가 인가되고, 소스에 출력단인 기준 신호(Ref(n)) 라인이 연결되는 풀업(pull-up) TFT이다. 제2 풀업 TFT(UT2)는 Q 노드(Q)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 제n-1 상의 제1 클락 신호(mCLK(n-1))를 기준 신호(Ref(n))로 출력한다.
- [0116] 그리고, 제2 풀다운 TFT(DT2)는 게이트에 QB 노드(QB)가 연결되고, 드레인에 입력인 저전위 전압(VGL)이 인가되고, 소스에 출력단인 출력단인 기준 신호(Ref(n)) 라인이 연결되는 풀다운(pull-down) TFT이다. 제2 풀다운 TFT(DT2)는 QB 노드(QB)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 저전위 전압(VGL)을 기준 신호(Ref(n))로 출력한다.
- [0117] 제3 출력부는 스캔 신호(SCAN(n))를 풀업(pull-up)하는 TFT인 제3 풀업 TFT(UT3) 및 스캔 신호(SCAN(n))를 풀다운(pull-down)하는 TFT인 제3 풀다운 TFT(DT3)를 포함한다.
- [0118] 여기서 제3 풀업 TFT(UT3)는 게이트에 Q 노드(Q)가 연결되고, 드레인에 입력인 제n 상의 제1 클락 신호(mLK(n))가 인가되고, 소스에 출력단인 스캔 신호(SCAN(n)) 라인이 연결되는 풀업(pull-up) TFT이다. 제3 풀업 TFT(UT3)는 Q 노드(Q)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 제n 상의 제1 클락 신호(rCLK(n))를 스캔 신호(SCAN(n))로 출력한다.
- [0119] 그리고, 제3 풀다운 TFT(DT3)는 게이트에 QB 노드(QB)가 연결되고, 드레인에 입력인 저전위 전압(VGL)이 인가되고, 소스에 출력단인 출력단인 스캔 신호(SCAN(n)) 라인이 연결되는 풀다운(pull-down) TFT이다. 제3 풀다운 TFT(DT3)는 QB 노드(QB)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 저전위 전압(VGL)을 스캔 신호(SCAN(n))로 출력한다.

- [0120] 제4 출력부는 캐리 신호(CARRY(n))를 풀업(pull-up)하는 TFT인 제4 풀업 TFT(UT4) 및 캐리 신호(CARRY(n))를 풀다운(pull-down)하는 TFT인 제4 풀다운 TFT(DT4)를 포함한다.
- [0121] 여기서 제4 풀업 TFT(UT4)는 게이트에 Q 노드(Q)가 연결되고, 드레인에 입력인 제n 상의 제3 클락 신호(qCLK(n))가 인가되고, 소스에 출력단인 캐리 신호(CARRY(n)) 라인이 연결되는 풀업(pull-up) TFT이다. 제4 풀업 TFT(UT4)는 Q 노드(Q)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 제n 상의 제3 클락 신호(qCLK(n))를 캐리 신호(CARRY(n))로 출력한다.
- [0122] 그리고, 제4 풀다운 TFT(DT4)는 게이트에 QB 노드(QB)가 연결되고, 드레인에 입력인 저전위 구동 전압(VSS)이 인가되고, 소스에 출력단인 출력단인 캐리 신호(CARRY(n)) 라인이 연결되는 풀다운(pull-down) TFT이다. 제4 풀다운 TFT(DT4)는 QB 노드(Q)의 전압이 하이 상태인 경우 턴온(turn-on)되어, 저전위 구동 전압(VSS)을 캐리 신호(CARRY(n))로 출력한다.
- [0123] 제1 제어부는 전단 스테이지의 캐리 신호(CARRY(n-p)) 및 후단 스테이지의 캐리 신호(CARRY(n+q))를 인가 받아, Q 노드(Q)에 인가되는 전압을 제어하며, 제1 QTFT(QT1), 제2 QTFT(QT2)를 포함한다.
- [0124] 제1 QTFT(QT1)는 게이트 및 드레인에 전단 스테이지의 캐리 신호(CARRY(n-p))가 인가되고, 소스에 Q 노드(Q)가 연결되는 TFT이다. 제1 QTFT(QT1)는 전단 스테이지의 캐리 신호(CARRY(n-p))가 하이 상태인 경우 턴온(turn-on)되어, 하이 상태의 전단 스테이지의 캐리 신호(CARRY(n-p))인 고전위 구동 전압을 Q 노드(Q)에 출력한다.
- [0125] 제2 QTFT(QT2)는 게이트에 후단 스테이지의 캐리 신호(CARRY(n+q))가 인가되고, 드레인에 입력인 저전위 구동 전압(VSS)이 인가되고, 소스에 Q 노드(Q)가 연결되는 TFT이다. 제2 QTFT(QT2)는 후단 스테이지의 캐리 신호(CARRY(n+q))가 하이 상태인 경우 턴온(turn-on)되어, 저전위 구동 전압(VSS)을 Q 노드(Q)에 출력한다.
- [0126] 제2 제어부는 전술한 Q노드(Q)가 입력단에 연결되어 있고, QB노드(QB)가 출력단에 연결되어 있는 인버터(IVT)로 구성될 수 있다. 따라서, 제2 제어부를 통해, QB노드(QB)에는 Q노드(Q)와 반대의 전압 상태를 유지할 수 있다.
- [0127] 도 8은 본 발명의 다른 실시예에 따른 표시 장치의 게이트 구동부를 나타내는 블록도이다.
- [0128] 도 8에서는 설명의 편의를 위해, 제n-2 스테이지(S(n-2)) 내지 제n+2 스테이지(S(n+2))의 제2 풀업 TFT(UT2) 및 제3 풀업 TFT(UT3)와 제1 클락 신호(mCLK) 라인의 연결 관계만을 도시하였다.
- [0129] 즉, 제2 출력부의 제2 풀업 TFT(UT2)와 제3 출력부의 제3 풀업 TFT(UT3)에는 서로 다른 상의 제1 클락 신호(mCLK)가 인가된다.
- [0130] 제2 풀업 TFT(UT2)에 인가되는 제1 클락 신호(mCLK)의 상과 제3 풀업 TFT(UT3)에 인가되는 제1 클락 신호(mCLK)의 상의 차이는 전술한 화소 회로에 인가되는 스캔 신호(SCAN(n))와 기준 신호(Ref(n))의 인가되는 시간 차이에 의해서 결정된다.
- [0131] 도 8 도시된 바와 같이, 제2 출력부의 제2 풀업 TFT(UT2)에는 제n-1 상의 제1 클락 신호(mCLK(n-1))가 인가되고, 제3 출력부의 제3 풀업 TFT(UT3)에는 제n 상의 제1 클락 신호(mCLK(n))가 인가 된다.
- [0132] 구체적으로, 제1 클락 신호(mCLK)이 6상의 클락 신호일 경우, 제n-2 스테이지(S(n-2))의 경우, 제2 풀업 TFT(UT2(n-2))에는 제2 상의 제1 클락 신호(mCLK2)가 인가되고, 제3 풀업 TFT(UT3(n-2))에는 제3 상의 제1 클락 신호(mCLK3)가 인가된다. 제n-1 스테이지(S(n-1))의 경우, 제2 풀업 TFT(UT2(n-1))에는 제3 상의 제1 클락 신호(mCLK3)가 인가되고, 제3 풀업 TFT(UT3(n-1))에는 제4 상의 제1 클락 신호(mCLK4)가 인가된다. 제n 스테이지(S(n))의 경우, 제2 풀업 TFT(UT2(n))에는 제4 상의 제1 클락 신호(mCLK4)가 인가되고, 제3 풀업 TFT(UT3(n))에는 제5 상의 제1 클락 신호(mCLK5)가 인가된다. 제n+1 스테이지의 경우, 제2 풀업 TFT(UT2(n+1))에는 제5 상의 제1 클락 신호(mCLK5)가 인가되고, 제3 풀업 TFT(UT3(n+1))에는 제6 상의 제1 클락 신호(mCLK6)가 인가된다. 제n+2 스테이지의 경우, 제2 풀업 TFT(UT2(n+2))에는 제6 상의 제1 클락 신호(mCLK6)가 인가되고, 제3 풀업 TFT(UT3(n+2))에는 제1 상의 제1 클락 신호(mCLK1)가 인가된다.
- [0133] 즉, 제n 스테이지의 제2 풀업 TFT(UT2(n))와 제n-1 스테이지의 제3 풀업 TFT(UT(n-1))는 동일 상의 클락 신호를 공유할 수 있다.
- [0134] 이렇게, 게이트 구동부 내부에서 클락 신호를 공유하여, 복수의 스캔 신호 및 기준 신호를 출력할 수 있다. 이에, 표시 패널 내부에 내장되는 게이트 구동부를 단순화하여 베젤의 감소를 도모할 수 있음과 동시에, 스캔 신호 및 기준 신호의 출력을 게이트 구동부 내부에서 분리 상태를 유지함으로써 출력 로드를 감소시켜, 게이트 신

호의 지연을 방지할 수 있다.

- [0135]    진술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 게이트 구동부는 종속 연결되는 복수의 스테이지를 포함하고, 복수의 스테이지 각각은 Q노드 및 QB노드의 전압에 의해, 센싱 신호를 출력하는 제1 출력부, Q노드 및 QB노드의 전압에 의해, 기준 신호를 출력하는 제2 출력부, Q노드 및 QB노드의 전압에 의해, 스캔 신호를 출력하는 제3 출력부, Q노드를 제어하는 제1 제어부 및 QB노드를 제어하는 제2 제어부를 포함하고, 제1 출력부 내지 제3 출력부 중 적어도 둘 이상은 복수의 클락 신호 중 적어도 하나의 클락 신호를 공유하여, 게이트 구동부의 면적을 저감할 수 있다.
- [0136]    본 발명의 다른 특징에 따르면, 복수의 클락 신호의 펄스 폭 및 위상은 서로 다르다.
- [0137]    본 발명의 또 다른 특징에 따르면, 제1 출력부 및 제3 출력부에 서로 다른 상의 제1 클락 신호가 인가되고, 제2 출력부에 제2 클락 신호가 인가된다.
- [0138]    본 발명의 또 다른 특징에 따르면, 제1 출력부에 제 $n-2$  상의 제1 클락 신호가 인가되고, 제3 출력부에 제 $n$  상의 제1 클락 신호가 인가된다.
- [0139]    본 발명의 또 다른 특징에 따르면, 제1 출력부는 Q노드의 전압에 따라, 제 $n-2$  상의 제1 클락 신호를 센싱 신호로 출력하는 제1 풀업 TFT 및 QB노드의 전압에 따라, 저전위 전압을 센싱 신호로 출력하는 제1 풀다운 TFT를 포함하고, 제2 출력부는 Q노드의 전압에 따라, 제2 클락 신호를 기준 신호로 출력하는 제2 풀업 TFT 및 QB노드의 전압에 따라, 저전위 전압을 기준 신호로 출력하는 제2 풀다운 TFT를 포함하고, 제3 출력부는 Q노드의 전압에 따라, 제 $n$  상의 제1 클락 신호를 스캔 신호로 출력하는 제3 풀업 TFT 및 QB노드의 전압에 따라, 저전위 구동 전압을 스캔 신호로 출력하는 제3 풀다운 TFT를 포함한다.
- [0140]    본 발명의 또 다른 특징에 따르면, 제2 출력부 및 제3 출력부에 서로 다른 상의 제1 클락 신호가 인가되고, 제1 출력부에 제2 클락 신호가 인가된다.
- [0141]    본 발명의 또 다른 특징에 따르면, 제2 출력부에 제 $n-1$  상의 제1 클락 신호가 인가되고, 제3 출력부에 제 $n$  상의 제1 클락 신호가 인가된다.
- [0142]    본 발명의 또 다른 특징에 따르면, 제1 출력부는 Q노드의 전압에 따라, 제2 클락 신호를 센싱 신호로 출력하는 제1 풀업 TFT 및 QB노드의 전압에 따라, 저전위 전압을 센싱 신호로 출력하는 제1 풀다운 TFT를 포함하고, 제2 출력부는 Q노드의 전압에 따라, 제 $n-1$  상의 제1 클락 신호를 기준 신호로 출력하는 제2 풀업 TFT 및 QB노드의 전압에 따라, 저전위 전압을 기준 신호로 출력하는 제2 풀다운 TFT를 포함하고, 제3 출력부는 Q노드의 전압에 따라, 제 $n$  상의 제1 클락 신호를 스캔 신호로 출력하는 제3 풀업 TFT 및 QB노드의 전압에 따라, 저전위 구동 전압을 스캔 신호로 출력하는 제3 풀다운 TFT를 포함한다.
- [0143]    본 발명의 또 다른 특징에 따르면, 제1 제어부는 전단 스테이지의 캐리 신호에 따라, 고전위 구동 전압을 상기 Q노드에 출력하는 제1 QTFT 및 후단 스테이지의 캐리 신호에 따라, 저전위 구동 전압을 상기 Q노드에 출력하는 제2 QTFT를 포함하고, 제2 제어부는 Q노드가 입력단에 연결되어 있고, QB노드가 출력단에 연결되어 있는 인버터 (IVT)를 포함한다.
- [0144]    진술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 복수의 화소를 구비하는 표시 패널 및 표시 패널에 실장되고 복수의 클락 신호 중 적어도 하나의 클락 신호를 공유하여, 센싱 신호, 기준 신호 및 스캔 신호를 출력하는 게이트 구동부를 포함하여, 게이트 구동부의 면적을 저감할 수 있다.
- [0145]    본 발명의 다른 특징에 따르면, 복수의 화소에 배치되는 화소 회로는 게이트 노드 및 소스 노드에 인가된 전압에 기초하여, 유기 발광 소자에 흐르는 전류를 제어하는 구동 TFT, 센싱 신호에 기초하여, 초기화 전압을 구동 TFT의 소스 노드에 인가하는 제1 스위칭 TFT, 기준 신호에 기초하여, 기준 전압을 구동 TFT의 게이트 노드에 인가하는 제2 스위칭 TFT, 스캔 신호에 기초하여, 데이터 전압을 구동 TFT의 게이트 노드에 인가하는 제3 스위칭 TFT 및 발광 제어 신호에 기초하여, 고전위 전압을 구동 TFT의 드레인 노드에 인가하는 제4 스위칭 TFT을 포함한다.
- [0146]    이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는

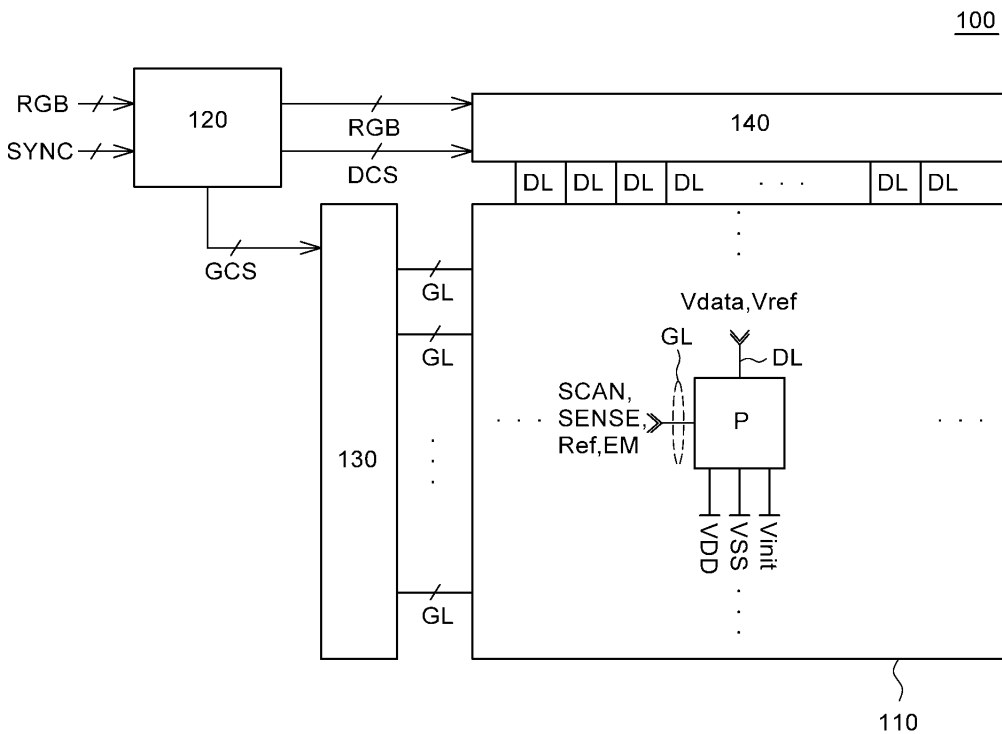
아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

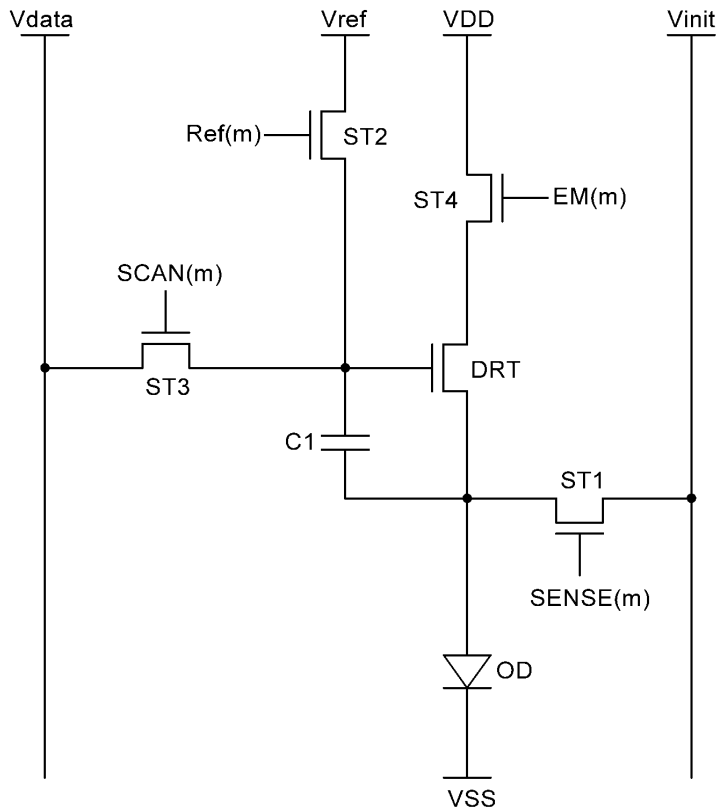
- [0147] 100: 유기 발광 표시 장치
- 110: 표시 패널
- 120: 타이밍 제어부
- 130: 게이트 구동부
- 140: 데이터 구동부
- Vdata: 데이터 전압
- Vref: 기준 전압
- Vinit: 초기화 전압
- SENSE: 센싱 신호
- Ref: 기준 신호
- Scan: 스캔 신호
- EM: 발광 제어 신호

**도면**

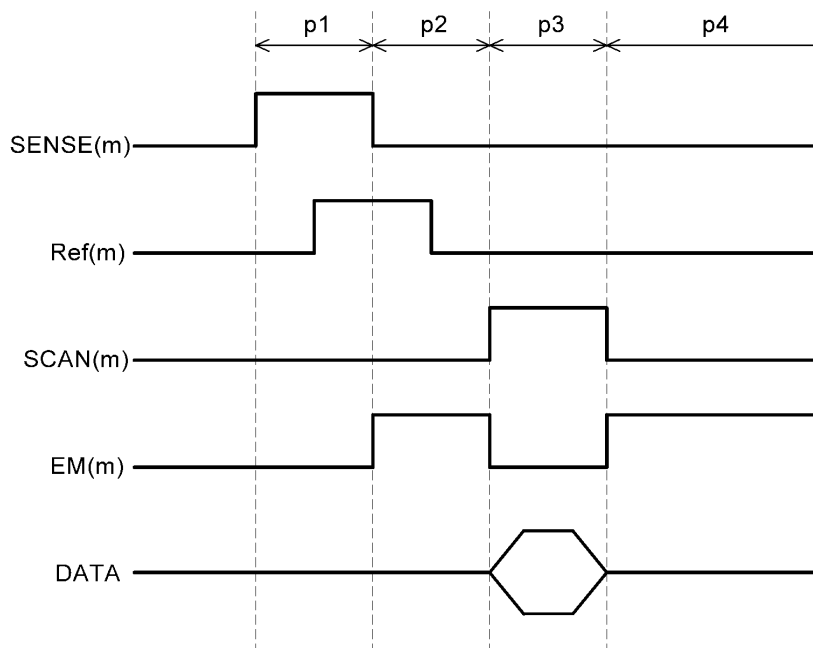
**도면1**



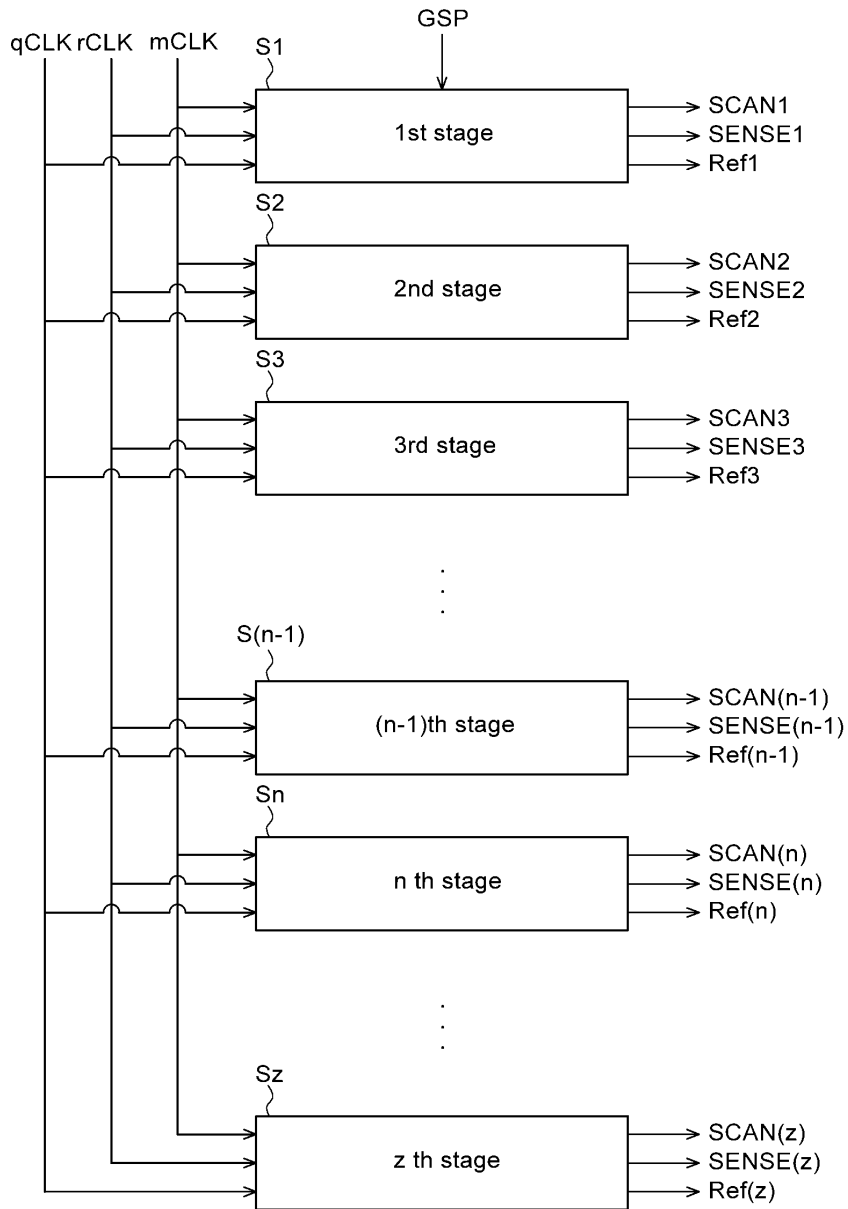
도면2



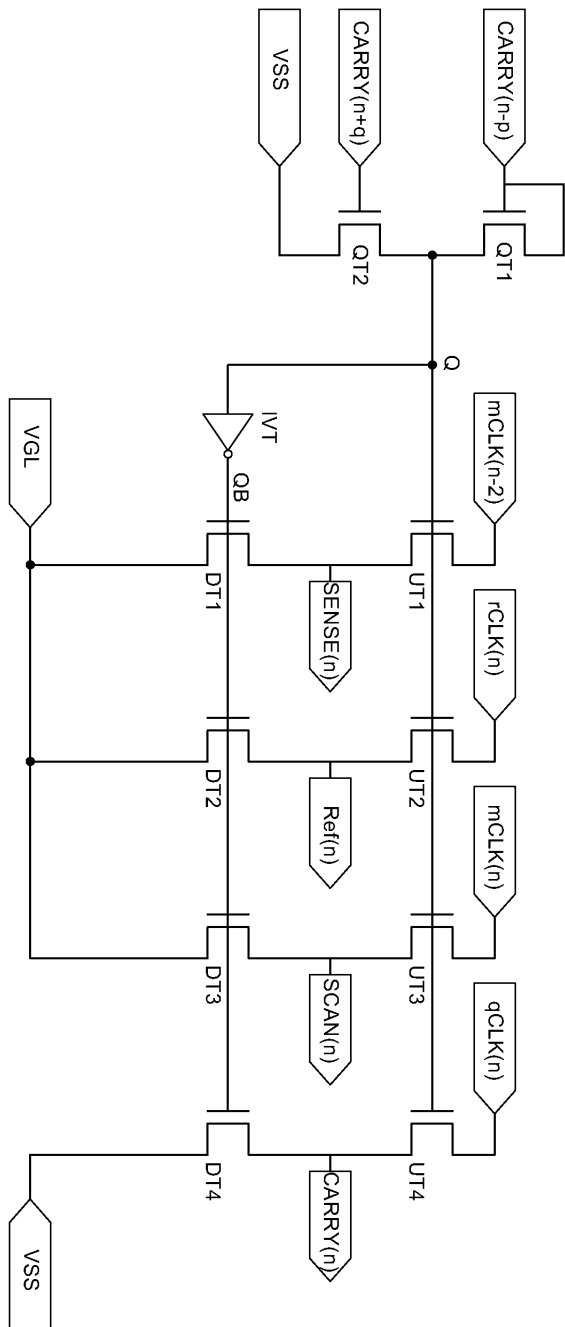
도면3



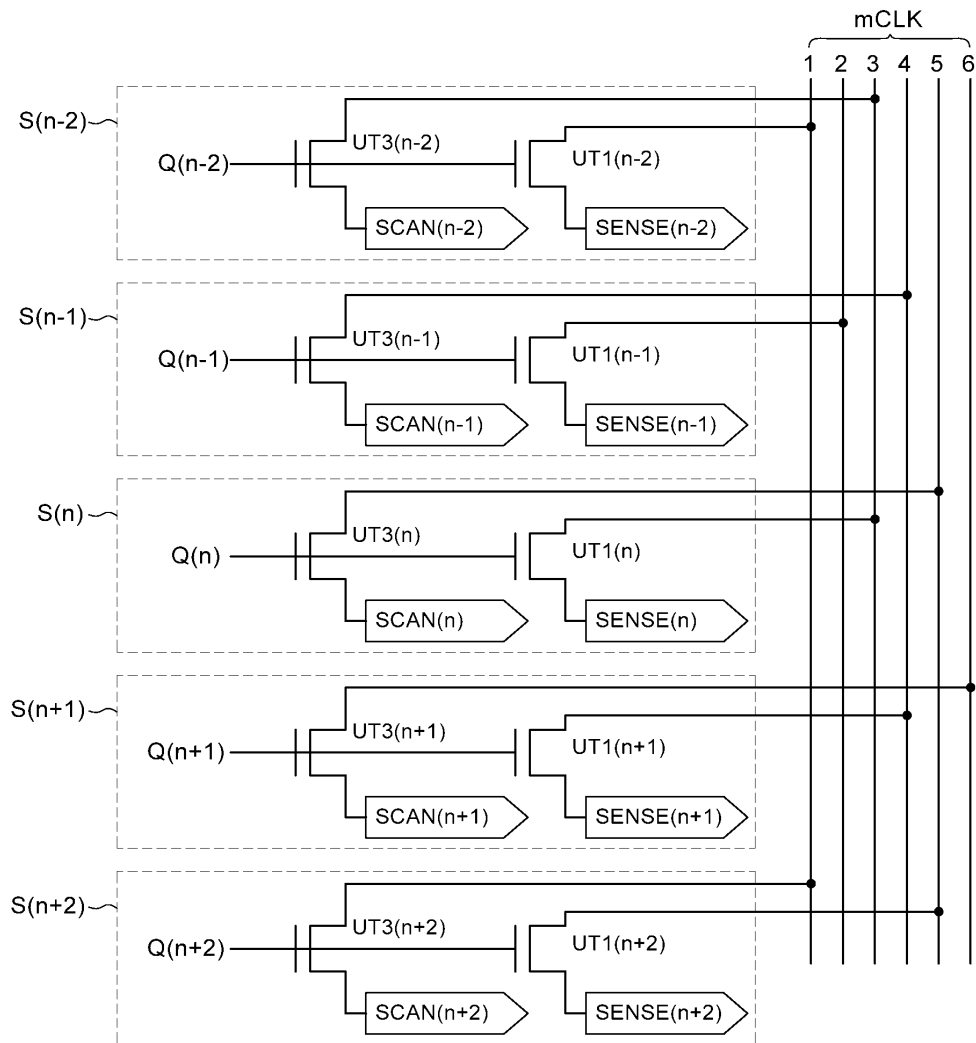
도면4



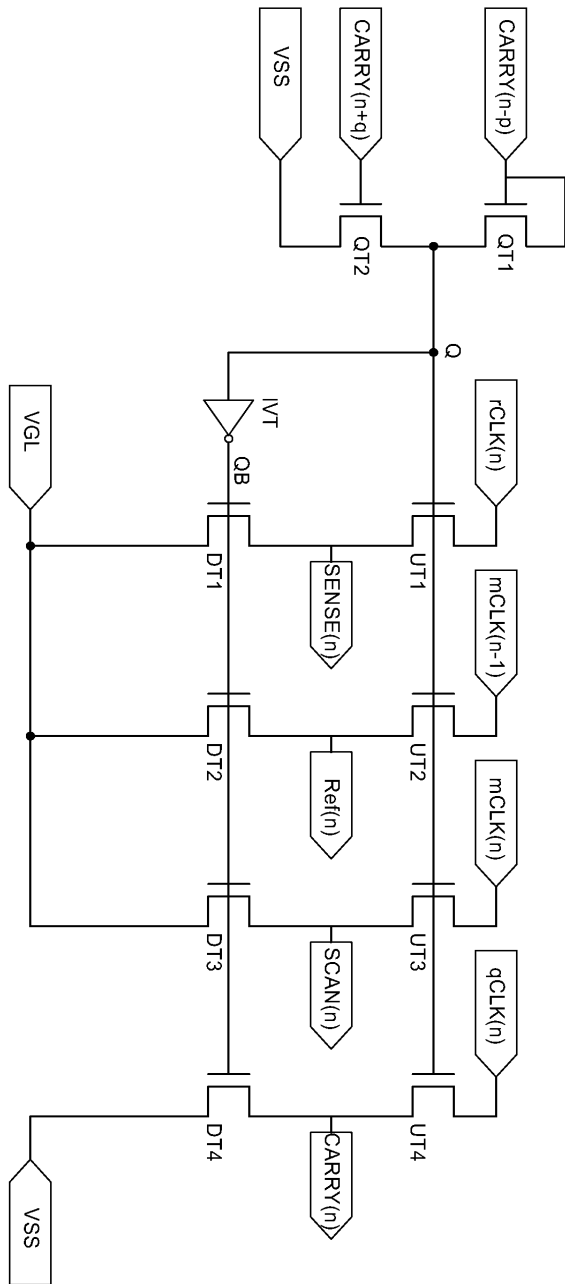
도면5



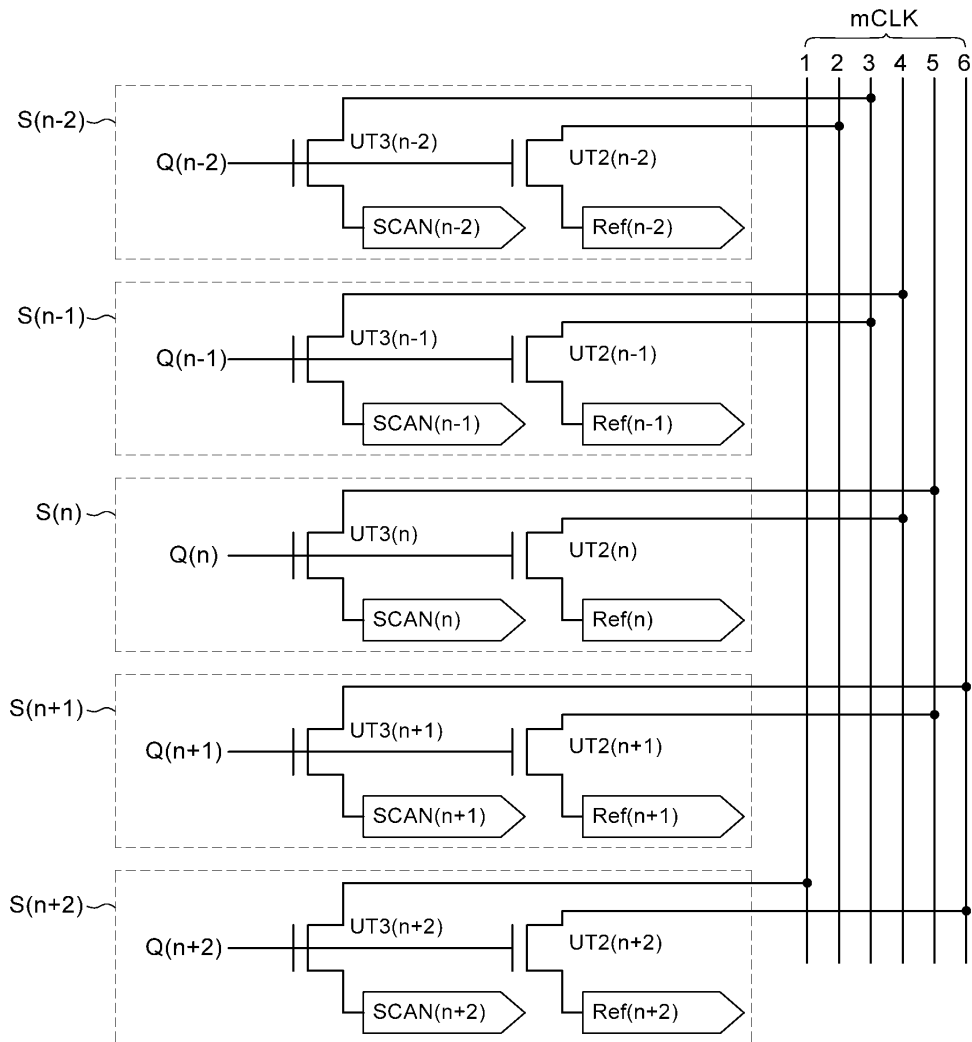
도면6



도면7



도면8



专利名称(译)	栅极驱动器和包括其的有机发光显示器		
公开(公告)号	<a href="#">KR1020190049274A</a>	公开(公告)日	2019-05-09
申请号	KR1020170144927	申请日	2017-11-01
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	장용호 최우석 천광일		
发明人	장용호 최우석 천광일		
IPC分类号	G09G3/3266		
CPC分类号	G09G3/3266 G09G2230/00 G09G3/3233 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2310/0286 G09G2300/0814 G09G2310/06 G09G2310/08		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

栅极驱动器技术领域本发明涉及栅极驱动器，更具体地，涉及共享时钟信号的栅极驱动器和包括该栅极驱动器的有机发光显示器。为了解决上述问题，根据本发明实施例的栅极驱动器包括级联的多个级，并且该多个级中的每个级通过Q节点和QB节点的电压输出感测信号。通过控制第一输出单元，Q节点和QB节点的电压，第二输出单元输出参考信号，第三输出单元输出扫描信号和Q节点，通过Q节点和QB节点的电压。第一控制单元和第二控制单元，用于控制QB节点，其中，第一至第三输出单元中的至少两个或多个共享多个时钟信号中的至少一个时钟信号，从而减小了栅极驱动器的面积；可以的

