



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0104209
(43) 공개일자 2018년09월20일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/50* (2006.01)
(52) CPC특허분류
H01L 27/3206 (2013.01)
H01L 51/502 (2013.01)
(21) 출원번호 10-2017-0029909
(22) 출원일자 2017년03월09일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
윤원민
경기도 수원시 영통구 봉영로1517번길 27, 906동
501호(영통동, 벽적골9단지 주공아파트)
이백희
경기도 용인시 기흥구 한보라1로 91, 603동 303호
(보라동, 한보라마을휴먼시아6단지아파트)
(74) 대리인
윤여광, 허창준, 염주석

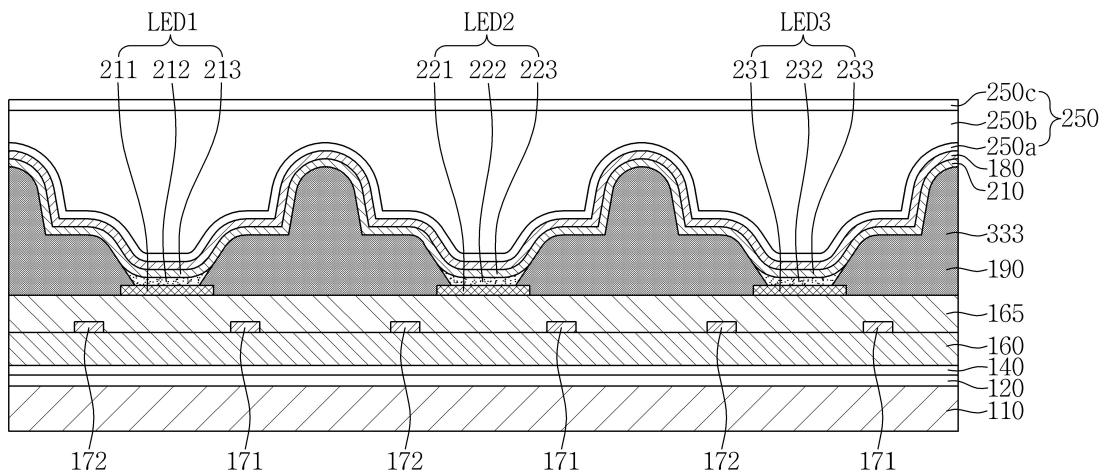
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 발광 표시 장치

(57) 요 약

본 발명은 화질을 향상시킬 수 있는 발광 표시 장치에 관한 것으로, 기판; 기판 상의 제 1 전극 및 제 2 전극; 제 1 전극 및 제 2 전극 상의 대향 전극; 제 1 전극과 대향 전극 사이의 제 1 발광층; 및 제 2 전극과 대향 전극 사이의 제 2 발광층을 포함하며; 제 1 발광층과 제 2 발광층은 서로 다른 색상의 광을 방출하며; 제 1 발광층은 반도체 나노 결정을 포함하며, 제 2 발광층은 유기 물질을 포함한다.

대 표 도 - 도5



(52) CPC특허분류

H01L 51/504 (2013.01)

H01L 51/5056 (2013.01)

H01L 51/5072 (2013.01)

H01L 51/5088 (2013.01)

명세서

청구범위

청구항 1

기판;

상기 기판 상의 제 1 전극 및 제 2 전극;

상기 제 1 전극 및 상기 제 2 전극 상의 대향 전극;

상기 제 1 전극과 상기 대향 전극 사이의 제 1 발광층; 및

상기 제 2 전극과 상기 대향 전극 사이의 제 2 발광층을 포함하며;

상기 제 1 발광층과 제 2 발광층은 서로 다른 색상의 광을 방출하며;

상기 제 1 발광층은 반도체 나노 결정을 포함하며, 상기 제 2 발광층은 유기 물질을 포함하는 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 발광층은 적색 광을 방출하며, 상기 제 2 발광층은 청색 광을 방출하는 발광 표시 장치.

청구항 3

제 1 항에 있어서,

상기 기판 상의 제 3 전극; 및

상기 제 3 전극과 상기 대향 전극 사이의 제 3 발광층을 더 포함하며;

상기 제 1 발광층, 상기 제 2 발광층 및 상기 제 3 발광층은 서로 다른 색상의 광을 방출하는 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 제 3 발광층은 반도체 나노 결정을 포함하는 발광 표시 장치.

청구항 5

제 4 항에 있어서,

상기 제 1 발광층은 적색 광을 방출하며, 상기 제 2 발광층은 청색 광을 방출하며, 상기 제 3 발광층은 녹색 광을 방출하는 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 반도체 나노 결정은 InP 계열의 물질, CIS 계열의 물질 및 InGaP 계열의 물질 중 적어도 하나를 포함하는 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 유기 물질은 안트라센 계열의 물질을 포함하는 발광 표시 장치.

청구항 8

제 3 항에 있어서,

상기 제 1 전극과 상기 제 1 발광층 사이, 상기 제 2 전극과 상기 제 2 발광층 사이, 그리고 상기 제 3 전극과 상기 제 3 발광층 사이의 정공 수송층을 더 포함하는 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 정공 수송층은 서로 분리된 제 1 정공 수송층, 제 2 정공 수송층 및 제 3 정공 수송층을 포함하는 발광 표시 장치.

청구항 10

제 9 항에 있어서,

상기 제 1 정공 수송층은 제 1 전극과 상기 제 1 발광층 사이에 위치하며;

상기 제 2 정공 수송층은 제 2 전극과 상기 제 2 발광층 사이에 위치하며;

상기 제 3 정공 수송층은 제 3 전극과 상기 제 3 발광층 사이에 위치하는 발광 표시 장치.

청구항 11

제 8 항에 있어서,

상기 정공 수송층과 상기 제 1 전극 사이, 상기 정공 수송층과 상기 제 2 전극 사이, 그리고 상기 정공 수송층과 상기 제 3 전극 사이의 정공 주입층을 더 포함하는 발광 표시 장치.

청구항 12

제 11 항에 있어서,

상기 정공 주입층은 서로 분리된 제 1 정공 주입층, 제 2 정공 주입층 및 제 3 정공 주입층을 포함하는 발광 표시 장치.

청구항 13

제 12 항에 있어서,

상기 제 1 정공 주입층은 상기 정공 수송층과 상기 제 1 전극 사이에 위치하며;

상기 제 2 정공 주입층은 상기 정공 수송층과 상기 제 2 전극 사이에 위치하며;

상기 제 3 정공 주입층은 상기 정공 수송층과 상기 제 3 전극 사이에 위치하는 발광 표시 장치.

청구항 14

제 3 항에 있어서,

상기 제 1 발광층과 상기 대향 전극 사이, 상기 제 2 발광층과 상기 대향 전극 사이, 그리고 상기 제 3 발광층과 상기 대향 전극 사이의 전자 수송층을 더 포함하는 발광 표시 장치.

청구항 15

제 14 항에 있어서,

상기 전자 주입층은 서로 분리된 제 1 전자 수송층, 제 2 전자 수송층 및 제 3 전자 수송층을 포함하는 발광 표시 장치.

청구항 16

제 15 항에 있어서,

상기 제 1 전자 수송층은 상기 제 1 발광층과 상기 대향 전극 사이에 위치하며;

상기 제 2 전자 수송층은 상기 제 2 발광층과 상기 대향 전극 사이에 위치하며;

상기 제 3 전자 수송층은 상기 제 3 발광층과 상기 대향 전극 사이에 위치하는 발광 표시 장치.

청구항 17

제 14 항에 있어서,

상기 전자 수송층과 상기 대향 전극 사이에 위치한 전자 주입층을 더 포함하는 발광 표시 장치.

청구항 18

제 17 항에 있어서,

상기 전자 주입층은 서로 분리된 제 1 전자 주입층, 제 2 전자 주입층 및 제 3 전자 주입층을 포함하는 발광 표시 장치.

청구항 19

제 1 항에 있어서,

상기 반도체 나노 결정은 상기 제 1 전극의 전압과 상기 대향 전극의 전압에 의해 발생된 전류를 근거로 광을 생성하는 발광 표시 장치.

청구항 20

기판;

상기 기판 상의 제 1 발광층; 및

상기 제 1 발광층에 이웃한 제 2 발광층을 포함하며;

상기 제 1 발광층은 제 1 색상을 생성하는 유기 발광 재료를 포함하며;

상기 제 2 발광층은 상기 제 1 색상과 다른 제 2 색상을 생성하는 무기 반도체 발광 재료를 포함하는 발광 표시 장치.

발명의 설명

기술 분야

[0001]

본 발명은 발광 표시 장치에 관한 것으로, 특히 화질을 향상시킬 수 있는 발광 표시 장치에 관한 것이다.

배경 기술

[0002]

평판 표시 장치는 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 장점을 갖는다. 이러한 평판 장치로 액정 표시 장치(Liquid Crystal Display: LCD), 전계 방출 표시 장치(Field Emission Display: FED), 플라즈마 표시 패널(Plasma Display Panel: PDP) 및 유기 발광 표시 장치(Organic Light Emitting Display Device) 등이 있다.

[0003]

평판 표시 장치 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시한다.

발명의 내용

해결하려는 과제

[0004]

본 발명은 화질을 향상시킬 수 있는 발광 표시 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

[0005]

상기와 같은 목적을 달성하기 위한 본 발명에 따른 발광 표시 장치는, 기판; 상기 기판 상의 제 1 전극 및 제 2

전극; 상기 제 1 전극 및 상기 제 2 전극 상의 대향 전극; 상기 제 1 전극과 상기 대향 전극 사이의 제 1 발광층; 및 상기 제 2 전극과 상기 대향 전극 사이의 제 2 발광층을 포함하며; 상기 제 1 발광층과 제 2 발광층은 서로 다른 색상의 광을 방출하며; 상기 제 1 발광층은 반도체 나노 결정을 포함하며, 상기 제 2 발광층은 유기 물질을 포함한다.

[0006] 상기 제 1 발광층은 적색 광을 방출하며, 상기 제 2 발광층은 청색 광을 방출한다.

[0007] 발광 표시 장치는 상기 기판 상의 제 3 전극; 및 상기 제 3 전극과 상기 대향 전극 사이의 제 3 발광층을 더 포함하며; 상기 제 1 발광층, 상기 제 2 발광층 및 상기 제 3 발광층은 서로 다른 색상의 광을 방출한다.

[0008] 상기 제 3 발광층은 반도체 나노 결정을 포함한다.

[0009] 상기 제 1 발광층은 적색 광을 방출하며, 상기 제 2 발광층은 청색 광을 방출하며, 상기 제 3 발광층은 녹색 광을 방출한다.

[0010] 상기 반도체 나노 결정은 InP(Indium phosphide) 계열의 물질, CIS(CuInSe₂) 계열의 물질 및 InGaP(Indium gallium phosphide) 계열의 물질 중 적어도 하나를 포함한다.

[0011] 상기 유기 물질은 안트라센(Anthracene) 계열의 물질을 포함한다.

[0012] 발광 표시 장치는 상기 제 1 전극과 상기 제 1 발광층 사이, 상기 제 2 전극과 상기 제 2 발광층 사이, 그리고 상기 제 3 전극과 상기 제 3 발광층 사이의 정공 수송층을 더 포함한다.

[0013] 상기 정공 수송층은 서로 분리된 제 1 정공 수송층, 제 2 정공 수송층 및 제 3 정공 수송층을 포함한다.

[0014] 상기 제 1 정공 수송층은 제 1 전극과 상기 제 1 발광층 사이에 위치하며; 상기 제 2 정공 수송층은 제 2 전극과 상기 제 2 발광층 사이에 위치하며; 상기 제 3 정공 수송층은 제 3 전극과 상기 제 3 발광층 사이에 위치한다.

[0015] 발광 표시 장치는 상기 정공 수송층과 상기 제 1 전극 사이, 상기 정공 수송층과 상기 제 2 전극 사이, 그리고 상기 정공 수송층과 상기 제 3 전극 사이의 정공 주입층을 더 포함한다.

[0016] 상기 정공 주입층은 서로 분리된 제 1 정공 주입층, 제 2 정공 주입층 및 제 3 정공 주입층을 포함한다.

[0017] 상기 제 1 정공 주입층은 상기 정공 수송층과 상기 제 1 전극 사이에 위치하며; 상기 제 2 정공 주입층은 상기 정공 수송층과 상기 제 2 전극 사이에 위치하며; 상기 제 3 정공 주입층은 상기 정공 수송층과 상기 제 3 전극 사이에 위치한다.

[0018] 발광 표시 장치는 상기 제 1 발광층과 상기 대향 전극 사이, 상기 제 2 발광층과 상기 대향 전극 사이, 그리고 상기 제 3 발광층과 상기 대향 전극 사이의 전자 수송층을 더 포함한다.

[0019] 상기 전자 주입층은 서로 분리된 제 1 전자 수송층, 제 2 전자 수송층 및 제 3 전자 수송층을 포함한다.

[0020] 상기 제 1 전자 수송층은 상기 제 1 발광층과 상기 대향 전극 사이에 위치하며; 상기 제 2 전자 수송층은 상기 제 2 발광층과 상기 대향 전극 사이에 위치하며; 상기 제 3 전자 수송층은 상기 제 3 발광층과 상기 대향 전극 사이에 위치한다.

[0021] 발광 표시 장치는 상기 전자 수송층과 상기 대향 전극 사이에 위치한 전자 주입층을 더 포함한다.

[0022] 상기 전자 주입층은 서로 분리된 제 1 전자 주입층, 제 2 전자 주입층 및 제 3 전자 주입층을 포함한다.

[0023] 상기 반도체 나노 결정은 상기 제 1 전극의 전압과 상기 대향 전극의 전압에 의해 발생된 전류를 근거로 광을 생성한다.

[0024] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 발광 표시 장치는, 기판; 상기 기판 상의 제 1 발광층; 및 상기 제 1 발광층에 이웃한 제 2 발광층을 포함하며; 상기 제 1 발광층은 제 1 색상을 생성하는 유기 발광 재료를 포함하며; 상기 제 2 발광층은 상기 제 1 색상과 다른 제 2 색상을 생성하는 무기 반도체 발광 재료를 포함한다.

발명의 효과

[0025] 본 발명에 따른 발광 표시 장치는 다음과 같은 효과를 제공한다.

[0026] 반도체 나노 결정으로 이루어진 발광층은 유기 물질로 이루어진 발광층에 비하여 우수한 고색재현성을 갖는다. 또한, 반도체 나노 결정으로 이루어진 발광층은 유기 물질로 이루어진 발광층 보다 더 낮은 전압으로 구동될 수 있다.

[0027] 한편, 적색 발광층 및 녹색 발광층은 반도체 나노 결정으로 제조될 경우 우수한 발광 효율 및 우수한 외부 양자 효율(EQE; External Quantum Efficiency) 특성을 나타낸다. 반면, 청색 발광층은 이의 특성상 반도체 나노 결정으로 제조되기 어렵다. 반도체 나노 결정으로 청색 발광층이 제조될 경우, 그 청색 발광층으로부터 발생된 광은 넓은 반치폭을 가지며, 청색이 아닌 녹색에 치우친 중심 파장을 갖는다. 따라서, 반도체 나노 결정으로 청색 발광층이 제조될 경우 청색 발광 소자로서 사용되기 어렵다.

[0028] 본 발명의 발광 표시 장치에 따르면, 적색 화소 및 녹색 화소는 각각 반도체 나노 결정(양자 점 또는 양자 막대)을 갖는 발광층을 포함하며, 청색 화소는 유기 물질을 갖는 발광층을 포함한다. 이에 따라, 발광 표시 장치의 화질이 향상될 수 있다.

도면의 간단한 설명

[0029] 도 1은 본 발명의 한 실시예에 따른 발광 표시 장치를 나타낸 도면이다.

도 2는 도 1의 어느 하나의 화소에 구비된 회로 구성을 나타낸 도면이다.

도 3은 도 1의 표시 패널의 구체적인 구성을 나타낸 도면이다.

도 4는 도 3의 I-I`의 선을 따라 자른 단면도이다.

도 5는 도 3의 II-II`의 선을 따라 자른 단면도이다.

도 6은 도 5의 제 1 화소, 제 2 화소 및 제 3 화소의 단면 구조를 도식적으로 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0030] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0031] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0032] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

[0033] 본 명세서에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 그에 반대되는 기제가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

- [0034] 본 명세서에서 제 1, 제 2, 제 3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소들로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않고, 제 1 구성 요소가 제 2 또는 제 3 구성 요소 등으로 명명될 수 있으며, 유사하게 제 2 또는 제 3 구성 요소도 교호적으로 명명될 수 있다.
- [0035] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0036] 이하, 도 1 내지 도 6을 참조로 본 발명에 따른 발광 표시 장치를 상세히 설명하면 다음과 같다.
- [0037] 도 1은 본 발명의 한 실시예에 따른 발광 표시 장치를 나타낸 도면이다.
- [0038] 본 발명의 실시예에 따른 발광 표시 장치는, 도 1에 도시된 바와 같이, 표시 패널(111), 스캔 드라이버(151), 데이터 드라이버(153), 타이밍 컨트롤러(122) 및 전원 공급부(123)를 포함한다.
- [0039] 표시 패널(111)은 복수의 화소(PX)들과, 이들 화소(PX)들이 화상을 표시하는데 필요한 각종 신호들을 전송하기 위한 복수의 스캔 라인들(SL1 내지 SLi), 복수의 데이터 라인들(DL1 내지 DLj) 및 전원 공급 라인(VL)을 포함한다. 전원 공급 라인(VL)은 서로 전기적으로 분리된 제 1 구동 전원 라인(VDL) 및 제 2 구동 전원 라인(VSL)을 포함한다. 여기서, i는 2보다 큰 자연수이며, j는 3보다 큰 자연수이다.
- [0040] 이 화소(PX)들은 매트릭스 형태로 표시 패널(111)에 배열된다. 이 화소(PX)들은 적색을 표시하는 적색 화소, 녹색을 표시하는 녹색 화소 및 청색을 표시하는 청색 화소를 포함한다.
- [0041] 한편, 도시되지 않았지만, 표시 패널(111)은 백색 화상을 표시하는 백색 화소를 더 포함할 수도 있다.
- [0042] 표시 패널(111)의 외부에 위치한 시스템(도시되지 않음)은 그래픽 컨트롤러의 LVDS(Low Voltage Differential Signaling) 송신기를 통하여 수직 동기 신호, 수평 동기 신호, 클럭 신호 및 영상 데이터들을 인터페이스(interface) 회로를 통해 출력한다. 이 시스템으로부터 출력된 수직 동기 신호, 수평 동기 신호 및 클럭 신호는 타이밍 컨트롤러(122)에 공급된다. 또한, 이 시스템으로부터 순차적으로 출력된 영상 데이터들은 타이밍 컨트롤러(122)에 공급된다.
- [0043] 타이밍 컨트롤러(122)는 자신에게 입력되는 수평 동기 신호, 수직 동기 신호, 및 클럭 신호를 이용하여 데이터 제어 신호(DCS) 및 스캔 제어 신호(SCS)를 생성하여 데이터 드라이버(153) 및 스캔 드라이버(151)로 공급한다. 데이터 제어 신호(DCS)는 데이터 드라이버(153)에 공급되며, 스캔 제어 신호(SCS)는 스캔 드라이버(151)에 공급된다.
- [0044] 데이터 제어 신호(DCS)는 도트 클럭(dot clock), 소스 쉬프트 클럭(source shift clock), 소스 인에이블 신호(source enable signal) 및 극성 반전 신호(polarity inversion signal)를 포함한다.
- [0045] 스캔 제어 신호(SCS)는 게이트 스타트 펄스(gate start pulse), 게이트 쉬프트 클럭(gate shift clock) 및 게이트 출력 인에이블(gate output enable)을 포함한다.
- [0046] 데이터 드라이버(153)는 타이밍 컨트롤러(122)로부터의 데이터 제어 신호(DCS)에 따라 영상 데이터 신호(DATA)들을 샘플링한 후에, 매 수평 기간(Horizontal Time: 1H, 2H, ...)마다 한 수평 라인의 샘플링 영상 데이터 신호들을 래치하고, 그 래치된 영상 데이터 신호들을 데이터 라인들(DL1 내지 DLj)에 공급한다. 즉, 데이터 드라이버(153)는 타이밍 컨트롤러(122)로부터의 영상 데이터 신호를 전원 공급부(123)로부터 입력되는 감마 전압을 이용하여 아날로그 신호로 변환하고, 그 변환된 아날로그 신호들을 데이터 라인들(DL1 내지 DLj)에 공급한다. 또한, 데이터 드라이버(153)는 초기화 신호 및 더미 신호를 생성하고, 이들을 데이터 라인들(DL1 내지 DLj)로 공급한다.
- [0047] 스캔 드라이버(151)는 타이밍 컨트롤러(122)로부터의 게이트 스타트 펄스(SCS)에 응답하여 스캔 신호들을 발생하는 쉬프트 레지스터와, 이 스캔 신호들을 화소(PXL)의 구동에 알맞은 전압 레벨로 쉬프트시키기 위한 레벨 쉬프터를 포함할 수 있다. 스캔 드라이버(151)는 타이밍 컨트롤러(122)로부터의 스캔 제어 신호(SCS)에 응답하여 스캔 라인들(SL1 내지 SLi)로 제 1 내지 제 i 스캔 신호들을 각각 공급한다.
- [0048] 전원 공급부(123)는 감마 전압, 제 1 구동 신호(ELVDD), 제 2 구동 신호(ELVSS)를 생성한다. 전원 공급부(123)

는 제 1 구동 신호(ELVDD)를 제 1 구동 구동 전원 라인(VDL)으로 공급하며, 제 2 구동 신호(ELVSS)를 제 2 구동 전원 라인(VSL)으로 공급한다.

[0049] 도 2는 도 1의 어느 하나의 화소에 구비된 회로 구성을 나타낸 도면이다.

[0050] 제 n 화소(PXn)는, 도 2에 도시된 바와 같이, 제 1 스위칭 소자(Tr1), 제 2 스위칭 소자(Tr2), 스토리지 커페시터(Cst) 및 발광 소자(LED)를 포함할 수 있다.

[0051] 제 1 스위칭 소자(Tr1)는 제 n 스캔 라인(SLn)에 접속된 게이트 전극을 포함하며, 제 m 데이터 라인(DLm)과 제 1 노드(N1) 사이에 접속된다. 제 1 스위칭 소자(Tr1)의 드레인 전극 및 소스 전극 중 어느 하나는 제 m 데이터 라인(DLm)에 연결되며, 그 제 1 스위칭 소자(Tr1)의 드레인 전극 및 소스 전극 중 다른 하나는 제 1 노드(N1)에 연결된다. 예를 들어, 제 1 스위칭 소자(Tr1)의 드레인 전극은 제 m 데이터 라인(DLm)에 연결되며, 제 1 스위칭 소자(Tr1)의 소스 전극은 제 1 노드(N1)에 연결된다. 여기서, m은 자연수이다.

[0052] 제 2 스위칭 소자(Tr2)는 제 1 노드(N1)에 연결된 게이트 전극을 포함하며, 제 1 구동 전원 라인(VDL)과 발광 소자(LED)의 애노드 전극 사이에 접속된다. 제 2 스위칭 소자(Tr2)의 드레인 전극 및 소스 전극 중 어느 하나는 제 1 구동 전원 라인(VDL)에 연결되며, 그 제 2 스위칭 소자(Tr2)의 드레인 전극 및 소스 전극 중 다른 하나는 제 2 노드(N2)에 연결된다. 예를 들어, 제 2 스위칭 소자(Tr2)의 드레인 전극은 제 3 노드(N3)를 통해 제 1 구동 전원 라인(VDL)에 연결되며, 제 2 스위칭 소자(Tr2)의 소스 전극은 제 2 노드(N2)에 연결된다.

[0053] 제 2 스위칭 소자(Tr2)는 이의 게이트 전극에 인가된 신호의 크기에 따라 제 1 구동 전원 라인(VDL)으로부터 제 2 구동 전원 라인(VSL)으로 흐르는 구동 전류의 양(밀도)을 조절한다.

[0054] 스토리지 커페시터(Cst)는 제 1 노드(N1)와 제 2 노드(N2) 사이에 접속된다. 스토리지 커페시터(Cst)는 제 2 스위칭 소자(Tr2)의 게이트 전극에 인가된 신호를 한 프레임 기간 동안 저장한다.

[0055] 발광 소자(LED)는 제 2 노드(N2)와 제 2 구동 전원 라인(VSL) 사이에 접속된다. 발광 소자(LED)의 애노드 전극은 제 2 노드(N2)에 접속되며, 이의 캐소드 전극은 제 2 구동 전원 라인(VSL)에 접속된다. 발광 소자(LED)는 제 2 스위칭 소자(Tr2)를 통해 공급되는 구동 전류에 따라 발광한다. 발광 소자(LED)는 그 구동 전류의 크기에 따라 다른 밝기로 발광한다.

[0056] 적색 화소의 발광 소자(LED)는 적색 광을 방출하는 적색 발광 소자이며, 녹색 화소의 발광 소자(LED)는 녹색 광을 방출하는 녹색 발광 소자이며, 그리고 청색 화소의 발광 소자(LED)는 청색 광을 방출하는 청색 발광 소자이다.

[0057] 도 3은 도 1의 표시 패널의 구체적인 구성을 나타낸 도면이며, 도 4는 도 3의 I-I`의 선을 따라 자른 단면도이고, 그리고 도 5는 도 3의 II-II`의 선을 따라 자른 단면도이다.

[0058] 도 3 내지 도 5를 참조하면, 표시 패널(111)은 기판(110), 기판(110) 상의 화소 회로부(130), 화소 회로부(130) 상의 발광 소자(LED1), 발광 소자(LED1) 상의 밀봉 부재(250)를 포함한다.

[0059] 하나의 화소(PX1)는 게이트 라인(151), 데이터 라인(171) 및 제 1 구동 전원 라인(172 또는 VDL)에 의해 정의된 영역에 위치할 수 있다.

[0060] 발광 소자(LED1)의 구동을 위한 화소 회로부(130)는 기판(110) 상에 위치한다. 화소 회로부(130)는 제 1 스위칭 소자(Tr1), 제 2 스위칭 소자(Tr2) 및 스토리지 커페시터(Cst)를 포함하는 바, 이러한 화소 회로부(130)는 발광 소자(LED1)를 구동한다.

[0061] 화소 회로부(130) 및 발광 소자(LED1)의 구체적인 구조는 도 3 및 도 4에 나타나 있으나, 본 발명의 일 실시예가 도 3 및 도 4에 도시된 구조에 한정되는 것은 아니다. 화소 회로부(130) 및 발광 소자(LED1)는 해당 기술 분야의 종사자가 용이하게 변형 실시할 수 있는 범위 내에서 다양한 구조로 형성될 수 있다.

[0062] 도 3에 따르면 하나의 화소(PX1)는 두 개의 스위칭 소자들(Tr1, Tr2)과 하나의 스토리지 커페시터(Cst)를 포함하는 바, 화소(PX1)의 구조는 이에 한정되지 않는다. 예를 들어, 하나의 화소(PX1)는 셋 이상의 스위칭 소자들과 더 이상의 스토리지 커페시터들을 구비할 수도 있으며, 별도의 신호 라인을 더 포함하여 다양한 구조를 가질 수 있다.

[0063] 여기서, 화소(PX1)는 화상을 표시하는 최소 단위를 말하는 것으로, 적색 광을 발광하는 적색 화소, 녹색 광을 발광하는 녹색 화소 및 청색 광을 발광하는 청색 화소 중 어느 하나일 수 있다. 예를 들어, 제 1 화소(PX1)는

적색 발광 소자를 포함하는 적색 화소이고, 제 2 화소(PX2)는 녹색 발광 소자를 포함하는 녹색 화소이며, 그리고 제 3 화소(PX3)는 청색 발광 소자를 포함하는 청색 화소일 수 있다.

[0064] 도 3 및 도 4를 참조하면, 하나의 화소(PX1)는 제 1 스위칭 소자(Tr1), 제 2 스위칭 소자(Tr2), 스토리지 커패시터(Cst) 및 발광 소자(LED1)를 포함한다. 여기서, 제 1 스위칭 소자(Tr1), 제 2 스위칭 소자(Tr2), 및 스토리지 커패시터(Cst)를 포함하는 구성을 화소 회로부(130)라 한다.

[0065] 화소 회로부(130)는 일 방향을 따라 배치되는 게이트 라인(151)과, 게이트 라인(151)과 절연 교차되는 데이터 라인(171) 및 제 1 구동 전원 라인(172)을 포함한다.

[0066] 기판(110)은 유리 및 투명한 소재의 플라스틱 등으로 만들어진 투명 절연 기판(110)일 수 있다. 예를 들어, 기판(110)은 캡톤(kapton), 폴리에테르술폰(polyethersulphone, PES), 폴리카보네이트(polycarbonate: PC), 폴리아미드(polyimide: PI), 폴리에틸렌테레프탈레이트(polyethyleneterephthalate: PET), 폴리에틸렌 나프탈레이트(polyethylenenaphthalate, PEN), 폴리아크릴레이트(polyacrylate, PAR) 및 섬유 강화 플라스틱(fiber reinforced plastic: FRP) 등으로 이루어진 군 중에서 선택된 어느 하나로 만들어질 수 있다.

[0067] 베퍼층(120)은 기판(110) 상에 배치될 수 있다. 베퍼층(120)은 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 것으로, 이러한 역할을 수행할 수 있는 다양한 물질로 형성될 수 있다. 예를 들어, 베퍼층(120)은 질화규소(SiNx)막, 산화규소(SiO₂)막, 산질화규소(SiO_xNy)막 중 어느 하나로 만들어질 수 있다. 그러나, 베퍼층(120)은 반드시 필요한 것은 아니며, 기판(110)의 종류 및 공정 조건에 따라 생략될 수도 있다.

[0068] 제 1 반도체층(131) 및 제 2 반도체층(132)은 베퍼층(120) 상에 배치된다. 제 1 반도체층(131) 및 제 2 반도체층(132)은 다결정 규소막, 비정질 규소막, 및 IGZO(Indium-Galium-Zinc Oxide), IZTO(Indium Zinc Tin Oxide)와 같은 산화물 반도체 중 적어도 하나를 포함할 수 있다. 예를 들어, 도 4에 도시된 제 2 반도체층(132)이 다결정 규소막을 포함하는 경우, 제 2 반도체층(132)은 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 p⁺ 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 이때, 도핑되는 이온 물질은 붕소와 같은 P형 불순물이며, 주로 B2H6이 사용된다. 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라진다.

[0069] 본 발명의 일 실시예에서 제 2 스위칭 소자(Tr2)로 P형 불순물을 포함한 PMOS(P-channel Metal Oxide Semiconductor) 구조의 박막 트랜지스터가 사용되었으나, 제 2 스위칭 소자(Tr2)의 구조가 이에 한정되는 것은 아니다. 따라서 제 2 스위칭 소자(Tr2)로 NMOS(N-channel Metal Oxide Semiconductor) 구조 또는 CMOS(Complementary Metal Oxide Semiconductor) 구조의 박막 트랜지스터도 모두 사용될 수 있다.

[0070] 게이트 절연막(140)은 제 1 반도체층(131) 및 제 2 반도체층(132) 상에 배치된다. 게이트 절연막(140)은 테트라에톡시실란(TetraEthylOrthoSilicate, TEOS), 질화 규소(SiNx) 및 산화 규소(SiO₂) 중 적어도 하나를 포함할 수 있다. 일례로, 게이트 절연막(140)은 40nm의 두께를 갖는 질화규소막과 80nm의 두께를 갖는 테트라에톡시실란막이 차례로 적층된 이중막 구조를 가질 수 있다.

[0071] 게이트 전극(152, 155)을 포함하는 게이트 전송 라인은 게이트 절연막(140) 상에 배치된다. 게이트 전송 라인은 게이트 라인(151), 제 1 커패시터 전극(158) 및 그 밖의 신호 라인을 더 포함한다. 그리고 게이트 전극(152, 155)은 반도체층(131, 132)의 일부 또는 전부와 중첩되며 특히 채널 영역과 중첩되도록 배치된다. 게이트 전극(152, 155)은 반도체층(131, 132) 형성 과정에서 제 1 및 제 2 반도체층(131, 132)의 소스 영역(136)과 드레인 영역(137)에 불순물이 도핑될 때 채널 영역에 불순물이 도핑되는 것을 차단하는 역할을 한다.

[0072] 게이트 전극(152, 155)과 제 1 커패시터 전극(158)은 동일한 층에 배치되며, 이들은 실질적으로 동일한 금속으로 만들어진다. 게이트 전극(152, 155)과 제 1 커패시터 전극(158)은 몰리브덴(Mo), 크롬(Cr), 및 텉스텐(W) 중 적어도 하나를 포함할 수 있다.

[0073] 게이트 전극(152, 155)을 덮는 충간 절연막(160)은 게이트 절연막(140) 상에 배치된다. 충간 절연막(160)은 게이트 절연막(140)과 마찬가지로, 질화규소(SiNx), 산화규소(SiO_x) 또는 테트라에톡시실란(TEOS) 등으로 형성될 수 있으나, 이에 한정되는 것은 아니다.

[0074] 소스 전극(173, 176) 및 드레인 전극(174, 177)을 포함하는 데이터 전송 라인은 충간 절연막(160) 상에 배치된다. 데이터 전송 라인은 데이터 라인(171), 제 1 구동 전원 라인(172), 제 2 커패시터 전극(178) 및 그 밖의 신호 라인을 더 포함한다. 그리고 소스 전극(173, 176) 및 드레인 전극(174, 177)은 게이트 절연막(140) 및 충간 절연막(160)에 형성된 콘택홀을 통하여 반도체층(131, 132)의 소스 영역(136) 및 드레인 영역(137)과 각각 연결된다.

- [0075] 이와 같이, 제 1 스위칭 소자(Tr1)는 제 1 반도체층(131), 제 1 게이트 전극(152), 제 1 소스 전극(173) 및 제 1 드레인 전극(174)을 포함하며, 제 2 스위칭 소자(Tr2)는 제 2 반도체층(132), 제 2 게이트 전극(155), 제 2 소스 전극(176) 및 제 2 드레인 전극(177)을 포함한다. 제 1 및 제 2 스위칭 소자(Tr1, Tr2)의 구성은 전술한 예에 한정되지 않고, 당해 기술 분야의 전문가가 용이하게 실시할 수 있는 공지된 구성으로 다양하게 변형 가능하다.
- [0076] 스토리지 커패시터(Cst)는 충간 절연막(160)을 사이에 두고 배치된 제 1 커패시터 전극(158)과 제 2 커패시터 전극(178)을 포함한다.
- [0077] 제 1 스위칭 소자(Tr1)는 발광시키고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 제 1 게이트 전극(152)은 게이트 라인(151)에 연결된다. 제 1 소스 전극(173)은 데이터 라인(171)에 연결된다. 제 1 드레인 전극(174)은 제 1 소스 전극(173)으로부터 이격되어 배치되며, 제 1 커패시터 전극(158)과 연결된다.
- [0078] 제 2 스위칭 소자(Tr2)는 선택된 화소(PX1) 내에 구비된 발광 소자(LED1)의 발광층(212)을 발광시키기 위한 구동 전원을 화소 전극(211)에 인가한다. 제 2 게이트 전극(155)은 제 1 커패시터 전극(158)에 연결된다. 제 2 소스 전극(176) 및 제 2 커패시터 전극(178)은 각각 제 1 구동 전원 라인(172)에 연결된다. 제 2 드레인 전극(177)은 콘택홀을 통해 화소 전극(211)에 연결된다. 이 화소 전극(211)은 발광 소자(LED1)의 애노드 전극이다.
- [0079] 이와 같은 구조에 의하여, 제 1 스위칭 소자(Tr1)는 게이트 라인(151)에 인가되는 게이트 전압에 의해 작동하여 데이터 라인(171)에 인가되는 데이터 전압을 제 2 스위칭 소자(Tr2)로 전달하는 역할을 한다. 제 1 구동 전원 라인(172)으로부터 제 2 스위칭 소자(Tr2)에 인가되는 공통 전압과 제 1 스위칭 소자(Tr1)로부터 전달된 데이터 전압의 차에 해당하는 전압이 스토리지 커패시터(Cst)에 저장되고, 스토리지 커패시터(Cst)에 저장된 전압에 대응하는 전류가 제 2 스위칭 소자(Tr2)를 통해 발광 소자(LED1)로 흘러 발광 소자(LED1)내의 발광층(212)이 발광하게 된다.
- [0080] 평탄화막(165)은 데이터 라인(171), 제 1 구동 전원 라인(172), 소스 전극(173, 176) 및 드레인 전극(174, 177), 제 2 커패시터 전극(178) 등과 같이 하나의 마스크로 패터닝된 데이터 전송 라인을 덮는다. 평탄화막(165)은 충간 절연막(160) 상에 위치한다.
- [0081] 평탄화막(165)은 그 위에 위치할 발광 소자(LED1)의 발광 효율을 높이기 위해, 단차를 없애고 평탄화시키는 역할을 한다. 평탄화막(165)은 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계수지(ununsaturated polyesters resin), 폴리페닐렌계 수지(polyphenylenethers resin), 폴리페닐렌설파이드계 수지(polyphenylenesulfides resin), 및 벤조사이클로부텐(benzocyclobutene, BCB) 중 하나 이상의 물질로 만들어질 수 있다.
- [0082] 화소 전극(211)은 평탄화막(165) 상에 배치된다. 화소 전극(211)은 평탄화막(165)의 콘택홀을 통하여 드레인 전극(177)과 연결된다.
- [0083] 화소 전극(211)의 일부 또는 전부는 화소 영역(500) 내에 배치된다. 즉, 화소 전극(211)은 화소 정의막(190)에 의해 정의된 화소 영역(500)에 대응하도록 배치된다. 화소 정의막(190)은 폴리아크릴계(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지로 만들어질 수 있다.
- [0084] 스페이서(333)는 화소 정의막(190) 상에 위치한다. 스페이서(333)는 화소 정의막(190)과 동일한 물질로 이루어질 수 있다. 스페이서(333)는 표시 패널(111)의 표시 영역에 위치한 층과 그 표시 패널(111)의 비표시 영역에 위치한 층 간의 높낮이 편차를 최소화하는 역할을 한다.
- [0085] 발광층(212)은 화소 영역(500) 내의 화소 전극(211) 상에 배치되고, 공통 전극(210; 또는 대향 전극)은 화소 정의막(190), 스페이서(333) 및 발광층(212) 상에 배치된다.
- [0086] 발광층(212)은 유기물(예를 들어, 저분자 유기물 또는 고분자 유기물) 또는 반도체 나노 결정(예를 들어, 양자 점(quantum dot) 또는 양자 막대(quantum rod))을 포함한다.
- [0087] 정공 주입층(Hole Injection Layer, HIL) 및 정공 수송층(Hole Transporting Layer, HTL) 중 적어도 하나가 화소 전극(211)과 발광층(212) 사이에 더 배치될 수 있고, 전자 수송층(Electron Transporting Layer, ETL) 및 전자 주입층(Electron Injection Layer, EIL) 중 적어도 하나가 발광층(212)과 공통 전극(210) 사이에 더 배치될 수 있다.

- [0088] 화소 전극(211) 및 공통 전극(210)은 투과형 전극, 반투과형 전극 및 반사형 전극 중 어느 하나로 형성될 수 있다.
- [0089] 투과형 전극의 형성을 위하여 투명 도전성 산화물(TCO; Transparent Conductive Oxide)이 사용될 수 있다. 투명 도전성 산화물(TCO)은 인듐 주석 산화물(ITO), 인듐 아연 산화물(IZO), 앤티몬 주석 산화물(ATO), 알루미늄 아연 산화물(AZO), 산화 아연(ZnO), 및 그 혼합물로 이루어진 군으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0090] 반투과형 전극 및 반사형 전극의 형성을 위하여 마그네슘(Mg), 은(Ag), 금(Au), 칼슘(Ca), 리튬(Li), 크롬(Cr), 알루미늄(Al), 구리(Cu)와 같은 금속 또는 이들의 합금이 사용될 수 있다. 이때, 반투과형 전극과 반사형 전극은 두께로 결정된다. 일반적으로, 반투과형 전극은 약 200nm 이하의 두께를 가지며, 반사형 전극은 300nm 이상의 두께를 가진다. 반투과형 전극은 두께가 얇아질수록 빛의 투과율이 높아지지만 저항이 커지고, 두께가 두꺼워질수록 빛의 투과율이 낮아진다.
- [0091] 또한, 반투과형 및 반사형 전극은 금속 또는 금속의 합금으로 된 금속층과 금속층상에 적층된 투명 도전성 산화물(TCO)층을 포함하는 다층구조로 형성될 수 있다.
- [0092] 화소(PX1)는 화소 전극(211) 방향 및 공통 전극(210) 방향으로 빛을 방출할 수 있는 양면 발광형 구조를 가질 수도 있다. 이와 같은 경우, 화소 전극(211) 및 공통 전극(210) 모두 투과형 또는 반투과형 전극으로 형성될 수 있다.
- [0093] 밀봉 부재(250)는 공통 전극(210) 상에 배치된다. 밀봉 부재(250)는 유리 및 투명한 소재의 플라스틱 등으로 만들어진 투명 절연 기판(110)이 사용될 수 있다. 또한, 밀봉 부재(250)는 하나 이상의 무기막 및 하나 이상의 유기막이 교호적으로 적층된 박막 봉지 구조를 가질 수 있다. 예를 들어, 도 5에 도시된 바와 같이, 밀봉 부재(250)는 제 1 무기막(250a), 그 제 1 무기막(250a) 상의 유기막(250b), 그 유기막(250b) 상의 제 2 무기막(250c)을 포함할 수 있다.
- [0094] 한편, 도 4 및 도 5에 도시된 바와 같이, 밀봉 부재(250)와 공통 전극(210) 사이에 캡핑층(180)이 더 위치할 수 있다. 캡핑층(180)은 밀봉 부재(250)의 중착시 그 하부에 위치한 공통 전극(210)의 손상을 방지하는 역할을 한다. 캡핑층(180)은 무기 재료로 만들어질 수 있다.
- [0095] 한편, 도 3에 도시된 바와 같이 인접한 화소들(PX1, PX2, PX3)은 소정 간격 이격되어 있다.
- [0096] 예를 들어, 도 3에 도시된 세 개의 화소들 중 도 3의 가장 좌측에 위치한 화소부터 차례로 제 1 화소(PX1), 제 2 화소(PX2) 및 제 3 화소(PX3)로 정의할 때, 제 1 화소(PX1)에 연결된 제 1 구동 전원 라인(172)과 그 제 1 화소(PX1)에 인접한 제 2 화소(PX2)에 연결된 데이터 라인(171) 사이의 거리는 제 1 화소(PX1)의 위치를 정의하는 데이터 라인(171)과 제 1 구동 전원 라인(172) 사이의 거리보다 더 길다. 이는 마스크 중착 공정에 의해 제 1 화소(PX1)에 발광 소자(LED1)가 중착될 때, 그 발광 소자(LED1)에 사용되는 물질이 제 2 화소(PX2)로 침투되는 것을 방지하기 위함이다.
- [0097] 제 2 화소(PX2) 및 제 3 화소(PX3)는 전술된 화소(PX1)와 동일한 구성을 갖는다.
- [0098] 제 1 화소(PX1)의 발광 소자를 제 1 발광 소자(212)로 정의하고, 제 2 화소(PX2)의 발광 소자를 제 2 발광 소자(222)로 정의하고, 제 3 화소(PX3)의 발광 소자를 제 3 발광 소자(232)로 정의하자.
- [0099] 제 1 발광 소자(212)는 적색 광을 발광하는 적색 발광 소자이다. 제 1 발광 소자(212)는 제 1 애노드 전극(211; 또는 제 1 전극), 제 1 발광층(212) 및 제 1 캐소드(213) 전극을 포함한다. 제 1 발광층(212)은 제 1 애노드 전극(211)과 제 1 캐소드 전극(213) 사이에 위치한다. 제 1 애노드 전극(211)은 제 1 화소(PX1)의 화소 전극이다.
- [0100] 제 1 발광층(212)은 반도체 나노 결정(또는 무기 반도체 발광 재료)을 포함한다.
- [0101] 제 1 발광층(212)은 전류에 의해 광을 생성한다. 구체적으로, 제 1 발광층(212)의 반도체 나노 결정은 전류에 의해 여기되어 광을 발생한다. 전술된 전류는 제 1 애노드 전극(211)의 전압과 제 1 캐소드 전극(213)의 전압에 의해 발생된다. 이 전류는 제 1 애노드 전극(211)과 제 1 캐소드 전극(213) 사이를 통과한다. 이때, 이 전류는 그 제 1 애노드 전극(211)과 제 1 캐소드 전극(213) 사이의 제 1 발광층(212)에 제공된다.
- [0102] 반도체 나노 결정은 나노미터-스케일의 무기 반도체 입자를 포함한다. 반도체 나노 결정은 바람직하게는 약 150[Å] 미만, 가장 바람직하게는 12 내지 150[Å] 범위의 평균 나노 결정 직경을 갖는다.

- [0103] 반도체 나노 결정은 예를 들어 직경이 약 1 nm 내지 약 1000 nm, 바람직하게는 약 2 nm 내지 약 50 nm, 보다 바람직하게는 약 5 nm 내지 약 20 nm (예컨대 약 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19 또는 20nm)인 무기 미세 결정을 포함한다.
- [0104] 반도체 나노 결정을 형성하는 반도체는 IV족 원소, II-VI족 화합물, II-V족 화합물, III-VI족 화합물, III-V족 화합물, IV-VI족 화합물, I-III-VI족 화합물, II-IV-VI족 화합물 또는 II-IV-V족 화합물, 이들의 임의의 합금 및/또는 이들의 임의의 혼합물 (3원 및 4원 혼합물 및/또는 합금을 포함함)을 포함할 수 있다. 예를 들어, 반도체 나노 결정을 형성하는 반도체는 ZnO, ZnS, ZnSe, ZnTe, MgO, MgS, MgSe, MgTe, CdO, CdS, CdSe, CdTe, HgO, HgS, HgSe, HgTe, AlN, AlP, AlAs, AlSb, GaN, GaP, GaAs, GaSb, GaSe, InN, InP, InAs, InSb, TlN, TlP, TlAs, TlSb, PbO, PbS, PbSe, PbTe, Si, Ge, 다른 IV족 원소 및/또는 이들의 혼합물 또는 합금 (3원 및 4원 혼합물 및/또는 합금을 포함함)을 포함할 수 있으나, 이에 제한되지 않는다. 예를 들어, 반도체 나노 결정을 형성하는 반도체는 CIS 및 InGaP를 포함할 수 있다.
- [0105] 반도체 나노 결정의 형상의 예로는 구, 막대, 디스크, 다른 형상 또는 이들의 혼합물이 포함된다. 반도체 나노 결정은 이의 형상에 따라 양자 점(quantum dot) 또는 양자 막대(quantum rod)로 불리기도 한다.
- [0106] 바람직하게는, 반도체 나노 결정은 1개 이상의 제 1 반도체 물질을 갖는 코어(core)를 포함하며, 이는 1개 이상의 제 2 반도체 물질에 의해 오버코팅되거나 또는 1개 이상의 제 2 반도체 물질을 갖는 쉘(shell)에 의해 둘러싸일 수 있다. 반도체 쉘에 의해 둘러싸인 반도체 나노 결정의 코어는 또한 "코어/쉘" 반도체 나노 결정이라고 지칭된다.
- [0107] 예를 들어, 반도체 나노 결정은 화학식 MX(여기서, M은 카드뮴, 아연, 마그네슘, 수은, 알루미늄, 갈륨, 인듐, 탈륨 또는 이들의 혼합물이고, X는 산소, 황, 셀레늄, 텔루륨, 질소, 인, 비소, 안티몬 또는 이들의 혼합물임)를 갖는 코어를 포함할 수 있다. 반도체 나노 결정의 코어로서 사용하기에 적합한 물질의 예로는 CdO, CdS, CdSe, CdTe, ZnO, ZnS, ZnSe, ZnTe, MgO, MgS, MgSe, MgTe, GaAs, GaP, GaSb, GaN, HgO, HgS, HgSe, HgTe, InAs, InP, InSb, InN, AlAs, AlP, AlSb, AlS, TlN, TlP, TlAs, TlSb, PbO, PbS, PbSe, Ge, Si, 다른 IV족 요소, 및/또는 이들의 혼합물 또는 합금(3원 및 4원 혼합물 및/또는 합금을 포함함)이 포함되나 이에 제한되지 않는다.
- [0108] 쉘은 코어의 조성물과 동일하거나 상이한 조성물을 갖는 반도체 물질일 수 있다. 쉘은 코어 반도체 나노 결정의 표면 상의 반도체 물질의 오버코트를 포함하고, IV족 원소, II-VI족 화합물, II-V족 화합물, III-VI족 화합물, III-V족 화합물, IV-VI족 화합물, I-III-VI족 화합물, II-IV-VI족 화합물 또는 II-IV-V족 화합물, 이들의 임의의 합금 및/또는 이들의 임의의 혼합물 (3원 및 4원 혼합물 및/또는 합금을 포함함)을 포함할 수 있다. 예로는 ZnO, ZnS, ZnSe, ZnTe, CdO, CdS, CdSe, CdTe, MgO, MgS, MgSe, MgTe, GaAs, GaN, GaP, GaSe, GaSb, HgO, HgS, HgSe, HgTe, InAs, InN, InP, InSb, AlAs, AlN, AlP, AlSb, TlN, TlP, TlAs, TlSb, PbO, PbS, PbSe, PbTe, Si, Ge, 다른 IV족 요소, 및/또는 이들의 혼합물 및/또는 합금 (3원 및 4원 혼합물 및/또는 합금을 포함함)이 포함되나 이에 제한되지 않는다. 예를 들어, ZnS, ZnSe 또는 CdS 오버코팅은 CdSe 또는 CdTe 반도체 나노 결정 상에서 성장될 수 있다. 오버코팅 공정은 예를 들어 미국 특허 제6,322,901호에 기재되어 있다. 오버코팅 도중 반응 혼합물의 온도를 조절하고, 코어의 흡수 스펙트럼을 모니터링함으로써, 높은 방출 양자 효율 및 좁은 크기 분포를 갖는 오버코팅된 물질이 얻어질 수 있다. 오버코팅은 1개 이상의 층을 포함할 수 있다. 오버코팅은 코어의 조성물과 동일하거나 상이한 1종 이상의 반도체 물질을 포함한다. 바람직하게는, 오버코팅은 약 1 내지 약 10개의 단층의 두께를 갖는다. 오버코팅은 또한 10개 초과의 단층의 두께를 가질 수 있다. 특정 실시예에서, 1개 초과의 오버코팅이 코어 상에 포함될 수 있다.
- [0109] 특정 실시예에서, 주변 쉘 물질은 코어 물질의 밴드갭(band gap)보다 더 큰 밴드갭을 가질 수 있다. 특정 실시예에서, 주변 쉘 물질은 코어 물질의 밴드갭보다 더 작은 밴드갭을 가질 수 있다.
- [0110] 특정 실시예에서, 쉘은 코어 기판의 것과 인접한 원자 간격을 갖도록 선택될 수 있다. 특정 실시예에서, 쉘 및 코어 물질은 동일한 결정 구조를 가질 수 있다.
- [0111] 반도체 나노 결정의 물질의 예로는 적색 (예를 들어, (CdSe)ZnS), 녹색 (예를 들어, (CdZnSe)CdZnS) 및 청색 (예를 들어, (CdS)CdZnS)이 포함되나 이에 제한되지 않는다. 여기서, 괄호 안의 원소는 코어의 물질이며, 괄호 밖의 원소는 쉘의 물질이다. 예를 들어, (CdSe)ZnS로 이루어진 반도체 나노 결정은 CdSe로 이루어진 코어와 ZnS로 이루어진 쉘을 포함한다.
- [0112] 반도체 나노 결정은 광의 파장을 변환하여 원하는 특정 광을 방출한다. 반도체 나노 결정의 크기에 따라 제 1

발광층으로부터 방출되는 광의 파장이 달라진다. 다시 말하여, 반도체 나노 결정의 직경에 따라 제 1 발광층으로부터 방출되는 광의 색상이 달라진다.

- [0113] 반도체 나노 결정은 2nm 이상 내지 10nm 이하의 직경을 가질 수 있다. 반도체 나노 결정이 작은 직경을 가지면 방출되는 빛의 파장이 짧아져 청색 계열의 광이 발생되며, 반도체 나노 결정의 크기가 커지면 방출되는 빛의 파장이 길어져 적색 계열의 광이 발생된다. 예를 들어, 10nm의 직경을 갖는 반도체 나노 결정은 적색 광을 방출하며, 7nm의 직경을 갖는 반도체 나노 결정은 녹색 광을 방출하며, 그리고 5nm의 직경을 갖는 반도체 나노 결정은 청색 광을 방출할 수 있다.
- [0114] 제 1 발광층(212)은 적색 광을 방출하는 적색 발광층이므로, 예를 들어 제 1 발광층(212)의 반도체 나노 결정은 10nm의 직경을 가질 수 있다.
- [0115] 제 2 발광 소자(LED2)는 녹색 광을 발광하는 녹색 발광 소자이다. 제 2 발광 소자(LED2)는 제 2 애노드 전극(221; 또는 제 2 전극), 제 2 발광층(222) 및 제 2 캐소드 전극(223)을 포함한다. 제 2 발광층(222)은 제 2 애노드 전극(221)과 제 2 캐소드 전극(223) 사이에 위치한다. 제 2 애노드 전극(221)은 제 2 화소(PX2)의 화소 전극이다.
- [0116] 제 2 발광층(222)은 전술된 바와 같은 반도체 나노 결정(또는 무기 반도체 발광 재료)을 포함할 수 있다. 이때, 제 2 발광층(222)은 녹색 광을 방출하는 녹색 발광층이므로, 예를 들어 제 2 발광층(222)의 반도체 나노 결정은 7nm의 직경을 가질 수 있다.
- [0117] 제 2 발광층(222)은 전류에 의해 광을 생성한다. 구체적으로, 제 2 발광층(222)의 반도체 나노 결정은 전류에 의해 여기되어 광을 발생한다. 전술된 전류는 제 2 애노드 전극(221)의 전압과 제 2 캐소드 전극(223)의 전압에 의해 발생된다. 이 전류는 제 2 애노드 전극(221)과 제 2 캐소드 전극(223) 사이를 통과한다. 이때, 이 전류는 그 제 2 애노드 전극(221)과 제 2 캐소드 전극(223) 사이의 제 2 발광층(222)에 제공된다.
- [0118] 제 3 발광 소자(LED3)는 청색 광을 발광하는 청색 발광 소자이다. 제 3 발광 소자(LED3)는 제 3 애노드 전극(231; 또는 제 3 전극), 제 3 발광층(232) 및 제 3 캐소드 전극(233)을 포함한다. 제 3 발광층(232)은 제 3 애노드 전극(231)과 제 3 캐소드 전극(233) 사이에 위치한다. 제 3 애노드 전극(231)은 제 3 화소(PX3)의 화소 전극이다.
- [0119] 제 3 발광층(232)은 유기 물질(또는 유기 발광 재료)을 포함한다. 예를 들어, 제 3 발광층(232)은 적색 발광 재료인 테트라페닐나프타센 (Tetraphenylnaphthacene) (루브린: Rubrene), 트리스(1-페닐이소퀴놀린)이리듐(III)(Ir(piq)3), 비스(2-벤조[b]티오펜-2-일-피리딘) (아세틸아세토네이트)이리듐(III) (Ir(btp)2(acac)), 트리스(디벤조일메탄) 펜안트롤린유로퓸(III)(Eu(dbm)3(phen)), 트리스[4,4'-디-tert-부틸-(2,2')-비피리딘] 루테늄(III)착물(Ru(dtbbpy)3*2(PF6)), DCM1, DCM2, Eu(삼불화테노일아세톤 :thenoyl trifluoroacetone)3(Eu(TTA)3, 부틸-6-(1,1,7,7-테트라메틸 줄로리딜-9-에닐)-4H-피란)(butyl-6-(1,1,7,7-tetramethyljulolidyl-9-enyl)-4H-pyran: DCJTB) 등을 포함할 수 있고, 그 외에 폴리플루오렌계 고분자, 폴리비닐계 고분자 등과 같은 고분자 발광 물질을 포함할 수 있다. 또한, 제 3 발광층(232)은 안트라센(anthracene)계 물질을 포함할 수 있다.
- [0120] 제 3 발광층(232)은 전류에 의해 광을 생성한다. 구체적으로, 제 3 발광층(232)의 유기 물질은 전류에 의해 여기되어 광을 발생한다. 전술된 전류는 제 3 애노드 전극(231)의 전압과 제 3 캐소드 전극(233)의 전압에 의해 발생된다. 이 전류는 제 3 애노드 전극(231)과 제 3 캐소드 전극(233) 사이를 통과한다. 이때, 이 전류는 그 제 3 애노드 전극(231)과 제 3 캐소드 전극(233) 사이의 제 3 발광층(232)에 제공된다.
- [0121] 전술된 제 1 캐소드 전극(213), 제 2 캐소드 전극(223) 및 제 3 캐소드 전극(233)은 전술된 공통 전극(210)의 일부이다. 예를 들어, 제 1 캐소드 전극(213), 제 2 캐소드 전극(223) 및 제 3 캐소드 전극(233)은 일체로 이루어지는 바, 이 일체로 이루어진 구조물이 공통 전극(210)이다.
- [0122] 도 6은 도 5의 제 1 화소, 제 2 화소 및 제 3 화소의 단면 구조를 도식적으로 나타낸 도면이다.
- [0123] 본 발명의 발광 표시 장치는, 도 6에 도시된 바와 같이, 정공 수송층(601), 정공 주입층(602), 전자 수송층(611) 및 전자 주입층(612)을 더 포함할 수 있다.
- [0124] 정공 수송층(601)은 제 1 애노드 전극(211)과 제 1 발광층(212) 사이, 제 2 애노드 전극(221)과 제 2 발광층(222) 사이, 그리고 제 3 애노드 전극(231)과 제 3 발광층(232) 사이에 위치한다.

- [0125] 정공 수송층(601)은 정공 주입층(602)을 통하여 제공된 정공이 발광층으로 이동하는 특성을 향상시킨다. 정공 수송층(601)은 N, N'-비스(3-메틸페닐)-N, N'-디페닐-[1,1-비페닐]-4,4'-디아민(TPC), N, N'-디(나프탈렌-1-일)-N, N'-디페닐 벤지딘(a-NPD) 등을 포함할 수 있다.
- [0126] 한편, 도시되지 않았지만, 정공 수송층(601)은 서로 분리된 제 1 정공 수송층, 제 2 정공 수송층 및 제 3 정공 수송층을 포함할 수 있다. 이때, 제 1 정공 수송층은 제 1 애노드 전극(211)과 제 1 발광층(212) 사이에 위치하며, 제 2 정공 수송층은 제 2 애노드 전극(221)과 제 2 발광층(222) 사이에 위치하며, 그리고 제 3 정공 수송층은 제 3 애노드 전극(231)과 제 3 발광층(232) 사이에 위치한다.
- [0127] 정공 주입층(602)은 정공 수송층(601)과 제 1 애노드 전극(211) 사이, 정공 수송층(601)과 제 2 애노드 전극(221) 사이, 그리고 정공 수송층(601)과 제 3 애노드 전극(231) 사이에 위치한다.
- [0128] 정공 주입층(602)은 제 1 애노드 전극(211), 제 2 애노드 전극(221) 및 제 3 애노드 전극(231)으로부터 제공되는 정공이 보다 효율적으로 이동하도록 하여 제 1, 제 2 및 제 3 발광 소자(LED3)의 전기적 특성을 향상시킨다. 정공 주입층(602)은 구리프탈로시아닌 등의 프탈로시아닌 화합물, 스타버스트(Starburst)형 아민류인 티씨티에이(TCTA), 엠-엠티이에이티에이(m-MTADATA), 엠-엠티디에이피비(m-MTDAPB) 등을 포함할 수 있다.
- [0129] 한편, 도시되지 않았지만, 정공 주입층(602)은 서로 분리된 제 1 정공 주입층, 제 2 정공 주입층 및 제 3 정공 주입층을 포함할 수 있다. 이때, 제 1 정공 주입층은 제 1 애노드 전극(211)과 제 1 정공 수송층 사이에 위치하며, 제 2 정공 주입층은 제 2 애노드 전극(221)과 제 2 정공 수송층 사이에 위치하며, 그리고 제 3 정공 주입층은 제 3 애노드 전극(231)과 제 3 정공 수송층 사이에 위치한다.
- [0130] 전자 수송층(611)은 제 1 발광층(212)과 캐소드 전극 사이, 제 2 발광층(222)과 캐소드 전극 사이, 그리고 제 3 발광층(232)과 캐소드 전극 사이에 위치한다.
- [0131] 전자 수송층(611)은 전자 주입층(612)으로부터 제공받은 전자가 제 1, 제 2 및 제 3 발광층(232)으로 용이하게 이동하도록 한다. 전자 수송층(611)은 Alq3을 포함할 수 있다.
- [0132] 한편, 도시되지 않았지만, 전자 수송층(611)은 서로 분리된 제 1 전자 수송층, 제 2 전자 수송층 및 제 3 전자 수송층을 포함할 수 있다. 이때, 제 1 전자 수송층은 제 1 발광층(212)과 제 1 캐소드 전극(213; 또는 공통 전극(210)) 사이에 위치하며, 제 2 전자 수송층은 제 2 발광층(222)과 제 2 캐소드 전극(223; 또는 공통 전극(210)) 사이에 위치하며, 그리고 제 3 전자 수송층은 제 3 발광층(232)과 제 3 캐소드 전극(233; 또는 공통 전극(210)) 사이에 위치한다.
- [0133] 전자 주입층(612)은 전자 수송층(611)과 공통 전극(210) 사이에 위치한다.
- [0134] 전자 주입층(612)은 전자 수송층(611) 상에 배치된다. 전자 주입층(612)은 PBD, PF-6P, PyPySPyPy, LiF, NaCl, CaF, Li2O, BaO, Liq 등을 포함할 수 있다. 전자 주입층(612)은 공통 전극(210)으로부터 전자를 끌어당김으로써 전자가 전자 수송층(611)으로 보다 용이하게 제공되도록 한다.
- [0135] 한편, 도시되지 않았지만, 전자 주입층(612)은 서로 분리된 제 1 전자 주입층, 제 2 전자 주입층 및 제 3 전자 주입층을 포함할 수 있다. 이때, 제 1 전자 주입층은 제 1 캐소드 전극(213; 또는 공통 전극(210))과 제 1 전자 수송층 사이에 위치하며, 제 2 전자 주입층은 제 2 캐소드 전극(223; 또는 공통 전극(210))과 제 2 전자 수송층 사이에 위치하며, 그리고 제 3 전자 주입층은 제 3 캐소드 전극(233; 또는 공통 전극(210))과 제 3 전자 수송층 사이에 위치한다.
- [0136] 제 1 발광층(212)은 전자 수송층(611)으로부터 제공된 전자와 정공 수송층(601)으로부터 제공된 홀을 근거로 광을 생성한다. 다시 말하여, 제 1 발광층(212)의 반도체 나노 결정은 전자 수송층(611)으로부터의 전자와 정공 수송층(601)으로부터의 홀을 결합하여 광을 발생한다.
- [0137] 제 2 발광층(222)은 전자 수송층(611)으로부터 제공된 전자와 정공 수송층(601)으로부터 제공된 홀을 근거로 광을 생성한다. 다시 말하여, 제 2 발광층(222)의 반도체 나노 결정은 전자 수송층(611)으로부터의 전자와 정공 수송층(601)으로부터의 홀을 결합하여 광을 발생한다.
- [0138] 제 3 발광층(232)은 전자 수송층(611)으로부터 제공된 전자와 정공 수송층(601)으로부터 제공된 홀을 근거로 광을 생성한다. 다시 말하여, 제 3 발광층(232)의 유기 물질은 전자 수송층(611)으로부터의 전자와 정공 수송층(601)으로부터의 홀을 결합하여 광을 발생한다.
- [0139] 제 1 발광층(212)은 용액 공정으로 제조될 수 있다. 예를 들어, 복수의 반도체 나노 결정들이 포함된 용매는 용

액 공정으로 정공 수송층(601) 상에 도포되는 바, 이후 그 용매가 회발되면 그 복수의 반도체 결정들을 포함하는 제 1 발광층(212)이 제조된다. 제 2 발광층(222) 역시 전술된 용액 공정으로 제조될 수 있다.

[0140] 용액 공정에서 용액은 잉크젯 방식으로 투출될 수 있다.

[0141] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

[0142] LED1: 제 1 발광 소자 LED2: 제 2 발광 소자

LED3: 제 3 발광 소자 211: 제 1 애노드 전극

221: 제 2 애노드 전극 231: 제 3 애노드 전극

212: 제 1 발광층 212: 제 1 발광층

222: 제 2 발광층 232: 제 3 발광층

213: 제 1 캐소드 전극 223: 제 2 캐소드 전극

233: 제 3 캐소드 전극 110: 기판

120: 벼퍼층 140: 게이트 절연막

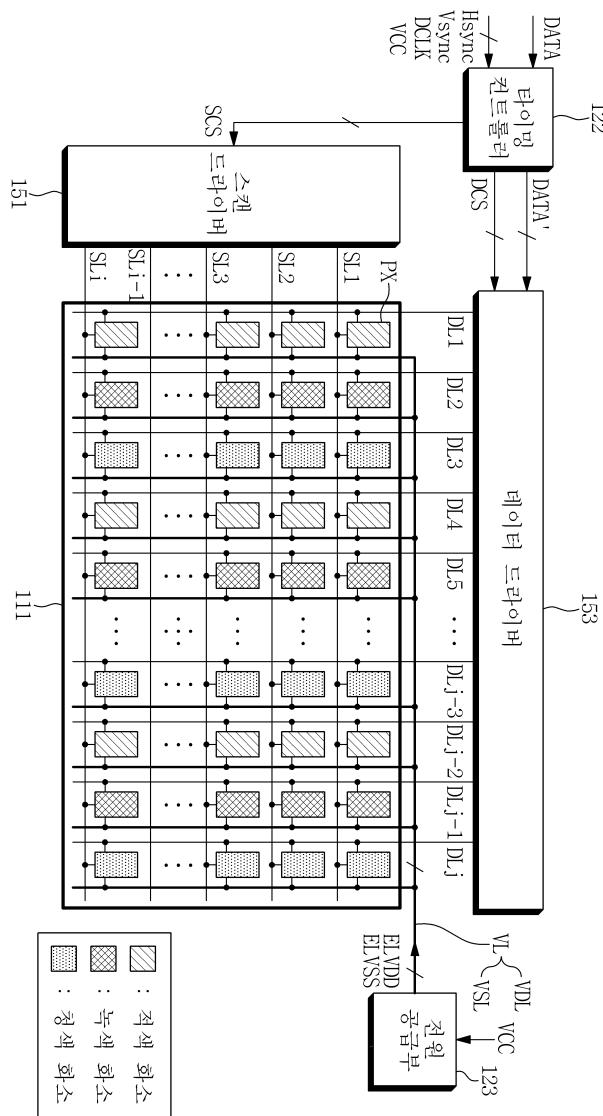
160: 충간 절연막 165: 평탄화막

190: 화소 정의막 333: 스페이서

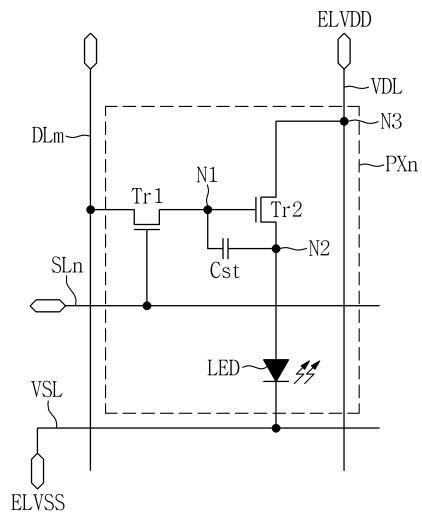
172: 제 1 구동 전원 라인 171: 데이터 라인

도면

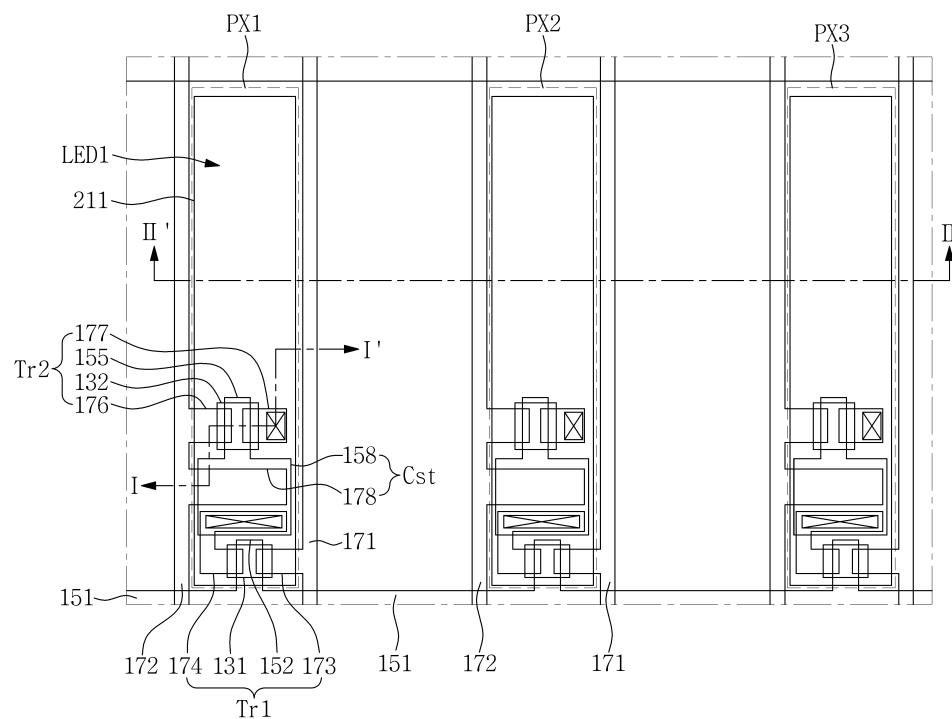
도면1

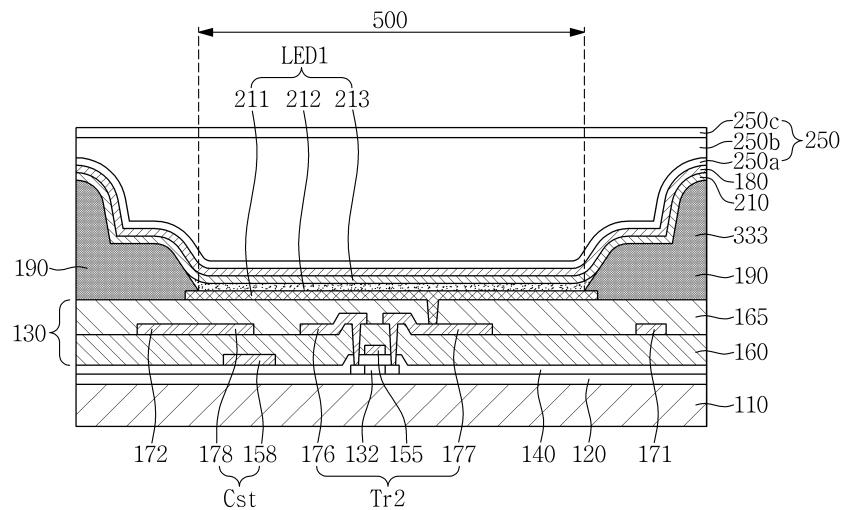
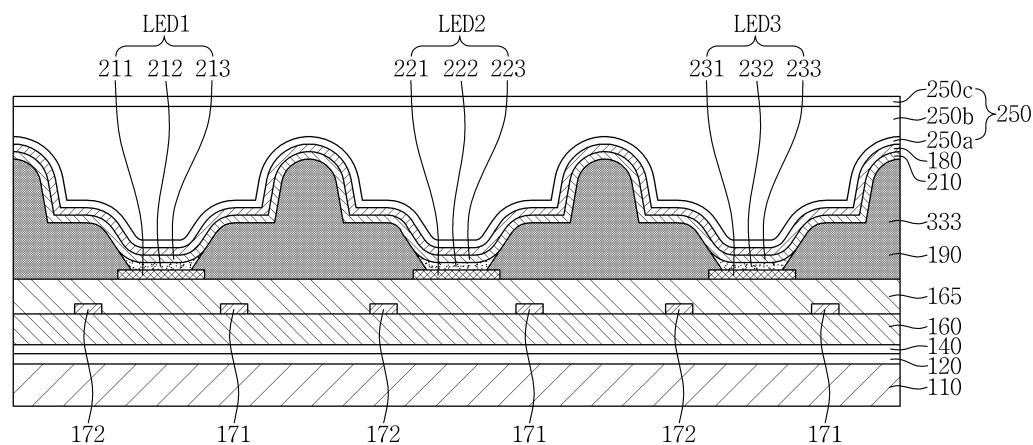
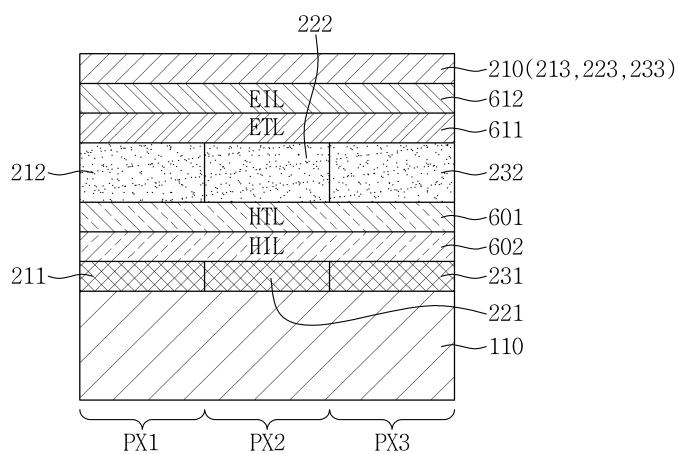


도면2



도면3



도면4**도면5****도면6**

专利名称(译)	发光显示		
公开(公告)号	KR1020180104209A	公开(公告)日	2018-09-20
申请号	KR1020170029909	申请日	2017-03-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YUN WON MIN 윤원민 LEE BAEK HEE 이백희		
发明人	윤원민 이백희		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3206 H01L51/504 H01L51/502 H01L51/5056 H01L51/5088 H01L51/5072 G09G3/3233 G09G3/3266 G09G3/3275 G09G3/3291 G09G2310/0286 G09G2310/0289 G09G2310/08 H01L27/3211 H01L27/3244 H01L51/0005 H01L51/0052 H01L51/5092 H01L51/5206 H01L51/5221 H01L51/5253		
代理人(译)	Yunyeogwang 锡盐		
外部链接	Espacenet		

摘要(译)

发光显示装置技术领域本发明涉及一种能够改善图像质量的发光显示装置，包括：基板；基板上的第一电极和第二电极；第一电极和第二电极上的对电极；第一电极和对电极之间的第一发光层；以及第二电极和对电极之间的第二发光层；第一发光层和第二发光层发出不同颜色的光；第一发光层包括半导体纳米晶体，第二发光层包括有机材料。

