



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0025512
(43) 공개일자 2018년03월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/3208 (2016.01)
(52) CPC특허분류
G09G 3/3208 (2013.01)
G09G 2300/0828 (2013.01)
(21) 출원번호 10-2016-0112115
(22) 출원일자 2016년08월31일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
한양대학교 산학협력단
서울특별시 성동구 왕십리로 222(행당동, 한양대
학교내)

(72) 발명자
홍석현
경기도 수원시 권선구 금호로15번길 15 101동
1202호 (금곡동, 신미주아파트)
김범식
경기도 수원시 팔달구 효원로308번길 16 (인계동,
한화 꿈에그린 파크) 101동 501호
(뒷면에 계속)

(74) 대리인
특허법인로얄

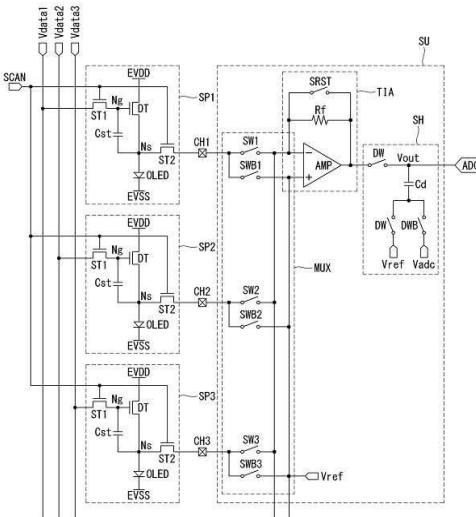
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **센싱 회로, 센싱 회로를 포함한 유기발광 표시장치, 및 유기발광 표시장치의 센싱 방법**

(57) 요약

본 발명의 센싱 회로는 적어도 2개의 센싱 채널들을 통해 표시패널의 서브 픽셀들에 연결된 센싱 회로로서, 제1 서브 픽셀에 접속된 제1 센싱 채널과 제2 서브 픽셀에 접속된 제2 센싱 채널에 공통으로 연결되며, 상기 제1 서브 픽셀로부터의 제1 센싱 전류와 상기 제2 서브 픽셀로부터의 제2 센싱 전류가 선택적으로 입력되는 제1 입력단과, 기준 전압이 입력되는 제2 입력단을 갖는 전류-전압 변환기; 상기 전류-전압 변환기의 제1 입력단을 상기 제1 센싱 채널과 상기 제2 센싱 채널에 선택적으로 연결하는 멀티 스위칭부; 및 상기 전류-전압 변환기의 출력 신호를 아날로그-디지털 변환하는 아날로그-디지털 변환기를 포함한다.

대표 도 - 도4



(52) CPC특허분류

G09G 2310/0264 (2013.01)

G09G 2310/027 (2013.01)

G09G 2310/0297 (2013.01)

(72) 발명자

김승태

경기도 고양시 일산서구 일현로 140 118동 1504호
(탄현동, 큰마을대림현대아파트)

우경돈

경기도 파주시 한빛로 67 210동 1103호 (야당동, 한
빛마을2단지휴면빌레이크팰리스)

임명기

경기도 안산시 상록구 반석로 44 107동 1803호 (본
오동, 신안1차아파트)

유재익

서울특별시 강동구 성안로 176 101동 406호 (길
동, 한빛골드빌아파트)

배재윤

서울특별시 노원구 한글비석로46가길 16 (상계동,
한신1차아파트) 1동 1002호

권오경

서울특별시 송파구 올림픽로35길 104 14동 1102호
(신천동, 장미아파트)

명세서

청구범위

청구항 1

적어도 2개의 센싱 채널들을 통해 표시패널의 서브 픽셀들에 연결된 센싱 회로에 있어서,

제1 서브 픽셀에 접속된 제1 센싱 채널과 제2 서브 픽셀에 접속된 제2 센싱 채널에 공통으로 연결되며, 상기 제1 서브 픽셀로부터의 제1 센싱 전류와 상기 제2 서브 픽셀로부터의 제2 센싱 전류가 선택적으로 입력되는 제1 입력단과, 기준 전압이 입력되는 제2 입력단을 갖는 전류-전압 변환기;

상기 전류-전압 변환기의 제1 입력단을 상기 제1 센싱 채널과 상기 제2 센싱 채널에 선택적으로 연결하는 멀티스위칭부; 및

상기 전류-전압 변환기의 출력 신호를 아날로그-디지털 변환하는 아날로그-디지털 변환기를 포함하는 센싱 회로.

청구항 2

제 1 항에 있어서,

상기 전류-전압 변환기의 출력단과 상기 아날로그-디지털 변환기의 입력단 사이에 연결되며, 상기 전류-전압 변환기의 출력 신호를 상기 아날로그-디지털 변환기의 입력 범위에 맞게 레벨 쉬프팅하는 샘플링부를 더 포함하는 센싱 회로.

청구항 3

제 1 항에 있어서,

상기 전류-전압 변환기는,

상기 제1 입력단과 출력단 사이에 서로 병렬로 연결되는 피드백 저항 및 리셋 스위치를 포함한 트랜스임피던스 증폭기로 구현되는 센싱 회로.

청구항 4

제 3 항에 있어서,

상기 피드백 저항은,

네거티브 온도 계수를 갖는 제1 저항과, 포지티브 온도 계수를 갖는 제2 저항의 직렬 연결로 이루어진 센싱 회로.

청구항 5

제 1 항에 있어서,

상기 멀티스위칭부는,

상기 제1 센싱 채널과 상기 제1 입력단 사이의 전류 흐름을 스위칭하는 제1 스위치;

상기 제1 센싱 채널과 상기 제2 입력단 사이의 전류 흐름을 스위칭하되, 상기 제1 스위치와 반대로 스위칭되는 제1 역위상 스위치;

상기 제2 센싱 채널과 상기 제1 입력단 사이의 전류 흐름을 스위칭하는 제2 스위치; 및

상기 제2 센싱 채널과 상기 제2 입력단 사이의 전류 흐름을 스위칭하되, 상기 제2 스위치와 반대로 스위칭되는 제2 역위상 스위치를 포함하고,

상기 제1 스위치와 상기 제2 스위치는 교변적으로 편 온 되는 센싱 회로.

청구항 6

제 2 항에 있어서,

상기 샘플링부는,

상기 전류-전압 변환기의 출력단과 상기 아날로그-디지털 변환기의 입력단 사이에 연결된 제1 샘플링 스위치;

상기 제1 샘플링 스위치와 상기 아날로그-디지털 변환기의 입력단 사이에 일측 전극이 연결된 홀딩 커패시터;

상기 홀딩 커패시터의 타측 전극에 상기 기준 전압을 인가하는 제2 샘플링 스위치; 및

상기 홀딩 커패시터의 타측 전극에 상기 기준 전압과 다른 ADC 전압을 인가하는 출력 제어 스위치를 포함하고,

상기 제1 및 제2 샘플링 스위치는 서로 동기되어 스위칭되고, 상기 출력 제어 스위치는 상기 제1 및 제2 샘플링 스위치와 반대로 스위칭되는 센싱 회로.

청구항 7

표시패널; 및

적어도 2개의 센싱 채널들을 통해 상기 표시패널의 서브 픽셀들에 연결된 상기 제 1 항 내지 제 6 항 중 어느 한 항에 기재된 센싱 회로를 포함한 유기발광 표시장치.

청구항 8

표시패널의 제1 및 제2 서브 픽셀에 각각 접속된 제1 및 제2 센싱 채널에 공통으로 연결되며, 센싱 전류가 입력되는 제1 입력단과 기준 전압이 입력되는 제2 입력단을 갖는 전류-전압 변환기와, 상기 전류-전압 변환기의 제1 입력단을 상기 제1 센싱 채널과 상기 제2 센싱 채널에 선택적으로 연결하는 막스 스위칭부와, 상기 전류-전압 변환기의 출력단에 연결된 아날로그-디지털 변환하는 아날로그-디지털 변환기와, 상기 전류-전압 변환기의 출력 신호를 상기 아날로그-디지털 변환기의 입력 범위에 맞게 레벨 쉬프팅하는 샘플링부를 갖는 유기발광 표시장치의 센싱 방법에 있어서,

프리차지 기간에서, 상기 전류-전압 변환기의 제2 입력단을 상기 제1 및 제2 센싱 채널을 통해 상기 제1 및 제2 서브 픽셀에 연결하여 기준 샘플링 값을 획득하는 단계;

상기 프리차지 기간에 이은 제1 리셋 기간에서, 상기 제1 센싱 채널로부터 입력되는 제1 센싱 전류로 상기 전류-전압 변환기의 제1 입력단과 출력단을 리셋시키는 단계;

상기 제1 리셋 기간에 이은 제1 센싱 기간에서, 상기 제1 센싱 전류에 대응되는 제1 샘플링 전압을 상기 샘플링 부에 저장하는 단계; 및

상기 제1 센싱 기간에 이은 제2 리셋 기간에서, 상기 제1 샘플링 전압에 따른 제1 샘플링 값을 획득한 후 상기 제1 샘플링 값을 상기 기준 샘플링 값을 기반으로 제1 상관 더블 샘플링을 수행함과 아울러, 상기 제2 센싱 채널로부터 입력되는 제2 센싱 전류로 상기 전류-전압 변환기의 제1 입력단과 출력단을 리셋시키는 단계를 포함하는 유기발광 표시장치의 센싱 방법.

청구항 9

제 8 항에 있어서,

상기 제2 리셋 기간에 이은 제2 센싱 기간에서, 상기 제2 센싱 전류에 대응되는 제2 샘플링 전압을 상기 샘플링 부에 저장하는 단계; 및

상기 제2 센싱 기간에 이은 제3 리셋 기간에서, 상기 제2 샘플링에 따른 제2 샘플링 값을 획득한 후 상기 제2 샘플링 값을 상기 기준 샘플링 값을 기반으로 제2 상관 더블 샘플링을 수행하는 단계를 더 포함하는 유기발광 표시장치의 센싱 방법.

청구항 10

제 9 항에 있어서,

상기 제1 상관 더블 샘플링을 수행하는 단계는 상기 제1 샘플링 값을 상기 기준 샘플링 값을 간의 차이를 계산하

는 단계이고,

상기 제2 상관 더블 샘플링을 수행하는 단계는 상기 제2 샘플링 값과 상기 기준 샘플링 값 간의 차이를 계산하는 단계인 유기발광 표시장치의 센싱 방법

청구항 11

제 9 항에 있어서,

상기 제1 리셋 기간에서, 상기 전류-전압 변환기의 제1 입력단은 상기 제1 센싱 채널을 통해 상기 제1 서브 픽셀에 연결되고, 상기 전류-전압 변환기의 제2 입력단은 상기 제2 채널을 통해 상기 제2 서브 픽셀에 연결되며, 상기 전류-전압 변환기의 제1 입력단과 출력단은 쇼트되고,

상기 제1 센싱 기간에서, 상기 전류-전압 변환기의 제1 입력단은 상기 제1 센싱 채널을 통해 상기 제1 서브 픽셀에 연결되고, 상기 전류-전압 변환기의 제2 입력단은 상기 제2 채널을 통해 상기 제2 서브 픽셀에 연결되며, 상기 전류-전압 변환기의 제1 입력단과 출력단은 피드백 저항을 통해 연결되고,

상기 제2 리셋 기간에서, 상기 전류-전압 변환기의 제1 입력단은 상기 제2 센싱 채널을 통해 상기 제2 서브 픽셀에 연결되고, 상기 전류-전압 변환기의 제2 입력단은 상기 제1 채널을 통해 상기 제1 서브 픽셀에 연결되며, 상기 전류-전압 변환기의 제1 입력단과 출력단은 쇼트되고,

상기 제2 센싱 기간에서, 상기 전류-전압 변환기의 제1 입력단은 상기 제2 센싱 채널을 통해 상기 제2 서브 픽셀에 연결되고, 상기 전류-전압 변환기의 제2 입력단은 상기 제1 채널을 통해 상기 제1 서브 픽셀에 연결되며, 상기 전류-전압 변환기의 제1 입력단과 출력단은 피드백 저항을 통해 연결되는 유기발광 표시장치의 센싱 방법.

청구항 12

제 9 항에 있어서,

상기 제1 샘플링 전압에 따른 제1 샘플링 값을 획득하는 단계는, 상기 제1 샘플링 전압을 상기 아날로그-디지털 변환기의 입력 범위에 맞게 레벨 쉬프팅하는 단계와, 레벨 쉬프팅 된 상기 제1 샘플링 전압을 아날로그-디지털 변환하는 단계를 포함하고,

상기 제2 샘플링 전압에 따른 제2 샘플링 값을 획득하는 단계는, 상기 제2 샘플링 전압을 상기 아날로그-디지털 변환기의 입력 범위에 맞게 레벨 쉬프팅하는 단계와, 레벨 쉬프팅 된 상기 제2 샘플링 전압을 아날로그-디지털 변환하는 단계를 포함하는 유기발광 표시장치의 센싱 방법.

발명의 설명

기술 분야

[0001]

본 발명은 센싱 회로와 그를 포함한 유기발광 표시장치, 및 유기발광 표시장치의 센싱 방법에 관한 것이다.

배경 기술

[0002]

액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휙도 및 시야각이 큰 장점이 있다.

[0003]

자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 전원전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004]

유기발광 표시장치는 OLED와 구동 TFT(Thin Film Transistor)를 각각 포함한 화소들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 화소들에서 구현되는 영상의 휙도를 조절한다. 구동 TFT는 자신의 게이트전극과 소스전극 사이에 걸리는 전압에 따라 OLED에 흐르는 구동전류를 제어한다. 구동전류에 따라 OLED의 발광량이 결정되며, OLED의 발광량에 따라 영상의 휙도가 결정된다.

- [0005] 일반적으로 구동 TFT가 포화 영역에서 동작할 때, 구동 TFT의 드레인-소스 사이에 흐르는 픽셀 전류(I_p)는 아래의 수학식 1과 같이 표현된다.
- [0006] [수학식 1]
- [0007] $I_p = 1/2 * (\mu * C * W/L) * (V_{gs} - V_{th})^2$
- [0008] 수학식 1에서, μ 는 전자 이동도를, C 는 게이트 산화막의 정전 용량을, W 는 구동 TFT의 채널 폭을, 그리고 L 은 구동 TFT의 채널 길이를 각각 나타낸다. 그리고, V_{gs} 는 구동 TFT의 게이트-소스 간 전압을 나타내고, V_{th} 는 구동 TFT의 문턱전압(또는 임계전압)을 나타낸다.
- [0009] 문턱 전압, 전자 이동도 등과 같은 구동 TFT의 전기적 특성은 수학식 1에서와 같이 구동 전류(Ids)를 결정하는 팩터(factor)가 되므로 모든 화소들에서 동일해야 한다. 하지만, 공정 특성, 시변 특성 등 다양한 원인에 의해 구동 TFT의 전기적 특성은 화소들 간에 편차가 생긴다. 구동 TFT의 전기적 특성이 다른 화소들에는 동일한 데이터전압을 인가하더라도 휘도 편차가 생기므로, 이러한 특성 편차를 보상하지 않으면 원하는 화상 구현이 어렵다.
- [0010] 구동 TFT의 전기적 특성 편차를 보상하기 위해, 구동 TFT의 전기적 특성을 센싱하고, 그 센싱 결과를 기초로 입력 영상의 디지털 데이터를 보정하는 외부 보상 기술이 알려져 있다. 이 기술은 구동 TFT의 전기적 특성을 센싱하기 위해 소스 드라이버 IC(Integrated Circuit) 내에 센싱 유닛을 실장한다.
- [0011] 기존의 센싱 유닛은 구동 TFT의 소스 노드 전압을 직접 샘플링하기 때문에 센싱에 소요되는 시간이 길다. 구동 TFT의 전기적 특성을 센싱하는 동안에는 화상을 표시할 수 없기 때문에, 센싱 시간이 길어지면 제품 성능이 떨어진다. 기존의 센싱 유닛에서 센싱 시간을 줄이면, 센싱 및 보상이 부정확하게 되어 화질이 저하된다.
- [0012] 기존의 센싱 유닛은 각 센싱 채널을 통해 표시패널의 센싱 라인에 일대일로 연결된다. 센싱 유닛은 센싱 라인의 개수만큼 소스 드라이버 IC에 실장되어야 하므로, 소스 드라이버 IC에서 센싱 유닛이 차지하는 면적이 크다. 따라서, 소스 드라이버 IC의 사이즈를 줄이는 데 한계가 있다.

발명의 내용

해결하려는 과제

- [0013] 따라서, 본 발명의 목적은 공유형 전류 측정용 센싱 유닛을 통해 센싱 시간을 줄이고, 소스 드라이버 IC에서 센싱 유닛이 차지하는 면적을 줄일 수 있도록 한 센싱 회로, 센싱 회로를 포함한 유기발광 표시장치, 및 유기발광 표시장치의 센싱 방법을 제공하는 데 있다.

과제의 해결 수단

- [0014] 상기 목적을 달성하기 위하여, 본 발명의 센싱 회로는 적어도 2개의 센싱 채널들을 통해 표시패널의 서브 픽셀들에 연결된 센싱 회로로서, 제1 서브 픽셀에 접속된 제1 센싱 채널과 제2 서브 픽셀에 접속된 제2 센싱 채널에 공통으로 연결되며, 상기 제1 서브 픽셀로부터의 제1 센싱 전류와 상기 제2 서브 픽셀로부터의 제2 센싱 전류가 선택적으로 입력되는 제1 입력단과, 기준 전압이 입력되는 제2 입력단을 갖는 전류-전압 변환기; 상기 전류-전압 변환기의 제1 입력단을 상기 제1 센싱 채널과 상기 제2 센싱 채널에 선택적으로 연결하는 막스 스위칭부; 및 상기 전류-전압 변환기의 출력 신호를 아날로그-디지털 변환기를 포함한다.
- [0015] 본 발명의 센싱 회로는 상기 전류-전압 변환기의 출력단과 상기 아날로그-디지털 변환기의 입력단 사이에 연결되며, 상기 전류-전압 변환기의 출력 신호를 상기 아날로그-디지털 변환기의 입력 범위에 맞게 레벨 쉬프팅하는 샘플링부를 더 포함한다.
- [0016] 상기 전류-전압 변환기는, 상기 제1 입력단과 출력단 사이에 서로 병렬로 연결되는 피드백 저항 및 리셋 스위치를 포함한 트랜스임피던스 증폭기로 구현된다.
- [0017] 상기 피드백 저항은, 네거티브 온도 계수를 갖는 제1 저항과, 포지티브 온도 계수를 갖는 제2 저항의 직렬 연결로 이루어진다.
- [0018] 상기 막스 스위칭부는, 상기 제1 센싱 채널과 상기 제2 입력단 사이의 전류 흐름을 스위칭하는 제1 스위치; 상기 제1 센싱 채널과 상기 제2 입력단 사이의 전류 흐름을 스위칭하되, 상기 제1 스위치와 반대로 스위칭되는 제

1 역위상 스위치;

[0019] 상기 제2 센싱 채널과 상기 제1 입력단 사이의 전류 흐름을 스위칭하는 제2 스위치; 및 상기 제2 센싱 채널과 상기 제2 입력단 사이의 전류 흐름을 스위칭하되, 상기 제2 스위치와 반대로 스위칭되는 제2 역위상 스위치를 포함하고, 상기 제1 스위치와 상기 제2 스위치는 교번적으로 턴 온 된다.

[0020] 상기 샘플링부는, 상기 전류-전압 변환기의 출력단과 상기 아날로그-디지털 변환기의 입력단 사이에 연결된 제1 샘플링 스위치; 상기 제1 샘플링 스위치와 상기 아날로그-디지털 변환기의 입력단 사이에 일측 전극이 연결된 홀딩 커패시터; 상기 홀딩 커패시터의 타측 전극에 상기 기준 전압을 인가하는 제2 샘플링 스위치; 및 상기 홀딩 커패시터의 타측 전극에 상기 기준 전압과 다른 ADC 전압을 인가하는 출력 제어 스위치를 포함하고, 상기 제1 및 제2 샘플링 스위치는 서로 동기되어 스위칭되고, 상기 출력 제어 스위치는 상기 제1 및 제2 샘플링 스위치와 반대로 스위칭된다.

[0021] 또한, 본 발명에 따른 유기발광 표시장치는 표시패널; 및 적어도 2개의 센싱 채널들을 통해 상기 표시패널의 서브 픽셀들에 연결된 상기 제1 항 내지 제6 항 중 어느 한 항에 기재된 센싱 회로를 포함한다.

[0022] 또한, 본 발명은 표시패널의 제1 및 제2 서브 픽셀에 각각 접속된 제1 및 제2 센싱 채널에 공통으로 연결되며, 센싱 전류가 입력되는 제1 입력단과 기준 전압이 입력되는 제2 입력단을 갖는 전류-전압 변환기와, 상기 전류-전압 변환기의 제1 입력단을 상기 제1 센싱 채널과 상기 제2 센싱 채널에 선택적으로 연결하는 멀티스위칭부와, 상기 전류-전압 변환기의 출력단에 연결된 아날로그-디지털 변환하는 아날로그-디지털 변환기와, 상기 전류-전압 변환기의 출력 신호를 상기 아날로그-디지털 변환기의 입력 범위에 맞게 레벨 쉬프팅하는 샘플링부를 갖는 유기발광 표시장치의 센싱 방법으로서, 프리차지 기간에서, 상기 전류-전압 변환기의 제2 입력단을 상기 제1 및 제2 센싱 채널을 통해 상기 제1 및 제2 서브 픽셀에 연결하여 기준 샘플링 값을 획득하는 단계; 상기 프리차지 기간에 이은 제1 리셋 기간에서, 상기 제1 센싱 채널로부터 입력되는 제1 센싱 전류로 상기 전류-전압 변환기의 제1 입력단과 출력단을 리셋시키는 단계; 상기 제1 리셋 기간에 이은 제1 센싱 기간에서, 상기 제1 센싱 전류에 대응되는 제1 샘플링 전압을 상기 샘플링부에 저장하는 단계; 및 상기 제1 센싱 기간에 이은 제2 리셋 기간에서, 상기 제1 샘플링 전압에 따른 제1 샘플링 값을 획득한 후 상기 제1 샘플링 값과 상기 기준 샘플링 값을 기반으로 제1 상관 더블 샘플링을 수행함과 아울러, 상기 제2 센싱 채널로부터 입력되는 제2 센싱 전류로 상기 전류-전압 변환기의 제1 입력단과 출력단을 리셋시키는 단계를 포함한다.

[0023] 본 발명에 따른 유기발광 표시장치의 센싱 방법은 상기 제2 리셋 기간에 이은 제2 센싱 기간에서, 상기 제2 센싱 전류에 대응되는 제2 샘플링 전압을 상기 샘플링부에 저장하는 단계; 및 상기 제2 센싱 기간에 이은 제3 리셋 기간에서, 상기 제2 샘플링에 따른 제2 샘플링 값을 획득한 후 상기 제2 샘플링 값과 상기 기준 샘플링 값을 기반으로 제2 상관 더블 샘플링을 수행하는 단계를 더 포함한다.

[0024] 상기 제1 상관 더블 샘플링을 수행하는 단계는 상기 제1 샘플링 값과 상기 기준 샘플링 값 간의 차이를 계산하는 단계이고, 상기 제2 상관 더블 샘플링을 수행하는 단계는 상기 제2 샘플링 값과 상기 기준 샘플링 값 간의 차이를 계산하는 단계이다.

[0025] 상기 제1 리셋 기간에서, 상기 전류-전압 변환기의 제1 입력단은 상기 제1 센싱 채널을 통해 상기 제1 서브 픽셀에 연결되고, 상기 전류-전압 변환기의 제2 입력단은 상기 제2 채널을 통해 상기 제2 서브 픽셀에 연결되며, 상기 전류-전압 변환기의 제1 입력단과 출력단은 쇼트되고, 상기 제1 센싱 기간에서, 상기 전류-전압 변환기의 제1 입력단은 상기 제1 센싱 채널을 통해 상기 제1 서브 픽셀에 연결되고, 상기 전류-전압 변환기의 제2 입력단은 상기 제2 채널을 통해 상기 제2 서브 픽셀에 연결되며, 상기 전류-전압 변환기의 제1 입력단과 출력단은 쇼트되고, 상기 제2 센싱 기간에서, 상기 전류-전압 변환기의 제1 입력단은 상기 제2 채널을 통해 상기 제2 서브 픽셀에 연결되고, 상기 전류-전압 변환기의 제2 입력단은 상기 제1 채널을 통해 상기 제1 서브 픽셀에 연결되며, 상기 전류-전압 변환기의 제1 입력단과 출력단은 쇼트되고, 상기 제2 센싱 기간에서, 상기 전류-전압 변환기의 제1 입력단과 출력단은 피드백 저항을 통해 연결되고, 상기 제2 리셋 기간에서, 상기 전류-전압 변환기의 제1 입력단은 상기 제2 채널을 통해 상기 제2 서브 픽셀에 연결되고, 상기 전류-전압 변환기의 제2 입력단은 상기 제1 채널을 통해 상기 제1 서브 픽셀에 연결되며, 상기 전류-전압 변환기의 제1 입력단과 출력단은 피드백 저항을 통해 연결된다.

[0026] 상기 제1 샘플링 전압에 따른 제1 샘플링 값을 획득하는 단계는, 상기 제1 샘플링 전압을 상기 아날로그-디지털 변환기의 입력 범위에 맞게 레벨 쉬프팅하는 단계와, 레벨 쉬프팅 된 상기 제1 샘플링 전압을 아날로그-디지털 변환하는 단계를 포함하고, 상기 제2 샘플링 전압에 따른 제2 샘플링 값을 획득하는 단계는, 상기 제2 샘플링 전압을 상기 아날로그-디지털 변환기의 입력 범위에 맞게 레벨 쉬프팅하는 단계와, 레벨 쉬프팅 된 상기 제2 샘

플링 전압을 아날로그-디지털 변환하는 단계를 포함한다.

발명의 효과

[0027]

본 발명은 적어도 2개 이상의 센싱 채널에 공통으로 연결된 공유형 전류 측정용 센싱 유닛을 이용하여, 소스 드라이버 IC에서 센싱 유닛이 차지하는 면적을 줄일 수 있으며, 센싱 시간을 포함한 센싱 성능을 크게 높일 수 있다.

도면의 간단한 설명

[0028]

도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 블록도이다.

도 2는 본 발명의 센싱 회로와 픽셀 어레이의 연결 구성을 개략적으로 보여주는 블록도이다.

도 3은 본 발명의 픽셀 어레이에 대한 일 예시 구성을 보여주는 도면이다.

도 4는 본 발명의 공유형 전류 측정용 센싱 유닛에 공통으로 연결된 서브 픽셀들에 대한 일 예시 구성을 보여주는 회로도이다.

도 5는 센싱 회로의 구동을 나타내는 구동 과정도이다.

도 6은 도 5의 프리차지 기간(①)에서 센싱 회로의 동작을 나타내는 등가 회로도이다.

도 7은 도 5의 제1 리셋 기간(②)에서 센싱 회로의 동작을 나타내는 등가 회로도이다.

도 8은 도 5의 제1 센싱 기간(③)에서 센싱 회로의 동작을 나타내는 등가 회로도이다.

도 9는 도 5의 제2 리셋 기간(④)에서 센싱 회로의 동작을 나타내는 등가 회로도이다.

도 10은 도 5의 제2 센싱 기간(⑤)에서 센싱 회로의 동작을 나타내는 등가 회로도이다.

도 11은 도 5의 제3 리셋 기간(⑥)에서 센싱 회로의 동작을 나타내는 등가 회로도이다.

도 12는 도 5의 제3 센싱 기간(⑦)에서 센싱 회로의 동작을 나타내는 등가 회로도이다.

도 13은 피드백 저항의 온도 계수를 일정하게 유지시키기 위한 저항 구성을 보여주는 도면이다.

도 14는 온도에 따른 저항값 확인을 위한 시뮬레이션 결과를 보여주는 과정도이다.

발명을 실시하기 위한 구체적인 내용

[0029]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0030]

본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0031]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0032]

위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0033]

비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다.

[0034]

본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적

으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0035] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

[0036] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 블록도이다. 도 2는 본 발명의 센싱 회로와 픽셀 어레이의 연결 구성을 개략적으로 보여주는 블록도이다. 그리고, 도 3은 본 발명의 픽셀 어레이에 대한 일 예시 구성을 보여주는 도면이다.

[0037] 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널(10), 타이밍 콘트롤러(11), 데이터 구동회로(12), 게이트 구동회로(13), 및 메모리(16)를 구비한다.

[0038] 표시패널(10)에는 다수의 데이터라인들(14A) 및 센싱라인들(14B)과, 다수의 게이트라인들(15)이 교차되고, 이 교차영역마다 픽셀들(P)이 매트릭스 형태로 배치된다.

[0039] 각 픽셀(P)은 데이터라인들(14A) 중 어느 하나에, 센싱라인들(14B) 중 어느 하나에, 그리고 게이트라인들(15) 중 어느 하나에 접속된다. 각 픽셀(P)은 게이트라인(15)을 통해 입력되는 게이트펄스에 응답하여, 데이터라인(14A)과 전기적으로 연결됨과 동시에 센싱라인(14B)과 전기적으로 연결된다.

[0040] 픽셀(P) 각각은 다수의 서브 픽셀들을 포함할 수 있다. 일 예로, 각 픽셀(P)은 적색 표시를 위한 제1 서브 픽셀(SPR), 녹색 표시를 위한 제2 서브 픽셀(SPG), 및 청색 표시를 위한 제3 서브 픽셀(SPB)을 포함할 수 있다. 다른 예로, 각 픽셀(P)은 상기 제1 내지 제3 서브 픽셀(SPR, SPG, SPB) 외에 백색 표시를 위한 제4 서브 픽셀(SPW)을 더 포함할 수도 있다.

[0041] 각 서브 픽셀(SPR/SPG/SPB/SPW)은 OLED의 특성치(예: 문턱전압 등), 및/또는 OLED를 구동하는 구동 TFT의 특성치(예: 문턱전압, 이동도 등) 등의 "서브픽셀 특성치"를 센싱하는 데 적합한 회로 구조를 가질 수 있다.

[0042] 각 서브 픽셀(SPR/SPG/SPB/SPW)의 회로 구성은 다양한 변형이 가능하다. 예컨대, 각 서브 픽셀(SPR/SPG/SPB/SPW)은 도 3과 같이 OLED, 구동 TFT(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 구비할 수 있다.

[0043] OLED는 소스 노드(Ns)에 접속된 애노드전극과, 저전위 구동전압(EVSS)의 입력단에 접속된 캐소드전극과, 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다. 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 OLED에 입력되는 전류량을 제어한다. 구동 TFT(DT)는 게이트 노드(Ng)에 접속된 게이트전극, 고전위 구동전압(EVDD)의 입력단에 접속된 드레인전극, 및 소스 노드(Ns)에 접속된 소스전극을 구비한다. 제1 스위치 TFT(ST1)는 게이트펄스(SCAN)에 응답하여 데이터라인(14A) 상의 데이터전압(Vdata)을 게이트 노드(Ng)에 인가한다. 제1 스위치 TFT(ST1)는 게이트라인(15(i))에 접속된 게이트전극, 데이터라인(14A)에 접속된 드레인전극, 및 게이트 노드(Ng)에 접속된 소스전극을 구비한다. 제2 스위치 TFT(ST2)는 게이트펄스(SCAN)에 응답하여 소스 노드(Ns)와 센싱 라인(14B) 간의 전류 흐름을 온/오프한다. 제2 스위치 TFT(ST2)는 게이트라인(15(i))에 접속된 게이트전극, 센싱 라인(14B)에 접속된 드레인전극, 및 소스 노드(Ns)에 접속된 소스전극을 구비한다. 스토리지 커패시터(Cst)는 게이트 노드(Ng)와 소스 노드(Ns) 사이에 접속된다.

[0044] 각 서브 픽셀(SPR/SPG/SPB/SPW)에 포함된 TFT들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있으며, p타입과 n 타입이 혼용된 하이브리드 타입으로 구현될 수도 있다. 또한, 상기 TFT들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물, 또는 이들의 조합된 구성을 포함할 수 있다.

[0045] 센싱 라인(14B)은 표시패널(10) 상에 적어도 하나 배치될 수 있다. 다시 말해, 센싱 라인(14B)은 K($K \geq 2$)개의 서브픽셀 열, 즉, K개의 데이터 라인마다 1개씩 대응되어 배치될 수 있다. 예를 들어, 센싱 라인(14B)은 4개의 서브픽셀 열마다 1개씩 대응되어 배치될 수 있다. 이러한 센싱 라인(14B)은 기준전압 라인(Reference Voltage Line)이라고도 한다. 하나의 센싱 라인(14B)은 K개의 데이터 라인과 대응될 뿐, 그 배치 방향은 다양할 수 있다. 예를 들어, 센싱 라인(14B)은 데이터 라인(14A)과 평행하게 배치될 수도 있고, 데이터 라인(14A)과 교차되게 배치될 수도 있다.

[0046] 센싱 라인(14B)의 개수가 적으면 표시패널(10)의 개구율을 확보하는 데 유리하다. 또한, 센싱 라인(14B)은 각 센싱 채널(CH1~CH6)을 통해 센싱 회로에 연결되기 때문에, 센싱 라인(14B)의 개수가 적으면 센싱 회로를 간소화하는 데 유리하다. 센싱 회로는 각 서브 픽셀을 대상으로 서브픽셀 특성치를 센싱하는 회로이다.

[0047] 본 발명은 센싱 회로에서 입력되는 센싱 결과(SD)를 기초로 입력 영상의 디지털 데이터(DATA)를 보정하는 보상

회로를 더 포함할 수 있다. 보상 회로는 센싱 결과(SD)를 기초로 보상값(보정 개인 및 보정 옵셋)을 산출하고, 이 보상값으로 입력 영상의 디지털 데이터(DATA)를 보정함으로써, 서브 픽셀들 간의 특성치 편차를 보상할 수 있다. 보상 회로는 타이밍 콘트롤러(11)에 내장될 수 있으나, 그에 한정되지 않는다.

[0048] 타이밍 콘트롤러(11)는 센싱 구동과 디스플레이 구동을 정해진 제어 시퀀스에 따라 시간적으로 분리할 수 있다. 여기서, 센싱 구동은 서브픽셀 특성치를 센싱하고 그에 따른 보상값을 업데이트하기 위한 구동이고, 디스플레이 구동은 보상값이 반영된 입력 영상을 표시하기 위한 구동이다. 타이밍 콘트롤러(11)의 제어 동작에 의해, 센싱 구동은 디스플레이 구동 중의 수직 블랭크 기간에서 수행되거나, 또는 디스플레이 구동이 시작되기 전의 파워 온 시퀀스 기간에서 수행되거나, 또는 디스플레이 구동이 끝난 후의 파워 오프 시퀀스 기간에서 수행될 수 있다. 수직 블랭크 기간은 입력 영상 데이터(DATA)가 기입되지 않는 기간으로서, 1 프레임분의 입력 영상 데이터(DATA)가 기입되는 수직 액티브 구간들 사이마다 배치된다. 파워 온 시퀀스 기간은 구동 전원이 인가된 후부터 입력 영상이 표시될 때까지의 파도 기간을 의미한다. 파워 오프 시퀀스 기간은 입력 영상의 표시가 끝난 후부터 구동 전원이 오프 될 때까지의 파도 기간을 의미한다.

[0049] 한편, 센싱 구동은 시스템 전원이 인가되고 있는 도중에 표시장치의 화면만 꺼진 상태, 예컨대, 대기모드, 슬립 모드, 저전력모드 등에서 수행될 수도 있다. 타이밍 콘트롤러(11)는 미리 정해진 감지 프로세스에 따라 대기모드, 슬립모드, 저전력모드 등을 감지하고, 센싱 구동을 위한 제반 동작을 제어할 수 있다.

[0050] 타이밍 콘트롤러(11)는 호스트 시스템으로부터 입력되는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GDC)를 생성할 수 있다. 타이밍 콘트롤러(11)는 디스플레이 구동을 위한 제어신호들(DDC,GDC)과 센싱 구동을 위한 제어신호들(DDC,GDC)을 서로 다르게 생성할 수 있다.

[0051] 게이트 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock) 등을 포함한다. 게이트 스타트 펄스는 첫 번째 출력을 생성하는 게이트 스테이지에 인가되어 그 게이트 스테이지를 제어한다. 게이트 쉬프트 클럭은 게이트 스테이지들에 공통으로 입력되는 클럭신호로써 게이트 스타트 펄스를 쉬프트시키기 위한 클럭신호이다.

[0052] 데이터 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse), 소스 샘플링 클럭(Source Sampling Clock), 및 소스 출력 인에이블신호(Source Output Enable) 등을 포함한다. 소스 스타트 펄스는 데이터 구동회로(12)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭은 라이징 또는 폴링 에지에 기준하여 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호는 데이터 구동회로(12)의 출력 타이밍을 제어한다.

[0053] 타이밍 콘트롤러(11)는 센싱 구동시 보상 회로에서 계산된 보상값을 메모리(16)에 저장할 수 있다. 메모리(16)에 저장되는 보상값은 센싱 구동시마다 업데이트 될 수 있고, 그에 따라 서브픽셀 특성치 변화가 용이하게 보상될 수 있다. 타이밍 콘트롤러(11)는 디스플레이 구동시 메모리(16)로부터 읽어들인 보상값을 보상 회로에 공급할 수 있다. 보상 회로는 보상값을 기초로 입력 영상의 디지털 데이터(DATA)를 보정하여 데이터 구동회로(12)에 공급한다.

[0054] 데이터 구동회로(12)는 적어도 하나 이상의 소스 드라이버 IC(Integrated Circuit)를 포함한다. 소스 드라이버 IC에는 데이터라인들(14A)에 연결된 다수의 디지털-아날로그 컨버터(이하, DAC)들이 구비된다.

[0055] 소스 드라이버 IC의 DAC는 디스플레이 구동시 타이밍 콘트롤러(11)로부터 인가되는 데이터 타이밍 제어신호(DDC)에 따라 입력 영상 데이터(DATA)를 디스플레이용 데이터전압으로 변환하여 데이터라인들(14A)에 공급한다. 디스플레이용 데이터전압은 입력 영상의 계조에 따라 달라지는 전압이다.

[0056] 소스 드라이버 IC의 DAC는 센싱 구동시 타이밍 콘트롤러(11)로부터 인가되는 데이터 타이밍 제어신호(DDC)에 따라 센싱용 데이터전압을 생성하여 데이터라인들(14A)에 공급한다. 센싱용 데이터전압은 센싱 구동시 각 서브 픽셀에 구비된 구동 TFT를 턴 온 시킬 수 있는 전압이다. 센싱용 데이터전압은 모든 서브 픽셀들에 대해 동일한 값으로 생성될 수 있다. 또한, 서브 픽셀 특성이 컬러별로 다름을 감안하여, 센싱용 데이터전압은 컬러 별로 다른 값으로 생성될 수 있다.

[0057] 소스 드라이버 IC의 DAC는 1개의 센싱 라인(14B)을 공유하는 다수의 서브 픽셀들(SPR,SPG,SPB,SPW) 중에서 센싱 대상이 되는 일 서브 픽셀에만 센싱용 데이터전압을 인가하고, 센싱 대상이 되지 않는 나머지 서브 픽셀들에는 비 센싱용 데이터전압으로 미리 정의된 블랙데이터 전압을 인가한다. 블랙데이터 전압은 구동 TFT(DT)를 오프

시킬 수 있는 전압이다. 블랙데이터 전압에서 기준전압을 뺀 값은 구동 TFT(DT)의 문턱전압보다 같거나 작다.

[0058] 일 픽셀라인($L_i, L_{i+1}, L_{i+2}, L_{i+3} \dots$)에 배치된 서브 픽셀들은 컬러 단위로 센싱될 수 있다. 이를 위해, 소스 드라이버 IC의 DAC는 일 픽셀라인($L_i, L_{i+1}, L_{i+2}, L_{i+3} \dots$)에 배치된 서브 픽셀들 중에서, 제1 컬러의 서브 픽셀들에만 센싱용 데이터전압을 인가하고, 제1 컬러의 서브 픽셀들에 대한 센싱이 완료된 이후에 제2 컬러의 서브픽셀들에 센싱용 데이터전압을 인가할 수 있다.

[0059] 소스 드라이버 IC는 센싱 회로를 포함할 수 있다. 센싱 회로는 센싱 유닛(SU)과 아날로그-디지털 변환기(ADC)를 포함한다. 본 발명은 하나의 센싱 유닛(SU)을 다수의 센싱 채널들(CH1~CH3, 또는 CH4~CH6)에 공통으로 연결하여 센싱에 필요한 센싱 유닛(SU)의 개수를 줄인다. 본 발명은 센싱 유닛(SU)을 전류 측정용 센싱 유닛으로 구현하여 센싱 시간을 줄이고, 센싱 가능 범위를 넓힐 수 있다. 공유형 전류 측정용 센싱 유닛을 포함한 본 발명의 센싱 회로에 대해서는 도 4를 통해 후술한다.

[0060] 게이트 구동회로(13)는 디스플레이 구동시 게이트 제어신호(GDC)를 기반으로 디스플레이용 게이트펄스를 생성한 후, 픽셀라인들($L_i, L_{i+1}, L_{i+2}, L_{i+3} \dots$)에 연결된 게이트라인들(15(i)~15(i+3))에 순차 공급한다. 픽셀라인들($L_i, L_{i+1}, L_{i+2}, L_{i+3} \dots$)은 수평으로 이웃한 픽셀들(P)의 집합을 의미한다.

[0061] 게이트 구동회로(13)는 센싱 구동시 게이트 제어신호(GDC)를 기반으로 센싱용 게이트펄스를 생성한 후, 픽셀라인들($L_i, L_{i+1}, L_{i+2}, L_{i+3} \dots$)에 연결된 게이트라인들(15(i)~15(i+3))에 공급한다. 센싱용 게이트펄스는 디스플레이용 게이트펄스에 비해 온 펄스 구간이 넓을 수 있다. 센싱용 게이트펄스의 온 펄스 구간은 1 라인 센싱 온 타임 내에, 한 개 또는 다수 개 포함될 수 있다. 여기서, 1 라인 센싱 온 타임이란 1 픽셀라인(예를 들어, L_i)을 센싱하는 데 할애되는 스캔 시간을 의미한다.

[0062] 도 4는 본 발명의 센싱 회로에 공통으로 연결된 서브 픽셀들에 대한 일 예시 구성을 보여주는 회로도이다.

[0063] 도 4를 참조하면, 본 발명의 센싱 회로에 포함된 공유형 전류 측정용 센싱 유닛(SU)은 적어도 2 이상의 센싱 채널들(CH1, CH2, CH3)에 공통으로 연결되어, 센싱 채널들(CH1, CH2, CH3)로부터 입력되는 서브 픽셀들(SP1, SP2, SP3)의 센싱 전류를 순차적으로 센싱할 수 있다.

[0064] 센싱 채널들(CH1, CH2, CH3)을 통해 공유형 전류 측정용 센싱 유닛(SU)에 연결되는 서브 픽셀들(SP1, SP2, SP3)은 동일한 게이트펄스(SCAN)에 따라 동작되며, 또한 서로 다른 센싱 라인들(14B)에 연결된다.

[0065] 게이트펄스(SCAN)가 온 레벨로 입력될 때, 제1 서브 픽셀(SP1)에는 제1 센싱용 데이터전압(Vdata1)이 인가되고, 제2 서브 픽셀(SP2)에는 제2 센싱용 데이터전압(Vdata2)이 인가되며, 제3 서브 픽셀(SP3)에는 제3 센싱용 데이터전압(Vdata3)이 인가된다. 여기서, 제1 내지 제3 센싱용 데이터전압(Vdata1~Vdata3)은 각각 제1 내지 제3 서브 픽셀(SP1, SP2, SP3)에 포함된 구동 TFT를 턴 온 시켜, 해당 구동 TFT에 센싱 전류를 흐르게 할 수 있는 전압으로서, 서로 같은 수도 있고, 또한 서로 다를 수도 있다. 제1 내지 제3 센싱용 데이터전압(Vdata1~Vdata3)에 의해, 제1 내지 제3 서브 픽셀(SP1, SP2, SP3)에는 각각 제1 내지 제3 센싱 전류가 흐른다. 이러한 제1 내지 제3 센싱 전류에는 서브픽셀 특성치가 반영되어 있다.

[0066] 제1 내지 제3 센싱 전류는 센싱 회로 내의 공유형 전류 측정용 센싱 유닛(SU)에서 샘플링된 후에, 아날로그-디지털 변환기를 통해 디지털 레벨의 센싱 결과로 출력된다. 공유형 전류 측정용 센싱 유닛(SU)은 제1 내지 제3 센싱 전류를 측정하기 위해, 전류-전압 변환기(TIA)와, 막스 스위칭부(MUX)를 포함할 수 있으며, 경우에 따라서는 샘플링부(SH)를 더 포함할 수도 있다.

[0067] 전류-전압 변환기(TIA)는 적어도 2개의 센싱 채널, 예를 들어 제1 서브 픽셀(SP1)에 접속된 제1 센싱 채널(CH1)과 제2 서브 픽셀(SP2)에 접속된 제2 센싱 채널(CH2)에 공통으로 연결되며, 센싱 전류가 입력되는 제1 입력단(-)과 기준 전압(Vref)이 입력되는 제2 입력단(+)을 갖는다. 전류-전압 변환기(TIA)의 제1 입력단(-)에는 제1 서브 픽셀(SP1)로부터의 제1 센싱 전류와 제2 서브 픽셀(SP2)로부터의 제2 센싱 전류가 선택적으로 입력된다. 한편, 전류-전압 변환기(TIA)는 도 4와 같이 2개의 센싱 채널(CH1, CH2)이 아닌 3개의 센싱 채널(CH1, CH2, CH3)에 공통으로 연결될 수도 있다.

[0068] 전류-전압 변환기(TIA)는 센싱 전류를 전압으로 변환한다. 전류-전압 변환기(TIA)는 제1 입력단(-)과 출력단 사이에 서로 병렬로 연결되는 피드백 저항(Rf) 및 리셋 스위치(SRST)를 포함한 트랜스임피던스 증폭기(Transimpedance Amplifier)로 구현될 수 있다. 피드백 저항(Rf)을 통해 센싱 전류가 흐르면, 피드백 저항(Rf)의 양단에 센싱 전압만큼의 전위차가 생기며, 이 전위차는 센싱 전류에 비례한다.

[0069] 피드백 저항(Rf)은 온도에 따라 저항값이 변할 수 있다. 도 14에서와 같이 저항값이 변하면, 센싱 전압(Vx)이

왜곡되므로, 피드백 저항(Rf)의 저항 온도 계수(Temperature Coefficient of Resistance, TCR)는 일정하게 유지되는 것이 좋다. 도 14는 온도에 따른 저항값 확인을 위한 시뮬레이션 결과로서, 온도에 따른 저항값 변화량에 비례하여 출력 전압(Vx)이 변하는 것을 보여주고 있다.

[0070] 저항 온도 계수를 일정하게 유지시키기 위해, 피드백 저항(Rf)은 도 13과 같이 네거티브 온도 계수를 갖는 제1 저항(Rppo_ns)과, 포지티브 온도 계수를 갖는 제2 저항(Rppo_s)의 직렬 연결로 이루어질 수 있다. 도 13은 피드백 저항의 온도 계수를 일정하게 유지시키기 위한 저항 구성을 보여주고 있다.

[0071] 멀티 스위칭부(MUX)는 전류-전압 변환기(TIA)의 제1 입력단(-)을 적어도 2개 이상의 센싱 채널들(CH1, CH2, CH3)에 선택적으로 연결한다. 멀티 스위칭부(MUX)는 제1 스위치(SW1)와 제1 역위상 스위치(SWB1), 제2 스위치(SW2)와 제2 역위상 스위치(SWB2)를 포함할 수 있으며, 제3 스위치(SW3)와 제3 역위상 스위치(SWB3)을 더 포함할 수도 있다.

[0072] 제1 스위치(SW1)는 제1 센싱 채널(CH1)과 제1 입력단(-) 사이의 전류 흐름을 스위칭한다. 제1 역위상 스위치(SWB1)는 제1 센싱 채널(CH1)과 제2 입력단(+) 사이의 전류 흐름을 스위칭하되, 제1 스위치(SW1)와 반대로 스위칭된다. 제2 스위치(SW2)는 제2 센싱 채널(CH2)과 제1 입력단(-) 사이의 전류 흐름을 스위칭한다. 그리고, 제2 역위상 스위치(SWB2)는 제2 센싱 채널(CH2)과 제2 입력단(+) 사이의 전류 흐름을 스위칭하되, 제2 스위치(SW2)와 반대로 스위칭된다. 제3 스위치(SW3)는 제3 센싱 채널(CH3)과 제1 입력단(-) 사이의 전류 흐름을 스위칭한다. 제3 역위상 스위치(SWB3)는 제3 센싱 채널(CH3)과 제2 입력단(+) 사이의 전류 흐름을 스위칭하되, 제3 스위치(SW3)와 반대로 스위칭된다.

[0073] 샘플링부(SH)는 전류-전압 변환기(TIA)의 출력 신호(Vout)를 아날로그-디지털 변환기(ADC)의 입력 범위에 맞게 레벨 쉬프팅한다. 샘플링부(SH)는 전류-전압 변환기(TIA)의 출력단과 아날로그-디지털 변환기(ADC)의 입력단 사이에 연결된다. 샘플링부(SH)는 제1 및 제2 샘플링 스위치(DW), 출력제어 스위치(DWB), 및 홀딩 커패시터(Cd)를 포함한다.

[0074] 제1 샘플링 스위치(DW)는 전류-전압 변환기(TIA)의 출력단과 아날로그-디지털 변환기(ADC)의 입력단 사이에 연결된다. 홀딩 커패시터(Cd)는 제1 샘플링 스위치(DW)와 아날로그-디지털 변환기(ADC)의 입력단 사이에 일측 전극이 연결된다. 제2 샘플링 스위치(DW)는 홀딩 커패시터(Cd)의 타측 전극과 기준 전압(Vref) 입력단 사이에 연결되어, 홀딩 커패시터(Cd)의 타측 전극에 기준 전압(Vref)을 인가한다. 출력제어 스위치(DWB)는 홀딩 커패시터(Cd)의 타측 전극과 ADC 전압(Vadc) 입력단 사이에 연결되어, 홀딩 커패시터(Cd)의 타측 전극에 기준 전압(Vref)과 다른 ADC 전압(Vadc)을 인가한다.

[0075] 제1 및 제2 샘플링 스위치(DW)는 서로 동기되어 스위칭되고, 출력 제어 스위치(DWB)는 제1 및 제2 샘플링 스위치(DW)와 반대로 스위칭된다. ADC 전압(Vadc)은 아날로그-디지털 변환기(ADC)의 입력 범위를 고려하여 설정되는 전압이다. 기준 전압(Vref)은 서브 픽셀 내의 구동 TFT와 OLED의 특성을 고려하여 결정되는데, 센싱 시간, 센싱 감도 등을 감안하여 ADC 전압(Vadc)보다 높게 설정될 수 있다. 홀딩 커패시터(Cd)의 타측 전위는, 제2 샘플링 스위치(DW)가 터온 되면 기준 전압(Vref)이 되고, 출력제어 스위치(DWB)가 터온 되면 ADC 전압(Vadc)이 된다. 따라서, 출력제어 스위치(DWB)가 터온 될 때, 홀딩 커패시터(Cd)의 일측 전위는 대략 "Vref-Vadc"만큼 낮아지고, 출력 신호(Vout)의 전위는 다운 레벨 쉬프팅 될 수 있다.

[0076] 도 5는 센싱 회로의 구동을 나타내는 구동 파형도이다. 그리고, 도 6 내지 도 12는 동작 순서에 따른 센싱 회로의 등가 회로들이다.

[0077] 먼저, 도 5 및 도 6을 참조하여 프리차지 기간(①)에서 센싱 회로의 동작을 설명한다.

[0078] 프리차지 기간(①)에서 제1 내지 제3 역위상 스위치(SWB1, SWB2, SWB3)는 터온되어 전류-전압 변환기(TIA)의 제2 입력단(+)을 제1 내지 제3 서브 픽셀(SP1, SP2, SP3) 각각의 소스 노드(Ns)와 연결한다. 제1 내지 제3 서브 픽셀(SP1, SP2, SP3) 각각의 소스 노드(Ns)는 제1 내지 제3 센싱 채널(CH1, CH2, CH3)과 제1 내지 제3 센싱 라인(14B)을 통해 입력되는 기준 전압(Vref)으로 프리차지 된다.

[0079] 프리차지 기간(①)에서 홀딩 커패시터(Cd)의 타측 전극에 기준 전압(Vref)을 인가하여 전류-전압 변환기(TIA)의 출력 신호(Vout)를 샘플링한 후, 홀딩 커패시터(Cd)의 타측 전극의 연결 전원을 기준 전압(Vref)에서 ADC 전압(Vadc)으로 바꾸면, 출력 신호(Vout)가 "Vref-Vadc"만큼 다운 레벨 쉬프팅되어 기준 샘플링 값(Vr)이 된다. 기준 샘플링 값(Vr)에는 전류-전압 변환기(TIA)의 음셋치와 샘플링부(SH)의 스위칭 에러치 등이 포함되어 있다.

[0080] 이어서, 도 5 및 도 7을 참조하여 제1 리셋 기간(②)에서 센싱 회로의 동작을 설명한다.

- [0081] 제1 리셋 기간(②)에서 제1 센싱용 데이터전압(Vdata1)이 인가됨에 따라 제1 서브 픽셀(SP1)의 구동 TFT(DT)에는 제1 센싱 전류(Isen[1])가 흐른다. 제1 리셋 기간(②)에서, 제1 역위상 스위치(SWB1)는 턴 오프되고 제1 스위치(SW1)는 턴 온 되므로, 제1 센싱 전류(Isen[1])가 제1 센싱 라인과 제1 센싱 채널(CH1)을 경유하여 전류-전압 변환기(TIA)에 입력된다. 이때, 리셋 스위치(SRST)는 턴 온되므로, 전류-전압 변환기(TIA)의 제1 입력단(-)과 출력단은 제1 센싱 전류(Isen[1])에 의해 리셋 된다. 제1 리셋 기간(②)에서 피드백 저항(Rf)에 의해 제1 센싱 전류(Isen[1])의 세틀링 타임(settling time)이 최소화되고, 출력 신호(Vout)는 기준 전압(Vref)이 된다.
- [0082] 제1 리셋 기간(②)에서 제2 및 제3 역위상 스위치(SWB2, SWB3)는 턴 온 상태를 유지하여, 제2 및 제3 서브 픽셀(SP2, SP3) 각각의 소스 노드(Ns)를 계속해서 기준 전압(Vref)으로 프리차지 시킴으로써 세틀링 타임을 최소화한다.
- [0083] 이어서, 도 5 및 도 8을 참조하여 제1 센싱 기간(③)에서 센싱 회로의 동작을 설명한다.
- [0084] 제1 센싱 기간(③)에서는 제1 리셋 기간(②)과 달리 리셋 스위치(SRST)가 턴 오프된다. 리셋 스위치(SRST)가 턴 오프 되면, 제1 센싱 전류(Isen[1])가 전류-전압 변환기(TIA)의 피드백 저항(Rf)을 통해 흐르고, 피드백 저항(Rf)에는 제1 센싱 전압(Vsen[1])만큼의 전위차가 생긴다. 이때, 홀딩 커패시터(Cd)의 타측 전극에 기준 전압(Vref)을 연결하고 제1 및 제2 샘플링 스위치(DW)를 턴 온 시키면, "Vref- Vsen[1]"로 정의되는 제1 샘플링전압이 출력 신호(Vout)로서 홀딩 커패시터(Cd)에 저장된다. 제1 센싱 기간(③)에서 출력 신호(Vout)는 "Vref- Vsen[1]"로 정의되는 제1 샘플링전압이 된다. 이 방식에 의하면, 기준 전압(Vref)에 노이즈가 혼입되어도 제1 샘플링전압에서 소거가 된다.
- [0085] 제1 센싱 기간(③)에서 제2 및 제3 역위상 스위치(SWB2, SWB3)는 턴 온 상태를 유지하여, 제2 및 제3 서브 픽셀(SP2, SP3) 각각의 소스 노드(Ns)를 계속해서 기준 전압(Vref)으로 프리차지 시킴으로써 세틀링 타임을 최소화한다. 센싱 에러와 세틀링 타임을 줄이기 위해 막스 스위칭부(MUX)의 스위치들은 동일한 사이즈가 설계됨이 바람직하다.
- [0086] 이어서, 도 5 및 도 9를 참조하여 제2 리셋 기간(④)에서 센싱 회로의 동작을 설명한다.
- [0087] 제2 리셋 기간(④)에서 제1 및 제2 샘플링 스위치(DW)를 턴 오프 시키고 홀딩 커패시터(Cd)의 타측 전극에 연결되는 전원을 기준 전압(Vref)에서 ADC 전압(Vadc)로 바꾸면, 홀딩 커패시터(Cd)에 저장되어 있던 제1 샘플링전압이 "Vref-Vadc"만큼 다운 레벨 쉬프팅되어 제1 샘플링 값(V1)이 된다. 제2 리셋 기간(④)에서 기준 샘플링 값(Vr)과 제1 샘플링 값(V1)은 아날로그-디지털 변환된 후 제1 상관 더블 샘플링 프로세스를 거친다. 제1 상관 더블 샘플링 프로세스에서는 제1 샘플링 값(V1)과 기준 샘플링 값(Vr) 간의 감산을 수행하여, 제1 샘플링 값(V1)에 포함된 전류-전압 변환기(TIA)의 음셋치와 샘플링부(SH)의 스위칭 에러치를 제거한다.
- [0088] 한편, 제2 리셋 기간(④)에서 제2 센싱용 데이터전압(Vdata2)이 인가됨에 따라 제2 서브 픽셀(SP2)의 구동 TFT(DT)에 제2 센싱 전류(Isen[2])가 흐른다. 제2 리셋 기간(④)에서, 제2 역위상 스위치(SWB2)는 턴 오프되고 제2 스위치(SW2)는 턴 온 되므로, 제2 센싱 전류(Isen[2])가 제2 센싱 라인과 제2 센싱 채널(CH2)을 경유하여 전류-전압 변환기(TIA)에 입력된다. 이때, 리셋 스위치(SRST)는 턴 온 되므로, 전류-전압 변환기(TIA)의 제1 입력단(-)과 출력단은 제2 센싱 전류(Isen[2])에 의해 리셋 된다. 제2 리셋 기간(④)에서 피드백 저항(Rf)에 의해 제2 센싱 전류(Isen[2])의 세틀링 타임(settling time)이 최소화 된다.
- [0089] 제2 리셋 기간(④)에서 제1 및 제3 역위상 스위치(SWB1, SWB3)는 턴 온 되어, 제1 및 제3 서브 픽셀(SP1, SP3) 각각의 소스 노드(Ns)를 기준 전압(Vref)으로 프리차지 시킴으로써 세틀링 타임을 최소화한다.
- [0090] 이어서, 도 5 및 도 10을 참조하여 제2 센싱 기간(⑤)에서 센싱 회로의 동작을 설명한다.
- [0091] 제2 센싱 기간(⑤)에서는 제2 리셋 기간(④)과 달리 리셋 스위치(SRST)가 턴 오프 된다. 리셋 스위치(SRST)가 턴 오프 되면, 제2 센싱 전류(Isen[2])가 전류-전압 변환기(TIA)의 피드백 저항(Rf)을 통해 흐르고, 피드백 저항(Rf)에는 제2 센싱 전압(Vsen[2])만큼의 전위차가 생긴다. 이때, 홀딩 커패시터(Cd)의 타측 전극에 기준 전압(Vref)을 연결하고 제1 및 제2 샘플링 스위치(DW)를 턴 온 시키면, "Vref- Vsen[2]"로 정의되는 제2 샘플링전압이 출력 신호(Vout)로서 홀딩 커패시터(Cd)에 저장된다. 제2 센싱 기간(⑤)에서 출력 신호(Vout)는 "Vref- Vsen[2]"로 정의되는 제2 샘플링전압이 된다. 이 방식에 의하면, 기준 전압(Vref)에 노이즈가 혼입되어도 제2 샘플링전압에서 소거가 된다.
- [0092] 제2 센싱 기간(⑤)에서 제1 및 제3 역위상 스위치(SWB1, SWB3)는 턴 온 상태를 유지하여, 제1 및 제3 서브 픽셀(SP1, SP3) 각각의 소스 노드(Ns)를 계속해서 기준 전압(Vref)으로 프리차지 시킴으로써 세틀링 타임을 최소화한

다.

[0093] 이어서, 도 5 및 도 11을 참조하여 제3 리셋 기간(⑥)에서 센싱 회로의 동작을 설명한다.

[0094] 제3 리셋 기간(⑥)에서 제1 및 제2 샘플링 스위치(DW)를 턴 오프 시키고 홀딩 커패시터(Cd)의 타측 전극에 연결되는 전원을 기준 전압(Vref)에서 ADC 전압(Vadc)로 바꾸면, 홀딩 커패시터(Cd)에 저장되어 있던 제2 샘플링전 압이 "Vref-Vadc"만큼 다운 레벨 쉬프팅되어 제2 샘플링 값(V2)이 된다. 제3 리셋 기간(⑥)에서 기준 샘플링 값(Vr)과 제2 샘플링 값(V2)은 아날로그-디지털 변환된 후 제2 상관 더블 샘플링 프로세스를 거친다. 제2 상관 더블 샘플링 프로세스에서는 제2 샘플링 값(V2)과 기준 샘플링 값(Vr) 간의 감산을 수행하여, 제2 샘플링 값(V2)에 포함된 전류-전압 변환기(TIA)의 옵셋치와 샘플링부(SH)의 스위칭 에러치를 제거한다.

[0095] 한편, 제3 리셋 기간(⑥)에서 제3 센싱용 데이터전압(Vdata3)이 인가됨에 따라 제3 서브 핵셀(SP3)의 구동 TFT(DT)에 제3 센싱 전류(Isen[3])가 흐른다. 제3 리셋 기간(⑥)에서, 제3 역위상 스위치(SWB3)는 턴 오프되고 제3 스위치(SW3)는 턴 온 되므로, 제3 센싱 전류(Isen[3])가 제3 센싱 라인과 제3 센싱 채널(CH3)을 경유하여 전류-전압 변환기(TIA)에 입력된다. 이때, 리셋 스위치(SRST)는 턴 온 되므로, 전류-전압 변환기(TIA)의 제1 입력단(-)과 출력단은 제3 센싱 전류(Isen[3])에 의해 리셋 된다. 제3 리셋 기간(⑥)에서 피드백 저항(Rf)에 의해 제3 센싱 전류(Isen[3])의 세틀링 타임(settling time)이 최소화 된다.

[0096] 제3 리셋 기간(⑥)에서 제1 및 제2 역위상 스위치(SWB1, SWB2)는 턴 온 되어, 제1 및 제2 서브 핵셀(SP1, SP2) 각각의 소스 노드(Ns)를 기준 전압(Vref)으로 프리차지 시킴으로써 세틀링 타임을 최소화한다.

[0097] 이어서, 도 5 및 도 12를 참조하여 제3 센싱 기간(⑦)에서 센싱 회로의 동작을 설명한다.

[0098] 제3 센싱 기간(⑦)에서는 제3 리셋 기간(⑥)과 달리 리셋 스위치(SRST)가 턴 오프 된다. 리셋 스위치(SRST)가 턴 오프 되면, 제3 센싱 전류(Isen[3])가 전류-전압 변환기(TIA)의 피드백 저항(Rf)을 통해 흐르고, 피드백 저항(Rf)에는 제3 센싱 전압(Vsen[3])만큼의 전위차가 생긴다. 이때, 홀딩 커패시터(Cd)의 타측 전극에 기준 전압(Vref)을 연결하고 제1 및 제2 샘플링 스위치(DW)를 턴 온 시키면, "Vref- Vsen[3]"로 정의되는 제3 샘플링전압이 출력 신호(Vout)로서 홀딩 커패시터(Cd)에 저장된다. 제3 센싱 기간(⑦)에서 출력 신호(Vout)는 "Vref- Vsen[3]"로 정의되는 제3 샘플링전압이 된다. 이 방식에 의하면, 기준 전압(Vref)에 노이즈가 혼입되어도 제3 샘플링전압에서 소거가 된다.

[0099] 제3 센싱 기간(⑦)에서 제1 및 제2 역위상 스위치(SWB1, SWB2)는 턴 온 상태를 유지하여, 제1 및 제2 서브 핵셀(SP1, SP2) 각각의 소스 노드(Ns)를 계속해서 기준 전압(Vref)으로 프리차지 시킴으로써 세틀링 타임을 최소화한다.

[0100] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

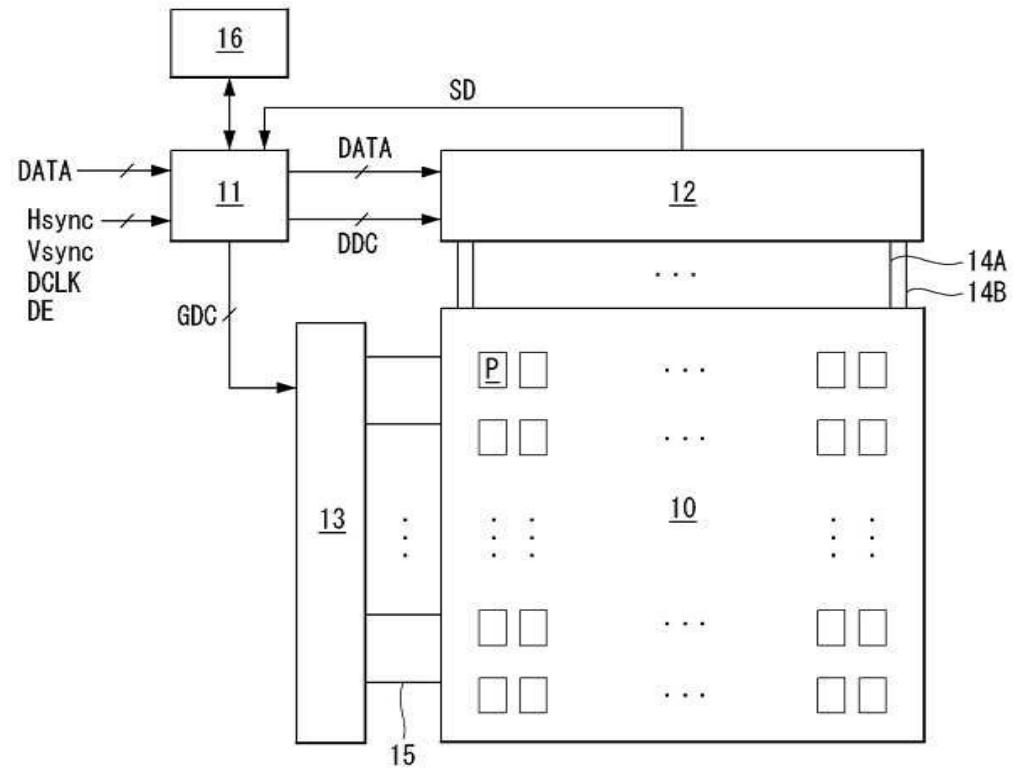
[0101] 10 : 표시패널 11 : 타이밍 콘트롤러

12 : 데이터 구동회로 13 : 게이트 구동회로

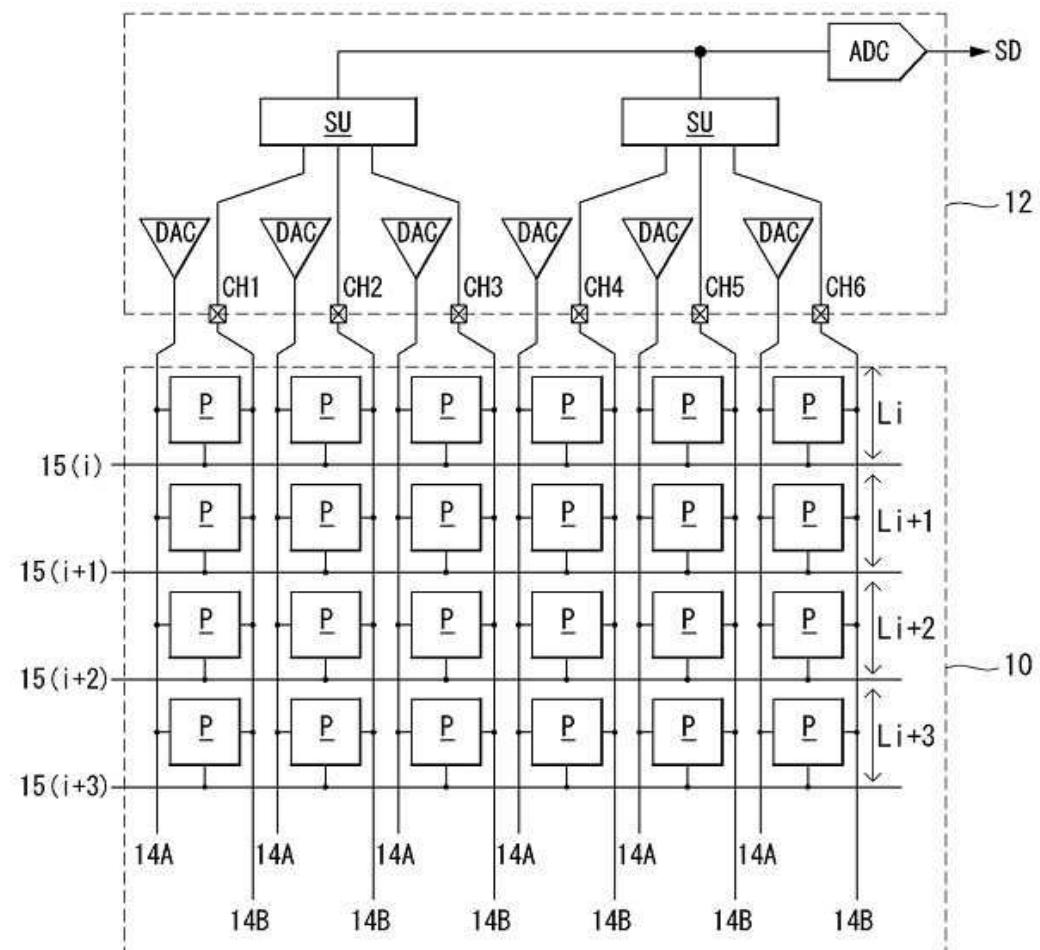
14B : 센싱 라인 16 : 메모리

도면

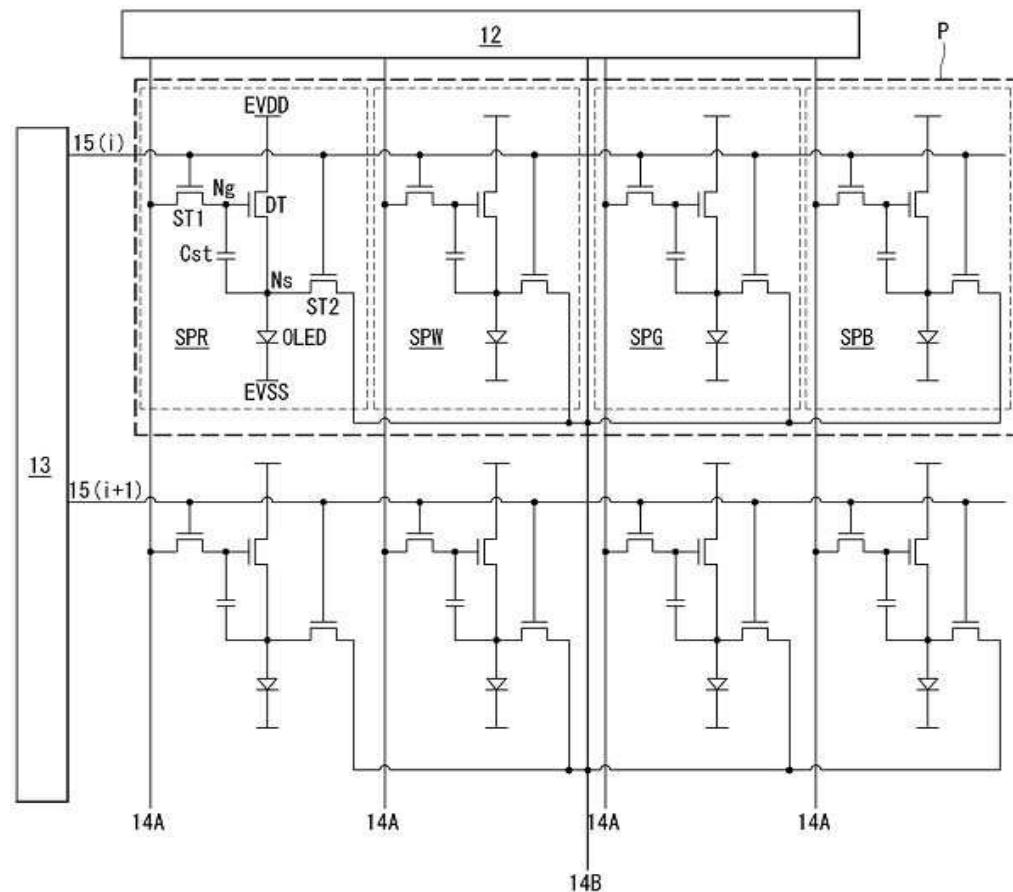
도면1



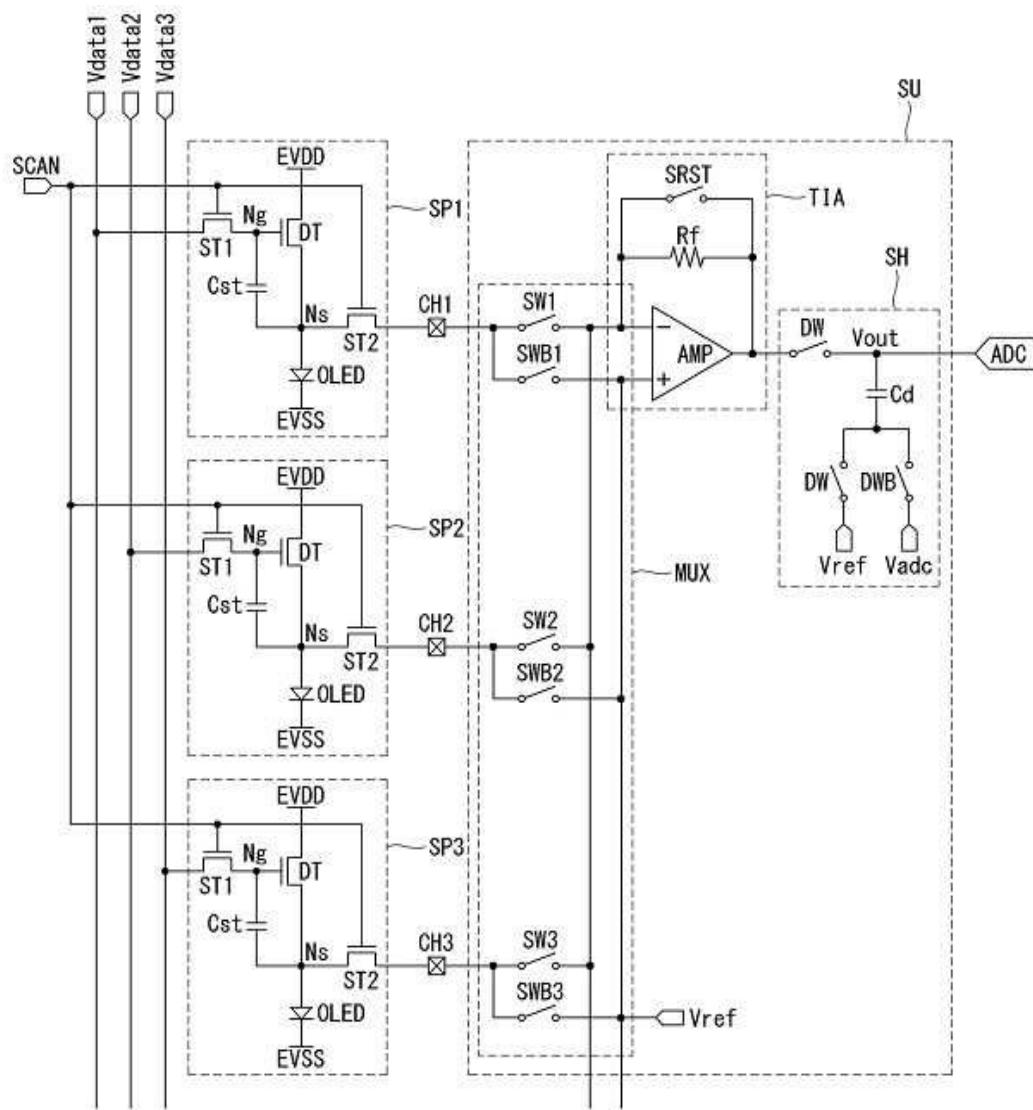
도면2



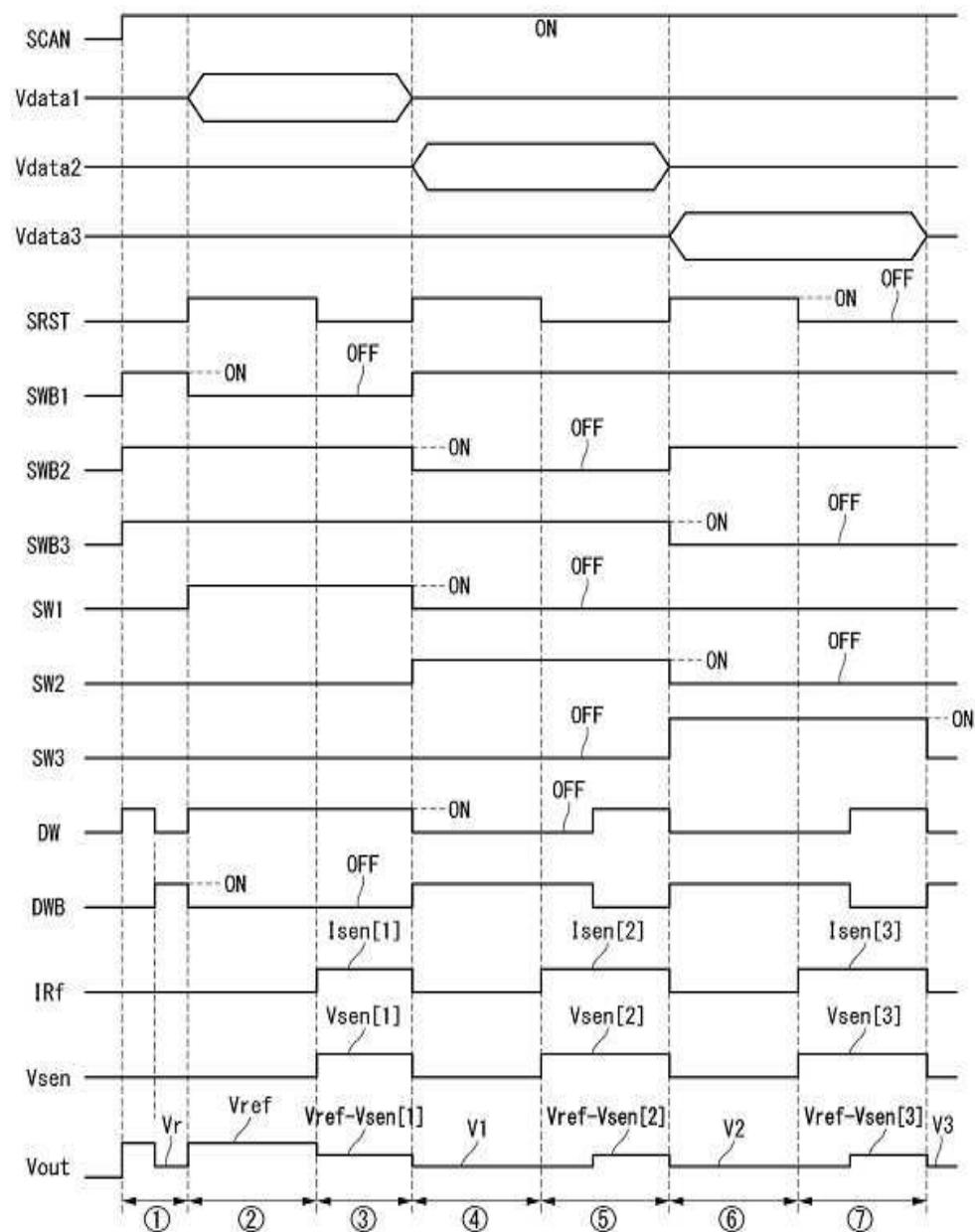
도면3



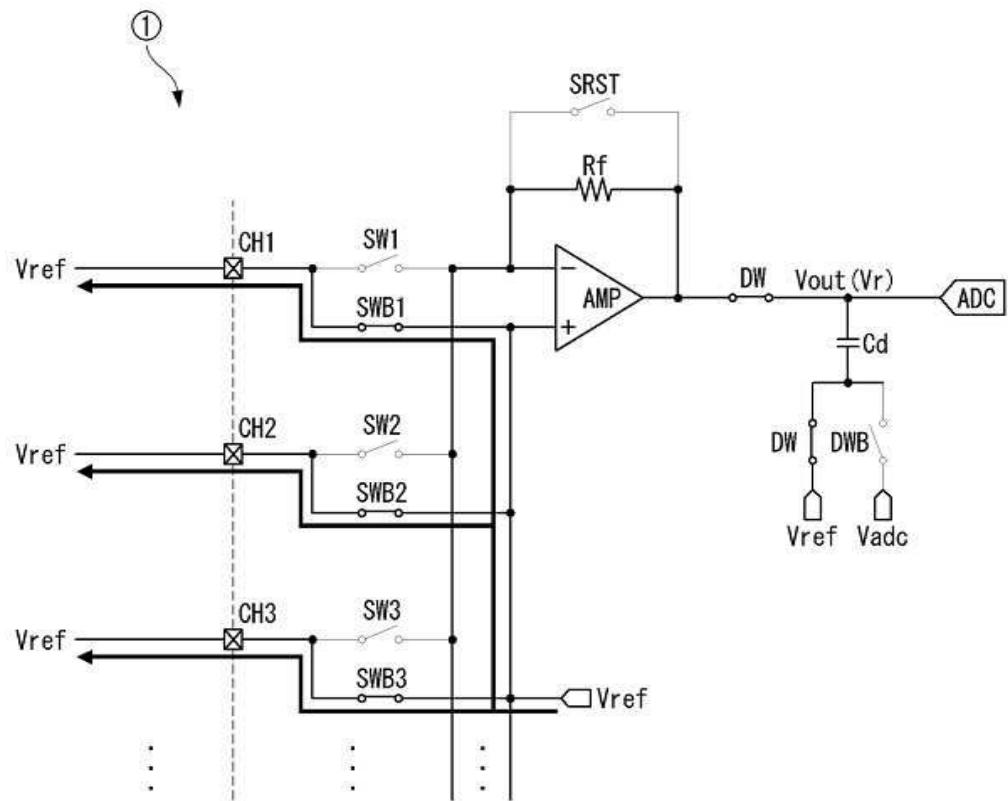
도면4



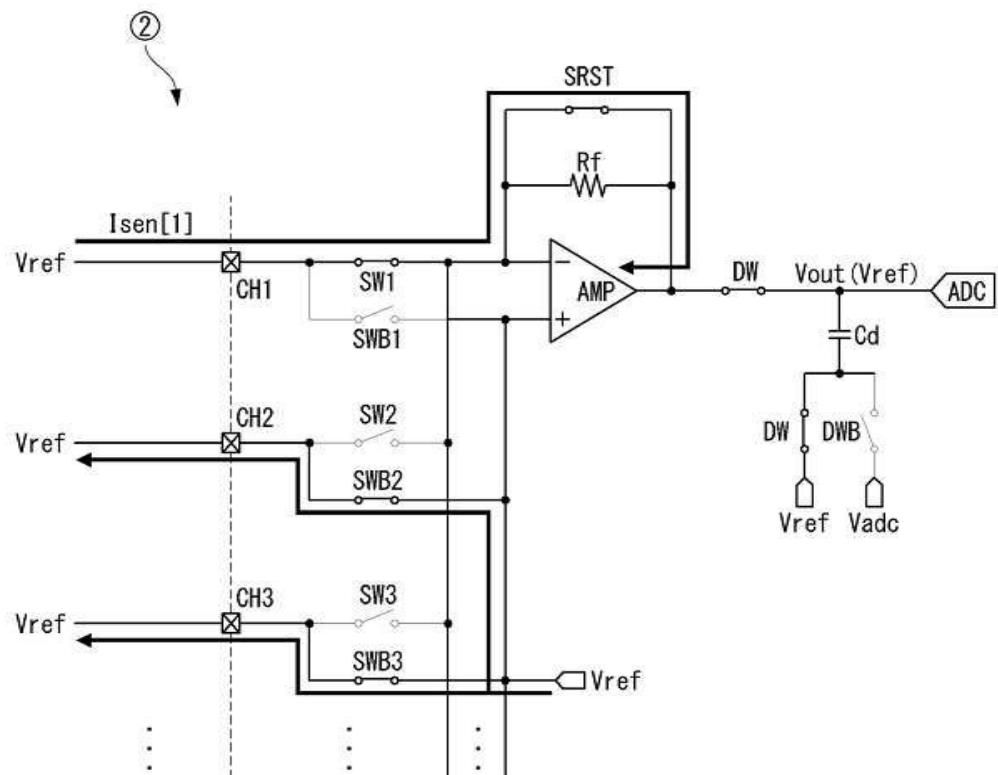
도면5



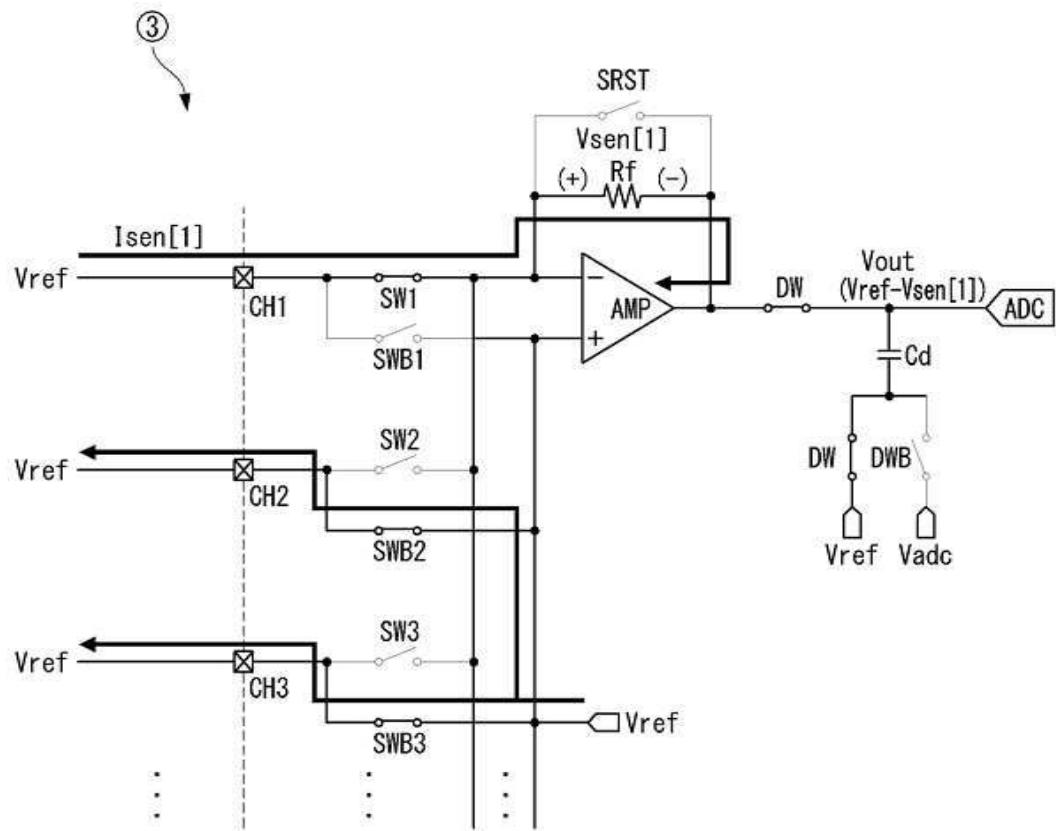
도면6



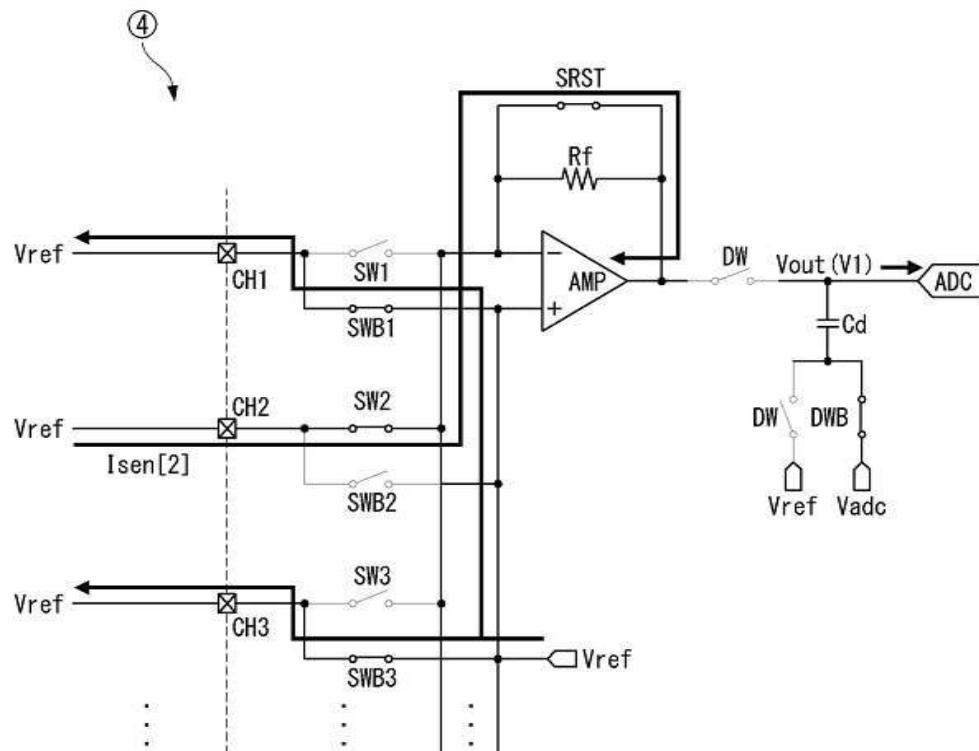
도면7



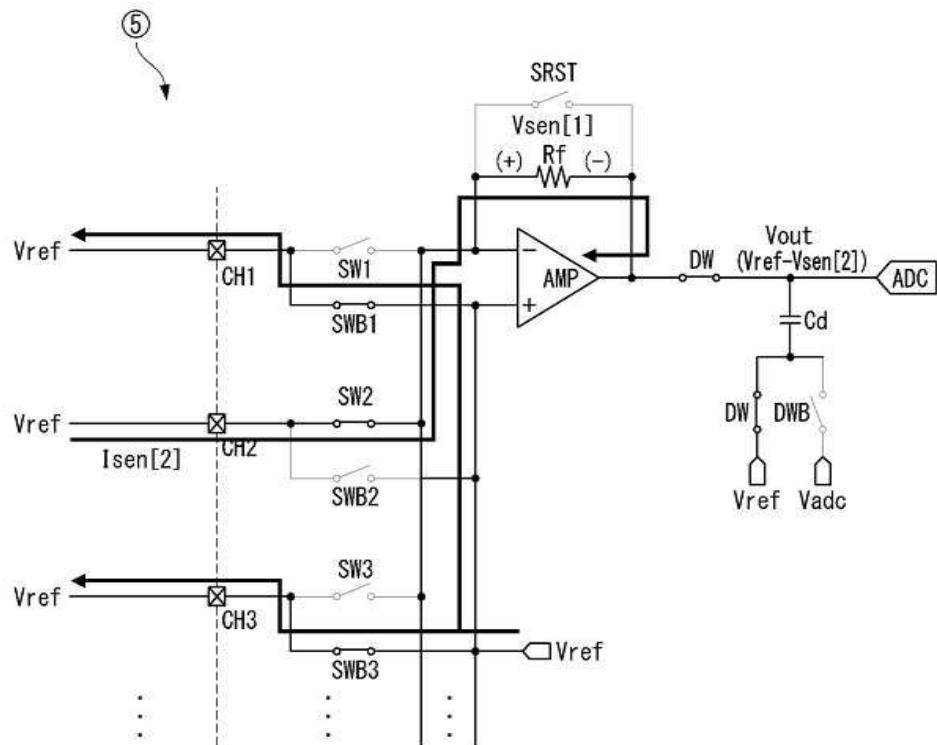
도면8



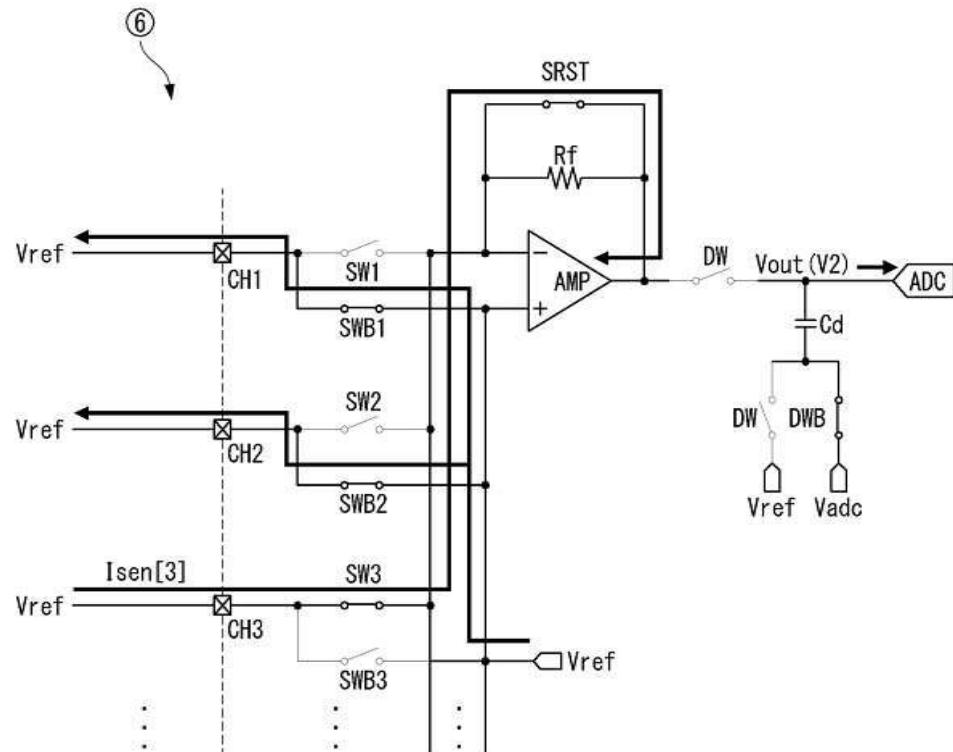
도면9



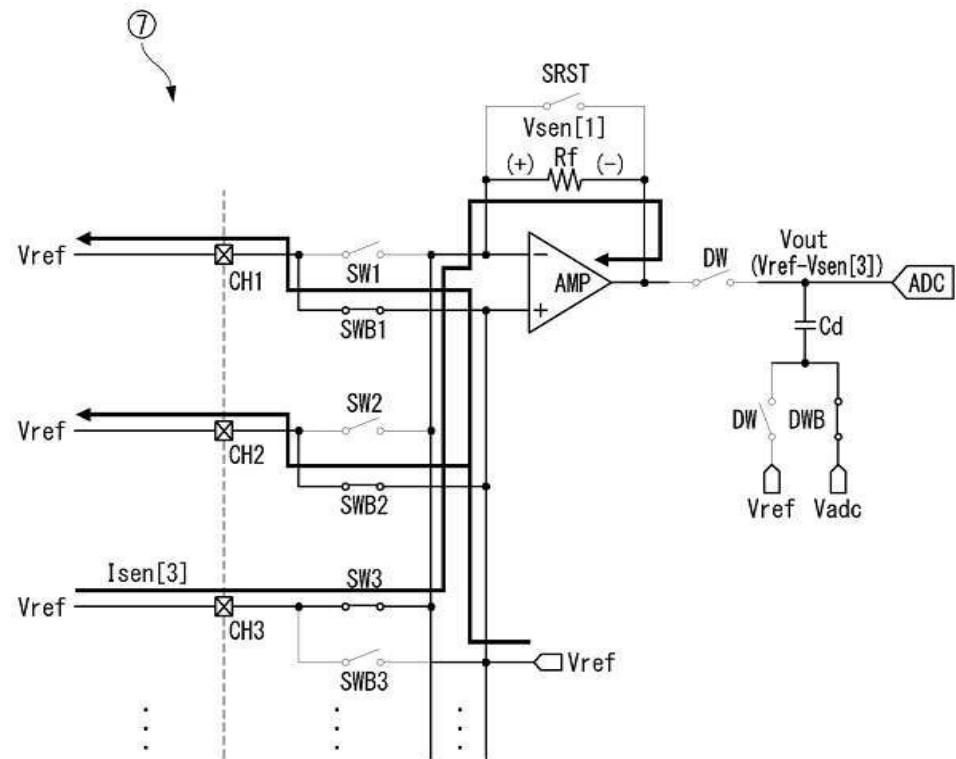
도면10



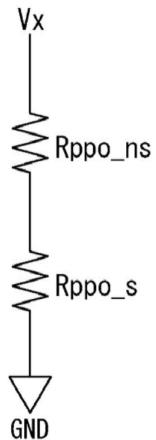
도면11



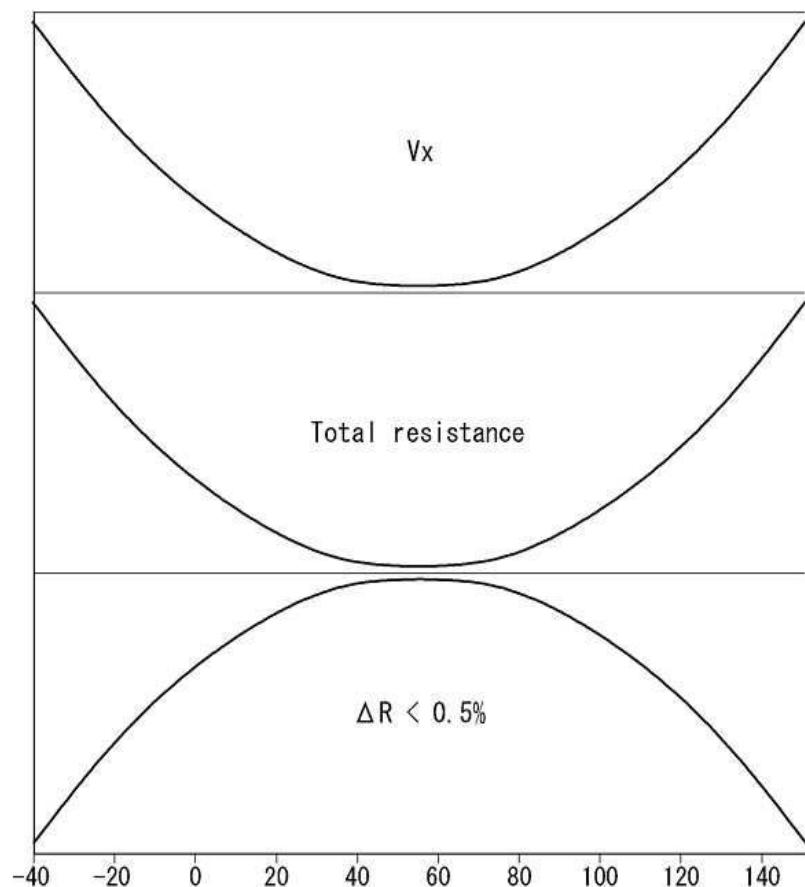
도면12



도면13



도면14



专利名称(译)	感测电路，包括感测电路的有机发光显示装置，以及有机发光显示装置的感测方法		
公开(公告)号	KR1020180025512A	公开(公告)日	2018-03-09
申请号	KR1020160112115	申请日	2016-08-31
[标]申请(专利权)人(译)	乐金显示有限公司 汉阳大学校产学协力团		
申请(专利权)人(译)	LG显示器有限公司 汉阳大学产学合作基金会		
当前申请(专利权)人(译)	LG显示器有限公司 汉阳大学产学合作基金会		
[标]发明人	HONG SEOK HYUN 홍석현 KIM BUM SIK 김범식 KIM SEUNG TAE 김승태 WOO KYOUNG DON 우경돈 LIM MYUNG GI 임명기 YOO JAE IK 유재익 BAE JAE YOON 배재운 KWON OH KYONG 권오경		
发明人	홍석현 김범식 김승태 우경돈 임명기 유재익 배재운 권오경		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G2300/0828 G09G2310/0264 G09G2310/0297 G09G2310/027		
外部链接	Espacenet		

摘要(译)

本发明的感测电路是通过至少两个感测通道连接到显示面板的子像素的感测电路，感测电路包括连接到第一子像素的第一感测通道和连接到第二子像素的第二感测通道并且选择性地输入来自第一子像素的第一感测电流和来自第二子像素的第二感测电流的第二输入端子以及输入参考电压的第二输入端子，转换器；一种多路开关，用于选择性地将电流 - 电压转换器的第一输入端连接到第一传感通道和第二传感通道；还有一个模数转换器，用于电流 - 电压转换器输出信号的模数转换。

