



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0077024  
(43) 공개일자 2014년06월23일

(51) 국제특허분류(Int. Cl.)  
H01L 51/50 (2006.01) H01L 29/786 (2006.01)  
H05B 33/10 (2006.01)  
(21) 출원번호 10-2012-0145713  
(22) 출원일자 2012년12월13일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(72) 발명자  
최종현  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
손용덕  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(뒷면에 계속)  
(74) 대리인  
리앤목특허법인

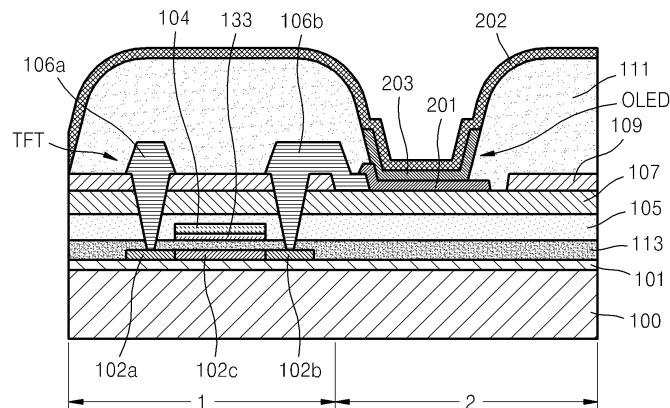
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

### (57) 요약

본 발명은 기판 상에 형성된 반도체 패턴; 상기 반도체 패턴을 덮도록 상기 기판 상에 형성된 제1절연막; 상기 반도체 패턴에 대응하여 상기 제1절연막 상에 형성된 절연 패턴; 상기 절연 패턴 상에 형성된 게이트 전극; 상기 게이트 전극을 덮도록 상기 제1절연막 상에 형성된 제2절연막 및 제3절연막; 상기 제1절연막 내지 제3절연막을 관통하여 상기 반도체 패턴과 접속하는 소스 전극 및 드레인 전극; 및 상기 소스 전극 또는 드레인 전극과 접속하며 상기 제3절연막 상에 형성된 화소 전극; 을 포함하며, 상기 제1절연막 내지 제3절연막은 산화물을 포함하는, 유기 발광 표시 장치를 제공한다.

대표도 - 도8



(72) 발명자

**이동현**

경기도 용인시 기흥구 삼성2로 95 (농서동)

**서진욱**

경기도 용인시 기흥구 삼성2로 95 (농서동)

---

## 특허청구의 범위

### 청구항 1

기관 상에 형성된 반도체 패턴;  
 상기 반도체 패턴을 덮도록 상기 기관 상에 형성된 제1절연막;  
 상기 반도체 패턴에 대응하여 상기 제1절연막 상에 형성된 절연 패턴;  
 상기 절연 패턴 상에 형성된 게이트 전극;  
 상기 게이트 전극을 덮도록 상기 제1절연막 상에 형성된 제2절연막 및 제3절연막;  
 상기 제1절연막 내지 제3절연막을 관통하여 상기 반도체 패턴과 접촉하는 소스 전극 및 드레인 전극; 및  
 상기 소스 전극 또는 드레인 전극과 접촉하며 상기 제3절연막 상에 형성된 화소 전극; 을 포함하며,  
 상기 제1절연막 내지 제3절연막은 산화물을 포함하는, 유기 발광 표시 장치.

### 청구항 2

제1항에 있어서,  
 상기 반도체 패턴은 상기 소스 전극 및 상기 드레인 전극과 각각 접촉하는 소스 영역 및 드레인 영역; 및  
 상기 소스 영역 및 드레인 영역 사이에 배치되는 채널 영역;을 포함하며,  
 상기 절연 패턴은 상기 채널 영역에 대응하여 형성되는, 유기 발광 표시 장치.

### 청구항 3

제1항 또는 제2항에 있어서,  
 상기 게이트 전극과 상기 절연 패턴의 측단부가 일치하는, 유기 발광 표시 장치.

### 청구항 4

제1항에 있어서,  
 상기 절연 패턴은 질화물을 포함하는, 유기 발광 표시 장치.

### 청구항 5

제1항에 있어서,  
 상기 화소 전극 상에 형성되며 광을 방출하는 유기 발광층; 및  
 상기 유기 발광층 상에 형성되며 상기 화소 전극과 대향하는 대향 전극; 을 더 포함하며,  
 상기 유기 발광층은 상기 기관의 방향으로 광을 방출하는, 유기 발광 표시 장치.

### 청구항 6

제1항에 있어서,  
 상기 제3절연막 상에 형성되며 상기 화소 전극이 형성될 부분에 개구를 포함하는 제4절연막; 을 더 포함하며,  
 상기 제4절연막은 질화물을 포함하는, 유기 발광 표시 장치.

### 청구항 7

제1항, 제6항 또는 제7항 중 어느 한 항에 있어서,  
 상기 화소 전극과 상기 기관 사이에는 산화물을 포함하는 절연막들만 개재되는, 유기 발광 표시 장치.

## 청구항 8

기판 상에 반도체 패턴을 형성하는 제1마스크 공정 단계;

상기 반도체 패턴을 덮도록 상기 기판 상에 순차적으로 제1절연막 및 보조막을 형성하는 단계;

상기 반도체 패턴에 대응하도록 상기 보조막 상에 게이트 전극을 형성하는 제2마스크 공정 단계;

상기 게이트 전극을 셀프 얼라인 마스크로 하여 상기 보조막을 절연 패턴으로 패터닝하는 단계;

상기 게이트 전극을 덮도록 상기 제1절연막 상에 제2절연막 및 제3절연막을 형성하는 단계;

상기 제1절연막 내지 제3절연막을 관통하는 콘택홀들 형성하는 제3마스크 공정 단계;

상기 콘택홀을 통해 상기 반도체 패턴과 접속하는 소스 전극 및 드레인 전극을 형성하는 제4마스크 공정 단계; 및

상기 제3절연막 상에 상기 소스 전극 또는 드레인 전극과 접속하는 화소 전극 형성하는 제5마스크 공정 단계; 을 포함하며,

상기 제1절연막 내지 제3절연막은 산화물을 포함하는, 유기 발광 표시 장치의 제조 방법.

## 청구항 9

제8항에 있어서,

상기 화소 전극의 일부분을 노출하는 화소 정의막을 형성하는 제6마스크 공정 단계;

상기 화소 전극 상에 광을 방출하는 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 상기 화소 전극과 대향하는 대향 전극 형성하는 단계; 를 더 포함하는 유기 발광 표시 장치의 제조 방법.

## 청구항 10

제8항에 있어서,

상기 보조층 및 절연 패턴은 질화물을 포함하는, 유기 발광 표시 장치의 제조 방법.

## 청구항 11

제8항에 있어서,

상기 제2절연막 및 상기 제3절연막을 형성하는 단계는,

상기 제3절연막 상에 제4절연막을 더 형성하는 단계;를 포함하며,

상기 제3마스크 공정 단계는,

상기 화소 전극이 형성될 부분에 상기 제3절연막을 노출하는 개구를 형성하는 단계;를 더 포함하는, 유기 발광 표시 장치의 제조 방법.

## 청구항 12

기판 상에 반도체 패턴을 형성하는 제1마스크 공정 단계;

상기 반도체 패턴을 덮도록 상기 기판 상에 순차적으로 제1절연막 및 보조막을 형성하는 단계;

상기 반도체 패턴에 대응하도록 상기 보조막 상에 게이트 전극을 형성하는 제2마스크 공정 단계;

상기 게이트 전극을 셀프 얼라인 마스크로 하여 상기 보조막을 절연 패턴으로 패터닝하는 단계;

상기 게이트 전극을 덮도록 상기 제1절연막 상에 제2절연막 및 제3절연막을 형성하는 단계;

상기 제3절연막 상에 식각 방지 패턴을 형성하는 제3마스크 공정 단계;

상기 식각 방지 패턴을 덮도록 상기 제3절연막 상에 제4절연막을 형성하는 단계;

상기 제1절연막 내지 제4절연막을 관통하는 콘택홀들 및 제4절연막에 상기 식각 방지 패턴을 노출하는 개구를 형성하는 제4마스크 공정 단계;

상기 콘택홀을 통해 상기 반도체 패턴과 접속하는 소스 전극 및 드레인 전극을 형성하는 제5마스크 공정 단계; 및

상기 개구를 통해 노출된 상기 식각 방지 패턴 상에 화소 전극 형성하는 제6마스크 공정 단계; 을 포함하며,

상기 제1절연막 내지 제3절연막은 산화물을 포함하며, 상기 제4절연막은 질화물을 포함하는, 유기 발광 표시 장치의 제조 방법.

### 청구항 13

제12항에 있어서,

상기 화소 전극의 일부분을 노출하는 화소 정의막을 형성하는 제7마스크 공정 단계;

상기 화소 전극 상에 광을 방출하는 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 상기 화소 전극과 대향하는 대향 전극 형성하는 단계; 를 더 포함하는 유기 발광 표시 장치의 제조 방법.

### 청구항 14

제12항에 있어서,

상기 식각 방지 패턴은 투명 도전성 산화물을 포함하는 하부층과 저저항 금속을 포함하는 상부층을 포함하며,

상기 제5마스크 공정 단계에서 상기 상부층이 제거되는, 유기 발광 표시 장치의 제조 방법.

## 명세서

### 기술 분야

[0001] 본 발명의 실시예들은 박막 트랜지스터 및 유기 발광 소자를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

### 배경 기술

[0002] 유기 발광 표시 장치는 광을 방출하는 유기 발광 소자를 포함하는데, 이러한 유기 발광 소자가 배치된 하부막이 얇으면 파티클에 기인한 불량 발생 위험이 크다. 이렇게 발생한 불량은 유기 발광 표시 장치에서 암점으로 나타나 표시 품질을 저하시킨다.

[0003] 한편, 굴절률이 상이한 여러층 들은 DBR(Distributed Brag Reflector)로 기능함으로써 유기 발광 소자에서 방출되는 광의 효율을 높이는 광학적 공진 구조를 가질 수 있다. 유기 발광 소자가 기관의 방향으로 발광하는 배면 발광 형인 경우에는 기관과 유기 발광 소자 사이의 절연막들이 광학적 공진 구조를 형성한다. 그런데, 청색과 같은 단파장의 경우 오히려 강한 공진이 일어날수록 사용자가 보는 각도에 따라 시각적으로 색이 불균일하게 보이는 색편이 특성이 좋지 않은 문제가 있다.

### 발명의 내용

#### 해결하려는 과제

[0004] 본 발명의 실시예들은 암점 불량을 최소화하고 단파장의 색편이 특성을 개선한 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

#### 과제의 해결 수단

[0005] 상기과 같은 과제를 해결하기 위한 본 발명의 일 실시예에 따르면, 기관 상에 형성된 반도체 패턴; 상기 반도체 패턴을 덮도록 상기 기관 상에 형성된 제1절연막; 상기 반도체 패턴에 대응하여 상기 제1절연막 상에 형성된 절연 패턴; 상기 절연 패턴 상에 형성된 게이트 전극; 상기 게이트 전극을 덮도록 상기 제1절연막 상에 형성된 제

2절연막 및 제3절연막; 상기 제1절연막 내지 제3절연막을 관통하여 상기 반도체 패턴과 접속하는 소스 전극 및 드레인 전극; 및 상기 소스 전극 또는 드레인 전극과 접속하며 상기 제3절연막 상에 형성된 화소 전극; 을 포함하며, 상기 제1절연막 내지 제3절연막은 산화물을 포함하는, 유기 발광 표시 장치를 제공한다.

- [0006] 상기 반도체 패턴은 상기 소스 전극 및 상기 드레인 전극과 각각 접속하는 소스 영역 및 드레인 영역; 및 상기 소스 영역 및 드레인 영역 사이에 배치되는 채널 영역;을 포함하며, 상기 절연 패턴은 상기 채널 영역에 대응하여 형성된다.
- [0007] 상기 게이트 전극과 상기 절연 패턴의 측단부가 일치한다.
- [0008] 상기 절연 패턴은 질화물을 포함한다.
- [0009] 상기 화소 전극 상에 형성되며 광을 방출하는 유기 발광층; 및 상기 유기 발광층 상에 형성되며 상기 화소 전극과 대향하는 대향 전극; 을 더 포함하며, 상기 유기 발광층은 상기 기관의 방향으로 광을 방출한다.
- [0010] 상기 제3절연막 상에 형성되며 상기 화소 전극이 형성될 부분에 개구를 포함하는 제4절연막; 을 더 포함하며, 상기 제4절연막은 질화물을 포함한다.
- [0011] 상기 화소 전극과 상기 기관 사이에는 산화물을 포함하는 절연막들만 개재된다.
- [0012] 상기와 같은 과제를 해결하기 위한 본 발명의 일 실시예에 따르면, 기관 상에 반도체 패턴을 형성하는 제1마스크 공정 단계; 상기 반도체 패턴을 덮도록 상기 기관 상에 순차적으로 제1절연막 및 보조막을 형성하는 단계; 상기 반도체 패턴에 대응하도록 상기 보조막 상에 게이트 전극을 형성하는 제2마스크 공정 단계; 상기 게이트 전극을 셀프 얼라인 마스크로 하여 상기 보조막을 절연 패턴으로 패터닝하는 단계; 상기 게이트 전극을 덮도록 상기 제1절연막 상에 제2절연막 및 제3절연막을 형성하는 단계; 상기 제1절연막 내지 제3절연막을 관통하는 콘택홀들 형성하는 제3마스크 공정 단계; 상기 콘택홀을 통해 상기 반도체 패턴과 접속하는 소스 전극 및 드레인 전극을 형성하는 제4마스크 공정 단계; 및 상기 제3절연막 상에 상기 소스 전극 또는 드레인 전극과 접속하는 화소 전극 형성하는 제5마스크 공정 단계; 을 포함하며, 상기 제1절연막 내지 제3절연막은 산화물을 포함하는, 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0013] 상기 화소 전극의 일부분을 노출하는 화소 정의막을 형성하는 제6마스크 공정 단계; 상기 화소 전극 상에 광을 방출하는 유기 발광층을 형성하는 단계; 및 상기 유기 발광층 상에 상기 화소 전극과 대향하는 대향 전극 형성하는 단계; 를 더 포함한다.
- [0014] 상기 보조층 및 절연 패턴은 질화물을 포함한다.
- [0015] 상기 제2절연막 및 상기 제3절연막을 형성하는 단계는, 상기 제3절연막 상에 제4절연막을 더 형성하는 단계;를 포함하며, 상기 제3마스크 공정 단계는, 상기 화소 전극이 형성될 부분에 상기 제3절연막을 노출하는 개구를 형성하는 단계;를 더 포함한다.
- [0016] 상기와 같은 과제를 해결하기 위한 본 발명의 일 실시예에 따르면, 기관 상에 반도체 패턴을 형성하는 제1마스크 공정 단계; 상기 반도체 패턴을 덮도록 상기 기관 상에 순차적으로 제1절연막 및 보조막을 형성하는 단계; 상기 반도체 패턴에 대응하도록 상기 보조막 상에 게이트 전극을 형성하는 제2마스크 공정 단계; 상기 게이트 전극을 셀프 얼라인 마스크로 하여 상기 보조막을 절연 패턴으로 패터닝하는 단계; 상기 게이트 전극을 덮도록 상기 제1절연막 상에 제2절연막 및 제3절연막을 형성하는 단계; 상기 제3절연막 상에 식각 방지 패턴을 형성하는 제3마스크 공정 단계; 상기 식각 방지 패턴을 덮도록 상기 제3절연막 상에 제4절연막을 형성하는 단계; 상기 제1절연막 내지 제4절연막을 관통하는 콘택홀들 및 제4절연막에 상기 식각 방지 패턴을 노출하는 개구를 형성하는 제4마스크 공정 단계; 상기 콘택홀을 통해 상기 반도체 패턴과 접속하는 소스 전극 및 드레인 전극을 형성하는 제5마스크 공정 단계; 및 상기 개구를 통해 노출된 상기 식각 방지 패턴 상에 화소 전극 형성하는 제6마스크 공정 단계; 을 포함하며, 상기 제1절연막 내지 제3절연막은 산화물을 포함하며, 상기 제4절연막은 질화물을 포함한다.
- [0017] 상기 화소 전극의 일부분을 노출하는 화소 정의막을 형성하는 제7마스크 공정 단계; 상기 화소 전극 상에 광을 방출하는 유기 발광층을 형성하는 단계; 및 상기 유기 발광층 상에 상기 화소 전극과 대향하는 대향 전극 형성하는 단계; 를 더 포함한다.
- [0018] 상기 식각 방지 패턴은 투명 도전성 산화물을 포함하는 하부층과 저저항 금속을 포함하는 상부층을 포함하며, 상기 제5마스크 공정 단계에서 상기 상부층이 제거된다.

## 발명의 효과

- [0019] 상술한 바와 같은 본 발명의 실시예들에 의하면, 유기 발광 소자 하부에 보다 많은 숫자의 절연막을 배치하여 파티클에 기인한 암점 불량 문제를 해결하였다. 또한 본 발명의 실시예들에 의하면, 배면 발광 타입에서 유기 발광 소자와 기관 사이의 절연막들은 산화물만을 포함하도록 하여 강한 공진이 일어나는 것을 막음으로써, 단파장에서 색편이 특성을 개선한 효과가 있다.

## 도면의 간단한 설명

- [0020] 도 1 내지 도 8은 본 발명의 일 실시예에 의한 유기 발광 표시 장치 및 그 제조 방법을 도시한 것이다.  
 도 9 내지 도 14는 본 발명의 다른 실시예에 의한 유기 발광 표시 장치 및 그 제조 방법을 도시한 것이다.

## 발명을 실시하기 위한 구체적인 내용

- [0021] 이하 첨부된 도면들에 도시된 본 발명에 관한 실시예를 참조하여 본 발명의 구성 및 작용을 상세히 설명한다.
- [0022] 본 명세서에서는 본 발명을 명확하게 설명하기 위하여 본 발명과 관계없는 부분은 도시 및 기재를 생략하거나, 간략히 기재하거나 도시하였다. 또한, 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 두께 및 넓이를 확대하거나, 과장되게 도시하였다.
- [0023] 본 명세서에서 전체를 통하여 동일 또는 유사한 구성 요소에 대해서는 동일한 도면 부호를 붙였다. 본 명세서에서 “제1”, “제2” 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 또한, 막, 영역, 구성 요소 등의 부분이 다른 부분 “위에” 또는 “상에” 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0024] 본 명세서에서는 설명의 편의를 위해 유기 발광 표시 장치에 포함된 일 화소만을 도시하였으며, 화소 중에서도 하나의 박막 트랜지스터 및 유기 발광 소자만을 도시하였다. 그러나, 유기 발광 표시 장치는 추가의 박막 트랜지스터 및 도시되지 않은 커패시터를 더 포함할 수 있다.
- [0025] 도 1 내지 도 8은 본 발명의 일 실시예에 의한 유기 발광 표시 장치 및 그 제조 방법을 도시한 것이다. 이하에서는 도 8에 도시된 본 발명의 일 실시예에 의한 유기 발광 표시 장치를 제조 하는 과정을 순차적으로 기술한다. 도면에서 박막 트랜지스터 영역(1)은 박막 트랜지스터가 형성될 영역이며, 발광 영역(2)은 유기 발광 소자가 형성될 영역이다.
- [0026] 먼저, 기관(100)을 준비한다. 기관(100)은 표시 장치의 전체를 지지하고 강성을 유지시키는 역할을 한다. 기관(100)은 상면이 평탄하며 투명한 절연 물질로 이루어질 수 있다. 예를 들어 기관(100)은, 유리(glass)로 이루어질 수 있다. 그러나, 본 발명은 이에 한정되지 않고 기관(100)은 예컨대, 폴리에테르술폰(PES, polyethersulphone), 폴리아크릴레이트(PAR, polyacrylate)와 같은 플라스틱 재질로 이루어질 수도 있다. 한편, 기관(100)은 예컨대 금속, 탄소 섬유와 같은 불투명한 재질로 이루어질 수도 있으며, 플렉서블 표시 장치를 구현하기 위해 기관(100)은 예컨대 폴리이미드(PI) 필름과 같은 가요성 재질의 플라스틱으로 이루어질 수도 있다.
- [0027] 기관(100) 상에는 버퍼막(101)이 형성된다. 버퍼막(101)은 상면을 평활하게 하며 불순물의 침투를 차단한다. 버퍼막(101)은 실리콘산화물( $\text{SiO}_x$ )로 이루어진 막이 다층 또는 단층으로 형성될 수 있으며, 다양한 증착 방법을 통해 형성할 수 있다. 버퍼막(101)은 필요에 따라 생략할 수 있다.
- [0028] 버퍼막(101) 상에는 적어도 하나의 박막 트랜지스터(TFT)가 형성된다. 박막 트랜지스터(TFT)는 유기 발광 소자(OLED)와 전기적으로 연결되어 유기 발광 소자(OLED)를 구동한다.
- [0029] 한편, 본 실시예에서는 박막 트랜지스터(TFT)가 반도체 패턴(102), 게이트 전극(104), 소스 전극(106a) 및 드레인 전극(106b)을 순차적으로 포함하는 탑 게이트 타입(top gate type)인 경우를 도시하였으나, 본 발명은 이에 한정되지 않고 바텀 게이트 타입(bottom gate type) 등 다양한 타입의 박막 트랜지스터(TFT)가 채용될 수 있다.
- [0030] 도 1을 참조하면, 버퍼막(101) 상의 박막 트랜지스터 영역(1)에 반도체 패턴을 형성한다.
- [0031] 상세히, 버퍼막(101) 상에 반도체층(미도시)을 형성하고, 제1마스크(미도시)를 이용한 마스크 공정을 이용하여 박막 트랜지스터 영역(1)에 반도체 패턴(102)을 형성한다.



- [0032] 반도체 패턴(102)은 반도체 물질을 포함하며, 예컨대 실리콘을 포함할 수 있다. 이 경우 비정질 실리콘(amorphous silicon)을 포함하는 반도체층을 형성한 후, 어닐링 하여 다결정 실리콘(poly crystalline silicon)으로 변환함으로써, 반도체 패턴(102)은 다결정 실리콘을 포함할 수 있다.
- [0033] 그러나 본 발명은 이에 한정되지 않고 반도체 패턴(102)이 예컨대,  $G-I-Z-O[(In_2O_3)_a(Ga_2O_3)_b(ZnO)_c]$  ( $a, b, c$ 는 각각  $a \geq 0, b \geq 0, c > 0$ 의 조건을 만족시키는 실수)와 같은 산화물 반도체 물질을 포함할 수 있다. 반도체 패턴(102)은 GIZO 외에도 예를 들어, 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn) 카드뮴(Cd), 게르마늄(Ge), 또는 hafnium(Hf) 과 같은 12, 13, 14족 금속 원소 및 이들의 조합에서 선택된 물질의 산화물을 포함할 수 있다.
- [0034] 다음으로 도 2를 참조하면, 반도체 패턴(102)을 덮도록 기판(100) 상에 제1절연막(113) 및 보조막(123)을 순차적으로 형성하고, 반도체 패턴(102)에 대응하도록 보조막(123) 상에 게이트 전극(104)을 형성한다.
- [0035] 상세히, 반도체 패턴(102)을 덮도록 기판(100) 전면적으로 제1절연막(113) 및 보조막(123)을 순차적으로 형성한다. 제1절연막(113)은 산화물을 포함하며, 예컨대 실리콘산화물( $SiO_x$ )로 이루어진 다층 또는 단층막일 수 있다. 보조막(123)은 질화물을 포함하며, 예컨대 실리콘질화물( $SiN_x$ )로 이루어진 다층 또는 단층막일 수 있다. 제1절연막(113) 및 보조막(123)은 스퍼터링, 기상 증착, 원자층 증착, 또는 증발(evaporation)법에 의해 형성할 수 있다.
- [0036] 다음으로 보조막(123) 상에 제1도전막(미도시)을 형성하고 제2마스크(미도시)를 이용한 마스크 공정에 의해 반도체 패턴(102)의 중앙부에 대응하도록 게이트 전극(104)을 패터닝 한다.
- [0037] 여기서 게이트 전극(104)은 박막 트랜지스터(TFT)에 온/오프 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다. 게이트 전극(104)은 저저항 금속 물질로 이루어질 수 있으며, 예컨대 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 티타늄(Ti) 등을 포함하는 도전 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다.
- [0038] 다음으로, 게이트 전극(104)을 셀프 얼라인(self-align) 마스크로 하여 반도체 패턴(102)의 가장자리를 고농도 불순물로 도핑하고 활성화시킨다. 이로써, 이후 소스 전극(106a) 및 드레인 전극(106b)이 각각 접촉하는 소스 영역(102a) 및 드레인 영역(102b)을 형성시킨다. 소스 영역(102a) 및 드레인 영역(102b)은 접촉 저항을 줄이고, 박막 트랜지스터(TFT)가 용이하게 동작하도록 한다. 한편, 게이트 전극(104)과 중첩되는 반도체 패턴(102)의 영역은 채널 영역(102c)이 되며, 채널 영역(102c)은 게이트 전극(104)으로부터 마스크되어 고농도 불순물이 도핑되지 않아 소스 영역(102a) 및 드레인 영역(102b)에 비해 캐리어 농도가 낮다.
- [0039] 다음으로 도 3을 참조하면 게이트 전극(104)을 셀프 얼라인 마스크로 하여 보조막(123)을 절연 패턴(133)으로 패터닝한다.
- [0040] 도 3에서는 마스크를 이용한 리소그래피 공정이 추가되지 않고, 게이트 전극(104)을 이용하여 절연 패턴(133)을 패터닝함으로써, 공정이 간소화되고 공정 비용이 절감되는 효과가 있다.
- [0041] 절연 패턴(133)은 게이트 전극(104)을 마스크로 하여 패터닝되기 때문에 절연 패턴(133)의 측단부는 게이트 전극(104)의 측단부와 실질적으로 일치한다. 여기서 실질적으로 일치한다는 표현은 등방성 에칭 과정에 의한 오차를 고려한 것이다. 한편, 절연 패턴(133)은 반도체 패턴(102)의 채널 영역(102c)에 대응하여 형성된다. 이는, 채널 영역(102c)도 게이트 전극(104)을 마스크로 하여 형성된 것이기 때문이다.
- [0042] 절연 패턴(133)은 보조막(123)으로부터 형성된 것이므로 질화물을 포함한다. 예컨대 절연 패턴(133)은 실리콘질화물로 이루어질 수 있다. 본 과정은 실리콘산화물에 비해 상대적으로 막질이 조밀한 실리콘질화물로 이루어진 절연 패턴(133)을 박막 트랜지스터 영역(1)에만 남기고, 발광 영역(2)에서는 제거하기 위한 목적으로 포함된다. 그래야만, 발광 영역(2)에서는 고굴절률을 가지는 실리콘질화막이 제거되어 저굴절률을 가지는 산화물을 포함하는 절연막들만 남길 수 있기 때문이다. 이로써, 박막 트랜지스터는 정상적인 구동을 위한 게이트 절연막의 두께를 가져가는 동시에, 발광 영역(2)에서는 약 공진 구조를 가져갈 수 있는 효과가 있다.
- [0043] 다음으로 도 4를 참조하면, 게이트 전극(104)을 덮도록 제1절연막(113) 상에 전면적으로 및 순차적으로 제2절연막(105), 제3절연막(107) 및 제4절연막(109)을 형성한다. 그리고, 제1절연막 내지 제4절연막(113, 105, 107, 109)을 관통하는 컨택홀들(Ha, Hb) 형성하며, 이후 화소 전극이 형성될 부분의 제4절연막(109)에는 제3절연막(107)을 노출하는 개구(Hc)를 형성한다.
- [0044] 여기서 제2절연막(105)은 산화물을 포함하며, 예컨대 실리콘산화물( $SiO_x$ )로 이루어진 다층 또는 단층막일 수 있다. 제2절연막(105)은 스퍼터링, 기상 증착, 원자층 증착, 또는 증발(evaporation)법에 의해 형성할 수 있다.



- [0045] 제3절연막(107)은 SOG (spin on glass)막이며, 규소 산화물계 물질(Si oxide)을 포함한다. 예컨대 제3절연막(107)은 실록산(siloxane)계 화합물, 실라젠(silazane)계 화합물 및 실리케이트(silicate)계 화합물을 포함할 수 있다. 제3절연막은 스핀 코팅(spin coating) 방법에 의해 평탄하게 형성된다. 즉, 스핀 코팅 방법으로 스핀 온 글라스막을 도포하고, 도포된 스핀 온 글라스막을 경화시켜 최종적으로 평탄한 표면을 갖는 제3절연막(107)을 형성한다.
- [0046] 제4절연막(109)은 질화물을 포함하며, 예컨대 실리콘질화물(SiNx)로 이루어진 다층 또는 단층막일 수 있다. 제4절연막(109)은 스퍼터링, 기상 증착, 원자층 증착, 또는 증발(evaporation)법에 의해 형성할 수 있다. 제4절연막(109)은 필요에 따라 생략될 수도 있으며 필수적인 구성은 아니다.
- [0047] 이렇게 형성된 제2 내지 제4절연막(105, 107, 109) 상에 제3마스크(미도시)를 이용한 마스크 공정을 통해 소스 영역(102a) 및 드레인 영역(102b)에 대응하는 부분의 제1 내지 제4절연막(113, 105, 107, 109)에는 컨택홀들(Ha, Hb)을 형성한다. 또한 이와 동시에 발광 영역의 제4절연막(109)에는 제3절연막(107)을 노출하는 개구(Hc)를 형성한다.
- [0048] 컨택홀들(Ha, Hb) 및 개구(Hc)는 동시에 형성될 수 있는데, 이를 위해 제3마스크(미도시)는 하프톤 마스크 또는 회절 마스크를 사용한다. 제4절연막(109)은 질화물을 포함하며, 제3절연막(107)은 산화물을 포함하므로, 양 막은 물질에 의한 선택비가 존재하므로 제3마스크를 사용한 공정에서 선택적인 식각이 가능하다.
- [0049] 다음으로 도 5를 참조하면, 컨택홀들(Ha, Hb)을 통해 반도체 패턴(102)의 소스 영역(102a) 및 드레인 영역(102b)과 각각 접속하는 소스 전극(106a) 및 드레인 전극(106b)을 형성한다.
- [0050] 상세히, 도 4의 구조물 상에 제2도전막(미도시)을 형성하고 제4마스크(미도시)를 이용한 공정 단계를 통해 소스 전극(106a) 및 드레인 전극(106b)을 형성한다. 여기서 제2도전막(미도시)은 컨택홀들(Ha, Hb)을 메울 정도로 충분히 두껍게 형성한다. 한편, 소스 전극(106a) 또는 드레인 전극(106b) 중 하나는 발광 영역(2)까지 연장되도록 형성한다. 예컨대, A부분과 같이 드레인 전극(106b)은 발광 영역(2)에 형성된 제4절연막(109)의 개구(Hc)까지 연장되어 개구(Hc)에 의해 노출된 제3절연막(107) 상에까지 형성될 수 있다. 이는 유기 발광 소자(OLED)와 박막 트랜지스터(TFT)를 전기적으로 연결하기 위해서이다.
- [0051] 소스 전극(106a) 및 드레인 전극(106b)은 저저항 금속 물질로 이루어질 수 있으며, 예컨대 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 티타늄(Ti) 등을 포함하는 도전 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다.
- [0052] 이상과 같이 도 1 내지 도 5를 통해 기관 상에 박막 트랜지스터(TFT)를 형성하였다. 다음으로 유기 발광 소자(OLED)를 형성하는 과정에 대해 설명한다. 본 발명은 기관(100)의 방향으로 발광하는 배면 발광 형이므로, 유기 발광 소자(OLED)의 화소 전극(201)은 투명 전극으로 형성되고, 대향 전극(202)은 반사 전극으로 형성된다.
- [0053] 다음으로 도 6을 참조하면, 개구(Hc)에 의해 노출된 제3절연막(107) 상에 박막 트랜지스터(TFT)의 드레인 전극(106b)과 접속하는 화소 전극(201)을 형성한다.
- [0054] 상세히, 도 5의 구조물 상에 투명 도전성 산화물층을 형성하고 제5마스크(미도시)를 이용한 마스크 공정을 통해 발광 영역(2)에 화소 전극(201)을 패터닝한다.
- [0055] 화소 전극(201)이 애노드로 기능하는 경우, 일함수가 높은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In<sub>2</sub>O<sub>3</sub>), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다. 화소 전극(201)은 각 화소에 대응하는 아일랜드 형태로 패터닝되어 형성될 수 있다.
- [0056] 화소 전극(201)은 박막 트랜지스터(TFT)의 드레인 전극(106b)과 연결되어 전류를 인가받을 수 있다. 예컨대, 화소 전극(201)은 드레인 전극(106b)의 A부분 상에 중첩되도록 형성됨으로써, 전기적으로 접속할 수 있다.
- [0057] 다음으로 도 7을 참조하면, 화소 전극(201)의 일부분을 노출하는 화소 정의막(111)을 형성한다.
- [0058] 상세히, 도 6의 구조물을 덮는 절연막(미도시)을 형성한 후 제6마스크(미도시)를 이용한 마스크 공정을 통해 화소 전극(201)의 중앙을 노출하고 가장자리를 덮는 화소 정의막(111)을 형성한다.
- [0059] 화소 정의막(111)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에

서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 화소 정의막(111)에 의해 노출된 화소 전극(201)의 부분에는 중간층(도 8의 203)이 형성된다.

[0060] 다음으로 도 8을 참조하면, 화소 전극(201) 상에 광을 방출하는 중간층(203)을 형성하고, 중간층(203) 상에 상기 화소 전극(201)과 대향하는 대향 전극(202) 형성한다.

[0061] 중간층(203)은 적색, 녹색 또는 청색 광을 방출하는 유기 발광층을 포함하며, 유기 발광층은 저분자 유기물 또는 고분자 유기물을 사용할 수 있다. 유기 발광층이 저분자 유기물로 형성된 저분자 유기층인 경우에는 유기 발광층을 중심으로 화소 전극(201)의 방향으로 홀 수송층(hole transport layer: HTL) 및 홀 주입층(hole injection layer:HIL)등이 위치하고, 대향 전극(202)의 방향으로 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer:EIL) 등이 적층된다. 물론, 이들 홀 주입층, 홀 수송층, 전자 수송층, 전자 주입층 외에도 다양한 층들이 필요에 따라 적층되어 형성될 수 있다.

[0062] 한편, 상술한 실시예에서는 각 화소 별로 별도의 유기 발광층이 형성된 경우를 예로 설명하였다. 이 경우에는 화소 별로 적색, 녹색 및 청색의 광을 각각 방출할 수 있으며, 적색, 녹색 및 청색의 광을 방출하는 화소 그룹이 하나의 단위 화소를 이룰 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 유기 발광층이 화소 전체에 공통으로 형성될 수 있다. 예를 들어, 적색, 녹색, 및 청색의 광을 방출하는 복수의 유기 발광층이 수직으로 적층되거나 혼합되어 형성되어 백색광을 방출할 수 있다. 물론, 백색광을 방출하기 위한 색의 조합은 상술한 바에 한정되지 않는다. 한편, 이 경우 방출된 백색광을 소정의 컬러로 변환하는 색변환층이나 컬러필터가 별도로 구비될 수 있다.

[0063] 대향 전극(202)은 도전성 무기 물질로 이루어질 수 있다. 대향 전극(202)이 캐소드로 기능하는 경우 일함수가 작은 Li, Ca, LiF/Ca, LiF/Al, Al, Mg, Ag 등으로 형성할 수 있다. 대향 전극(202)은 화상이 구현되는 표시 영역(DA) 전체에 걸쳐 공통 전극으로 형성될 수 있다. 본 실시예에서 유기 발광 표시 장치가 전면 발광 형이므로 대향 전극(202) 충분히 두껍게 형성될 수 있고, 이로부터 IR 드롭을 최소화할 수 있다. 이 때, 대향 전극(202)은 중간층(111)에 손상을 가하지 않는 증발(evaporation) 공정으로 형성할 수 있다.

[0064] 한편, 화소 전극(201)과 대향 전극(202)은 그 극성이 서로 반대가 되어도 무방하다.

[0065] 본 발명의 일 실시예에 의하면, 기관(100)과 유기 발광 소자(OLED) 사이에는 산화물을 포함하는 절연막들만 개재된다. 기관(100)에서부터 유기 발광 소자(OLED)의 화소 전극(201)까지는 순차적으로 버퍼막(101), 제1절연막(113), 제2절연막(105) 및 제3절연막(107)이 형성되는데, 모두 산화물을 포함한다. 이와 같이 본 실시예는 유기 발광 소자(OLED) 하부에는 다른 물질로 이루어진 절연막의 교번 적층 구조가 형성되지 않아 약한 공진 구조가 형성된다. 일반적으로 강한 공진 구조는 단파장의 광에 대한 색편이 특성을 나쁘게 한다. 여기서 색편이 특성이 나쁜 것이란, 사용자가 보는 각도에 따라 휘도 차이와 색 변화가 큰 것을 의미한다. 따라서, 본 발명의 실시예에 의하면, 약한 공진 구조를 채용하여 단파장의 광에 대한 색편이 특성이 상대적으로 개선되는 효과가 있다.

[0066] 또한, 본 발명의 일 실시예에 의하면 유기 발광 소자(OLED)를 제1 내지 제3절연막(113,105,107) 상에 형성함으로써, 파티클에 기인한 암점 불량 문제를 해결하였다. 종래 배면 발광 타입의 경우 기관(100)에 가깝게 유기 발광 소자(OLED)를 형성하는데 포커스를 맞추어, 유기 발광 소자(OLED) 하부에 예컨대 게이트 절연막만 존재하여, 유기 발광 소자 하부에 위치하는 절연막의 두께가 얇았다. 이 경우 실리콘질화물 또는 실리콘산화물을 포함하는 게이트 절연막에 실리콘(Si) 파티클이 존재할 때 이러한 파티클의 요철을 상쇄시킬 만한 절연막의 두께가 확보되지 않는다. 따라서, 파티클에 의한 요철이 유기 발광 소자(OLED)에 까지 영향을 미치고 이는 화소에 암점 불량을 유발하였다. 그러나, 본 발명은 두꺼운 절연막 특히, SOG막을 유기 발광 소자(OLED) 하부에 배치하여 파티클에 기인한 암점 불량 문제를 해결하였다.

[0067] 도 9 내지 도 14는 본 발명의 다른 실시예에 의한 유기 발광 표시 장치 및 그 제조 방법을 도시한 것이다.

[0068] 금번 실시예는 이전 실시예와 상이하게 발광 영역(2)에 식각 방지 패턴을 형성하는 점에 차이가 있다. 이하에서는 이전 실시예와 차이점을 위주로 설명한다.

[0069] 먼저, 도 1 내지 도 3에 이어서 도 9 공정을 수행한다.

[0070] 도 9를 참조하면, 상기 게이트 전극(104)을 덮도록 상기 제1절연막(113) 상에 제2절연막(105) 및 제3절연막(107)을 형성하고, 발광 영역(2)의 제3절연막(107) 상에는 식각 방지 패턴(210)을 형성한다.

[0071] 상세히, 제3절연막(107) 상에 투명 도전성 산화물을 포함하는 하부층(미도시)과 저저항 금속을 포함하는 상부층(미도시)을 적층한다. 그리고 제3마스크(미도시)를 이용한 마스크 공정을 통해 이후 화소 전극(201)이 형성될

자리에 하부층이 패터닝된 하부패턴(211) 및 상부층이 패터닝된 상부패턴(212)을 포함하는 식각 방지 패턴을 패터닝한다.

- [0072] 여기서 투명 도전성 산화물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide:  $\text{In}_2\text{O}_3$ ), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0073] 저저항 금속층은 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 티타늄(Ti) 등을 포함하는 도전 물질로 이루어진 막이 다층 또는 단층으로 형성될 수 있다.
- [0074] 다음으로, 도 10을 참조하면, 식각 방지 패턴(210)을 덮도록 상기 제3절연막(107) 상에 제4절연막(109)을 형성하고, 박막 트랜지스터 영역(1)의 제1절연막 내지 제4절연막(113, 105, 107, 109)을 관통하는 컨택홀들(Ha, Hb) 및 발광 영역(2)의 제4절연막(109)에 상기 제3절연막(107)을 노출하는 개구들(Hc, Hd)을 형성한다.
- [0075] 상세히, 제3절연막(107) 상에 이전 실시예와 같이 질화물을 포함하는 제4절연막(109)을 형성한다.
- [0076] 그리고, 제4마스크(미도시)를 이용한 마스크 공정 단계를 통해, 소스 영역(102a) 및 드레인 영역(102b)에 대응하는 부분의 제1 내지 제4절연막(113, 105, 107, 109)에는 컨택홀들(Ha, Hb)을 형성한다. 또한 이와 동시에 발광 영역(2)의 제4절연막(109)에는 식각 방지 패턴(210)을 노출하는 개구들(Hc, Hd)을 형성한다.
- [0077] 금번 실시예에서는 이전 실시예와 달리 하프톤 마스크 또는 회절 마스크를 사용하지 않고도 컨택들(Ha, Hb) 및 개구들(Hc, Hd)은 동시에 형성될 수 있다. 그 이유는 절연막들과 식각 선택비가 현저히 상이한 금속을 포함하는 식각 방지 패턴(210)이 존재하기 때문이다. 즉, 발광 영역(2)의 제3절연막(107) 상에는 식각 방지 패턴(210)이 존재하기 때문에 더 이상 에칭이 이루어지지 않고 제4절연막(109)만 제거된다. 이 때 제4마스크(미도시)의 패턴에 따라 제4절연막(109)에는 화소 전극(201)을 노출하는 제1개구(Hc) 및 박막 트랜지스터(TFT)와 화소 전극(201)을 연결하는 컨택홀의 역할을 하는 제2개구(Hd)가 별도로 형성될 수도 있다.
- [0078] 다음으로 도 11을 참조하면, 상기 컨택홀들(Ha, Hb)을 통해 상기 반도체 패턴(102)과 접속하는 소스 전극(106a) 및 드레인 전극(106b)을 형성하며, 이와 동시에 식각 방지 패턴(210)의 상부패턴(212)을 제거한다.
- [0079] 상세히, 도 10의 구조물 상에 제2도전막(미도시)을 형성하고 제5마스크(미도시)를 이용한 공정 단계를 통해 소스 전극(106a) 및 드레인 전극(106b)을 형성한다. 여기서 제2도전막(미도시)은 식각 방지 패턴(210)의 상부패턴(212)과 동일한 계열인 저저항 금속 물질로 이루어진다. 또한 식각 방지 패턴(210)의 하부패턴(211)은 투명 도전성 산화물로 이루어지기 때문에 상부패턴(212)과 식각 선택비가 존재한다. 따라서, 소스 전극(106a) 및 드레인 전극(106b)을 형성함과 동시에 식각 방지 패턴(210)의 상부패턴(212)이 제거되고 하부패턴(211)이 노출된다.
- [0080] 한편, 제2개구(Hd)를 통해 드레인 전극(106b)과 식각 방지 패턴(210)의 하부패턴(211)이 접속된다.
- [0081] 다음으로 도 12는 상기 제1개구(Hc)를 통해 노출된 식각 방지 패턴(210) 상에 화소 전극(201) 형성한다.
- [0082] 상세히, 도 12의 구조물 상에 투명 도전성 산화물층(미도시)을 형성하고 제6마스크(미도시)를 이용한 마스크 공정을 통해 화소 전극(201)을 패터닝한다. 이 때, 하부패턴(211)은 화소 전극(201)과 전기적으로 접속한다.
- [0083] 하부패턴(211) 및 화소 전극(201)이 모두 투명 도전성 산화물로 이루어졌기 때문에 유기 발광 소자(OLED)가 기관(100)의 방향으로 발광하는데 문제가 없다.
- [0084] 다음으로, 도 13을 참조하면, 화소 전극(201)의 일부분을 노출하는 화소 정의막(111)을 형성한다.
- [0085] 상세히, 도 12의 구조물을 덮는 절연막(미도시)을 형성한 후 제7마스크(미도시)를 이용한 마스크 공정을 통해 화소 전극(201)의 중앙을 노출하고 가장자리를 덮는 화소 정의막(111)을 형성한다.
- [0086] 다음으로 도 14를 참조하면, 화소 전극(201) 상에 광을 방출하는 중간층(203)을 형성하고, 중간층(203) 상에 상기 화소 전극(201)과 대향하는 대향 전극(202) 형성한다.
- [0087] 금번 실시예에 의해서도, 기관(100)과 유기 발광 소자(OLED) 사이에는 산화물을 포함하는 절연막들만 개재된다. 따라서, 본 발명의 실시예에 의하면, 약한 공진 구조로부터 단파장의 광에 대한 색편이 특성이 상대적으로 개선되는 효과가 있다.
- [0088] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해

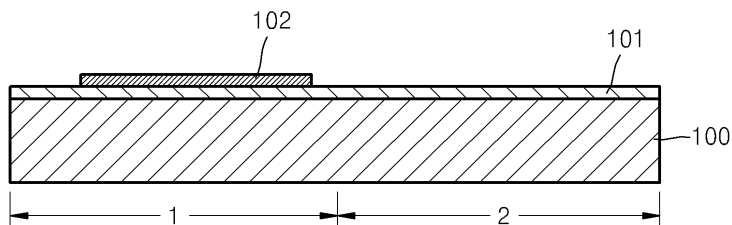
분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

### 부호의 설명

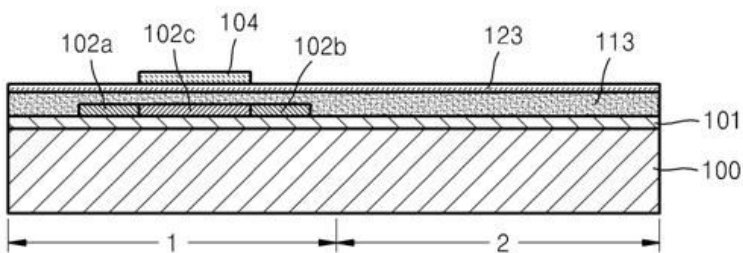
100: 기판                      102: 반도체 패턴  
104: 게이트 전극 106a,b: 소스 전극, 드레인 전극  
210: 식각 방지 패턴 113: 제1절연막  
105: 제2절연막 107: 제3절연막  
109: 제4절연막 133: 절연 패턴  
111: 화소 정의막 201: 화소 전극  
202: 대향 전극 203: 중간층

### 도면

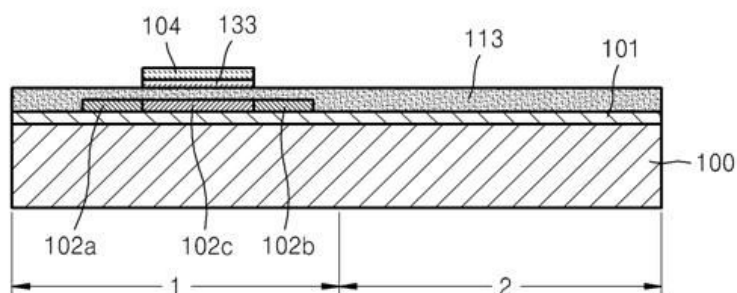
#### 도면1



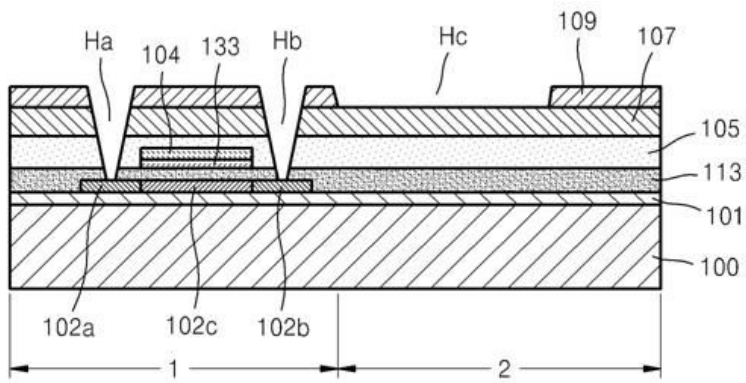
#### 도면2



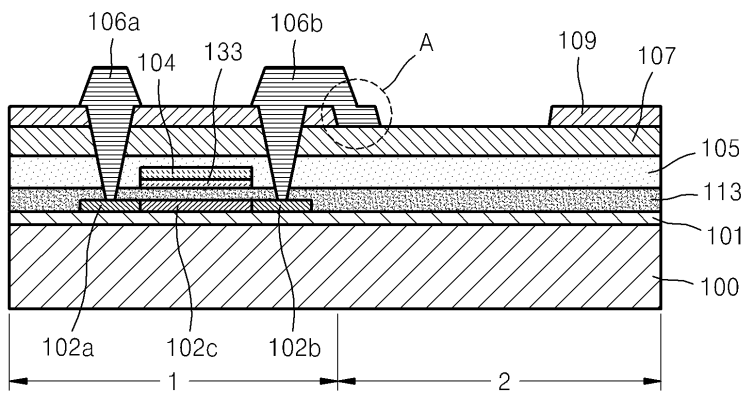
#### 도면3



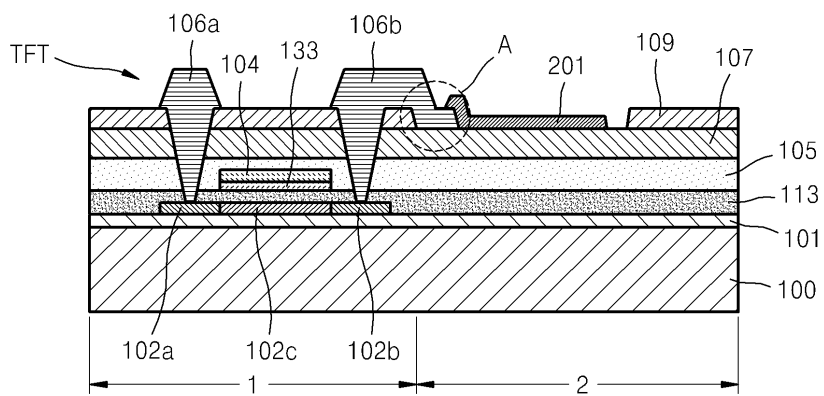
도면4



도면5

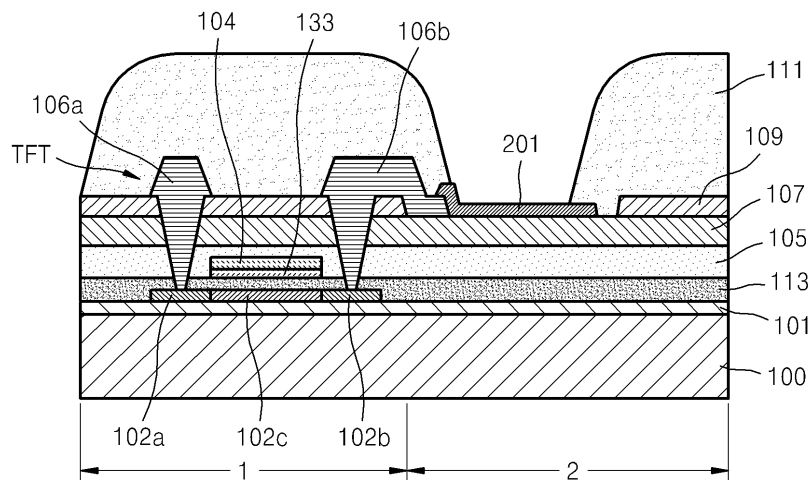


도면6

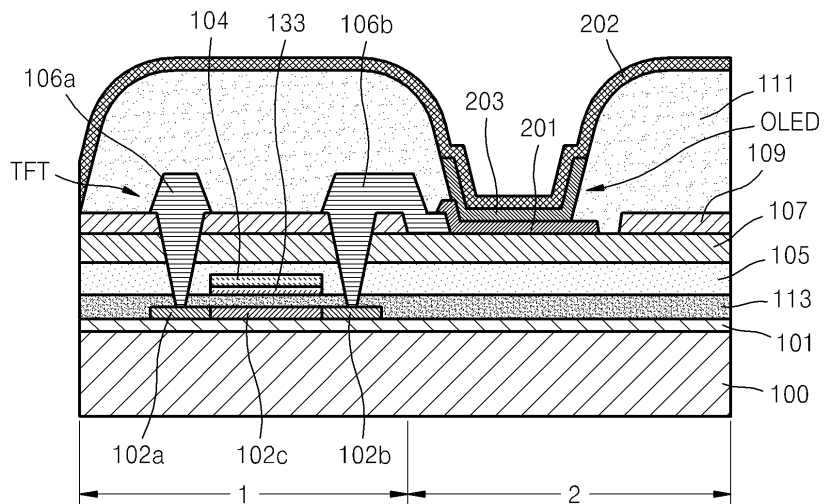




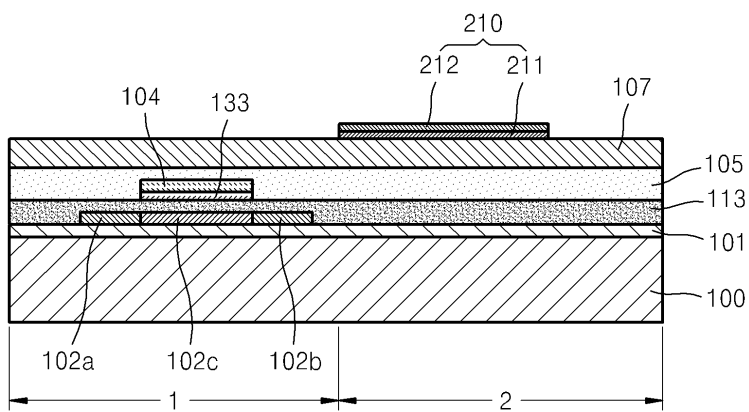
도면7



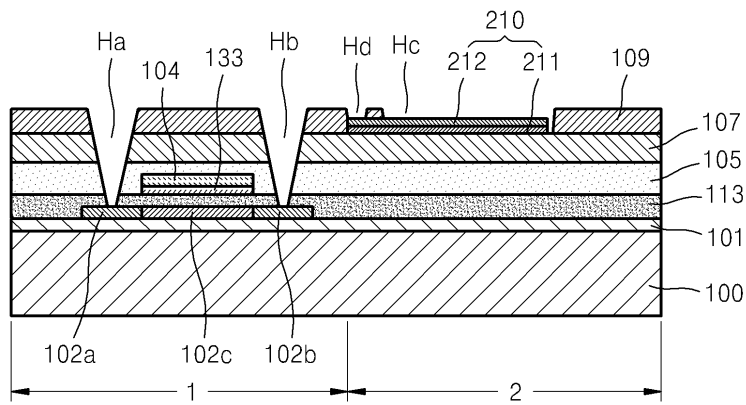
도면8



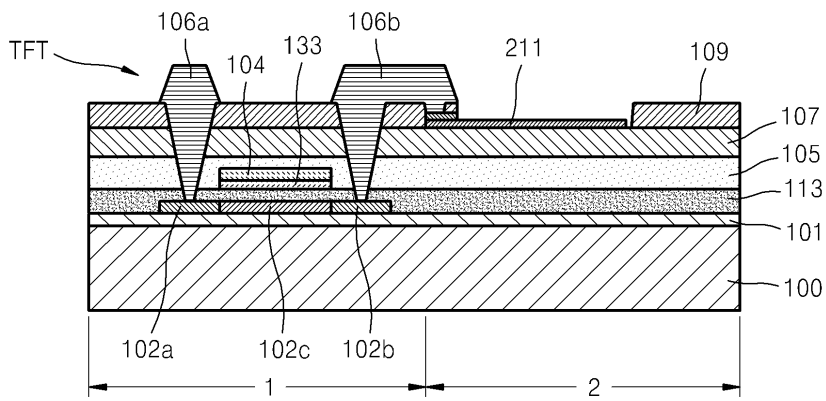
도면9



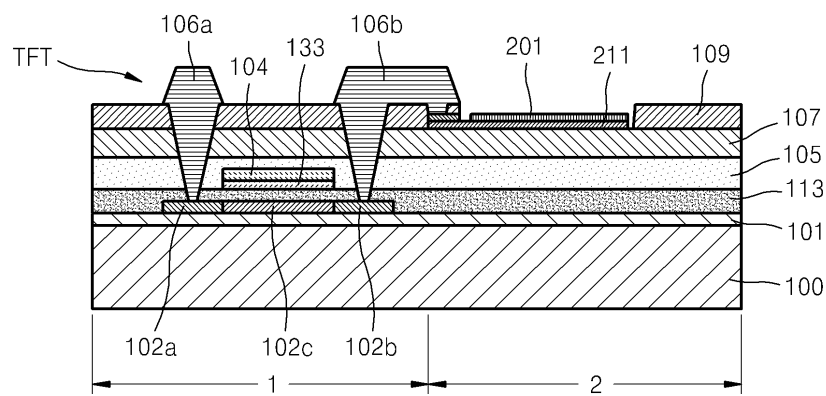
도면10



도면11

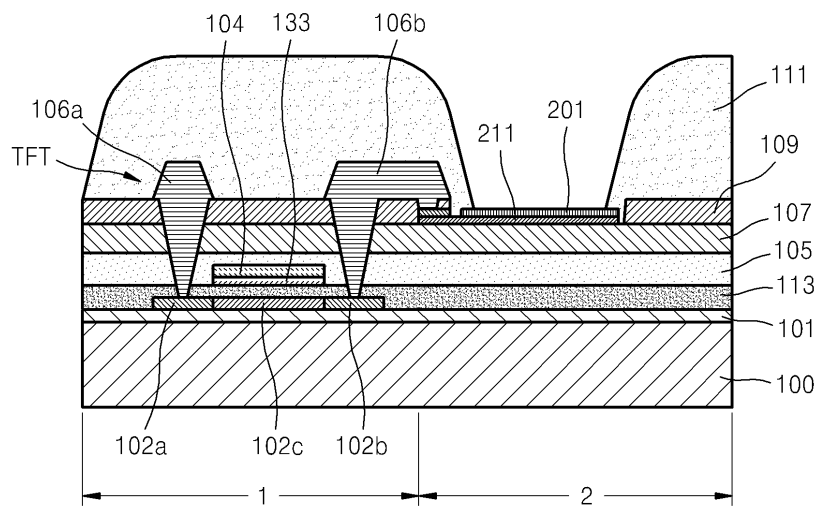


도면12

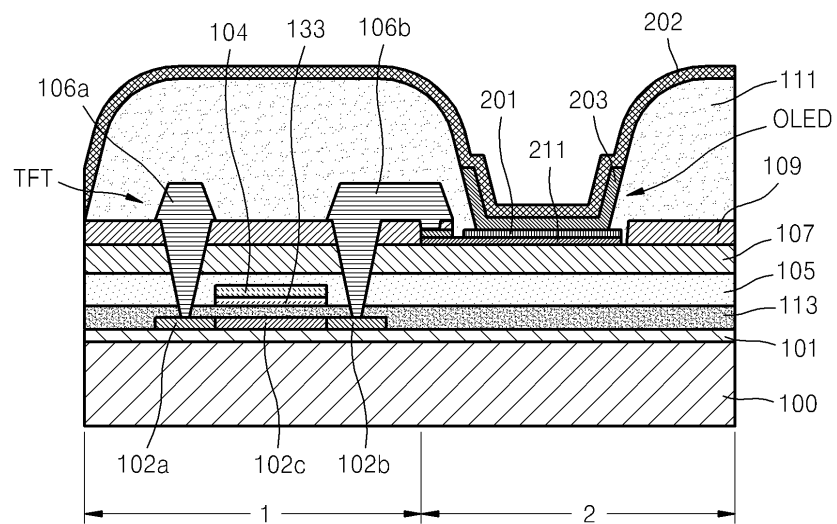




도면13



도면14



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	<a href="#">KR1020140077024A</a>	公开(公告)日	2014-06-23
申请号	KR1020120145713	申请日	2012-12-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHOI JONG HYUN 최종현 SON YONG DUCK 손용덕 LEE DONG HYUN 이동현 SEO JIN WOOK 서진욱		
发明人	최종현 손용덕 이동현 서진욱		
IPC分类号	H01L51/50 H01L29/786 H05B33/10		
CPC分类号	H01L27/3258 H01L27/1288 H01L27/3248 H01L29/78606 H01L29/78636		
外部链接	<a href="#">Espacenet</a>		

# 摘要(译)

一种半导体器件，包括：形成在衬底上的半导体图案;形成在基板上以覆盖半导体图案的第一绝缘层;形成在第一绝缘膜上的与半导体图案对应的绝缘图案;形成在绝缘图案上的栅电极;第二绝缘层和第三绝缘层形成在第一绝缘层上以覆盖栅电极;源极和漏极通过第一至第三绝缘膜连接到半导体图案;并且，像素电极连接到源电极或漏电极并形成在第三绝缘膜上;并且第一绝缘层至第三绝缘层包括氧化物。

