



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0024994
(43) 공개일자 2014년03월04일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
(21) 출원번호 10-2012-0090665
(22) 출원일자 2012년08월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한호범
경기 군포시 고산로 596-15, 1030동 502호 (산본동, 주몽마을대림아파트)
윤중선
경기 과천시 탄현면 범흥리 민들레빌 203호
(74) 대리인
특허법인로알

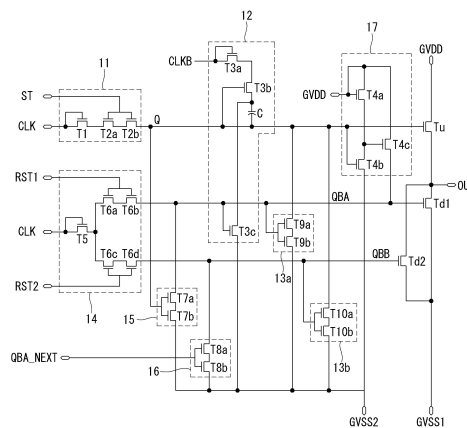
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 유기 발광 표시장치의 게이트 구동회로

(57) 요약

본 발명은 유기발광 표시장치의 게이트 구동회로에 관한 것으로, Q 노드의 전압에 응답하여 출력 단자에 고전위 전원 전압을 공급하여 출력 단자를 충전시키는 풀업 트랜지스터; QB 노드의 전압에 응답하여 상기 출력 단자에 저전위 전원 전압을 공급하여 상기 출력 단자를 방전시키는 풀다운 트랜지스터; 및 상기 Q 노드에 상기 스타트 펄스를 공급하여 상기 출력 단자의 전압을 라이징시키고, 상기 QB 노드에 상기 리셋 펄스를 공급하여 상기 출력 단자의 전압을 풀링시키는 스위치 회로를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

서로 역위상으로 발생되는 제1 및 제2 클럭, 상기 제1 클럭에 동기되는 스타트 펄스, 상기 스타트 펄스에 이어서 발생하고 상기 제1 클럭에 동기되는 리셋 펄스, 고전위 전원 전압, 및 저전위 전원 전압이 입력되고 종속적으로 접속된 다수의 스테이지들로 구성되는 시프트 레지스터를 포함하고,

상기 스테이지들 각각은,

Q 노드의 전압에 응답하여 출력 단자에 상기 고전위 전원 전압을 공급하여 상기 출력 단자를 충전시키는 풀업 트랜지스터;

QB 노드의 전압에 응답하여 상기 출력 단자에 상기 저전위 전원 전압을 공급하여 상기 출력 단자를 방전시키는 풀다운 트랜지스터; 및

상기 Q 노드에 상기 스타트 펄스를 공급하여 상기 출력 단자의 전압을 라이징시키고, 상기 QB 노드에 상기 리셋 펄스를 공급하여 상기 출력 단자의 전압을 폴링시키는 스위치 회로를 포함하는 것을 특징으로 하는 유기 발광 표시장치의 게이트 구동회로.

청구항 2

제 1 항에 있어서,

상기 출력 단자에는 게이트 신호들이 1 프레임 기간 내에서 연속으로 공급되는 것을 특징으로 하는 유기 발광 표시장치의 게이트 구동회로.

청구항 3

제 2 항에 있어서,

상기 출력 단자에는 신호폭이 서로 다른 게이트 신호들이 1 프레임 기간 내에서 연속으로 공급되는 것을 특징으로 하는 유기 발광 표시장치의 게이트 구동회로.

청구항 4

제 3 항에 있어서,

상기 QB 노드는

제1 및 제2 QB 노드로 분리되고,

상기 풀다운 트랜지스터는,

상기 제1 QB 노드의 전압에 응답하여 상기 출력 단자에 상기 저전위 전원 전압을 공급하여 상기 출력 단자를 방전시키는 제1 풀다운 트랜지스터; 및

상기 제2 QB 노드의 전압에 응답하여 상기 출력 단자에 상기 저전위 전원 전압을 공급하여 상기 출력 단자를 방전시키는 제2 풀다운 트랜지스터를 포함하는 것을 특징으로 하는 유기 발광 표시장치의 게이트 구동회로.

청구항 5

제 4 항에 있어서,

상기 스위치 회로는,

상기 제1 스타트 펄스와 상기 제1 클럭에 응답하여 상기 제1 클럭의 전압으로 상기 Q 노드를 충전시키는 제1 Q 노드 구동부;

상기 제2 클럭을 상기 Q 노드에 공급하여 상기 Q 노드의 전압을 부스팅시키는 제2 Q 노드 구동부;

상기 제1 및 제2 QB 노드의 전압에 응답하여 상기 Q 노드를 방전시키는 제3 Q 노드 구동부;

상기 리셋 펄스와 상기 제1 클럭에 응답하여 상기 제1 클럭의 전압으로 상기 제1 및 제2 QB 노드를 충전시키는 제1 QB 노드 구동부;

상기 Q 노드의 전압에 응답하여 상기 제1 QB 노드를 방전시키는 제2 QB 노드 구동부;

다음 스테이지의 제1 QB 노드 전압에 응답하여 상기 제2 QB 노드의 전압을 방전시키는 제3 QB 노드 구동부; 및
상기 Q 노드가 방전되어 있을 때 상기 제1 QB 노드에 상기 고전위 전원 전압을 공급하여 상기 제1 QB 노드를 충전시키는 제4 QB 노드 구동부를 포함하는 것을 특징으로 하는 유기 발광 표시장치의 게이트 구동회로.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 스타트 펄스는 상기 출력 단자가 충전되기 시작하는 라이징 타이밍에 발생되어 상기 라이징 타이밍을 제어하고,

상기 리셋 펄스는 상기 출력 단자가 방전되기 시작하는 폴링 타이밍에 발생되어 상기 폴링 타이밍을 제어하는 것을 특징으로 하는 유기 발광 표시장치의 게이트 구동회로.

청구항 7

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 스타트 펄스는 상기 출력 단자가 충전되기 시작하는 라이징 타이밍에 발생되어 상기 라이징 타이밍을 제어하고,

상기 리셋 펄스는 상기 출력 단자가 방전되기 시작하는 폴링 타이밍에 발생되어 상기 폴링 타이밍을 제어함과 아울러, 상기 출력 단자를 통해 게이트 신호가 출력되는 시간 이외의 시간 동안 상기 제1 클럭에 동기되어 추가로 발생하는 것을 특징으로 하는 유기 발광 표시장치의 게이트 구동회로.

명세서

기술분야

[0001] 본 발명은 유기발광 표시장치의 게이트 구동회로에 관한 것이다.

배경기술

[0002] 유기발광 표시장치는 픽셀 마다 유기발광 다이오드(Organic Light Emitting Diode, 이하 "OLED"라 함)를 형성한 자발광소자이다. 유기발광 표시장치(Organic Light Emitting Display)는 액정표시장치(Liquid Crystal Display, LCD)에 비해 전력소모가 작고 영상 재생시에 잔상이 보이지 않으며 시야각이 넓은 장점이 있다.

[0003] 유기발광 표시장치의 픽셀 어레이는 다수의 데이터 라인들, 데이터 라인들과 직교되는 게이트 라인들, 및 매트릭스 형태로 배치된 픽셀들을 포함한다. 픽셀들 각각은 OLED와, 그 OLED를 구동하기 위한 픽셀 구동회로를 포함한다. 픽셀 구동회로에는 데이터 전압에 따라 OLED에 공급되는 전류를 조절하는 구동소자, 구동소자의 게이트 전압을 유지시키는 스토리지 커패시터 등을 포함한다. 픽셀 구동회로에는 구동소자의 게이트 전압을 초기화하고 그 구동소자의 문턱전압을 센싱하며, 구동소자의 게이트에 데이터를 기입하고 구동소자와 OLED 사이의 전류 패스를 절환(switching)하는 스위치 소자들을 더 포함한다. 이러한 초기화, 센싱, 데이터 기입, OLED의 발광 타이밍을 제어하기 위한 게이트 신호들이 게이트라인들을 통해 픽셀 구동회로의 스위치 소자들의 제어단자(또는 게이트)에 공급된다. 게이트 제어신호들의 신호폭은 1 수평기간에서 수십 수평기간일 수 있다. 하나의 게이트 라인에 공급되는 게이트 신호들은 다중 신호로 연속으로 공급되고 그 신호 폭이 서로 다를 수 있다.

[0004] 종래의 게이트 구동회로는 풀업 트랜지스터(Pull-up transistor)의 게이트를 제어하는 Q 노드의 전압을 충전시킨 상태에서 그 풀업 트랜지스터의 드레인에 클럭신호를 공급하여 Q 노드의 전압을 부스팅(Boosting)하는 다이내믹(dynamic) 제어 방법으로 출력 전압을 발생하였다. 그리고 종래의 게이트 구동회로는 풀다운 트랜지스터(Pull-down transistor)의 게이트를 제어하는 QB 노드를 충전시켜 출력 전압을 방전시켰다. 게이트 라인들에 공급되는 게이트 신호들이 중첩(overlap)되는 경우에, 그 중첩 간격에 따라 게이트 구동회로에 공급되는 클럭

신호들의 위상 수(number of phase)를 증가시켜야 한다. 이러한 종래의 게이트 구동회로는 동일한 폭의 게이트 신호를 출력하고 있다. 따라서, 종래의 게이트 구동회로는 신호 폭이 다른 다중 신호들을 연속으로 출력하기가 어렵다.

[0005] 종래의 게이트 구동회로는 요구되는 게이트 신호 사양에 따라 레이아웃(layout)이 결정된다. 따라서, 게이트 신호 사양이 바뀌면 게이트 구동회로가 새로 설계되어야 한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 다중 게이트 신호를 연속으로 출력할 수 있고 그 게이트 신호의 신호 폭을 조절하기가 용이한 유기 발광 표시장치의 게이트 구동회로를 제공한다.

과제의 해결 수단

[0007] 본 발명의 게이트 구동회로는 서로 역위상으로 발생하는 제1 및 제2 클럭, 상기 제1 클럭에 동기되는 스타트 펄스, 상기 스타트 펄스에 이어서 발생하고 상기 제1 클럭에 동기되는 리셋 펄스, 고전위 전원 전압, 및 저전위 전원 전압이 입력되고 종속적으로 접속된 다수의 스테이지들로 구성되는 시프트 레지스터를 포함한다.

[0008] 상기 스테이지들 각각은 Q 노드의 전압에 응답하여 출력 단자에 상기 고전위 전원 전압을 공급하여 상기 출력 단자를 충전시키는 풀업 트랜지스터; QB 노드의 전압에 응답하여 상기 출력 단자에 상기 저전위 전원 전압을 공급하여 상기 출력 단자를 방전시키는 풀다운 트랜지스터; 및 상기 Q 노드에 상기 스타트 펄스를 공급하여 상기 출력 단자의 전압을 라이징시키고, 상기 QB 노드에 상기 리셋 펄스를 공급하여 상기 출력 단자의 전압을 폴링시키는 스위치 회로를 포함한다.

발명의 효과

[0009] 본 발명은 스타트 펄스와 리셋 펄스의 시간차를 조절하여 다중 게이트 신호들 각각의 신호폭을 쉽게 조절할 수 있다. 나아가, 본 발명은 게이트 신호 사양이 바뀌면 픽셀 구동회로를 재설계하지 않고 스타트 펄스와 리셋 펄스의 타이밍만을 업데이트하여 새로운 게이트 신호 사양을 충족시킬 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시예에 따른 유기 발광 표시장치를 보여 주는 블록도이다.

도 2는 도 1에 도시된 시프트 레지스터를 보여 주는 도면이다.

도 3은 도 2에 도시된 시프트 레지스터의 회로 구성을 상세히 보여 주는 회로도이다.

도 4 및 도 5는 시프트 레지스터의 구동 방법을 보여 주는 파형도들이다.

도 6은 시프트 레지스터의 다른 구동 방법을 보여 주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0012] 도 1 및 도 2를 참조하면, 본 발명의 유기 발광 표시장치는 표시패널(10), 표시패널 구동회로를 포함한다.

[0013] 표시패널(10)은 매트릭스 형태로 픽셀들이 형성된 픽셀 어레이를 포함하여 입력 영상 데이터를 표시한다. 픽셀

들 각각은 OLED와, 그 OLED를 구동하기 위한 픽셀 구동회로를 포함한다. OLED의 유기 화합물층은 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL) 등을 포함한다. 애노드 전극과 캐소드전극에 구동전압이 인가되면 정공주입층(HIL)과 정공수송층(HTL)을 통해 공급된 정공과 전자주입층(EIL)와 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발산하게 한다. 픽셀 구동회로에는 데이터 전압에 따라 OLED에 공급되는 전류를 조절하는 구동소자, 구동소자의 게이트전압을 유지시키는 스토리지 커패시터, 구동소자의 게이트 전압을 초기화하고 그 구동소자의 문턱전압을 센싱하며, 구동소자의 게이트에 데이터를 기입하고 구동소자와 OLED 사이의 전류 패스를 절환하는 스위치 소자들을 포함한다. 픽셀 구동회로와 그 구동 방법은 공지된 어느 것으로도 구현될 수 있다. 예를 들어, 픽셀 구동회로와 그 구동 방법은 본원 출원인에 의해 기출원된 대한민국 특허 출원 10-2008-0015064(2008. 02. 19.), 대한민국 특허 출원 10-2008-0016503(2008. 02. 22.), 대한민국 특허 출원 10-2010-0082938(2010. 08. 26.), 미국 특허 출원 12/292,849(2008. 11.26), 미국 특허 출원 12/289,190(2008. 10. 22), 미국 특허 출원 13/213,794(2011. 08. 19.) 등이 적용될 수 있다.

- [0014] 표시패널(10)의 하부 기판에는 픽셀 어레이와 후술하는 게이트 구동회로의 시프트 레지스터(Shift register, 30)가 함께 형성될 수 있다. 픽셀 어레이의 픽셀들은 적색 발광층, 녹색 발광층 및 청색 발광층이 적층되어 백색광을 발산하는 화이트(white) OLED를 포함할 수 있다. 표시패널(10)의 상부 기판에는 컬러 필터와 블랙 매트릭스를 포함한 컬러필터 어레이가 형성될 수 있다.
- [0015] 표시패널 구동회로는 입력 영상의 데이터를 표시패널의 픽셀들에 기입한다. 표시패널 구동회로는 데이터 구동회로, 게이트 구동회로, 및 타이밍 콘트롤러(22) 등을 포함한다.
- [0016] 데이터 구동회로는 다수의 소스 드라이브 IC들(Integrated Circuit)(24)을 포함한다. 소스 드라이브 IC들(24)은 타이밍 콘트롤러(22)로부터 디지털 비디오 데이터들(RGB)을 입력받는다. 소스 드라이브 IC들(24)은 타이밍 콘트롤러(22)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터들(RGB)을 감마보상전압으로 변환하여 표시패널(10)의 데이터라인들에 공급한다. 소스 드라이브 IC들(24)은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 표시패널(10)의 데이터라인들(11)에 접속될 수 있다. 도 3에서 소스 드라이브 IC들(24)은 TCP(Tape Carrier Package)에 실장된 예를 보여 준다. TCP들 각각은 TAB 공정으로 있는 인쇄회로보드(Printed Circuit Board, PCB)(20)와 표시패널(10)의 하부 기판 사이에 연결된다.
- [0017] 게이트 구동회로는 GIP(Gate In Panel) 공정으로 픽셀 어레이와 함께 표시패널(10)의 하부 기판에 내장될 수 있다. 게이트 구동회로는 레벨 시프터(Level shifter, 26)와, 시프트 레지스터(shift register, 30)를 포함하여 다중 게이트 신호들을 출력한다. 다중 게이트 신호는 픽셀을 초기화하는 초기화 펄스, 데이터전압과 동기되는 스캔펄스, 픽셀의 발광 타이밍을 제어하는 발광제어펄스 등을 포함하는 다중 신호로 발생된다.
- [0018] 레벨 시프터(26)는 타이밍 콘트롤러(22)로부터 스타트 펄스(start pulse), 리셋 펄스(reset pulse), 클럭(clock) 등을 입력받는다. 또한, 레벨 시프터(26)는 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 등의 구동 전압을 공급받는다. 타이밍 콘트롤러(22)로부터 레벨 시프터(26)로 전송되는 스타트 펄스, 리셋 펄스, 클럭 등은 0V와 3.3V 사이에서 스윙한다. 게이트 하이 전압(VGH)은 표시패널(10)의 TFT 어레이에 형성된 TFT의 문턱 전압 이상의 전압으로서 대략 20V 이상의 전압이고, 게이트 로우 전압(VGL)은 표시패널(10)의 TFT 어레이에 형성된 TFT의 문턱 전압보다 낮은 전압으로서 대략 -5V 정도의 전압이다.
- [0019] 레벨 시프터(26)는 타이밍 콘트롤러(22)로부터 입력되는 스타트 펄스, 리셋 펄스, 클럭의 전압을 시프트하여 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL) 사이에서 스윙하는 스타트 펄스(ST), 리셋 펄스(RST), 클럭(CLK, CLKB)를 출력한다. 클럭(CLK, CLKB)은 도 4 및 도 5와 같이 제1 클럭(CLK)과, 제1 클럭(CLK)의 역위상으로 발생하는 제2 클럭(CLKB)을 포함한다. 레벨 시프터(26)로부터 출력된 클럭신호들(CLK)은 순차적으로 위상이 시프트되어 표시패널(10)에 형성된 시프트 레지스터(30)로 전송된다.
- [0020] 시프트 레지스터(30)는 GIP 공정으로 표시패널(10)의 하부 기판에 형성된다. 시프트 레지스터(30)는 도 2와 같이 종속적으로 접속되어 게이트 신호들을 순차적으로 출력하는 다수의 스테이지들(30N ~30N+3)을 포함한다. 이러한 시프트 레지스터(30)는 레벨 시프터(26)로부터 입력되는 스타트 펄스(VST)에 응답하여 표시패널(10)의 게이트라인에 연결된 출력 단자의 전압을 라이징(rising) 시키고 리셋 펄스(RST)에 응답하여 출력 단자의 전압을 폴링(falling)시킨다.
- [0021] 시프트 레지스터(30)의 스테이지들 각각은 스타트 펄스(ST), 클럭(CLK, CLKB)를 입력 받아 출력단자(OUT)를 통

해 다중 게이트 신호들을 출력한다. 레벨 시프터(26)로부터 스타트 펄스(ST), 리셋 펄스(RST)는 도 2에서 제1 스테이지(30N)에만 입력된다. 제1 스테이지(30N) 이외의 다른 스테이지들은 이전 스테이지로부터 스타트 펄스(ST)와 리셋 펄스(RST)를 전달 받는다. 도 2에서, "NST"는 다음 스테이지에 스타트 펄스(ST)를 공급하는 단자이고, "NRST"는 다음 스테이지에 리셋 펄스(RST)를 공급하는 단자이다. 도시하지 않았지만 다음 스테이지의 QBA 노드 전압은 이전 스테이지에 공급된다.

[0022] 타이밍 컨트롤러(22)는 PCB(20)에 실장되어 외부의 호스트 시스템으로부터 디지털 비디오 데이터(RGB)를 수신하고, 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(CLK) 등의 타이밍 신호를 수신한다. 호스트 시스템은 텔레비전(TV) 시스템, 셋톱박스, DVD 플레이어, 네비게이션 시스템, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 타이밍 컨트롤러(22)는 호스트 시스템으로부터 수신된 디지털 비디오 데이터를 재정렬하여 소스 드라이브 IC들(24)에 전송한다.

[0023] 타이밍 컨트롤러(22)는 타이밍 신호(Vsync, Hsync, DE, CLK)를 이용하여 소스 드라이브 IC들(24)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 구동회로의 레벨 시프터(26)와 시프트 레지스터(30)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(ST, RST, CLK) 등을 발생한다.

[0024] 타이밍 컨트롤러(22)에는 타이밍 정보가 저장된 메모리(40)가 접속된다. 메모리는 EEPROM(Electrically erasable and programmable read only memory)과 같이 데이터 업데이트가 가능한 메모리로 구현된다. 타이밍 정보는 타이밍 컨트롤러(22)로부터 출력되는 소스 및 게이트 타이밍 제어신호들 각각의 라이징 타이밍과 신호폭 정보 등을 포함한다. 타이밍 컨트롤러(22)는 메모리(40)에 저장된 타이밍 정보를 참조하여 수신받은 타이밍 신호를 카운트하고 그 카운트값과 타이밍 정보를 비교하여 소스 및 게이트 타이밍 제어신호를 출력한다. 유기 발광 표시장치의 패널 모듈 메이커 또는 세트 메이커는 게이트 신호 사양의 타이밍 정보를 롬 라이터(ROM writer)를 통해 메모리에 업데이트하여 픽셀 구동회로를 재설계하지 않고 새로운 게이트 신호 사양을 충족하는 다중 게이트 신호들을 얻을 수 있다. 예를 들어, 게이트 신호들 각각의 라이징 타임과 폴링 타임은 스타트 펄스(ST)와 리셋 펄스(RST)의 타이밍 정보를 조절하는 방법으로 변경될 수 있다.

[0025] 도 3은 시프트 레지스터(30)의 회로 구성을 상세히 보여 주는 회로도이다. 도 4 및 도 5는 시프트 레지스터의 구동 방법을 보여 주는 파형도들이다.

[0026] 도 3 내지 도 5를 참조하면, 시프트 레지스터(30)의 스테이지 각각은 풀업 트랜지스터(Tu), 풀다운 트랜지스터(Td1, Td2), 풀업 트랜지스터(Tu)를 제어하는 Q 노드(Q), 풀다운 트랜지스터(Td1, Td2)를 제어하는 QB 노드(QBA, QBB), 및 Q 노드(Q)와 QB 노드(QBA, QBB)를 충방전시키는 스위치 회로를 포함한다. 풀다운 트랜지스터(Td1, Td2)는 스테이지의 출력 단자와 제1 저전위 전원 전압(GVSS1)을 발생하는 제1 저전위 전원 전압원 사이에 병렬 접속된 제1 풀다운 트랜지스터(Td1)와 제2 풀다운 트랜지스터(Td2)를 포함한다. QB 노드(QBA, QBB)는 제1 풀다운 트랜지스터(Td1)를 제어하는 제1 QB 노드(QBA)와, 제2 풀다운 트랜지스터(Td2)를 제어하는 제2 QB 노드(QBB)로 나뉘어진다.

[0027] 도 3에 도시된 트랜지스터들은 n type MOSFET(metal-oxide semiconductor field-effect-transistor) 기반으로 형성된 예를 예시하였으나, 이에 한정되지 않는다. 예컨대, 도 3에 도시된 트랜지스터들은 p type MOSFET로 구현될 수도 있다.

[0028] 스테이지들 각각에는 스타트 펄스(ST), 리셋 펄스(RST), 클럭(CLK, CLKB), 고전위 전원 전압(GVDD), 제1 및 제2 저전위 전원 전압(GVSS1, GVSS2) 등이 입력된다. 스타트 펄스(ST)는 제1 클럭(CLK)과 동기된다. 리셋 펄스(RST)는 스타트 펄스(ST) 이후에 발생되고 제1 클럭(CLK)과 동기된다. 스타트 펄스(ST)와 리셋 펄스(RST) 사이의 시간은 게이트 신호의 신호폭에 따라 결정된다. 게이트 신호의 신호폭이 클수록 스타트 펄스(ST)와 리셋 펄스(RST) 사이의 시간이 길어진다.

[0029] 고전위 전원 전압(GVDD)은 대략 10V 이상의 전원 전압이다. 제1 및 제2 저전위 전원전압(GVSS1, GVSS2)은 0V 이하의 전원 전압으로서 동일한 전압으로 설정될 수 있고, 다른 전압으로 설정될 수 있다. 제1 및 제2 저전위 전원전압(GVSS1, GVSS2)은 풀다운 트랜지스터들(Td1, Td2)이 게이트 바이어스 스트레스(gate bias stress)로 인하여 그 문턱전압이 시프트되더라도 안정되게 턴-오프(turn-off) 동작할 수 있도록 그 전압이 다르게 설정되는 것이 바람직하다. 예를 들어, 제2 저전위 전원 전압(GVSS2)은 풀다운 트랜지스터들(Td1, Td2) 보다 낮은 전압으로 설정될 수 있다.

[0030] 스위치 회로는 Q 노드에 스타트 펄스(ST)를 공급하여 출력 단자의 전압을 라이징시키고, 상기 QB 노드(QBA,

QBB)에 리셋 펄스(RST1, RST2)를 공급하여 출력 단자의 전압을 풀링시킨다. 이 스위치 회로는 제1 Q 노드 구동부(11), 제2 Q 노드 구동부(12), 제3 Q 노드 구동부(13a, 13b), 제1 QB 노드 구동부(14), 제2 QB 노드 구동부(15), 제3 QB 노드 구동부(16), 제4 QB 노드 구동부(17) 등을 포함한다.

- [0031] 제1 Q 노드 구동부(11)는 서로 동기되는 스타트 펄스(ST)와 제1 클럭(CLK)에 응답하여 제1 클럭(CLK)의 전압으로 Q 노드를 충전시켜 풀업 트랜지스터(Tu)를 턴-온시킨다. 제1 Q 노드 구동부(11)는 제1 및 제2 트랜지스터(T1, T2a, T2b)를 포함한다. 제2 트랜지스터(T2a, T2b)는 제2a 트랜지스터(T2a)와 제2b 트랜지스터(T2b)로 구성될 수 있으나, 그 중 어느 하나가 생략될 수 있다.
- [0032] 제1 트랜지스터(T1)는 제1 클럭(CLK)에 따라 턴-온되어 제1 클럭(CLK)을 제2 트랜지스터(T2a, T2b)에 전달하는 다이오드(diode)로 동작한다. 제1 트랜지스터(T1)의 게이트(gate)와 드레인(drain)은 단락(short)된다. 제1 트랜지스터(T1)의 게이트와 드레인에는 제1 클럭(CLK)이 공급된다. 제1 트랜지스터(T1)의 소스(source)는 제2a 트랜지스터(T2a)의 드레인에 연결된다.
- [0033] 제2 트랜지스터(T2a, T2b)는 스타트 펄스(ST)와 제1 클럭(CLK)이 동시에 입력될 때 턴-온(turn-on)되어 제1 클럭(CLK)을 Q 노드(Q)에 공급하여 Q 노드(Q)를 충전시킨다. 제2 트랜지스터(T2a, T2b)는 스타트 펄스(ST)가 입력되지 않으면 오프 상태를 유지한다. 제2a 트랜지스터(T2a)와 제2b 트랜지스터(T2b)의 게이트들은 단락된다. 제2a 트랜지스터(T2a)와 제2b 트랜지스터(T2b)의 게이트들에는 스타트 펄스(ST)가 공급된다. 제2a 트랜지스터(T2a)의 드레인은 제1 트랜지스터(T1)의 소스에 연결되고, 제2a 트랜지스터(T2a)의 소스는 제2b 트랜지스터(T2b)의 드레인에 연결된다. 제2b 트랜지스터(T2b)의 소스는 Q 노드(Q)에 연결된다.
- [0034] 제2 Q 노드 구동부(12)는 제2 클럭(CLB)을 이미 충전된 Q 노드(Q)에 공급하여 Q 노드(Q)의 전압을 부스팅(Boosting)시켜 풀업 트랜지스터(Tu)의 온 타임(on time)을 유지시킨다. 제2 Q 노드 구동부(12)에 의해 Q 노드(Q)가 부스팅하여 스테이지로부터 출력되는 게이트 신호의 신호폭은 제1 클럭(CLK)의 신호폭에 제2 클럭(CLKB)의 신호폭을 합한 길이 이상으로 길어진다. 제2 Q 노드 구동부(12)는 제3a 내지 제3c 트랜지스터들(T3a~T3c)와, 커패시터(c)를 포함한다.
- [0035] 제3a 트랜지스터(T3a)는 제2 클럭(CLKB)에 따라 턴-온되어 제2 클럭(CLKB)을 제2 트랜지스터(T2a, T2b)에 전달하는 다이오드로 동작한다. 제3a 트랜지스터(T3a)의 게이트와 드레인은 단락된다. 제3a 트랜지스터(T3a)의 게이트와 드레인에는 제2 클럭(CLKB)이 공급된다. 제3a 트랜지스터(T3a)의 소스는 제3b 트랜지스터(T3b)의 드레인에 연결된다.
- [0036] 제3b 트랜지스터(T3b)는 Q 노드(Q)가 충전되었을 때 턴-온되어 제2 클럭(CLKB)의 전압을 커패시터(C)에 공급한다. 제3b 트랜지스터(T3b)는 Q 노드(Q)가 방전되면 턴-오프된다. 제3b 트랜지스터(T3b)의 게이트는 Q 노드(Q)에 연결된다. 제3b 트랜지스터(T3b)의 드레인은 제3a 트랜지스터(T3a)의 소스에 연결되고, 제3b 트랜지스터(T3b)의 소스는 커패시터(C)의 제1 전극에 연결된다.
- [0037] 제3c 트랜지스터(T3c)는 제1 QB 노드(QBA)가 충전되어 있을 때 그 제1 QB 노드(QBA)의 전압에 응답하여 커패시터(C)를 방전시킨다. 제3c 트랜지스터(T3c)는 Q 노드(Q)가 방전되면 턴-오프된다. 제3c 트랜지스터(T3c)의 게이트는 제1 QB 노드(QBA)에 연결된다. 제3c 트랜지스터(T3c)의 드레인은 커패시터(C)의 제1 전극에 연결되고, 제3c 트랜지스터(T3cb)의 소스는 제2 저전위 전원전압원과 연결된다.
- [0038] 커패시터(C)는 제1 QB 노드(QBA)가 방전되어 있는 동안 제2 클럭(CLKB)이 제2 Q 노드 구동부(12)에 입력될 때 제2 클럭(CLKB) 전압 만큼 Q 노드(Q)의 전압을 부스팅한다. 커패시터(C)의 제1 전극은 제3b 트랜지스터(T3b)의 소스와 제3c 트랜지스터(T3c)의 드레인에 연결된다. 커패시터(C)의 제2 전극은 Q 노드(Q)에 연결된다.
- [0039] 제3 Q 노드 구동부(13a, 13b)는 QB 노드(QBA, QBB)의 전압에 응답하여 Q 노드(Q)를 방전시킨다. 제3 Q 노드 구동부(13a, 13b)는 제1 QB 노드(QBA)의 전압에 응답하여 Q 노드(Q)를 방전시키는 제3a Q 노드 구동부(13a)와, 제2 QB 노드(QBB)의 전압에 응답하여 Q 노드(Q)를 방전시키는 제3b Q 노드 구동부(13b)를 포함한다.
- [0040] 제3a Q 노드 구동부(13a)는 제9a 및 제9b 트랜지스터(T9a, T9b)를 포함한다. 제9a 및 제9b 트랜지스터(T9a, T9b)는 하나의 트랜지스터로 구현될 수 있다. 제9a 트랜지스터(T9a)와 제9b 트랜지스터(T9b)의 게이트들은 제1 QB 노드(QBA)에 공통으로 연결된다. 제9a 트랜지스터(T9a)의 드레인은 Q 노드(Q)에 연결되고, 제9a 트랜지스터(T9a)의 소스는 제9b 트랜지스터(T9b)의 드레인에 연결된다. 제9b 트랜지스터(T9b)의 소스는 제2 저전위 전원전압원에 연결된다.
- [0041] 제3b Q 노드 구동부(13b)는 제10a 및 제10b 트랜지스터(T10a, T10b)를 포함한다. 제10a 및 제10b 트랜지스터

(T10a, T10b)는 하나의 트랜지스터로 구현될 수 있다. 제10a 트랜지스터(T10a)와 제10b 트랜지스터(T10b)의 게이트들은 제2 QB 노드(QBB)에 공통으로 연결된다. 제10a 트랜지스터(T10a)의 드레인 은 Q 노드(Q)에 연결되고, 제10a 트랜지스터(T10a)의 소스는 제10b 트랜지스터(T10b)의 드레인에 연결된다. 제10b 트랜지스터(T10b)의 소스는 제2 저전위 전원 전압원에 연결된다.

[0042] 풀업 트랜지스터(Tu)는 제1 Q 노드 구동부(11)를 통해 공급되는 제1 클럭(CLK)의 전압에 의해 Q 노드(Q)가 충전되는 동안 턴-온되어 고전위 전원 전압(GVDD)을 출력 단자에 공급한다. 풀업 트랜지스터(Tu)는 제2 Q 노드 구동부(12)를 통해 공급되는 전압에 의해 Q 노드(Q)가 부스팅되는 동안 온 상태를 유지하여 출력 단자에 고전위 전원 전압(GVDD)을 공급한다. Q 노드(Q)의 전압은 QB 노드(QBA, QBB)가 충전되어 있는 동안, 제3a Q 노드 구동부(13a) 또는 제3b Q 노드 구동부(13b)를 통해 저전위 전원 전압원으로 방전된다. 풀업 트랜지스터(Tu)는 Q 노드가 자신의 문턱 전압 보다 낮은 전압까지 방전되면 턴-오프된다. 풀업 트랜지스터(Tu)의 게이트는 Q 노드(Q)에 연결된다. 풀업 트랜지스터(Tu)의 드레인은 출력 단자(OUT)와 풀다운 트랜지스터(Td1, Td2)의 드레인에 연결된다.

[0043] 제1 QB 노드 구동부(14)는 서로 동기되는 리셋 펄스(RST)와 제1 클럭(CLK)에 응답하여 제1 클럭(CLK)의 전압으로 QB 노드(QBA, QBB)를 충전시켜 풀다운 트랜지스터(Td1, Td2)를 턴-온시킨다. 제1 QB 노드 구동부(14)는 제5 및 제6 트랜지스터(T5, T6a~T6d)를 포함한다. 제6 트랜지스터(T6a~T6d)는 제6a 내지 제6d 트랜지스터들(T6a~T6d)로 구성될 수 있다. 제6a 및 제6b 트랜지스터들(T6a, T6b) 중 어느 하나는 생략될 수 있다. 또한, 제6c 및 제6d 트랜지스터들(T6c, T6d) 중 어느 하나는 생략될 수 있다.

[0044] 리셋 펄스(RST)는 게이트 신호의 폴링 타이밍을 제어한다. 리셋 펄스(RST)는 도 3 및 도 5와 같이 제1 및 제2 리셋 펄스(RST1, RST2)로 나뉘어질 수 있다. 제1 및 제2 리셋 펄스(RST1, RST2)는 도 5와 같이 동위상의 신호로 발생되거나 이상이 서로 다른 신호로 발생할 수도 있다.

[0045] 제5 트랜지스터(T5)는 제1 클럭(CLK)에 따라 턴-온되어 제1 클럭(CLK)을 제6 트랜지스터(T6a~T6d)에 전달하는 다이오드로 동작한다. 제5 트랜지스터(T5)의 게이트와 드레인은 단락된다. 제5 트랜지스터(T5)의 게이트와 드레인에는 제1 클럭(CLK)이 공급된다. 제5 트랜지스터(T5)의 소스는 제6a 및 제6c 트랜지스터(T6a, T6c)의 드레인에 연결된다.

[0046] 제6a 및 제6b 트랜지스터(T6a, T6b)는 제1 리셋 펄스(RST1)와 제1 클럭(CLK)이 동시에 입력될 때 턴-온되어 제1 클럭(CLK)을 제1 QB 노드(QBA)에 공급하여 제1 QB 노드(QBA)를 충전시킨다. 제6a 및 제6b 트랜지스터(T6a, T6b)는 제1 리셋 펄스(RST1)가 입력되지 않으면 오프 상태를 유지한다. 제6a 트랜지스터(T6a)와 제6b 트랜지스터(T6b)의 게이트들은 단락된다. 제6a 트랜지스터(T6a)와 제6b 트랜지스터(T6b)의 게이트들에는 제1 리셋 펄스(RST1)가 공급된다. 제6a 트랜지스터(T6a)의 드레인은 제5 트랜지스터(T5)의 소스에 연결되고, 제6a 트랜지스터(T6a)의 소스는 제6b 트랜지스터(T6b)의 드레인에 연결된다. 제6b 트랜지스터(T6b)의 소스는 제1 QB 노드(QBA)에 연결된다.

[0047] 제6c 및 제6d 트랜지스터(T6c, T6d)는 제2 리셋 펄스(RST2)와 제1 클럭(CLK)이 동시에 입력될 때 턴-온되어 제1 클럭(CLK)을 제2 QB 노드(QBB)에 공급하여 제2 QB 노드(QBB)를 충전시킨다. 제6c 및 제6c 트랜지스터(T6c, T6d)는 제2 리셋 펄스(RST2)가 입력되지 않으면 오프 상태를 유지한다. 제6c 트랜지스터(T6c)와 제6d 트랜지스터(T6d)의 게이트들은 단락된다. 제6c 트랜지스터(T6c)와 제6d 트랜지스터(T6d)의 게이트들에는 제2 리셋 펄스(RST2)가 공급된다. 제6c 트랜지스터(T6c)의 드레인은 제5 트랜지스터(T5)의 소스에 연결되고, 제6c 트랜지스터(T6c)의 소스는 제6d 트랜지스터(T6d)의 드레인에 연결된다. 제6d 트랜지스터(T6d)의 소스는 제2 QB 노드(QBB)에 연결된다.

[0048] 제2 QB 노드 구동부(15)는 Q 노드(Q)의 전압에 응답하여 제1 QB 노드(QBA)를 방전시킨다. 제2 QB 노드 구동부(15)는 제7a 및 제7b 트랜지스터(T7a, T7b)를 포함한다.

[0049] 제7a 및 제7b 트랜지스터(T7a, T7b) 중 어느 하나는 생략되어 제7a 및 제7b 트랜지스터(T7a, T7b)는 하나의 트랜지스터로 구현될 수 있다. 제7a 트랜지스터(T7a)와 제7b 트랜지스터(T7b)의 게이트들은 Q 노드(Q)에 공통으로 연결된다. 제7a 트랜지스터(T7a)의 드레인은 제1 QB 노드(QBA)에 연결되고, 제7a 트랜지스터(T7a)의 소스는 제7b 트랜지스터(T7b)의 드레인에 연결된다. 제7b 트랜지스터(T7b)의 소스는 제2 저전위 전원 전압원에 연결된다.

[0050] 제3 QB 노드 구동부(16)는 다음 스테이지의 QB 노드 전압에 응답하여 제2 QB 노드(QBB)의 전압을 방전시킨다. 도 3에 도시된 스테이지가 제N(N은 양의 정수) 스테이지일 때, 다음 스테이지는 제N+1 또는 제N+2 스테이지 중

어느 하나일 수 있다. 다음 스테이지의 QB 노드 전압은 도 3과 같이 다음 스테이지의 제1 QB 노드(QBA)의 전압 일 수 있으나 제1 QB 노드(QBA)의 전압으로 선택될 수도 있다. 제3 QB 노드 구동부(16)는 제8a 및 제8b 트랜지스터(T8a, T8b)를 포함한다.

- [0051] 제8a 및 제8b 트랜지스터(T8a, T8b) 중 어느 하나는 생략되어 제8a 및 제8b 트랜지스터(T8a, T8b)는 하나의 트랜지스터로 구현될 수 있다. 제8a 트랜지스터(T8a)와 제8b 트랜지스터(T8b)의 게이트들은 다음 스테이지의 Q 노드(QBA, QBB) 중 어느 하나에 공통으로 연결된다. 제8a 트랜지스터(T8a)의 드레인은 제2 QB 노드(QBB)에 연결되고, 제8a 트랜지스터(T8a)의 소스는 제8b 트랜지스터(T8b)의 드레인에 연결된다. 제8b 트랜지스터(T8b)의 소스는 제2 저전위 전원 전압원에 연결된다.
- [0052] 제4 QB 노드 구동부(17)는 Q 노드(Q)가 방전되어 있을 때 제1 QB 노드(QBA)를 충전시켜 출력 단자의 전압을 방전시키는 인버터로 동작한다. 제4 QB 노드 구동부(17)는 제4a 내지 제4c 트랜지스터(T4a~T4c)를 포함한다.
- [0053] 제4a 트랜지스터(T4a)는 게이트와 드레인이 단락되어 다이오드로 동작한다. 제4a 트랜지스터(T4a)의 게이트와 드레인에는 고전위 전원 전압(GVDD)이 공급된다. 제4a 트랜지스터(T4a)의 소스는 제4b 트랜지스터(T4b)의 드레인과 제4c 트랜지스터(T4c)의 게이트에 공통으로 연결된다.
- [0054] 제4b 트랜지스터(T4b)는 Q 노드(Q)가 방전되어 있을 때 턴-오프되어 제4c 트랜지스터(T4c)의 게이트 전압이 충전되게 한다. 반면에, 제4b 트랜지스터(T4b)는 Q 노드(Q)가 충전되어 있을 때 턴-온되어 제4c 트랜지스터(T4c)의 게이트 전압을 방전시킨다. 제4b 트랜지스터(T4b)의 게이트는 Q 노드(Q)에 연결된다. 제4b 트랜지스터(T4b)의 드레인은 제4a 트랜지스터(T4a)의 소스와 제4c 트랜지스터(T4c)의 게이트에 연결된다. 제4b 트랜지스터(T4b)의 소스는 제2 저전위 전원 전압원에 연결된다.
- [0055] 제4c 트랜지스터(T4c)는 제4b 트랜지스터(T4b)가 턴-오프될 때 고전위 전원 전압(GVDD)을 제1 QB 노드(QBA)에 공급하는 다이오드로 동작한다. 제4c 트랜지스터(T4c)는 제4b 트랜지스터(T4b)가 턴-온될 때 게이트 전압이 낮아져 턴-오프된다. 제4c 트랜지스터(T4c)의 게이트는 제4a 트랜지스터(T4a)의 소스와 제4b 트랜지스터(T4b)의 드레인에 연결된다. 제4c 트랜지스터(T4c)의 드레인은 제4a 트랜지스터(T4a)의 드레인에 연결된다. 제4c 트랜지스터(T4c)의 드레인에는 고전위 전원 전압(GVDD)이 공급된다. 제4c 트랜지스터(T4c)의 소스는 제1 QB 노드(QBA)에 연결된다.
- [0056] 제1 풀다운 트랜지스터(Td1)는 제1 QB 노드 구동부(14)를 통해 공급되는 제1 클럭(CLK)의 전압에 의해 제1 QB 노드(QBA)가 충전되는 동안 턴-온되어 출력 단자의 전압을 제1 저전위 전원 전압원으로 방전시킨다. 제1 풀다운 트랜지스터(Td1)는 제4 QB 노드 구동부(17)를 통해 공급되는 고전위 전원 전압(GVDD)에 의해 제1 QB 노드(QBA)가 충전되는 동안 턴-온되어 출력 단자의 전압을 제1 저전위 전원 전압원으로 방전시킨다. 그리고 제1 풀다운 트랜지스터(Td1)는 제2 QB 노드 구동부(15)를 통해 제1 QB 노드(QBA)가 방전되는 동안 턴-오프된다. 제1 풀다운 트랜지스터(Td1)의 게이트는 제1 QB 노드(QBA)에 연결된다. 제1 풀다운 트랜지스터(Td1)의 드레인은 출력 단자(OUT)와 풀업 트랜지스터(Tu)의 소스에 연결된다. 제1 풀다운 트랜지스터(Td1)의 소스는 제1 저전위 전원 전압원에 연결된다.
- [0057] 제2 풀다운 트랜지스터(Td2)는 제1 QB 노드 구동부(14)를 통해 공급되는 제1 클럭(CLK)의 전압에 의해 제2 QB 노드(QBB)가 충전되는 동안 턴-온되어 출력 단자의 전압을 제1 저전위 전원 전압원으로 방전시킨다. 제2 풀다운 트랜지스터(Td2)는 제3 QB 노드 구동부(16)를 통해 제2 QB 노드(QBB)가 방전되는 동안 턴-오프된다. 제2 풀다운 트랜지스터(Td2)의 게이트는 제2 QB 노드(QBB)에 연결된다. 제2 풀다운 트랜지스터(Td2)의 드레인은 출력 단자(OUT)와 풀업 트랜지스터(Tu)의 소스에 연결된다. 제2 풀다운 트랜지스터(Td2)의 소스는 제1 저전위 전원 전압원에 연결된다.
- [0058] 도 3에서, 제1 풀다운 트랜지스터(Td1)와 제2 풀다운 트랜지스터(Td2) 중 어느 하나와, 생략되는 풀다운 트랜지스터와 연결된 QB 노드 및 트랜지스터들은 생략될 수 있다.
- [0059] 본 발명의 게이트 구동회로는 진술한 바와 같이 스타트 펄스와 리셋 펄스만으로 게이트 신호의 펄스폭을 조절할 수 있다. 그 결과, 본 발명의 게이트 구동회로는 1 프레임 기간 내에서 게이트 라인들 각각에 게이트 신호들을 연속으로 공급할 수 있다. 이 게이트 신호들은 그 신호폭이 서로 동일하거나 도 4 및 도 6과 같이 서로 상이할 수 있다. 예를 들어, 본 발명은 도 4의 예와 같이 스타트 펄스(ST)와 리셋 펄스(RST)의 시간차를 조절하여 2 수평 기간(2HT)의 신호폭을 갖는 제1 게이트 신호와 4 수평 기간(4HT)의 신호폭을 갖는 제2 게이트 신호를 연속으로 발생할 수 있다. 또한, 본 발명의 게이트 구동회로는 도 5와 같이 게이트 신호를 순차적으로 시프트시키고 이웃한 게이트라인들에 공급되는 게이트 신호들(OUT(N), OUT(N+1))을 중첩시킬 수 있다.

[0060] 트랜지스터들의 게이트에 직류 전압이 장시간 지속적으로 인가되면 게이트 바이어스 스트레스(gate bias stress)로 인하여 그 문턱전압이 시프트될 수 있다. 본 발명은 리셋 펄스(RST1, RST2)를 게이트 신호의 폴링 타이밍을 제어하기 위한 제어 신호로 이용하고 또한, 게이트 바이어스 스트레스 보상 전압으로서 이용할 수 있다. 예를 들어, 리셋 펄스(RST1, RST2)는 도 6과 같이 게이트 신호의 폴링 타이밍에 발생되고 추가로, 게이트 신호가 발생되지 않는 기간 동안 제1 클럭(CLK)에 동기되어 발생되어 풀다운 트랜지스터(Td1, Td2)의 게이트 바이어스 스트레스를 보상할 수 있다.

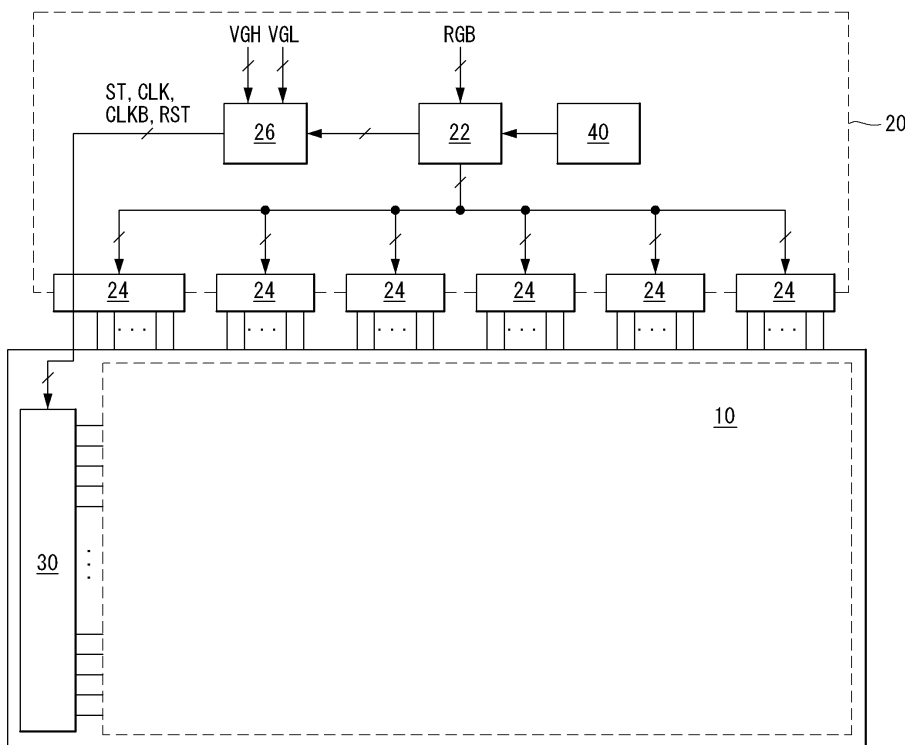
[0061] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

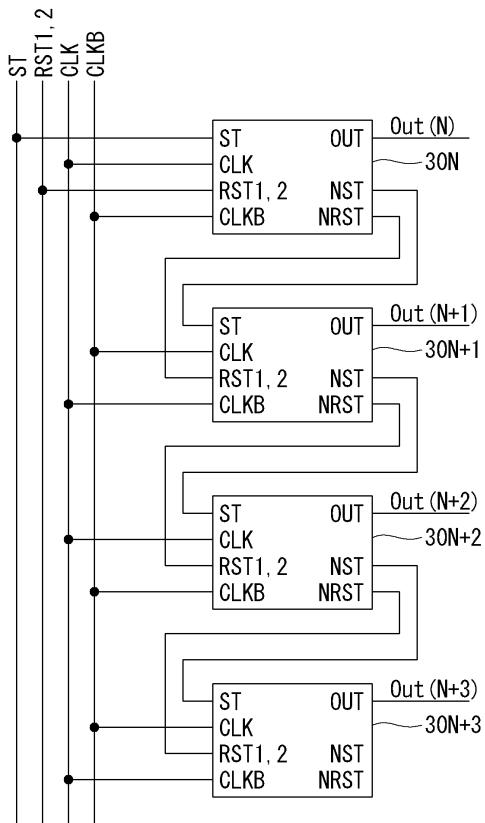
- [0062] 10 : 표시패널
- 20 : PCB
- 22 : 타이밍 컨트롤러
- 24 : 소스 드라이브 IC
- 26 : 레벨 시프터
- 30 : 시프트 레지스터
- 40 : 소스 드라이브 IC

도면

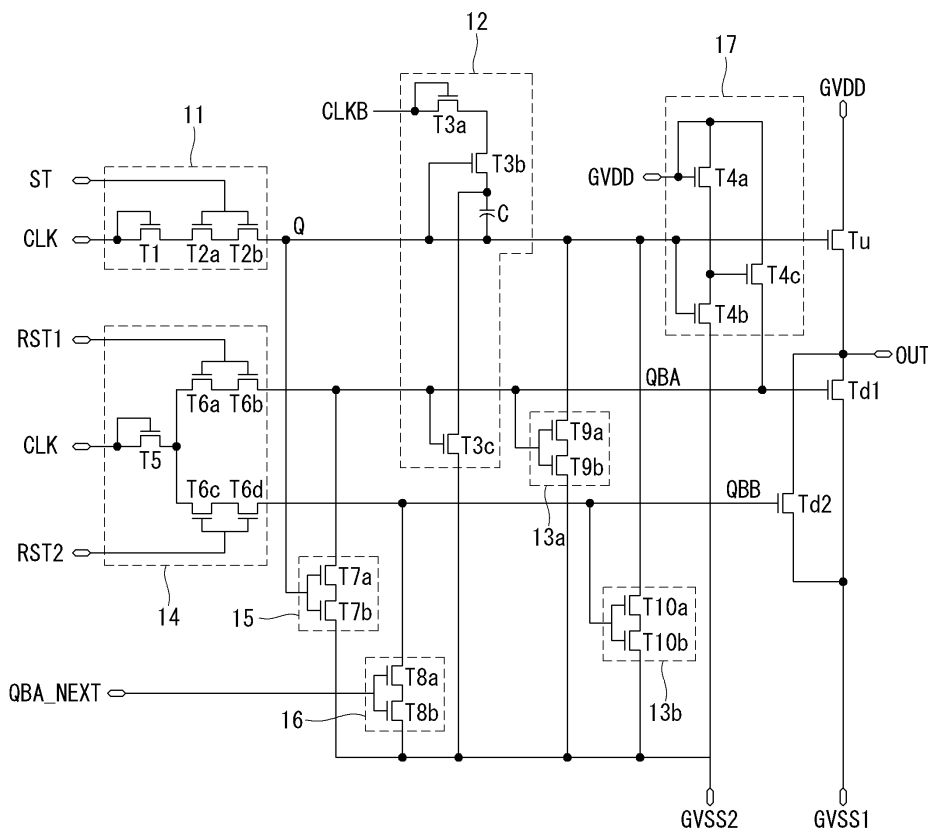
도면1



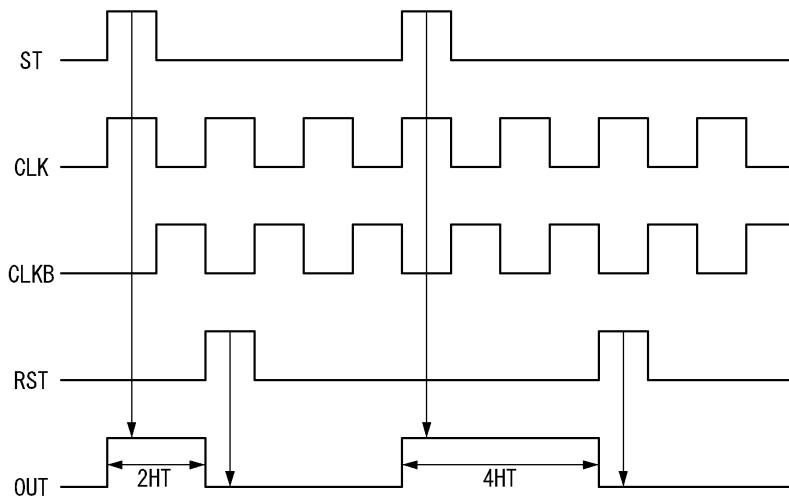
도면2



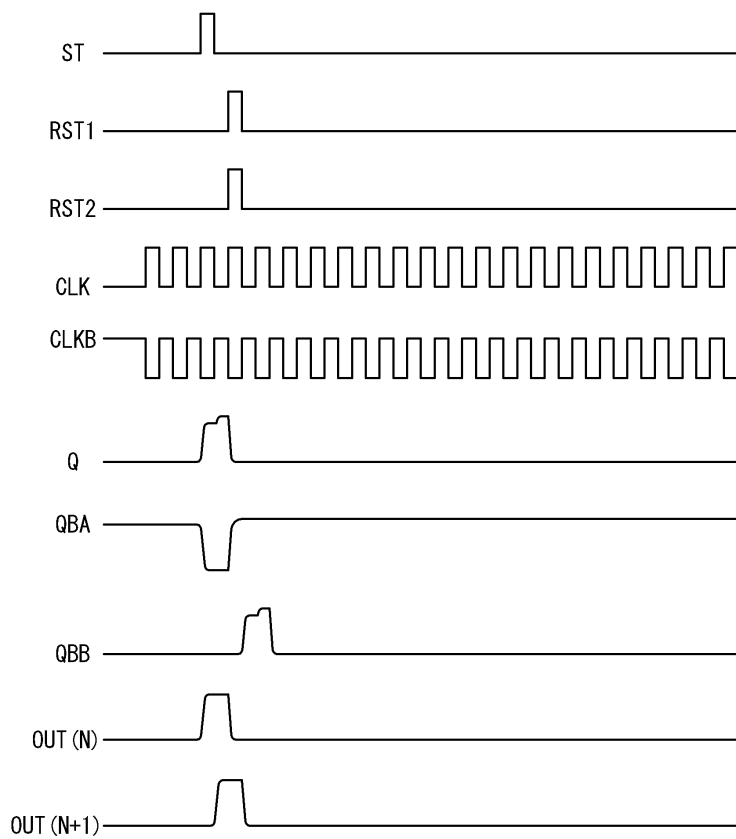
도면3



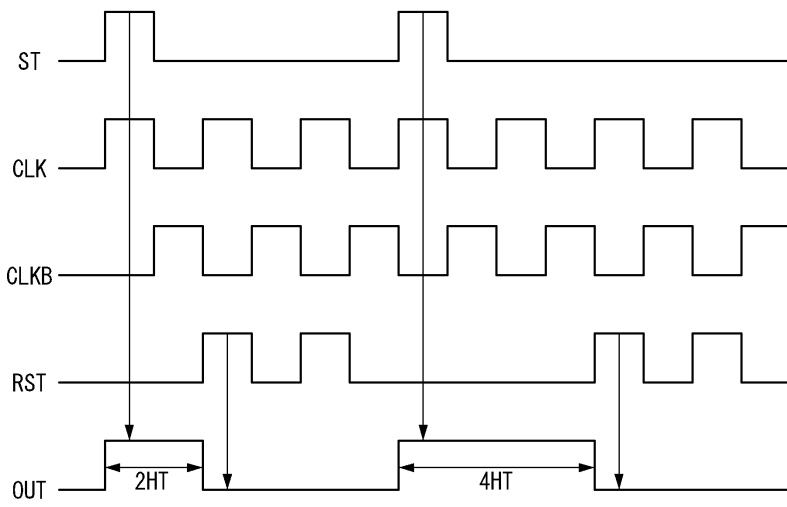
도면4



도면5



도면6



专利名称(译)	有机发光显示器的栅极驱动电路		
公开(公告)号	KR1020140024994A	公开(公告)日	2014-03-04
申请号	KR1020120090665	申请日	2012-08-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN HO BUM 한호범 YOON JOONG SUN 윤중선		
发明人	한호범 윤중선		
IPC分类号	G09G3/30 H01L51/50		
CPC分类号	H01L51/5088 H01L2924/12044 H01L51/5092 H01L51/5072 H01L51/5056		
其他公开文献	KR102009318B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种有机发光显示装置的栅极驱动电路，包括：上拉晶体管，响应于Q节点的电压向输出端子提供高电位电源电压，以对输出端子充电；一种下拉晶体管，被配置为通过响应于QB节点的电压向输出端子提供低电位电源电压来对输出端子放电；以及开关电路，用于将起始脉冲提供给Q节点以升高输出端子处的电压，并将复位脉冲提供给QB节点以轮流输出端子处的电压。专利公开10-2014-0024994

