



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0072228
(43) 공개일자 2020년06월22일

(51) 국제특허분류(Int. Cl.)
G09G 3/3208 (2016.01)

(52) CPC특허분류
G09G 3/3208 (2013.01)
G09G 2230/00 (2013.01)

(21) 출원번호 10-2018-0160178
(22) 출원일자 2018년12월12일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
김영호
경기도 파주시 월롱면 엘지로 245
노동인
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인다나

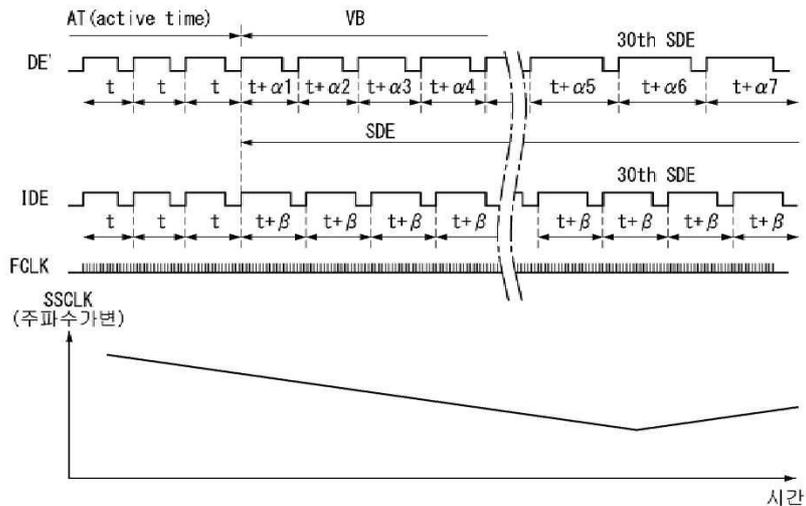
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 전계 발광 표시장치

(57) 요약

본 발명은 전계 발광 표시장치에 관한 것으로, 픽셀 데이터와 동기되는 데이터 인에이블 신호를 수신하고, 픽셀 데이터를 데이터 구동부로 전송하는 타이밍 컨트롤러를 포함한다. 상기 타이밍 컨트롤러는 주파수가 가변되는 스프레드 클럭 신호로 상기 데이터 인에이블 신호를 변조하고, 상기 입력 영상의 픽셀 데이터가 수신되지 않는 센싱 모드 기간에 주파수가 고정된 고정 클럭 신호를 카운트한 결과로 얻어진 시점에 상기 샘플링 스위치 소자를 턴-온시키는 샘플링 스위치 제어 신호를 발생한다.

대표도 - 도13



(52) CPC특허분류

G09G 2320/0295 (2013.01)

G09G 2320/043 (2013.01)

G09G 2330/06 (2013.01)

명세서

청구범위

청구항 1

데이터 라인들, 센싱 라인들, 및 픽셀들이 매트릭스 형태로 배열되는 표시패널;

상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부; 및

입력 영상의 픽셀 데이터와, 상기 픽셀 데이터와 동기되는 데이터 인에이블 신호를 수신하고 상기 픽셀 데이터를 상기 데이터 구동부로 전송하는 타이밍 컨트롤러를 포함하고,

상기 데이터 구동부는 상기 센싱 라인들에 연결된 샘플링 스위치 소자를 이용하여 상기 픽셀들 각각의 센싱 노드 상의 전류 또는 전압을 센싱하는 센싱부를 포함하고,

상기 타이밍 컨트롤러는,

주파수가 가변되는 스프레드 클럭 신호로 상기 데이터 인에이블 신호를 변조하고, 상기 입력 영상의 픽셀 데이터가 수신되지 않는 센싱 모드 기간에 주파수가 고정된 고정 클럭 신호를 카운트한 결과로 얻어진 시점에 상기 샘플링 스위치 소자를 턴-온시키는 샘플링 스위치 제어 신호를 발생하는 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 센싱 모드 기간이 파워 온 시퀀스(Power ON sequence), 버티컬 블랭크 구간(Vertical blank, VB), 파워 오프 시퀀스(Power OFF sequence) 중 적어도 하나를 포함하는 전계 발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

상기 센싱부의 출력 신호에 응답하여 상기 픽셀 데이터를 변조하여 상기 데이터 구동부로 전송하는 보상부를 포함하는 전계 발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 타이밍 컨트롤러는,

상기 고정 클럭 신호를 카운트하여 상기 센싱 모드 기간에 센싱용 데이터 인에이블 신호의 펄스를 발생하고,

상기 센싱용 데이터 인에이블 신호의 펄스들은 주기가 동일한 전계 발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 타이밍 컨트롤러는

상기 센싱용 데이터 인에이블 신호를 상기 고정 클럭 신호로 카운트하여 그 카운트값이 미리 설정된 값에 도달할 때 상기 샘플링 스위치 제어신호를 발생하는 전계 발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 샘플링 스위치 소자는 상기 샘플링 스위치 제어신호에 응답하여 상기 센싱 라인을 샘플링 커패시터에 연결

하고,

상기 샘플링 커패시터의 전압이 아날로그-디지털 변환기를 통해 디지털 데이터로 변환되어 상기 보상부로 전송되는 전계 발광 표시장치.

청구항 7

제 4 항에 있어서,

상기 타이밍 콘트롤러는

상기 고정 클럭 신호를 발생하는 발진기;

상기 스프레드 클럭 신호를 발생하는 스프레드 스펙트럼 클럭 발생기;

입력 영상의 픽셀 데이터가 수신되는 액티브 구간에서 상기 스프레드 클럭 신호를 출력하고, 상기 센싱 모드 기간에 상기 고정 클럭 신호를 출력하는 멀티플렉서;

상기 멀티플렉서로부터 수신된 스프레드 클럭 신호로 상기 데이터 인에이블 신호를 카운트하여 변조된 상기 액티브 구간의 펄스와, 상기 센싱 모드 기간에 상기 멀티플렉서로부터 수신된 상기 센싱용 데이터 인에이블 신호의 펄스를 포함한 내부 데이터 인에이블 신호를 출력하는 내부 데이터 인에이블 신호 발생부; 및

상기 센싱 모드 기간에서 상기 고정 클럭 신호로 상기 내부 데이터 인에이블 신호의 펄스에서 라이징 에지 또는 폴링 에지로부터 상기 내부 데이터 인에이블 신호의 펄스를 카운트하여 그 카운트 누적값이 미리 설정된 카운트 값에 도달할 때 상기 샘플링 스위치 제어신호를 발생하는 신호 발생부를 포함하는 전계 발광 표시장치.

청구항 8

제 4 항에 있어서,

상기 타이밍 콘트롤러는

상기 고정 클럭 신호를 발생하는 발진기;

상기 스프레드 클럭 신호를 발생하는 스프레드 스펙트럼 클럭 발생기;

입력 영상의 픽셀 데이터가 수신되는 액티브 구간에서 상기 스프레드 클럭 신호를 출력하고, 상기 센싱 모드 기간에 상기 고정 클럭 신호를 출력하는 멀티플렉서;

상기 멀티플렉서로부터 수신된 스프레드 클럭 신호로 상기 데이터 인에이블 신호를 카운트하여 변조된 상기 액티브 구간의 펄스와, 상기 센싱 모드 기간에 상기 멀티플렉서로부터 수신된 상기 센싱용 데이터 인에이블 신호의 펄스를 포함한 내부 데이터 인에이블 신호를 출력하는 내부 데이터 인에이블 신호 발생부; 및

상기 내부 데이터 인에이블 신호와 스프레드 클럭 신호를 입력 받아 상기 센싱용 데이터 인에이블 신호의 라이징 에지로부터 상기 센싱용 데이터 인에이블 신호의 펄스를 상기 스프레드 클럭 신호로 카운트하여 상기 센싱용 데이터 인에이블 신호의 펄스에서 하이 구간을 변조하여 스프레드 데이터 인에이블 신호를 발생하는 스프레드 데이터인에이블 신호 발생부;

상기 스프레드 데이터 인에이블 신호와 상기 스프레드 클럭 신호를 입력 받아 상기 스프레드 데이터 인에이블 신호의 라이징 에지 또는 폴링 에지로부터 상기 스프레드 데이터 인에이블 신호를 상기 스프레드 클럭 신호(SSCLK)로 카운트하여 그 카운트 누적값이 미리 설정된 카운트 값에 도달할 때 상기 샘플링 스위치 제어신호를 발생하는 전계 발광 표시장치.

청구항 9

제 4 항에 있어서,

상기 스프레드 데이터 인에이블 신호의 펄스들의 주기가 동일한 전계 발광 표시장치.

청구항 10

제 4 항에 있어서,

상기 타이밍 컨트롤러는,

상기 스프레드 데이터 인에이블 신호의 로우 구간 동안 상기 데이터 구동부를 제어하기 위한 콘트롤 데이터를 포함한 데이터 패킷을 상기 데이터 구동부로 전송하고,

상기 스프레드 데이터 인에이블 신호의 하이 구간 동안 상기 픽셀 데이터를 포함한 데이터 패킷을 상기 데이터 구동부로 전송하는 전계 발광 표시장치.

청구항 11

데이터 라인들, 센싱 라인들, 및 픽셀들이 매트릭스 형태로 배열되는 표시패널;

상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부; 및

입력 영상의 픽셀 데이터와, 상기 픽셀 데이터와 동기되는 데이터 인에이블 신호를 수신하고 상기 픽셀 데이터를 상기 데이터 구동부로 전송하는 타이밍 컨트롤러를 포함하고,

상기 데이터 구동부는 상기 센싱 라인들에 연결된 다수의 스위치 소자들을 이용하여 상기 픽셀들 각각의 센싱 노드 상의 전류 또는 전압을 센싱하는 센싱부를 포함하고,

상기 타이밍 컨트롤러는,

주파수가 가변되는 스프레드 클럭 신호로 상기 데이터 인에이블 신호를 변조하고, 상기 입력 영상의 픽셀 데이터가 수신되지 않는 센싱 모드 기간에 주파수가 고정된 고정 클럭 신호를 카운트한 결과로 얻어진 시점에 상기 스위치 소자들을 턴-온시키는 스위치 제어 신호를 발생하는 전계 발광 표시장치.

청구항 12

제 11 항에 있어서,

상기 센싱 모드 기간이 파워 온 시퀀스(Power ON sequence), 버티컬 블랭크 구간(Vertical blank, VB), 파워 오프 시퀀스(Power OFF sequence) 중 적어도 하나를 포함하는 전계 발광 표시장치.

청구항 13

제 11 항에 있어서,

상기 타이밍 컨트롤러는,

상기 센싱부의 출력 신호에 응답하여 상기 픽셀 데이터를 변조하여 상기 데이터 구동부로 전송하는 보상부를 포함하는 전계 발광 표시장치.

청구항 14

제 11 항에 있어서,

상기 타이밍 컨트롤러는,

상기 고정 클럭 신호를 카운트하여 상기 센싱 모드 기간에 센싱용 데이터 인에이블 신호의 펄스를 발생하고,

상기 센싱용 데이터 인에이블 신호의 펄스들은 주기가 동일한 전계 발광 표시장치.

청구항 15

제 11 항에 있어서,

상기 스위치 소자들은

제1 스위치 제어신호에 응답하여 턴-온되어 제1 기준 전압을 상기 센싱 라인에 공급하는 제1 스위치 소자;

제2 스위치 제어신호에 응답하여 턴-온되어 제2 기준 전압을 상기 센싱 라인에 공급하는 제2 스위치 소자; 및

제3 스위치 제어신호에 응답하여 턴-온되어 상기 센싱 라인을 샘플링 커패시터에 연결하는 제3 스위치 소자를 포함하고,

상기 샘플링 커패시터의 전압은 아날로그-디지털 변환기에 입력되는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 픽셀들 각각의 전기적 특성을 실시간 센싱한 결과를 바탕으로 픽셀들의 전기적 특성 편차나 열화를 실시간 보상하는 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 발광 소자를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 발광 소자는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)일 수 있다. 유기 발광 표시장치는 블랙 계조를 완전한 블랙으로 표현할 수 있기 때문에 명암비(contrast ratio)와 색재현율에서 월등한 수준으로 영상을 재현할 수 있다.

[0003] 유기 발광 표시장치의 픽셀들은 OLED와, 게이트-소스간 전압에 따라 OLED에 전류를 공급하여 OLED를 구동하는 구동소자를 포함한다. 유기 발광 표시장치의 OLED는 애노드 및 캐소드와, 이 전극들 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. OLED에 전류가 흐를 때 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자가 형성되고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 구동 소자는 MOSFET(metal oxide semiconductor field effect transistor) 구조의 TFT로 구현될 수 있다. 구동 소자는 모든 픽셀들 간에 그 전기적 특성이 균일하여야 하지만 공정 편차와 소자 특성 편차로 인하여 픽셀들 간에 차이가 있을 수 있고 디스플레이 구동 시간의 경과에 따라 변할 수 있다. 이러한 픽셀들의 전기적 특성 편차는 화질 저하와 수명 단축을 초래할 수 있다. 픽셀들의 열화를 줄이고 수명을 연장하기 위하여, 내부 보상 회로 또는 외부 보상 회로가 적용될 수 있다. 내부 보상 회로는 서브 픽셀들 각각에 배치되어 구동 소자의 전기적 특성에 따라 변하는 구동 소자의 게이트-소스 간 전압(V_{gs})을 샘플링하고 그 게이트-소스간 전압 만큼 구동 소자의 게이트 전압을 보상한다. 외부 보상 회로는 구동 소자와 OLED의 전기적 특성을 실시간 센싱하여 센싱 결과를 반영하여 입력 영상의 픽셀 데이터를 변조함으로써 서브 픽셀들 각각의 전기적 특성 변화나 서브 픽셀들 간의 전기적 특성 편차를 실시간 보상한다.

발명의 내용

해결하려는 과제

[0005] 표시장치는 직렬 데이터 송수신 시스템으로 입력 영상의 픽셀 데이터를 전송하고 고속 클럭 신호를 사용한다. 클럭신호로부터 방사되는 전자기적 간섭(electromagnetic interference, EMI)을 줄이기 위해서는 여러 가지 EMI 감쇄 기술이 필요하다. EMI 감쇄 기술은 차폐, 필터, 바이패스, 보드 레이아웃 최적화, 스프레드 스펙트럼 클럭 발생기(Spread spectrum clock generator, 이하 "SSCG"라 함) 등이 있다. SSCG는 클럭 신호의 주파수를 미리 설정된 범위 내에서 미세하게 변조한다. SSCG는 신호 전송 주파수 대역(frequency bandwidth)을 분산하여 주파수 대역에서 주파수를 주기적으로 변화시켜 특정 주파수로 신호를 전송함에 따라 발생하게 되는 EIM를 줄일 수 있다.

[0006] 외부 센싱 회로는 클럭 신호로 데이터 인에이블 신호(DE)를 카운트하는 방법으로 외부 보상 회로에서 서브 픽셀들의 센싱 타이밍을 정할 수 있다. 그런데, SSCG를 이용하면 클럭 신호의 주파수가 변하면 센싱 타이밍이 변하여 센싱 결과가 부정확하게 될 수 있다.

[0007] 따라서, 본 발명은 클럭 신호의 주파수를 변조하여 EMI를 줄이면서 서브 픽셀들 각각의 전기적 특성을 정확하게 센싱할 수 있는 픽셀 센싱 장치 및 이를 이용한 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0008] 본 발명의 전계 발광 표시장치는 데이터 라인들, 센싱 라인들, 및 픽셀들이 매트릭스 형태로 배열되는

표시패널; 상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부; 및 입력 영상의 픽셀 데이터와, 상기 픽셀 데이터와 동기되는 데이터 인에이블 신호를 수신하고 상기 픽셀 데이터를 상기 데이터 구동부로 전송하는 타이밍 컨트롤러를 포함한다.

- [0009] 상기 데이터 구동부는 상기 센싱 라인들에 연결된 샘플링 스위치 소자를 이용하여 상기 픽셀들 각각의 센싱 노드 상의 전류 또는 전압을 센싱하는 센싱부를 포함한다.
- [0010] 상기 타이밍 컨트롤러는 주파수가 가변되는 스프레드 클럭 신호로 상기 데이터 인에이블 신호를 변조하고, 상기 입력 영상의 픽셀 데이터가 수신되지 않는 센싱 모드 기간에 주파수가 고정된 고정 클럭 신호를 바탕으로 상기 샘플링 스위치 소자를 턴-온시키는 샘플링 스위치 제어 신호를 발생한다.
- [0011] 본 발명의 전계 발광 표시장치는 데이터 라인들, 센싱 라인들, 및 픽셀들이 매트릭스 형태로 배열되는 표시패널; 상기 데이터 라인들에 데이터 전압을 공급하는 데이터 구동부; 및 입력 영상의 픽셀 데이터와, 상기 픽셀 데이터와 동기되는 데이터 인에이블 신호를 수신하고 상기 픽셀 데이터를 상기 데이터 구동부로 전송하는 타이밍 컨트롤러를 포함한다.
- [0012] 상기 데이터 구동부는 상기 센싱 라인들에 연결된 다수의 스위치 소자들을 이용하여 상기 픽셀들 각각의 센싱 노드 상의 전류 또는 전압을 센싱하는 센싱부를 포함한다.
- [0013] 상기 타이밍 컨트롤러는 주파수가 가변되는 스프레드 클럭 신호로 상기 데이터 인에이블 신호를 변조하고, 상기 입력 영상의 픽셀 데이터가 수신되지 않는 센싱 모드 기간에 주파수가 고정된 고정 클럭 신호를 카운트한 결과로 얻어진 시점에 상기 스위치 소자들을 턴-온시키는 스위치 제어 신호를 발생한다.

발명의 효과

- [0014] 외부 보상 회로에서 픽셀 데이터를 정확하게 보상하기 위하여 서브 픽셀의 센싱 노드를 센싱하는 시점이 동일하여야 한다.
- [0015] 본 발명은 픽셀 데이터가 존재하는 액티브 구간에서 데이터 인에이블 신호를 스프레드 클럭 신호로 변조하여 EMI를 줄이고, 블랭크 구간에서 주파수가 고정된 고정 클럭 신호를 카운트한 결과로 얻어진 시점에 샘플링 스위치 제어신호를 발생함으로써 스프레드 클럭 신호의 주파수와 관계 없이 항상 동일한 시점에 서브 픽셀의 센싱 노드 상의 전류 또는 전압을 센싱한다. 따라서, 본 발명은 클럭 신호의 주파수를 변조하여 EMI를 줄이면서 센싱 시간의 오차를 최소화하여 서브 픽셀들 각각의 전기적 특성을 정확하게 센싱할 수 있다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.
- 도 2는 픽셀 회로에 연결된 외부 보상 회로를 보여 주는 회로도이다.
- 도 3은 픽셀과 센싱 라인의 연결 관계를 보여 주는 도면이다.
- 도 4는 외부 보상 회로의 센싱부가 소스 드라이버 IC에 내장되는 예를 보여 주는 도면이다.
- 도 5는 센싱 모드를 보여 주는 도면들이다.
- 도 6은 액티브 구간과 버티컬 블랭크 구간을 상세히 보여 주는 도면이다.
- 도 7은 도 2에 도시된 센싱부를 상세히 보여 주는 회로도이다.
- 도 8은 센싱 구동 신호를 보여 주는 파형도이다.
- 도 9는 스프레드 스펙트럼 클럭 변조 파일의 주파수를 정의한 프로파일(SSC modulation profile)의 일 예를 보여 주는 도면이다.
- 도 10은 스프레드 클럭 신호를 바탕으로 생성되는 센싱용 데이터 인에이블 신호와 샘플링 스위치 제어신호를 보여 주는 파형도이다.
- 도 11은 본 발명의 제1 실시예에 따른 센싱 구동 신호 발생부를 보여 주는 도면이다.
- 도 12 및 도 13은 고정 클럭 신호를 카운트한 결과로 생성되는 센싱용 데이터 인에이블 신호와 샘플링 스위치 제어신호를 보여 주는 파형도들이다.

도 14는 시간 오차 없이 발생하는 센서 구동 신호를 보여 주는 파형도이다.

도 15는 본 발명의 제2 실시예에 따른 센싱 구동 신호 발생부를 보여 주는 도면이다.

도 16은 내부 데이터 인에이블 신호와 스프레드 데이터 인에이블 신호를 보여 주는 파형도이다.

도 17은 EPI 인터페이스에서 타이밍 컨트롤러와 소스 드라이브 IC들을 연결하기 위한 EPI 인터페이스 토폴로지(topology)를 보여 주는 도면이다.

도 18은 EPI 인터페이스의 신호 전송 프로토콜을 보여 주는 파형도이다.

도 19는 EPI 인터페이스에서 1 데이터 패킷을 예시한 도면이다.

도 20은 수평 블랭크 기간 동안 전송되는 EPI 신호를 보여 주는 파형도이다.

도 21은 소스 드라이브 IC의 클럭 복원부에서 복원되는 내부 클럭을 보여 주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0018] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0019] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0020] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0021] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0022] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.
- [0023] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0024] 본 발명의 픽셀 회로와 게이트 구동부는 표시패널의 기관 상에 형성되는 트랜지스터들을 포함할 수 있다. 트랜지스터들은 산화물 반도체를 포함한 Oxide TFT(Thin Film Transistor), 저온 폴리 실리콘(Low Temperature Poly Silicon, LTPS)을 포함한 LTPS TFT 등으로 구현될 수 있다. 또한, 트랜지스터들 각각은 p 타입 TFT 또는 n 타입 TFT로 구현될 수 있다.
- [0025] 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 트랜지스터의 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 트랜지스터에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 트랜지스터에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 트랜지스터의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 트랜지스터에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고

정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 트랜지스터의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 트랜지스터의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.

- [0026] 게이트 구동부로부터 출력되는 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙한다. 게이트 온 전압은 트랜지스터의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 트랜지스터의 문턱 전압 보다 낮은 전압으로 설정된다. 트랜지스터는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 타입 트랜지스터의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 타입 트랜지스터의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0027] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 본 발명의 전계 발광 표시장치는 외부 보상 회로가 적용된 예를 중심으로 설명하기로 한다.
- [0028] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다. 도 2는 픽셀 회로에 연결된 외부 보상 회로를 보여 주는 회로도이다.
- [0029] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널 구동부를 포함한다.
- [0030] 본 발명의 전계 발광 표시장치는 입력 영상을 화면 상에 표시하는 노멀 구동 모드(Normal driving mode)와, 픽셀들의 전기적 특성을 센싱하기 위한 센싱 모드(sensing mode)로 동작한다. 노멀 구동 모드에서, 표시패널 구동부는 타이밍 콘트롤러(130)의 제어 하에 액티브 구간(Active time, AT) 동안 입력 영상의 픽셀 데이터를 픽셀들에 기입한다.
- [0031] 센싱 모드에서 표시패널 구동부는 타이밍 콘트롤러(130)의 제어 하에 도 5에서 파워 온 시점(Power ON), 버티컬 블랭크 구간(Vertical Blank time, VB), 파워 오프 시점(Power OFF)에 서브 픽셀별로 구동 소자(DT)의 전기적 특성을 센싱하고, 그 센싱값에 따라 보상값을 선택하여 구동 소자(DT)의 전기적 특성 변화를 보상한다.
- [0032] 표시패널(100)의 화면은 액티브 영역(AA)을 포함한다. 액티브 영역(AA)은 입력 영상이 재현되는 픽셀 어레이를 포함한다. 픽셀 어레이는 다수의 데이터 라인들(102), 데이터 라인들(102)과 교차되는 다수의 게이트 라인들(104), 및 매트릭스 형태로 배치되는 픽셀들을 포함한다.
- [0033] 픽셀 어레이의 해상도가 $m \times n$ 일 때, 픽셀 어레이는 m (m 은 2 이상의 양의 정수) 개의 픽셀 컬럼(Column)과, 픽셀 컬럼과 교차되는 n (n 은 2 이상의 양의 정수) 개의 픽셀 라인들(L1~Ln)을 포함한다. 픽셀 컬럼은 y 축 방향을 따라 배치된 픽셀들을 포함한다. 픽셀 라인은 x 축 방향을 따라 배치된 픽셀들(PIX)을 포함한다. 1 수직 기간은 1 프레임 분량의 픽셀 데이터를 화면의 모든 픽셀들(PIX)에 기입(write)하는데 필요한 1 프레임 기간이다. 게이트 라인을 공유하는 1 라인 분량의 픽셀 데이터를 1 픽셀 라인의 픽셀들에 기입하는데 필요한 시간이다. 1 수평 기간은 1 프레임 기간을 m 개의 픽셀 라인(L1~Lm) 개수 즉, 표시패널(100)의 수직 해상도로 나눈 시간이다.
- [0034] 픽셀들(PIX) 각각은 컬러 구현을 위하여 적색 서브 픽셀(101), 녹색 서브 픽셀(101), 청색 서브 픽셀(101)로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀(101)을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 픽셀 회로를 포함한다.
- [0035] 표시패널(100) 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.
- [0036] 전원부(150)는 직류-직류 변환기(DC-DC Converter)를 이용하여 표시패널(100)의 픽셀 어레이와 표시패널 구동부의 구동에 필요한 전원을 발생한다. 직류-직류 변환기는 차지 펌프(Charge pump), 레귤레이터(Regulator), 벡 변환기(Buck Converter), 부스트 변환기(Boost Converter) 등을 포함할 수 있다. 직류-직류 변환기는 호스트 시스템(200)으로부터의 직류 입력 전압(Vin)을 조정하여 감마 기준 전압(GMA), 게이트 하이 전압(VGH), 픽셀 구동 전압(ELVDD), 저전위 전원 전압(ELVSS), 기준 전압(VPRER, VPRES) 등의 직류 전원을 발생할 수 있다. 감마 기준 전압(GMA)은 데이터 구동부(110)에 공급된다. 게이트 오프 전압(VGH)과 게이트 온 전압(VGL)은 게이트 구동부(120)에 공급된다. 기준 전압(VPRER, VPRES)은 서브 픽셀들(101) 각각에서 센싱 노드 즉, 제2 노드(n2)의

전압을 균일하게 초기화하기 위하여 서브 픽셀들(101)에 공통으로 공급되는 기준 전압이다. 전원부(150)는 PMIC(Power management integrated circuit)로 구현될 수 있다.

- [0037] 표시패널 구동부는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다. 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서(Demultiplexer, 140)가 배치될 수 있다. 디멀티플렉서(140)는 생략될 수 있다.
- [0038] 표시패널 구동부는 노멀 구동 모드에서 타이밍 컨트롤러(Timing controller, 130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 픽셀 데이터를 기입하여 화면 상에 입력 영상을 표시한다. 모바일 기기나 웨어러블 기기에서 데이터 구동부(110), 타이밍 컨트롤러(130) 그리고 전원부(150)는 하나의 드라이브 IC(integrated circuit)에 집적될 수 있다.
- [0039] 데이터 구동부(110)는 타이밍 컨트롤러(130)로부터 수신되는 픽셀 데이터(RGBW)를 수신한다. 데이터 구동부(110)는 감마 기준 전압(GMA)을 분압하여 픽셀 데이터의 계조별 감마 보상 전압을 발생하여 디지털 아날로그 컨버터(Digital to Analog Converter, 이하 "DAC"라 함, 112)에 공급한다. 데이터 구동부(110)는 DAC(112)를 이용하여 픽셀 데이터(V-DATA)를 감마 보상 전압으로 변환하여 데이터 전압(Vdata)을 발생한다. 데이터 전압(Vdata)은 센싱 모드에서 서브 픽셀들에 공급되는 센싱용 데이터 전압과, 노멀 구동 모드에서 서브 픽셀들(101)에 기입되어 영상으로 재현되는 픽셀 데이터 전압으로 나뉘어진다. 데이터 구동부(110)로부터 출력된 데이터 전압(Vdata)은 데이터 라인들(102)에 공급된다. 데이터 구동부(110)는 도 4에 도시된 바와 같이 하나 이상의 소스 드라이브 IC(SDIC)로 구현될 수 있다.
- [0041] 데이터 구동부(110)는 센싱 라인들(103)에 연결된 샘플링 스위치 소자를 이용하여 서브 픽셀들(101) 각각의 센싱 노드 상의 전류 또는 전압을 센싱하는 센싱부를 포함할 수 있다.
- [0042] 디멀티플렉서(140)는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 스위치 소자들을 이용하여 데이터 구동부(110)로부터 출력된 데이터 전압(Vdata)을 다수의 데이터 라인들(102)로 분배한다. 디멀티플렉서(140)에 의해 데이터 구동부(110)의 한 채널로부터 출력된 데이터 전압(Vdata)이 다수의 데이터 라인들에 시분할 분배되기 때문에 데이터 구동부(110)의 채널 수가 감소될 수 있다.
- [0043] 게이트 구동부(120)는 액티브 영역(AA)의 픽셀 어레이와 함께 표시패널(100) 상에 직접 형성되는 GIP(Gate in panel) 회로로 구현될 수 있다. GIP 회로는 픽셀 어레이 밖의 표시패널(100)의 베젤(bezel) 영역 상에 배치될 수 있다. 게이트 구동부(120)는 타이밍 컨트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(104)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트시킴으로써 그 신호들을 게이트 라인들(104)에 순차적으로 공급할 수 있다. 게이트 신호는 스캔 신호(SCAN)와 센싱 신호(SENSE)를 포함할 수 있으나 이에 한정되지 않는다. 스캔 신호(SCAN)와 센싱 신호(SENSE)는 데이터 전압(Vdata)에 동기될 수 있다.
- [0044] 타이밍 컨트롤러(130)는 노멀 구동 모드와 센싱 모드에서 표시패널 구동부의 동작 타이밍을 제어한다. 타이밍 컨트롤러(130)는 호스트 시스템(200)으로부터 입력 영상의 픽셀 데이터(RGB)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 컨트롤러(130)에 수신된 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 메인 클럭(MCLK) 및 데이터 인에이블신호(DE) 등을 포함할 수 있다. 수직 동기신호(Vsync)의 1 주기는 1 프레임 기간이다. 수평 동기 신호(Hsync)와 데이터 인에이블 신호(DE)의 1 주기는 1 수평 기간(1H)이다. 데이터 인에이블 신호(DE)의 펄스는 액티브 영역(AA)의 픽셀들에 표시될 1 픽셀 라인의 픽셀 데이터와 동기되어 유효 데이터 구간을 정의한다. 데이터 인에이블 신호(DE)를 카운트하는 방법으로 프레임 기간과 수평 기간을 알 수 있으므로, 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync)가 생략될 수 있다.
- [0045] 타이밍 컨트롤러(130)는 도 11 또는 도 15에 도시된 센싱 구동 신호 발생부를 포함한다. 타이밍 컨트롤러(130)는 센싱 구동 신호 발생부를 이용하여 서브 픽셀들(101) 각각의 전기적 특성을 센싱하기 위한 센싱 구동 신호를 발생한다.
- [0046] 타이밍 컨트롤러(130)는 주파수가 가변되는 스프레드 클럭 신호(Spread clock signal)로 데이터 인에이블 신호(DE)를 변조하고, 입력 영상의 픽셀 데이터가 수신되지 않는 센싱 모드 기간에 주파수가 고정된 고정 클럭 신호를 카운트한 결과로 샘플링 스위치 제어신호를 발생한다. 센싱 모드 기간은 파워 온 시퀀스(Power ON sequence), 버티컬 블랭크 구간(Vertical blank, VB), 파워 오프 시퀀스(Power OFF sequence) 중 적어도 하나

를 포함한다.

- [0047] 타이밍 컨트롤러(130)는 고정 클럭 신호(FCLK)을 카운트하여 센싱 모드 기간에 센싱용 데이터 인에이블 신호(SDE)의 펄스를 발생한다. 센싱용 데이터 인에이블 신호(SDE)의 펄스에서 라이징 에지 또는 폴링 에지로부터 고정 클럭 신호(FCLK)으로 카운트되고 그 카운트 누적값이 미리 설정된 카운트값에 도달할 때 펄스가 상승하고 하강한다. 따라서, 고정 클럭 신호(FCLK)의 카운트로 생성된 센싱용 데이터 인에이블 신호(SDE)의 펄스들은 주기가 동일하다.
- [0048] 호스트 시스템(200)은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기, 웨어러블 기기 중 어느 하나일 수 있다.
- [0049] 타이밍 컨트롤러(130)는 프레임 레이트(Frame rate)를 입력 프레임 주파수 이상의 주파수로 조정할 수 있다. 예를 들어, 타이밍 컨트롤러(130)는 입력 프레임 주파수를 i 배 채배하여 프레임 주파수 $\times i$ (i 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부의 동작 타이밍을 제어할 수 있다. 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.
- [0050] 타이밍 컨트롤러(130)는 호스트 시스템(200)으로부터 수신된 타이밍 신호(Vsync, Hsync, CLK, DE)를 바탕으로 표시패널 구동부의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호들을 발생하여 표시패널 구동부를 제어한다. 데이터 인에이블신호(DE)를 카운트하는 방법으로 수직 기간과 수평 기간을 알 수 있으므로 수직 동기신호(Vsync)와 수평 동기신호(Hsync)가 생략될 수 있다. 타이밍 컨트롤러(130)로부터 출력된 게이트 타이밍 제어신호의 전압 레벨은 레벨 시프터(Level shifter)를 통해 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)으로 변환되어 게이트 구동부(120)에 공급된다.
- [0051] 외부 보상 회로는 도 2에 도시된 바와 같이 서브 픽셀들(101) 각각에서 픽셀 회로에 연결된 센싱 라인(103), 센싱부(111) 및 센싱부(111)로부터 출력된 디지털 데이터(ADC DATA)를 수신하는 보상부(131)를 포함한다. 센싱 라인(103)은 데이터 라인들(102)과 나란하게 표시패널(100)의 화면 상에 배치된다. 센싱부(111)는 센싱 라인(103)을 통해 서브 픽셀들(101) 각각의 전기적 특성을 센싱한다.
- [0052] 센싱부(111)는 DAC(112)와 함께 데이터 구동부(110)의 IC(integrated circuit)에 집적될 수 있다. 보상부(131)는 타이밍 컨트롤러(130)에 내장될 수 있다.
- [0053] 외부 보상 회로는 기준 전압으로 센싱 라인(103)과 구동 소자(DT)의 소스 전압 즉, 제2 노드(n2)의 전압을 초기화한 후에 제2 노드(n2)의 전압을 센싱하여 발광 소자(OLED)와 구동 소자(DT)의 전기적 특성을 센싱할 수 있다. 발광 소자(OLED)와 구동 소자(DT)의 전기적 특성은 문턱 전압(V_{th})과 이동도(V_{th} , μ) 등을 포함한다.
- [0054] 센싱부(111)는 센싱 모드에서 픽셀 회로에 연결된 센싱 라인(103) 상의 전류 또는 전압을 적분기로 샘플링한다. 적분기의 출력 전압은 도 4에 도시된 아날로그-디지털 변환기(Analog-to-digital converter, 이하 “ADC” 라 함)(115)에 입력되어 디지털 데이터(ADC DATA)로 변환된다. ADC(115)로부터 출력된 디지털 데이터(ADC DATA)는 서브 픽셀들(101) 각각의 전기적 특성 예를 들어, 구동 소자(DT)의 전기적 특성은 문턱 전압(V_{th})과 이동도(V_{th} , μ) 정보를 포함한다.
- [0055] 보상부(131)의 룩업 테이블(Look-up table)에 서브 픽셀별로 구동 소자(DT)의 문턱 전압(V_{th})과 이동도(μ)를 보상하기 위한 보상값들이 저장되어 있다. 보상부(131)는 ADC를 통해 수신된 센싱 데이터를 룩업 테이블에 입력하여 룩업 테이블로부터 출력된 보상값을 호스트 시스템(200)으로부터 수신된 입력 영상의 픽셀 데이터에 더하거나 곱하여 픽셀 데이터를 변조함으로써 구동 소자(DT)의 전기적 특성 변화를 보상한다. 문턱 전압(V_{th})을 보상하기 위한 보상값은 픽셀 데이터에 더해진다. 이동도(μ)를 보상하기 위한 보상값은 픽셀 데이터에 곱해진다.
- [0056] 보상부(131)에 의해 변조된 픽셀 데이터(V-DATA)는 데이터 구동부(110)로 전송되어 데이터 구동부(110)의 DAC(112)를 통해 데이터 전압(Vdata)으로 변환되어 데이터 라인(102)으로 공급된다.
- [0057] 픽셀 회로는 도 2의 예와 같이, 발광 소자(OLED)와, 발광 소자(OLED)에 연결된 구동 소자(DT), 다수의 스위치 TFT(M1, M2), 및 커패시터(Cst)를 포함한다. 구동 소자(DT)와 스위치 TFT(M1, M2)는 n 채널 트랜지스터(NMOS)로 구현될 수 있으나 이에 한정되지 않는다.
- [0058] 발광 소자(OLED)는 데이터 전압(Vdata)에 따라 변하는 구동 소자(DT)의 게이트-소스간 전압(V_{gs})에 따라 발생되는 전류로 발광된다. 발광 소자(OLED)는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화

합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. 발광 소자(OLED)의 애노드는 제2 노드(n2)를 통해 구동 소자(DT)에 연결되고, 발광 소자(OLED)의 캐소드는 저전위 전원 전압(ELVSS)이 인가되는 ELVSS 전극에 연결된다. 도 2에서 “Coled”는 발광 소자(OLED)의 용량(Capacitance)이다.

- [0059] 제1 스위치 TFT(M1)는 스캔 신호(SCAN)의 게이트 온 전압에 따라 턴-온되어 데이터 라인(102)을 제1 노드(n1)에 연결하여 데이터 전압(Vdata)을 제1 노드(n1)에 공급한다. 제1 스위치 TFT(M1)는 스캔 신호(SCAN)가 인가되는 제1 게이트 라인(1041)에 연결된 게이트 전극, 데이터 라인(102)에 연결된 제1 전극, 및 제1 노드(n1)에 연결된 제2 전극을 포함한다. 구동 소자(DT)의 게이트 전극, 커패시터(Cst)의 제1 전극, 및 제1 스위치 TFT(M1)의 제2 전극이 제1 노드에 연결된다.
- [0060] 제2 스위치 TFT(M2)는 센싱 신호(SENSE)에 따라 턴-온되어 기준 전압(VPRES, VPRER)을 제2 노드(n2)에 공급한다. 제2 스위치 TFT(M2)는 센싱 신호(SENSE)가 인가되는 제2 게이트 라인(1042)에 연결된 게이트 전극, 제2 노드(n2)에 연결된 제1 전극, 및 기준 전압(VPRES, VPRER)이 인가되는 센싱 라인(103)에 연결된 제2 전극을 포함한다. 구동 소자(DT)의 제2 전극, 커패시터(Cst)의 제2 전극, 및 제2 스위치 TFT(M2)의 제1 전극이 제2 노드(n1)에 연결된다.
- [0061] 구동 소자(DT)는 게이트-소스간 전압(Vgs)에 따라 발광 소자(OLED)에 전류를 공급하여 발광 소자(OLED)를 구동한다. 구동 소자(DT)는 제1 노드(n1)에 연결된 게이트, 픽셀 구동 전압(ELVDD)이 공급되는 ELVDD 라인(105)에 연결된 제1 전극, 및 제2 노드(n2)에 연결된 제2 전극을 포함한다.
- [0062] 커패시터(Cst)는 제1 노드(n1)와 제2 노드(n2) 사이에 연결되어 구동 소자(DT)의 게이트-소스간 전압(Vgs)을 1 프레임간 유지한다.
- [0063] 도 3은 픽셀과 센싱 라인의 연결 관계를 보여 주는 도면이다. 도 4는 외부 보상 회로의 센싱부가 소스 드라이버 IC에 내장되는 예를 보여 주는 도면이다.
- [0064] 도 3 및 도 4를 참조하면, 센싱 라인(103)은 다수의 서브 픽셀들(101)에 공유될 수 있다. 예를 들어, 하나의 센싱 라인(103)은 1 픽셀 라인에서 이웃하는 네 개의 서브 픽셀들(101)에 연결될 수 있다. 도 3에서 R은 적색 서브 픽셀(101), G는 녹색 서브 픽셀(101), B는 청색 서브 픽셀(101), 그리고 W는 백색 서브 픽셀(101)을 각각 나타낸다.
- [0065] 한편, 서브 픽셀들 각각에 1:1로 센싱 라인(104)이 연결될 수 있으나, 픽셀 어레이 상에 배치되는 센싱 라인들(103)의 개수가 많기 때문에 픽셀의 개구율이 낮아질 수 있다. 픽셀의 개구율이 낮은 만큼 발광 소자(OLED)의 밝기를 높일 수 있으나, 이 경우 발광 소자(OLED)의 전류 밀도가 높아지게 되므로 발광 소자(OLED)의 열화 속도가 증가되고 수명이 감소될 수 있다.
- [0066] 데이터 구동부(110)의 소스 드라이버 IC(SDIC)는 외부 보상 회로의 일부를 포함할 수 있다. 예를 들어, 데이터 구동부(110)는 센싱부(111), 멀티플렉서(Multiplexer, 113), 시프트 레지스터(114), 및 ADC(115)를 포함한다. 멀티플렉서(113)는 센싱부들(111)과 ADC(115) 사이에 연결된 스위치 소자들(SS1, SS2)을 통해 센싱부들(111)의 출력 전압을 하나의 ADC(115)에 순차적으로 공급한다.
- [0067] 시프트 레지스터(114)는 입력 신호의 펄스를 ADC 클럭 신호(ACLK)에 따라 시프트한다. 멀티플렉서(113)의 스위치 소자들(SS1, SS2)은 시프트 레지스터(114)로부터의 신호에 따라 순차적으로 턴-온(turn-on)된다. 시프트 레지스터(114)와 ADC(115)는 ADC 클럭 신호(ACLK)를 공유하여 동기된다.
- [0068] 센싱용 데이터 전압(Vdata)은 센싱 모드에서 구동 소자(DT)의 게이트 전극에 인가되어, 센싱 대상 서브 픽셀들(101)에 인가되는 제1 센싱용 데이터 전압(Vdata)과 비센싱 대상 서브 픽셀들(101)에 인가되는 제2 센싱용 데이터 전압으로 나뉘어진다. 비센싱 대상 서브 픽셀들(101)은 센싱 대상 서브 픽셀(101)에 센싱될 때 센싱되지 않는 서브 픽셀을 의미한다. 모든 서브 픽셀들의 전기적 특성이 센싱되기 때문에 비센싱 대상 서브 픽셀들(101)도 순차적으로 센싱 대상 서브 픽셀들로 선택되어 센싱된다.
- [0069] 구동 소자(DT)를 통해 발광 소자(OLED)에 흐르는 전류로 발생하는 발광 소자(OLED)의 애노드 전압 즉, 제2 노드(n2)의 전압을 센싱하여 해당 서브 픽셀에서 구동 소자(DT)의 열화 정도를 판단할 수 있다. 구동 소자(DT)의 전기적 특성을 센싱할 때 구동 소자(DT)의 센싱 결과에 발광 소자(OLED)의 열화가 반영되지 않도록 제2 노드(n2)에 인가되는 기준 전압을 낮추거나 저전위 전원 전압(ELVSS)을 높여 발광 소자(OLED)를 오프 상태로 제어하는 것이 바람직하다.

- [0070] 구동 소자(DT)가 열화되면 구동 소자의 전기적 특성(이동도, 문턱전압 등)이 변하여 발광 소자(OLED)의 전류가 변하기 때문에 발광 소자(OLED)의 열화를 판단하기가 어렵다. 이는 구동 소자(DT)의 열화로 인한 발광 소자(OLED)의 전류 변화는 발광 소자(OLED)의 열화를 센싱할 때 정확도가 낮아지기 때문이다.
- [0071] 발광 소자(OLED)의 열화를 센싱할 때 구동 소자(DT)의 영향을 차단하기 위하여, 발광 소자(OLED)의 열화를 센싱하기 위한 제1 센싱용 데이터 전압은 구동 소자(DT)를 턴-오프(turn-off)시킬 수 있을 정도로 기준 전압보다 낮은 전압으로 설정될 수 있다. 제2 센싱용 데이터 전압은 구동 소자(DT)가 턴-온되도록 기준 전압 보다 높게 설정될 수 있다. 제1 센싱용 데이터 전압은 블랙 계조(Black gray level) 전압으로 설정되고, 제2 센싱용 데이터 전압은 화이트 계조 전압으로 설정될 수 있다. 센싱부(111)는 제1 센싱용 데이터 전압이 인가되는 센싱 대상 서브 픽셀의 제2 노드(n2)로부터의 전류 또는 전압을 센싱한다. 모든 서브 픽셀들(101)에 순차적으로 제1 센싱 데이터 전압이 인가되고, 이와 동기하여 서브 픽셀들(101)이 센싱되기 때문에 도 3 및 도 4에 도시된 바와 같이 센싱 라인이 다수의 서브 픽셀들(101)에 공유되더라도 서브 픽셀들(101) 각각에서 발광 소자(OLED)가 센싱될 수 있다.
- [0072] 도 5는 센싱 모드를 보여 주는 도면들이다.
- [0073] 도 6은 액티브 구간과 버티컬 블랭크 구간을 상세히 보여 주는 도면이다.
- [0074] 도 5 및 도 6을 참조하면, 센싱 모드는 제품 출하전과 제품 출하 후로 나뉘어진다. 제품 출하 전에 픽셀들에 연결된 외부 보상 회로를 통해 서브 픽셀들 각각에서 구동 소자(DT)와 발광 소자(OLED)의 전기적 특성(V_{th} , μ)이 센싱되고, 이 센싱값을 바탕으로 서브 픽셀별로 구동 소자(DT)와 발광 소자(OLED)의 전기적 특성(V_{th} , μ)의 변화 또는 편차가 보상된다. 서브 픽셀별 구동 소자(DT)와 발광 소자(OLED)의 문턱 전압과 이동도 센싱 결과가 반영된 보상값들이 제품 출하전 록업 테이블에 설정되어 타이밍 컨트롤러(130)에 연결된 메모리에 저장된다.
- [0075] 제품 출하 후 센싱 모드는 파워 온 시퀀스(Power ON sequence)에서 실시되는 ON RF 모드, 디스플레이 구동 기간 동안 버티컬 블랭크 구간(Vertical blank, VB)에 실시되는 RT MODE, 및 파워 오프 시퀀스(Power OFF sequence)에서 실시되는 OFF RS 모드로 나뉘어질 수 있다.
- [0076] ON RF 모드는 전계 방출 표시장치의 전원이 켜질 때 서브 픽셀들(101) 각각에서 구동 소자(DT)의 이동도(μ)를 센싱하고, 이동도 센싱값을 이전 구동 소자(DT)의 이동도 보상값과 비교하여 그 차이를 바탕으로 이동도 보상값을 업데이트한다. 서브 픽셀별로 이동도 센싱값을 반영한 이동도 보상값으로 구동 소자(DT)의 이동도(μ)가 보상된다.
- [0077] RT 모드는 영상이 표시되는 디스플레이 구동 기간 중에 매 프레임 기간마다 버티컬 블랭크 구간(Vertical blank interval, VB)에 구동 소자(DT)의 이동도(μ)를 실시간 센싱하고, 이동도 센싱값에 따라 서브 픽셀별로 이동도 보상값을 업데이트한다. 버티컬 블랭크 구간(VB)은 제N-1 프레임 기간의 액티브 구간(AT)과 제N 프레임 기간의 액티브 구간(AT) 사이에서 소정 시간으로 할당된다.
- [0078] OFF RS 모드는 표시장치의 전원이 꺼질 때 픽셀들 각각에서 구동 소자(DT)의 문턱 전압(V_{th})을 센싱하고, 문턱 전압 센싱값에 따라 서브 픽셀별로 문턱 전압 보상값을 업데이트한다. OFF RS 모드는 전원이 완전히 꺼지기 전 미리 설정된 지연 시간 동안 표시패널 구동부와 외부 보상 회로가 구동되어 서브 픽셀들(101) 각각에서 픽셀들 각각에서 구동 소자(DT)의 문턱 전압(V_{th})을 센싱하여 서브 픽셀별로 문턱 전압 보상값을 업데이트한다. 문턱 전압 보상값이 제N 전원 OFF 시점(OFF(N))에서 업데이트되면, ON RF 모드, RT 모드에서 그대로 유지된 후에 제N+1 전원 OFF 시점(OFF(N))에서 업데이트될 수 있다.
- [0079] 발광 소자(OLED)의 전기적 특성(OLED)은 ON RF 모드, RT 모드, OFF RS 모드 중 적어도 하나에서 센싱되고, 그 센싱값에 따라 발광 소자(OLED)의 보상값이 업데이트될 수 있다.
- [0080] 도 6에서 수직 동기신호(Vsync)는 1 프레임 기간을 정의한다. 1 프레임 기간은 액티브 구간(AT)과 버티컬 블랭크 구간(VB)을 합한 시간이다. 수평 동기신호(Hsync)는 1 수평 기간(Horizontal time)을 정의한다. 데이터 인에이블 신호(DE)는 입력 영상에서 1 픽셀 라인에 표시될 픽셀 데이터와 동기되어 유효 데이터 구간을 정의한다.
- [0081] 데이터 인에이블 신호(DE)와 수평 동기 신호(Hsync)의 1 펄스 주기는 1 수평 기간(1H)이고, 데이터 인에이블 신호(DE)의 하이 로직(high logic) 구간은 1 픽셀 라인의 데이터 입력 타이밍을 나타낸다. 1 수평 기간(1H)은 표시패널(100)에서 1 픽셀 라인의 픽셀들에 픽셀 데이터를 기입하는데 필요한 시간이다.
- [0082] 타이밍 컨트롤러(130)는 데이터 인에이블 신호(DE)에 동기되는 입력 영상의 픽셀 데이터를 액티브 구간(AT) 동

안 수신하고, 데이터 구동부(110)로 픽셀 데이터를 전송한다. 버티컬 블랭크 구간(VB) 동안 타이밍 콘트롤러(130)로 수신되는 데이터 인에이블 신호(DE)와 입력 영상의 픽셀 데이터가 없고, 데이터 구동부(110)로 전송되는 픽셀 데이터가 없다. 액티브 구간(AT) 동안 모든 픽셀들(PIX)에 기입될 1 프레임 분량의 데이터가 타이밍 콘트롤러(130)에 수신된다.

- [0083] 데이터 인에이블 신호(DE)에서 알 수 있는 바와 같이, 버티컬 블랭크 구간(VB) 동안 표시장치에 입력 데이터가 수신되지 않는다. 버티컬 블랭크 구간(VB)은 수직 싱크 시간(Vertical sync time, VS), 버티컬 프론트 포치(Vertical Front Porch, FP), 및 버티컬 백 포치(Vertical Back Porch, BP)을 포함한다. 수직 싱크 시간(VS)은 Vsync의 폴링 에지(falling edge)부터 라이징 에지(rising edge)까지의 시간이다. 수직 싱크 시간(VS)은 화면의 시작과 끝을 나타낸다.
- [0084] 도 7은 센싱부(111)를 상세히 보여 주는 회로도이다.
- [0085] 도 7을 참조하면, 센싱부(111)는 기준 전압(VPRER, VPRES)을 스위칭하는 스위치 소자들(SW1-SW3)과, 샘플링 커패시터(Csam), 적분기(116) 등을 포함한다. 도 7에서 “Csio”는 센싱 라인(103)에 연결된 커패시터이다. 스위치 소자들(SW1-SW3)은 n 채널 트랜지스터(NMOS)로 구현될 수 있다.
- [0086] 기준 전압(VPRER, VPRES)은 픽셀 회로를 초기화하기 위한 제1 기준 전압(VPRES)과, 제1 기준 전압(VPRES) 보다 높은 전압으로 설정된 제2 기준 전압(VPRER)로 나뉘어진다.
- [0087] 제1 기준 전압(VPRES)은 센싱 모드에서 서브 픽셀들(101)의 제2 노드(n2)에 인가되는 기준 전압이다. 제1 기준 전압은 전술한 바와 같이 센싱 대상에 따라 가변될 수 있다.
- [0088] 제2 기준 전압(VPRER)은 노멀 구동 모드에서 구동 소자(DT)의 소스 전압을 0V 보다 높은 전압으로 충전한다. 제2 기준 전압(VPRER)은 구동 소자(DT)의 게이트 바이어스 스트레스(gate bias stress)로 인하여 문턱 전압이 부극성 방향으로 시프트될 때 데이터 전압(Vdata)의 보상 전압을 설정하기 위한 전압 마진(margin)을 제공하기 위하여 0V 보다 높은 전압으로 설정될 수 있다. 제2 기준 전압(VPRER)은 제1 기준 전압(VPRES) 보다 높은 전압으로 설정될 수 있다. 예를 들어, VPRES = 0V, VPRER = 3V일 수 있으나 이에 한정되지 않는다.
- [0089] 제1 스위치 소자(SW1)는 제1 스위치 제어신호(SPRE)의 하이 로직 전압(High logic voltage)에 따라 턴-온(turn-on)되어 제1 기준 전압(VPRES)을 센싱 라인(103)에 공급한다. 제2 스위치 소자(SW2)는 제2 스위치 제어신호(RPRE)의 하이 로직 전압에 따라 턴-온되어 제2 기준 전압(VPRER)을 센싱 라인(103)에 공급한다. 제3 스위치 소자(SW3)는 제3 스위치 제어신호(SAM)의 하이 로직 전압에 따라 턴-온되어 센싱 라인(103)을 샘플링 커패시터(Csam)에 연결한다.
- [0090] 샘플링 커패시터(Csam)는 기준 전압 단자(EVREF2)와, 제3 스위치 소자(SW3) 및 적분기(116)의 입력 단자 사이의 노드 사이에 형성된다. 기준 전압 단자(EVREF2)는 GND = 0V로 설정될 수 있다. 적분기(116)는 샘플링 커패시터(Csam)에 샘플링된 전압을 누적하고 멀티플렉서(113)를 통해 누적된 전압을 ADC(115)로 출력한다.
- [0091] 도 8은 센싱 구동 신호를 보여 주는 파형도이다. 도 9는 스프레드 스펙트럼 클럭 변조 파일의 일 예를 보여 주는 도면이다.
- [0092] 도 8 및 도 9를 참조하면, 센싱 모드에서 서브 픽셀들 각각에 센싱 구동 신호가 인가된다. 센싱 구동 신호는 초기화 단계(T01), 프로그램(program) 단계(T02), 센싱 단계(T03), 샘플링 단계(T04), 및 복원 단계(T05)로 나뉘어진다.
- [0093] 초기화 단계(T01)에서 제1 스위치 소자(SW1)가 제1 스위치 제어신호(SPRE)에 의해 턴-온됨과 동시에 픽셀 회로의 제2 스위치 TFT(M2)가 센스 신호(SENSE)에 응답하여 턴-온된다. 이 때, 픽셀 회로의 센싱 노드 전압(VSEN)은 기준 전압(VPRES)로 초기화된다. 센싱 노드 전압(VSEN)은 도 2 및 도 7에서 제2 노드(n2)의 전압이다.
- [0094] 프로그램 단계(T02)에서, 픽셀 회로의 제1 스위치 TFT(M1)가 스캔 신호(SCAN)에 응답하여 턴-온된다. 이 때 센싱용 데이터 전압(DATA+VTH)이 제1 노드(n1)에 인가된다. 센싱용 데이터 전압(DATA+VTH)은 구동 소자(DT)의 문턱 전압(Vth)을 센싱하는 경우에, 구동 소자(DT)의 문턱 전압(Vth) 보다 높은 전압으로 설정된다.
- [0095] 센싱 단계(T03)에서 제1 스위치 소자(SW1)와 제2 스위치 TFT(M2)가 턴-오프된다. 구동 소자(DT)의 문턱 전압(Vth)이 센싱되는 경우, 센싱 단계(T03)에서 구동 소자(DT)가 턴-온되어 픽셀 회로의 센싱 노드 전압(VSEN)이 상승된다. 센싱 노드 전압(VSEN)의 변화량(ΔV)은 구동 소자(DT)의 드레인-소스간 전류(Ids)에 비례한다. 센싱 단계(T03)는 수십 μ sec의 시간으로 설정될 수 있다.

- [0096] 센싱 단계(T03)와 샘플링 단계(T04)를 포함한 시간 내에서, 센싱 노드 전압(VSEN)이 상승하고 구동 소자(DT)의 게이트-소스간 전압(Vgs)이 문턱 전압(Vth) 보다 낮아질 때 센싱 노드 전압(VSEN)이 포화(saturation)되어 센싱 노드 전압(VSEN)은 구동 소자(DT)의 문턱 전압으로 충전된다. 구동 소자(DT)가 열화되면, 전류(Ids)가 감소되기 때문에 도 8에서 점선으로 표시된 바와 같이 센싱 노드 전압(VSEN)의 기울기가 낮아진다.
- [0097] 샘플링 단계(T04)에서, 제3 스위치 소자(M3)는 샘플링 스위치 제어신호 즉, 제3 스위치 제어신호(SAM)에 응답하여 턴-온된다. 이 때, 샘플링 커패시터(Csam)에 구동 소자(DT)의 문턱 전압(Vth)이 센싱된다. 샘플링 단계(T04)에서 데이터 전압(Vdata)은 블랙 계조 전압(BLK)으로 발생되어 구동 소자(DT)를 턴-오프시킨다.
- [0098] 복원 단계(T05)는 입력 영상의 픽셀 데이터(D)가 기입되는 시간이다. 버티컬 블랭크 구간(VB) 전에 서브 픽셀(D)에 기입된 픽셀 데이터(D)는 다음 프레임의 픽셀 데이터로 업데이트되기 전에 유지되어야 하지만 버티컬 블랭크 구간(VB)에서 서브 픽셀(101)이 센싱될 때 센싱 데이터 전압(Vdata)에 의해 지워진다. 복원 단계(T05)는 버티컬 블랭크 구간(VB) 전에 기입된 픽셀 데이터(D)가 다시 서브 픽셀에 기입된다. 데이터 전압(Vdata)은 본원 단계(T05)에서 픽셀 데이터(D)의 전압으로 발생된다. 픽셀 데이터(D)의 데이터 전압(Vdata)에 동기되는 스캔 신호(SCAN)에 따라 제1 스위치 TFT(M1)가 턴-온되어 제1 노드(n1)에 데이터 전압(Vdata)이 공급된다.
- [0099] 센싱 모드가 활성화되는 시간은 데이터 인에이블 신호(DE)가 없는 시간이다. 센싱 구동 신호는 데이터 인에이블 신호(DE)를 기준으로 생성될 수 있다. 이를 위하여, 타이밍 컨트롤러(130)는 센싱 모드에서 클럭 신호를 카운트하여 센싱용 데이터 인에이블 신호(SDE)를 발생할 수 있다. 타이밍 컨트롤러(130)는 도 10에 도시된 바와 같이 센싱용 데이터 인에이블 신호(SDE)의 라이징 에지(rising edge) 또는 폴링 에지(falling edge)를 기준으로 클럭 신호를 카운트하여 샘플링 스위치 제어신호(SAM)의 펄스를 상승(rising) 및 펄스를 하강(falling)시킨다. 예를 들어, 타이밍 컨트롤러(130)는 센싱용 데이터 인에이블 신호(SDE)에서 30 번째 펄스의 라이징 에지 또는 폴링 에지로부터 미리 설정된 클럭 카운트 개수에 도달할 때 샘플링 스위치 제어신호(SAM)의 펄스를 발생할 수 있다.
- [0100] 타이밍 컨트롤러(130)에서 EMI를 줄이기 위하여 도 9에 도시된 바와 같이 SSCG를 이용하여 SSCG를 이용하여 클럭 신호(SSCLK)의 주파수를 미리 설정된 스프레드 비율(spread ration)로 가변할 수 있다. 스프레드 클럭 신호(SSCLK)의 주파수는 수정 시간 주기로 상승 및 하강을 반복한다. 스프레드 클럭 신호(SSCLK)의 주파수가 높아지면, 도 10에 도시된 바와 같이 스프레드 클럭 신호(SSCLK)의 주기가 감소된다. 스프레드 클럭 신호(SSCLK)의 주파수가 낮아지면 클럭 신호(SSCLK)의 주기가 길어진다. 따라서, 클럭 카운트값이 동일하더라도 스프레드 클럭 신호(SSCLK)의 주파수에 따라 센싱용 데이터 인에이블 신호(SDE)의 1 주기가 가변된다.
- [0101] 도 10에서 $t+\beta$ 는 센싱용 데이터 인에이블 신호(SDE)의 1 주기이다. H는 센싱용 데이터 인에이블 신호(SDE)의 하이 로직 펄스 구간이고, L은 센싱용 데이터 인에이블 신호(SDE)의 로직 구간 즉, 수평 블랭크 구간(Horizontal blank, HB)이다. 스프레드 클럭 신호(SSCLK)를 카운트하여 센싱용 데이터 인에이블 신호(SDE)를 생성하면, 스프레드 클럭 신호(SSCLK)의 주파수에 따라 센싱용 데이터 인에이블 신호(SDE)의 1 주기($t+\beta$), 하이 구간(H), 및 로직 구간(L)이 변한다.
- [0102] 샘플링 스위치 제어신호(SAM)는 센싱용 데이터 인에이블 신호(SDE)의 라이징 에지 또는 폴링 에지로부터 스프레드 클럭 신호(SSCLK)를 카운트한 결과로 생성될 수 있다. 이 경우, 스프레드 클럭 신호(SSCLK)의 주파수가 가변될 때, 샘플링 스위치 제어신호(SAM)의 시간 오차(Δt_{sam})가 발생된다. 스프레드 클럭 신호(SSCLK)의 주파수가 높으면, 샘플링 스위치 제어신호(SAM)이 빨라진다. 클럭 신호의 주파수가 낮아지면 샘플링 스위치 제어신호(SAM)의 발생 시점이 늦어진다.
- [0103] 도 9의 예에서, 스프레드 클럭 신호(SSCLK)의 변조 주파수(modulation frequency) = 20KHz, 변조 주파수의 1 주기는 $50 \mu sec$, 스프레드 클럭 신호(SSCLK)의 스프레드 비율(spread ratio) = 2%, 기준 클럭 주파수(clock frequency) = 32MHz 이다. 기준 클럭 주파수의 1 주기는 $3.125nsec$ 이다
- [0104] SSCG는 기준 클럭 주파수의 2% 상승값과 2% 하강값 사이의 범위에서 클럭 신호(SSCG)의 주파수를 가변한다. 도 9와 같은 스프레드 클럭 신호의 경우 샘플링 스위치 제어신호(SAM)의 시간 오차(Δt_{sam})는 최대 $25 \mu sec * 0.01 = 250nsec$ 이며, 이는 +/- 80 개의 클럭 주기($3.125nsec$) 일 수 있다. 따라서, 센싱 모드에서 스프레드 클럭 신호(SSCLK)를 바탕으로 샘플링 스위치 제어신호(SAM)를 생성하면, 도 8에 도시된 바와 같이 샘플링 스위치 제어신호(SAM)가 시간축 상에서 변동되기 때문에 동일한 데이터 전압(Vdata)을 픽셀 회로에 공급하더라도 서브 픽셀들 간에 센싱 결과가 다르게 된다.
- [0105] 본 발명은 액티브 구간(AT) 동안 스프레드 클럭 신호(SSCLK)를 바탕으로 내부 데이터 인에이블 신호(IDE)를 받

생하고 버티컬 블랭크 구간(VB) 같은 센싱 모드 기간에서 주파수가 고정된 고정 클럭 신호로 센싱용 데이터 인에이블 신호(SDE)를 생성한다. 본 발명은 센싱용 데이터 인에이블 신호(SDE)를 생성한다.

- [0106] 도 11은 본 발명의 제1 실시예에 따른 센싱 구동 신호 발생부를 보여 주는 도면이다. 타이밍 콘트롤러(130)는 센싱 구동 신호 발생부를 이용하여 도 14와 같은 센싱 구동 신호를 발생한다. 도 12 및 도 13은 고정 클럭 신호를 카운트한 결과로 생성되는 센싱용 데이터 인에이블 신호와 샘플링 스위치 제어신호를 보여 주는 파형도들이다.
- [0107] 도 11 내지 도 13을 참조하면, 센싱 구동 신호 발생부는 발진기(132), SSCG(133), 멀티플렉서(134), 내부 데이터 인에이블 신호 발생부(이하 “IDE 발생부”라 함, 135), 신호 발생부(136), 및 신호 전송부(137)를 포함한다.
- [0108] 발진기(132)는 주파수가 일정한 고정 클럭 신호(FCLK)를 발생한다. SSCG(133)는 도 9와 같은 프로파일에서 정의된 주파수로 고정 클럭 신호(FCLK)의 주파수를 가변하여 스프레드 클럭 신호(SSCLK)를 발생한다.
- [0109] 멀티플렉서(134)는 선택 신호(SEL)에 응답하여 액티브 구간(AT)에서 스프레드 클럭 신호(SSCLK)를 출력하고, 버티컬 블랭크 구간(VB)에서 고정 클럭 신호(FCLK)을 출력한다. 타이밍 콘트롤러(130)는 호스트 시스템(200)으로부터 수신되는 데이터 인에이블 신호(DE)를 카운트하여 매 프레임 기간마다 액티브 구간(AT)과 버티컬 블랭크 구간(VB)을 판단할 수 있다. 타이밍 콘트롤러(130)는 선택 신호(SEL)의 논리값을 액티브 구간(AT)과 버티컬 블랭크 구간(VB)에 서로 다르게 제어하여 멀티플렉서(134)를 제어한다. 멀티플렉서(134)는 다른 센싱 모드 기간 예를 들어, 파워 온 시퀀스와 파워 오프 시퀀스에서 고정 클럭 신호(FCLK)를 출력할 수 있다.
- [0110] IDE 발생부(135)는 멀티플렉서(134)로부터 수신된 스프레드 클럭 신호(SSCLK)로 데이터 인에이블 신호(DE)를 카운트하여 액티브 구간(AT)에 데이터 인에이블 신호(DE)의 주기(t)를 변조한다. 스프레드 클럭 신호(SSCLK)의 주파수에 따라 데이터 인에이블 신호(DE)의 주기가 가변된다. IDE 발생부(135)는 버티컬 블랭크 구간(VB)에 멀티플렉서(134)로부터 수신된 고정 클럭 신호(FCLK)를 카운트하여 센싱용 데이터 인에이블 신호(SDE)의 펄스를 발생한다. 따라서, IDE 발생부(135)로부터 출력된 내부 데이터 인에이블 신호(IDE)는 스프레드 클럭 신호(SSCLK)의 주파수로 주기가 변조된 펄스와, 고정 클럭(FCLK)을 바탕으로 생성된 버티컬 블랭크 구간(VB)의 펄스를 포함한다. 버티컬 블랭크 구간(VB)의 펄스들은 동일한 주기로 발생된다. IDE 발생부(135)는 파워 온 시퀀스 또는 파워 온 시퀀스와 같은 다른 센싱 모드에서도 고정 클럭 신호(FCLK)를 카운트하여 센싱용 데이터 인에이블 신호(SDE)를 발생할 수 있다.
- [0111] IDE 발생부(135)로부터 출력되는 내부 데이터 인에이블 신호(IDE)는 액티브 구간(AT)에 스프레드 클럭 신호(SSCLK)의 주파수에 따라 주기(t), 하이 구간(H) 및 로우 구간(L)이 가변된다. 반면에, 내부 데이터 인에이블 신호(IDE)는 버티컬 블랭크 구간(VB)에 고정 클럭 신호(FCLK)의 카운트 결과를 바탕으로 생성되기 때문에 주기(t+β), 하이 구간(H), 및 로우 구간(L)이 일정하다. t는 클럭 신호의 1 주기이다. β는 센싱용 데이터 인에이블 신호(SDE)의 펄스폭을 조정하기 위한 상수값이다. 상수값은 양의 값 또는 음의 값으로 설정될 수 있다.
- [0112] 신호 발생부(136)는 고정 클럭 신호(FCLK)으로 내부 데이터 인에이블 신호(IDE)의 라이징 에지 또는 폴링 에지로부터 상기 내부 데이터 인에이블 신호(IDE)의 펄스를 카운트하여 그 카운트 누적값이 미리 설정된 카운트 값에 도달할 때 샘플링 스위치 제어신호(SAM)를 발생한다. 카운트 누적값은 내부 데이터 인에이블 신호(IDE)의 라이징 에지 또는 폴링 에지마다 초기화된다. 신호 발생부(136)는 같은 방법으로 센싱 구동 신호(SRPE, RPRE, SAM)를 발생할 수 있다.
- [0113] 신호 전송부(137)는 내부 데이터 인에이블 신호(IDE), 멀티플렉서(134)로부터 출력된 클럭 신호(FCLK, SSCLK), 픽셀 데이터(DATA), 및 센서 구동 신호(SPPE, RPRE, SAM)를 입력 받는다. 신호 전송부(137)는 액티브 구간(AT)에 내부 데이터 인에이블 신호(DE)의 하이 구간(H) 마다 스프레드 클럭 신호(SSCLK)로 픽셀 데이터(DATA)를 샘플링하여 데이터 구동부(110)로 전송한다. 신호 전송부(137)는 버티컬 블랭크 구간(VB)과 같은 센싱 모드 기간에 센싱 구동 신호(SPPE, RPRE, SAM)를 데이터 구동부(110)로 전송한다.
- [0114] 도 12에서, 센싱용 데이터 인에이블 신호(SDE)의 1 주기(t+β), 하이 구간(H), 및 로우 구간(L)이 일정하다. 도 13에서 DE'는 호스트 시스템(200)으로부터 수신된 데이터 인에이블 신호(DE)를 스프레드 클럭 신호(SSCLK)로 카운트하여 변조된 데이터 인에이블 신호이다. 이 데이터 인에이블 신호(DE')에서 α1, α2, … α7은 스프레드 클럭 신호(SSCLK)의 주파수 가변에 따른 펄스의 주기 증감분이다.
- [0115] 센싱 구동 신호 발생부는 센싱 모드에서 고정 클럭으로 센싱용 데이터 인에이블 신호(SDE)를 생성함으로써 도 14에 도시된 바와 같이 센싱 모드에서 항상 동일한 시점에 발생하는 센싱 구동 신호(SPPE, RPRE, SAM)을 발생

수 있다.

- [0116] 타이밍 콘트롤러(130)와 데이터 구동부(110) 사이의 신호 전송을 위한 인터페이스 프로토콜에서 스프레드 클럭 신호에서 고정 클럭으로 주파수가 급변하여 데이터 구동부(110)에서 일부 신호가 수신되지 않을 수 있다. 이러한 인터페이스 프로토콜에서 EMI를 개선하면서 센서 구동 신호의 시간 오차를 줄이기 위하여, 센싱 구동 신호 발생부는 EPI(Embedded Clock Point to Point Interface) 인터페이스에서 도 15와 같이 구현될 수 있다.
- [0117] 도 15는 본 발명의 제2 실시예에 따른 센싱 구동 신호 발생부를 보여 주는 도면이다. 도 16은 내부 데이터 인에이블 신호와 스프레드 데이터 인에이블 신호를 보여 주는 파형도이다.
- [0118] 도 15 및 도 16을 참조하면, 센싱 구동 신호 발생부는 발진기(132), SSCG(133), 멀티플렉서(134), IDE 발생부(135), 스프레드 데이터 인에이블 신호 발생부(이하 “SSCDE 발생부”라 함, 138), 신호 발생부(139), 및 신호 전송부(137)를 포함한다.
- [0119] 발진기(132), SSCG(133), 멀티플렉서(134), 및 IDE 발생부(135)는 전술한 제1 실시예와 실질적으로 동일하므로 이에 대한 상세한 설명을 생략한다.
- [0120] SSCDE 발생부(138)는 내부 데이터 인에이블 신호(IDE)와 스프레드 클럭 신호(SSCLK)를 입력 받는다. 내부 데이터 인에이블 신호(IDE)는 스프레드 클럭 신호(SSCLK)로 변조된 펄스와, 고정 클럭(FCLB)을 바탕으로 생성된 센싱용 데이터 인에이블 신호(SDE)의 펄스를 포함한다.
- [0121] SSCDE 발생부(138)는 센싱용 데이터 인에이블 신호(SDE)의 라이징 에지로부터 센싱용 데이터 인에이블 신호(SDE)의 펄스를 스프레드 클럭 신호(SSCLK)로 카운트하여 센싱용 데이터 인에이블 신호(SDE)의 펄스에서 하이 구간(H)을 변조한다. 내부 데이터 인에이블 신호(IDE)에서 버티컬 블랭크 구간(VB)의 펄스 주기($t+\beta$)가 동일하기 때문에 스프레드 클럭 신호(SSCLK)로 변조된 스프레드 데이터 인에이블 신호(SSCDE)의 펄스 주기도 일정하다. 다시 말하여, 내부 데이터 인에이블 신호(IDE)와 스프레드 데이터 인에이블 신호(SSCDE)에서 센싱 모드 기간 즉, 버티컬 블랭크 구간(VB)의 센싱용 데이터 인에이블 신호(SDE)의 펄스들은 그 주기가 $t+\beta$ 로 동일하다.
- [0122] 스프레드 클럭 신호(SSCLK)의 주파수에 따라 스프레드 데이터 인에이블 신호(SSCDE)의 하이 구간(H)이 가변된다. 스프레드 클럭 신호(SSCLK)의 주파수가 높아지면 스프레드 데이터 인에이블 신호(SSCDE)에서 센싱용 데이터 인에이블 신호(SDE) 구간의 펄스 하이 구간(H)이 작아진다. 스프레드 클럭 신호(SSCLK)의 주파수가 낮아지면 스프레드 데이터 인에이블 신호(SSCDE)에서 센싱용 데이터 인에이블 신호(SDE)의 펄스 하이 구간(H)이 커진다.
- [0123] 신호 발생부(139)는 스프레드 데이터 인에이블 신호(SSCDE)와 스프레드 클럭 신호(SSCLK)를 입력 받는다. 신호 발생부(139)는 펄스 주기가 일정한 스프레드 데이터 인에이블 신호(SSCDE)의 라이징 에지 또는 폴링 에지를 기준으로 스프레드 데이터 인에이블 신호(SSCDE)의 펄스를 스프레드 클럭 신호(SSCLK)로 카운트하여 그 카운트 누적값이 미리 설정된 카운트 값에 도달할 때 샘플링 스위치 제어신호(SAM)를 발생한다. 카운트값은 스프레드 데이터 인에이블 신호(SSCDE)의 라이징 에지 또는 폴링 에지마다 초기화된다. 신호 발생부(139)는 같은 방법으로 센싱 구동 신호(SRPE, RPRE, SAM)를 발생할 수 있다.
- [0124] 신호 전송부(137)는 스프레드 데이터 인에이블 신호(IDE), 스프레드 클럭 신호(FCLK, SSCLK), 데이터(DATA), 및 센서 구동 신호(SPRE, RPRE, SAM)를 입력 받는다. 데이터(DATA)는 EPI 인터페이스로 전송될 데이터 즉, 콘트롤 데이터와 픽셀 데이터 신호를 포함할 수 있다. 신호 전송부(137)는 액티브 구간(AT)에 내부 데이터 인에이블 신호(DE)의 하이 구간(H) 마다 스프레드 클럭 신호(SSCLK)로 픽셀 데이터(DATA)를 샘플링하여 데이터 구동부(110)로 전송한다. 신호 전송부(137)는 버티컬 블랭크 구간(VB)과 같은 센싱 모드 기간에 센싱 구동 신호(SPRE, RPRE, SAM)를 데이터 구동부(110)로 전송한다.
- [0125] EPI 인터페이스는 도 17에 도시된 바와 같이 타이밍 콘트롤러(130)와 소스 드라이브 IC들(SDIC1~SDICn)을 점 대 점(point to point) 방식으로 연결하여 타이밍 콘트롤러(130)와 소스 드라이브 IC들(SDIC1~SDICn) 사이의 배선 수를 최소화할 수 있다. EPI 인터페이스는 클럭이 내장된 콘트롤 데이터 및 픽셀 데이터를 포함한 EPI 신호(EDI DATA)가 데이터 배선쌍(12)을 통해 전송되기 때문에 별도의 클럭 배선과 콘트롤 배선들이 필요 없다.
- [0126] EPI 인터페이스에서, 소스 드라이브 IC들(SDIC1~SDICn) 각각에 CDR(Clock and Data Recovery)을 위한 클럭 복원부가 내장되어 있다. 타이밍 콘트롤러(130)는 클럭 복원부의 출력 위상과 주파수가 고정(lock)될 수 있도록 클럭 트레이닝 패턴(clock training pattern 또는 preamble) 신호를 소스 드라이브 IC들(SDIC1~SDICn)에 전송

한다. 소스 드라이브 IC들(SDIC1~SDICn)에 내장된 클럭 복원부는 데이터 배선쌍(12)을 통해 수신된 EPI 신호의 클럭 트레이닝 패턴 신호와 클럭 신호가 입력되면 클럭 신호를 복원하여 도 21과 같은 다중 위상의 내부 클럭(CDR CLK)을 발생한다.

- [0127] 소스 드라이브 IC들(SDIC1~SDICn)은 내부 클럭의 위상과 주파수가 고정(Lock)되면 출력 안정 상태를 지시하는 하이 로직 레벨(High logic level)의 락 신호(Lock signal, LOCK)를 타이밍 컨트롤러(130)로 전송한다. 제1 소스 드라이브 IC들(SDIC1)의 락 신호 입력 단자에는 하이 로직 레벨의 직류 전원 전압(VCC)이 입력된다. 락 신호(LOCK)는 타이밍 컨트롤러(130)와 마지막 소스 드라이브 IC(SDICn) 사이에 연결된 락 피드백 배선(13)을 통해 타이밍 컨트롤러(130)로 전송된다.
- [0128] EPI 인터페이스의 신호 전송 프로토콜에서, 타이밍 컨트롤러(130)는 콘트롤 데이터와 입력 영상의 픽셀 데이터를 전송하기 전에 클럭 트레이닝 패턴 신호(Clock training pattern signal)를 소스 드라이브 IC들(SDIC1~SDICn)로 전송한다. 소스 드라이브 IC(SDIC1~SDICn)의 클럭 복원부는 클럭 트레이닝 패턴 신호를 기준으로 클럭 트레이닝(Clock training) 동작을 수행하여 데이터 배선쌍(12)을 통해 수신된 클럭을 복원하여 내부 클럭을 발생하고, 내부 클럭의 위상과 주파수가 안정되게 고정되면, 타이밍 컨트롤러(130)와의 데이터 링크를 확립한다. 타이밍 컨트롤러(130)는 마지막 소스 드라이브 IC(SDICn)로부터 수신된 락 신호(LOCK)에 응답하여 콘트롤 데이터와 픽셀 데이터를 소스 드라이브 IC들(SDIC1~SDICn)로 전송하기 시작한다. 타이밍 컨트롤러(130)의 출력 신호는 타이밍 컨트롤러(130)의 송신단 버퍼를 통해 차동 신호(Differential Signal)로 변환되어 데이터 배선쌍(12)을 통해 소스 드라이브 IC들(SDIC1~SDICn)로 전송된다.
- [0129] 소스 드라이브 IC들(SDIC1~SDICn)은 데이터 배선쌍(12)을 통해 수신되는 신호로부터 콘트롤 데이터 비트를 내부 클럭 타이밍에 샘플링하고, 샘플링된 콘트롤 데이터로부터 타이밍 신호와 구동 회로의 콘트롤 신호를 복원한다. 콘트롤 데이터는 소스 드라이브 IC들(SDIC1~SDICn)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어 신호를 포함할 수 있다.
- [0130] 소스 드라이브 IC들(SDIC1~SDICn)은 내부 클럭 타이밍에 맞추어 배선쌍을 통해 수신된 신호로부터 픽셀 데이터의 비트들을 샘플링한 후에 샘플링된 픽셀 데이터의 비트들을 병렬 데이터로 변환한다. 소스 드라이브 IC들(SDIC1~SDICn)은 복원된 소스 콘트롤 데이터에 응답하여 픽셀 데이터를 DAC를 통해 감마 보상 전압으로 변환하여 데이터 전압을 출력한다. 데이터 전압은 데이터라인들(DL)에 공급된다.
- [0131] 도 18은 EPI 인터페이스의 신호 전송 프로토콜을 보여 주는 파형도이다.
- [0132] 도 18을 참조하면, 타이밍 컨트롤러(130)는 제1 단계(Phase-I)에서 일정한 주파수의 클럭 트레이닝 패턴 신호(또는 Preamble signal)를 소스 드라이브 IC들(SDIC1~SDICn)로 전송하고 락 피드백 배선(13)을 통해 하이 로직 레벨(high logic level 또는 1)의 락 신호(LOCK)가 입력되면 제2 단계(Phase-II)를 실시하여 콘트롤 데이터(CTR)의 전송을 시작한다. 타이밍 컨트롤러(130)는 제2 단계(Phase-II)에 이어서 락 신호(LOCK)가 하이 로직 레벨로 유지되면 제3 단계(Phase-III)를 실시하여 입력 영상의 픽셀 데이터를 포함한 EPI 신호를 전송한다. EPI 신호는 EPI 인터페이스 신호 전송 프로토콜에서 정의된 데이터 패킷을 포함한 직렬 신호로 소스 드라이브 IC들(SDIC1~SDICn)에 전송된다.
- [0133] 타이밍 컨트롤러(130)는 데이터 배선쌍(12) 상의 EMI를 줄이기 위하여 주파수가 가변되는 스프레드 클럭 신호(SSCLK)의 타이밍에 맞추어 데이터 신호(EPI DATA)를 전송한다. 도 18에서 SDATA는 픽셀 데이터이다.
- [0134] 도 18에서 "Tlock"은 클럭 트레이닝 패턴 신호가 소스 드라이브 IC들(SDIC1~SDICn)에 입력되기 시작한 후부터 소스 드라이브 IC들(SDIC1~SDICn)의 클럭 복원부로부터 출력되는 내부 클럭이 안정화되어 락 신호(LOCK)가 하이 로직 레벨(H)로 반전될 때까지의 시간이다. 이 시간(Tlock)은 1 수평 기간 이상의 시간일 수 있다.
- [0135] 타이밍 컨트롤러(130)는 마지막 소스 드라이브 IC(SDICn)로부터 로우 로직 레벨(L)의 락 신호(LOCK)가 입력될 때 소스 드라이브 IC들(SDIC1~SDICn)의 클럭 트레이닝을 재개하기 위하여 제1 단계(Phase-I)를 실행하여 클럭 트레이닝 패턴 신호를 소스 드라이브 IC들(SDIC1~SDICn)에 전송한다. 제2 단계(Phase-II)와 제3 단계(Phase-III) 실행 중에 예기치 않은 상황에서 클럭 복원부로부터 클럭이 정상적으로 복원되지 않은 소스 드라이브 IC들(SDIC1~SDICn)는 락 신호(LOCK)를 로우 로직 레벨(L)로 반전시킨다. 이 경우, 타이밍 컨트롤러(130)는 제2 단계(Phase-II) 신호 또는 제3 단계(Phase-III)에서 마지막 소스 드라이브 IC(SDICn)로부터 로우 로직 레벨(L)의 락 신호(LOCK)가 수신되면 이에 응답하여 제1 단계(Phase-I)를 실행하여 클럭 트레이닝 패턴 신호를 소스 드라이브 IC들(SDIC1~SDICn)로 전송한다.

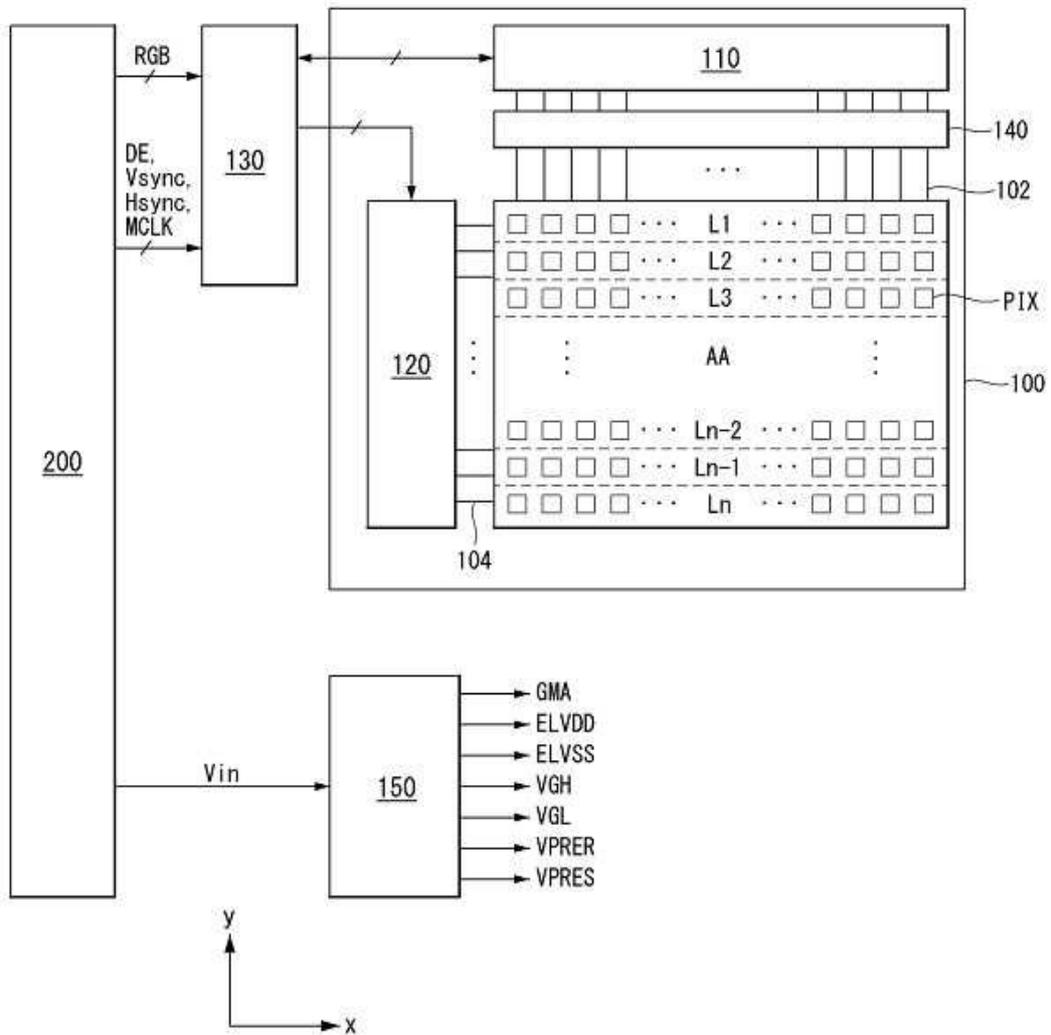
- [0136] 도 19는 EPI 인터페이스에서 1 데이터 패킷을 예시한 도면이다.
- [0137] 도 19를 참조하면, EPI 인터페이스에서 소스 드라이브 IC들(SDIC1~SDICn)로 전송되는 데이터 신호(EPI DATA)의 1 데이터 패킷은 데이터 비트들, 데이터 비트들의 앞과 뒤에 할당된 클럭 비트들(EPI CLK)을 포함한다. 데이터 비트들은 콘트롤 데이터 혹은 픽셀 데이터의 비트들이다. 1 비트 전송 시간은 1 UI(Unit Interval) 시간이다. 1 UI는 표시패널(PNL)의 해상도나 데이터 비트수에 따라 달라진다.
- [0138] 클럭 비트들(EPI CLK)은 이웃한 데이터 패킷들 사이에 4 UI 만큼 할당되고, 그 로직 값은 "0 0 1 1 (또는 L L H H)"으로 설정될 수 있으나 이에 한정되지 않는다. 데이터 비트 수가 10 bit일 때, 1 패킷은 30 UI의 데이터 비트들과, 4 UI의 클럭 비트들을 포함할 수 있다. 데이터 비트 수가 8 bit일 때, 1 패킷은 24 UI의 데이터 비트들과, 4 UI의 클럭 비트들을 포함할 수 있다. 데이터 비트 수가 6 bit일 때, 1 패킷은 18 UI의 RGB 데이터 비트들과, 4 UI의 클럭 비트들을 포함할 수 있으나 이에 한정되지 않는다.
- [0139] EPI 인터페이스 프로토콜에서, 제1 단계(Phase-I)와 제2 단계(Phase-II)는 도 20과 같이 수평 블랭크 기간(Horizontal blank period, HB) 마다 소스 드라이브 IC들(SDIC1~SDICn)에 수행되어 진다. 수평 블랭크 기간(HB)은 1 수평 기간(1H) 내에서 픽셀 데이터가 입력되지 않는 시간이고 스프레드 데이터 인에이블 신호(SSCDE)의 로우 구간(L)에 해당한다. 타이밍 콘트롤러(130)는 EMI를 줄이기 위하여 스프레드 데이터 인에이블 신호(SSCDE)의 동기하여 데이터 신호(EPI DATA)를 소스 드라이브 IC들(SDIC1~SDICn)로 전송한다. 스프레드 데이터 인에이블 신호(SSCDE)의 하이 구간(L_ 즉, 펄스폭 내에서 제3 단계(Phase-III)가 실행되어 픽셀 데이터(SDATA)를 포함한 데이터 패킷이 전송된다. 도 20에서 "CST" 는 데이터 패킷의 시작을 지시하는 콘트롤 스타트 비트이고, "CTR1" 및 "CTR2" 는 콘트롤 데이터 비트이다.
- [0140] 도 21은 소스 드라이브 IC(SDIC1~SDICn)의 클럭 복원부에서 복원되는 내부 클럭을 보여 주는 파형도이다. "CDR CLK" 은 소스 드라이브 IC들(SDIC1~SDICn)의 클럭 복원부에서 출력되는 다중 위상의 내부 클럭이다.
- [0141] 도 6을 참조하면, 클럭 복원부는 위상 고정 루프(Phase locked loop, PLL) 또는 지연 락 루프(Delay Locked loop, DLL)를 이용하여 다중 위상의 내부 클럭들(CDR CLK)을 출력 한다. 클럭 복원부는 데이터 배선쌍(12)을 통해 수신된 클럭 트레이닝 패턴 신호를 입력 받아 출력을 발생하고 그 출력의 위상과 주파수가 입력 클럭과 같게 될 때 락 신호(LOCK)를 하이 레벨로 반전시킨 후에 EPI 신호의 클럭을 복원하여 다중 위상의 내부 클럭(CDR CLK)을 발생한다. 다중 위상의 내부 클럭(CDR CLK)은 클럭의 라이징 에지(rising edge)가 데이터 패킷의 비트 각각에 동기되도록 순차적으로 위상이 지연되는 클럭들로 발생된다. 소스 드라이브 IC들(SDIC1~SDICn)은 내부 클럭(CDR CLK)의 라이징 에지에 데이터의 비트를 샘플링한다.
- [0142] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정 되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

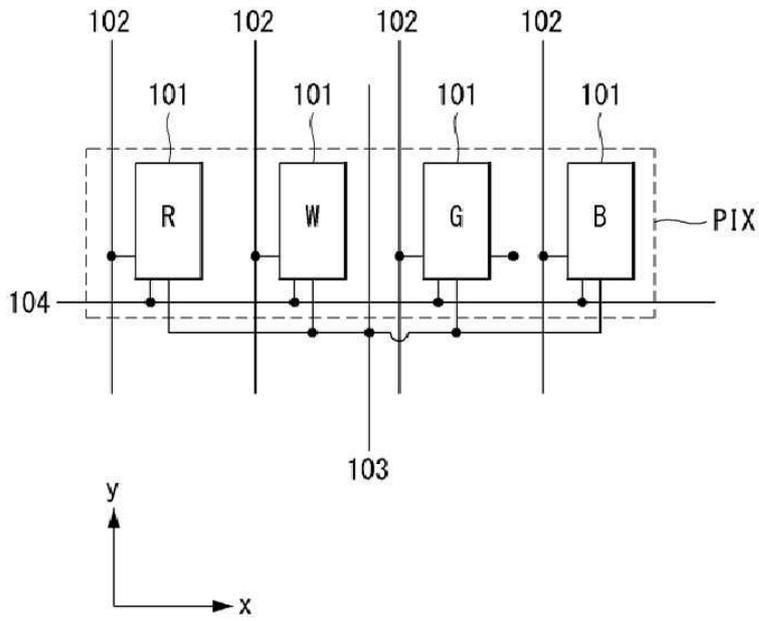
- [0143] 100 : 표시패널 110 : 데이터 구동부
- 120 : 게이트 구동부 130 : 타이밍 콘트롤러
- 111 : 센싱부 131 : 보상부
- 132 : 발진기 134 : 멀티플렉서
- 135 : IDE 발생부 136 : 신호 발생부
- 137, 139 : 신호 전송부 138 : SSCDE 발생부

도면

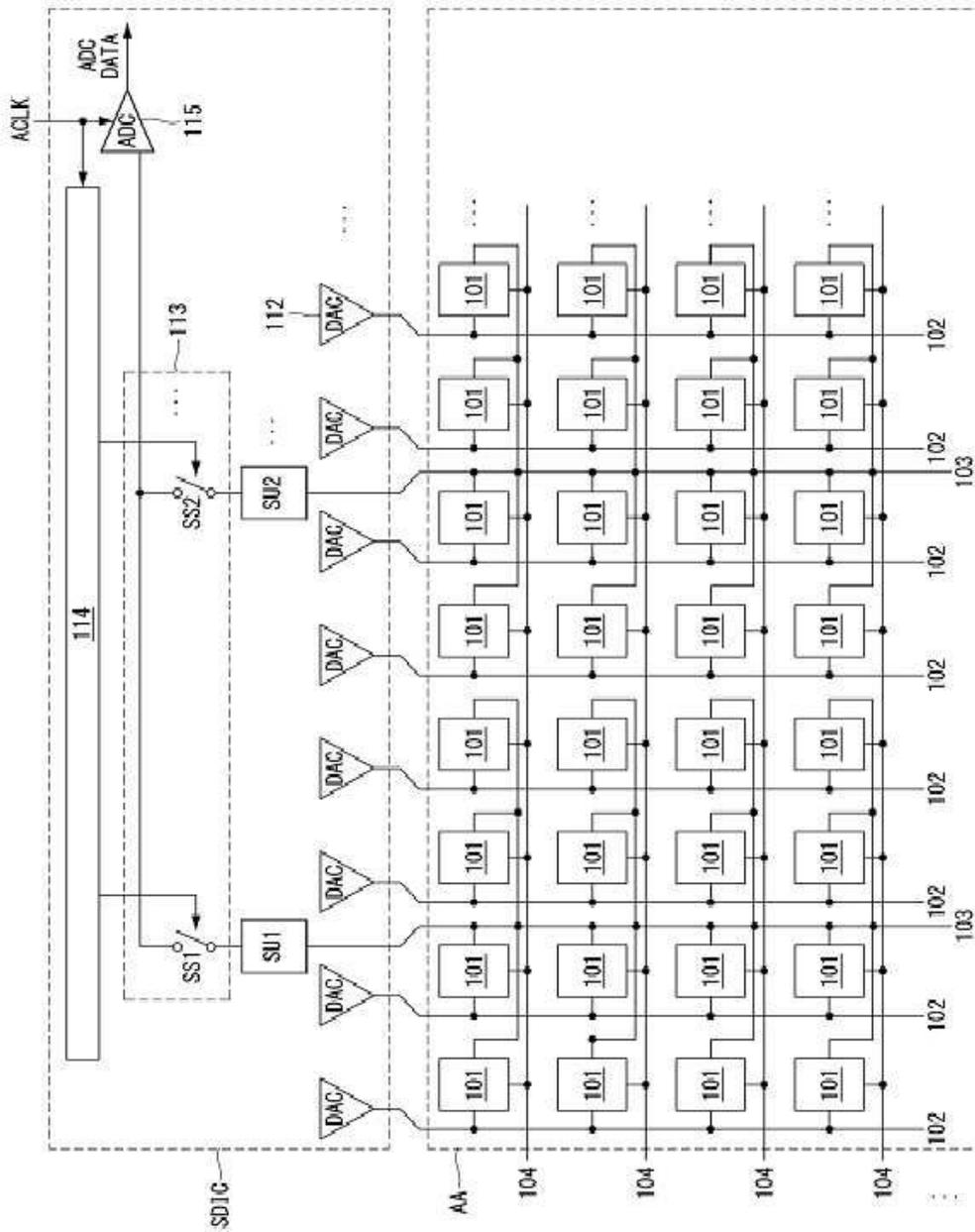
도면1



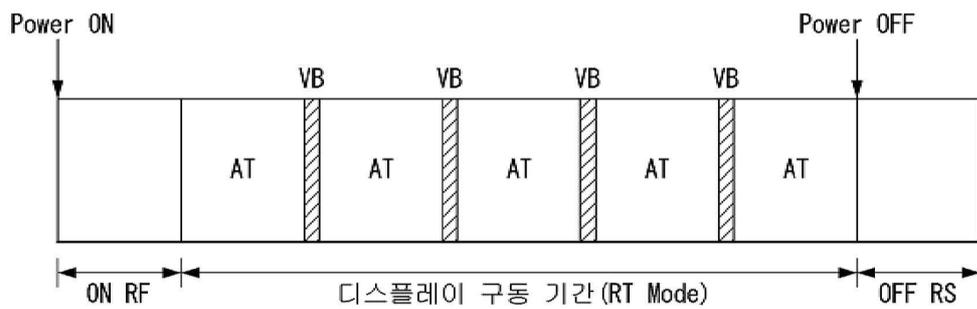
도면3



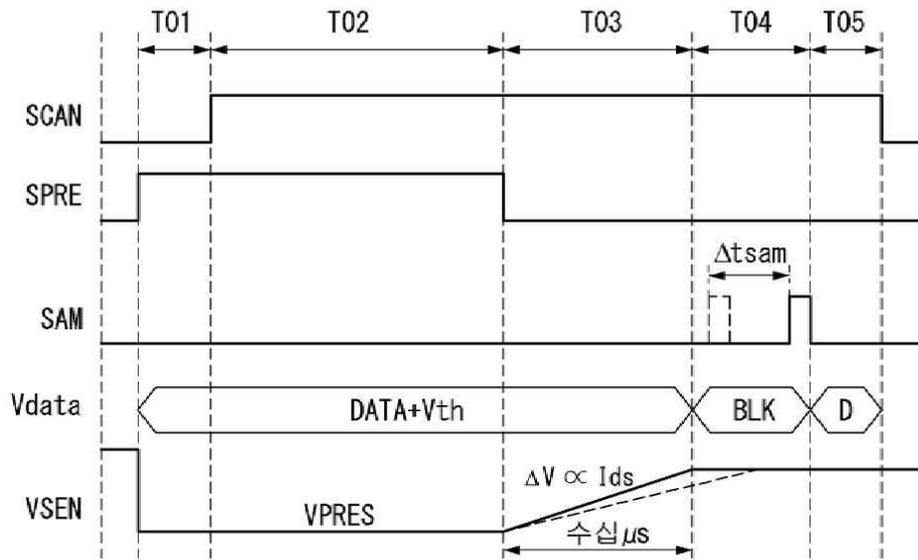
도면4



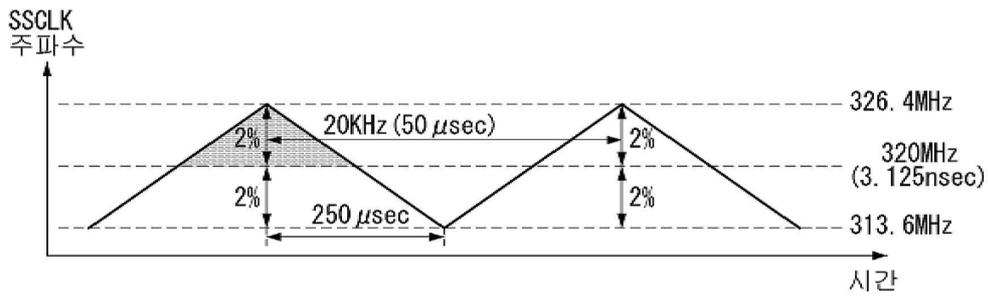
도면5



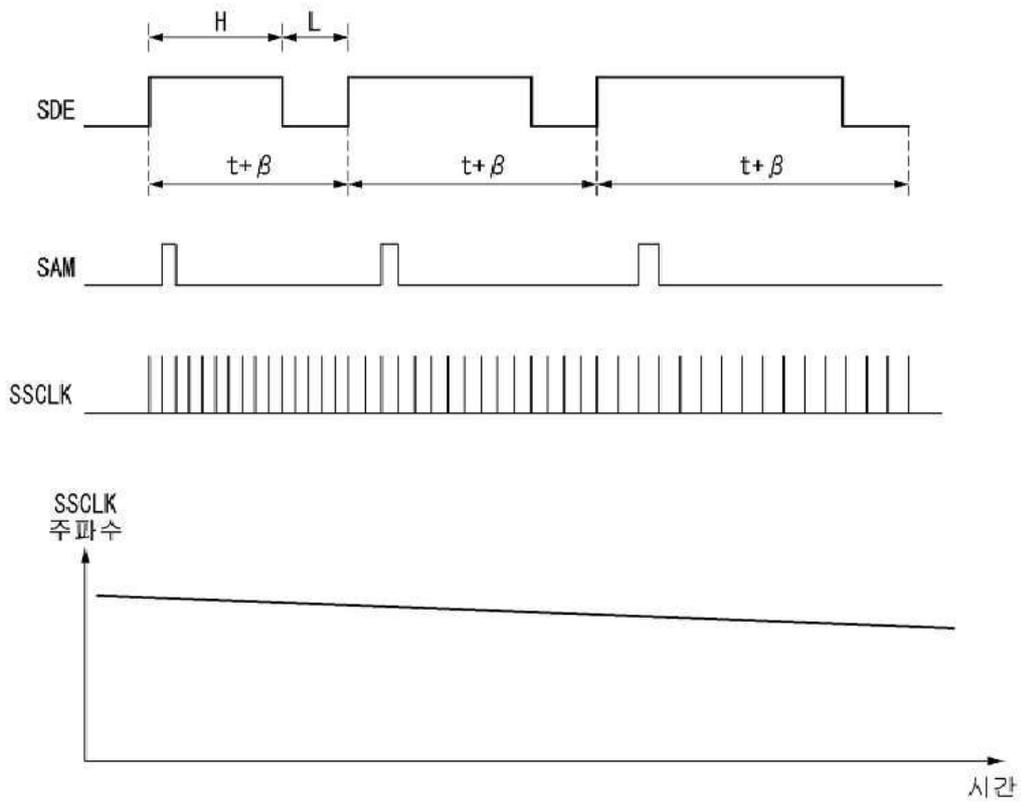
도면8



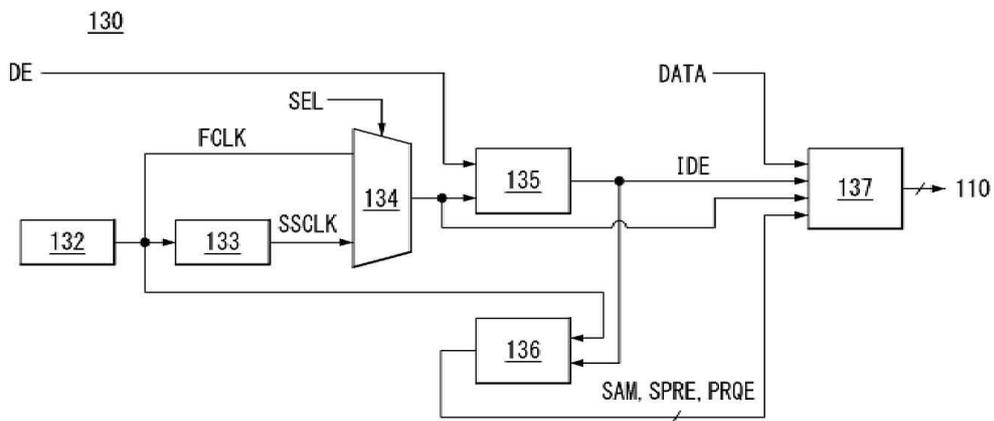
도면9



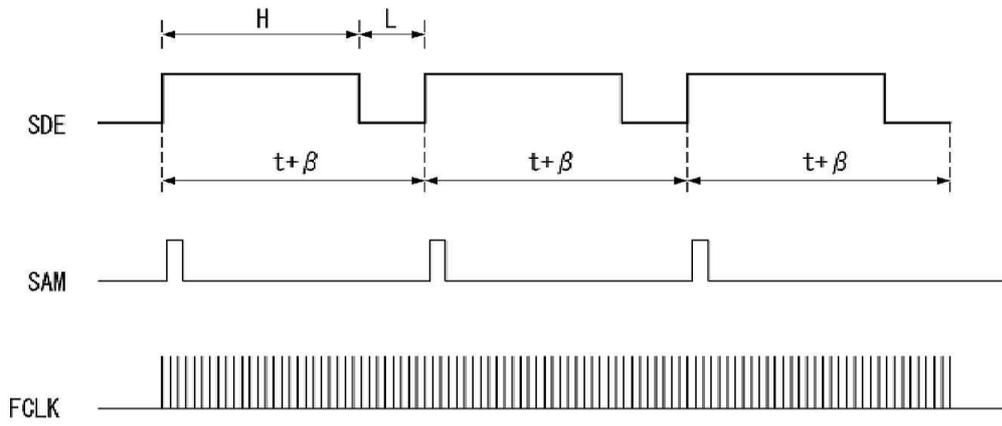
도면10



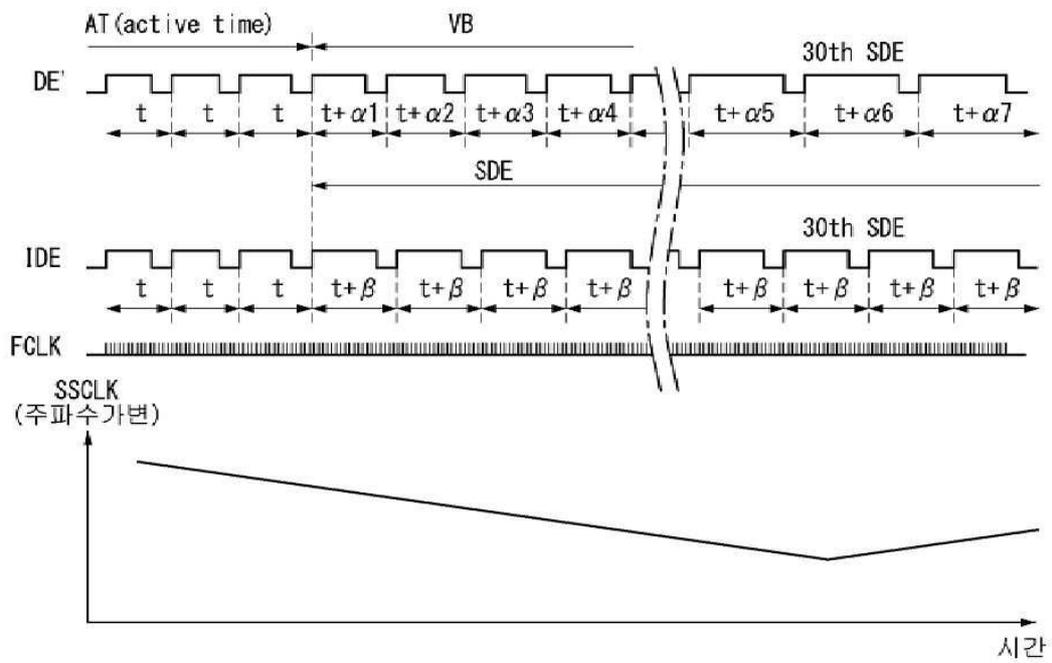
도면11



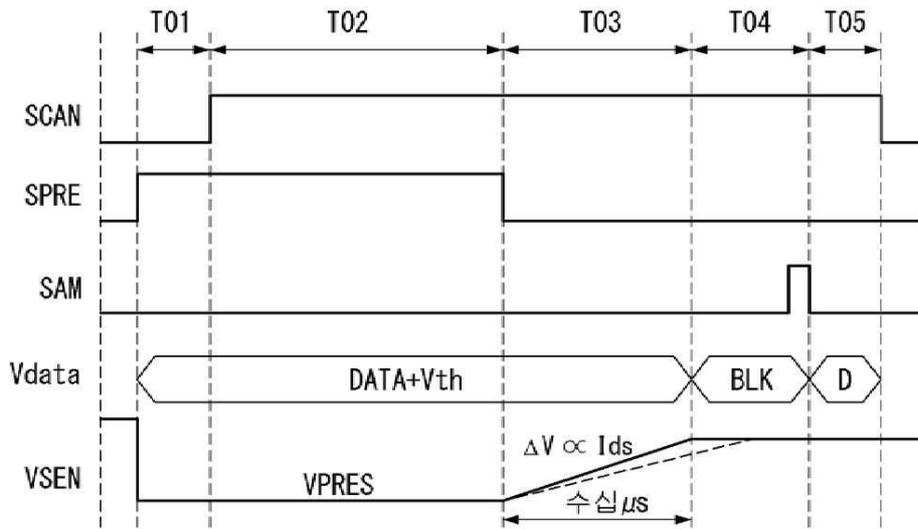
도면12



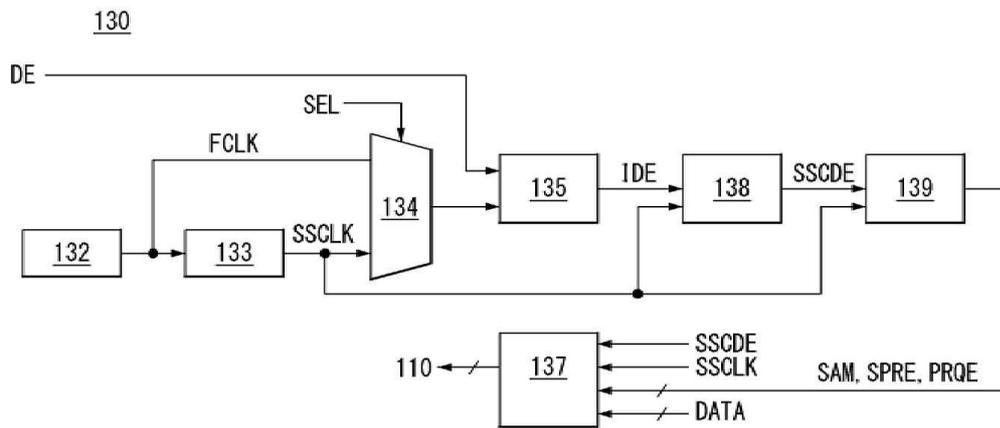
도면13



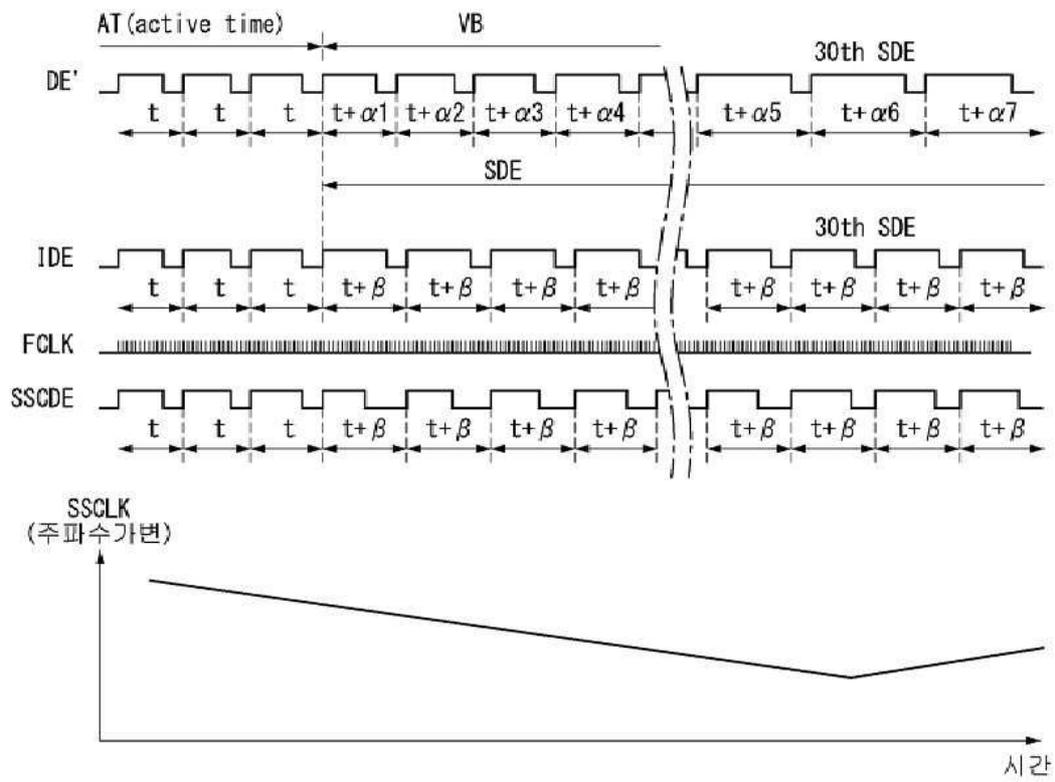
도면14



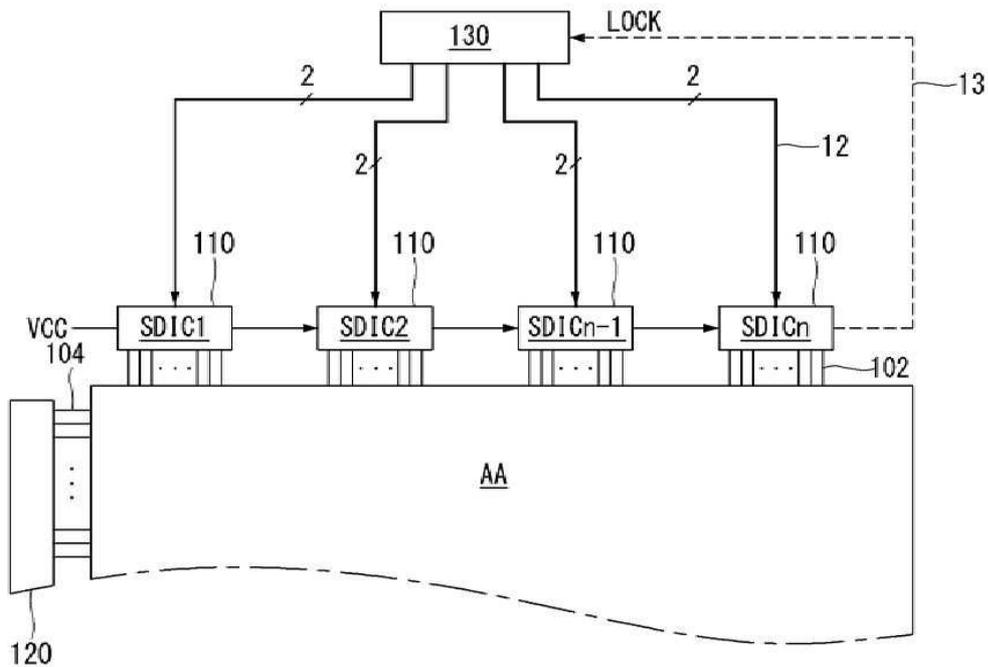
도면15



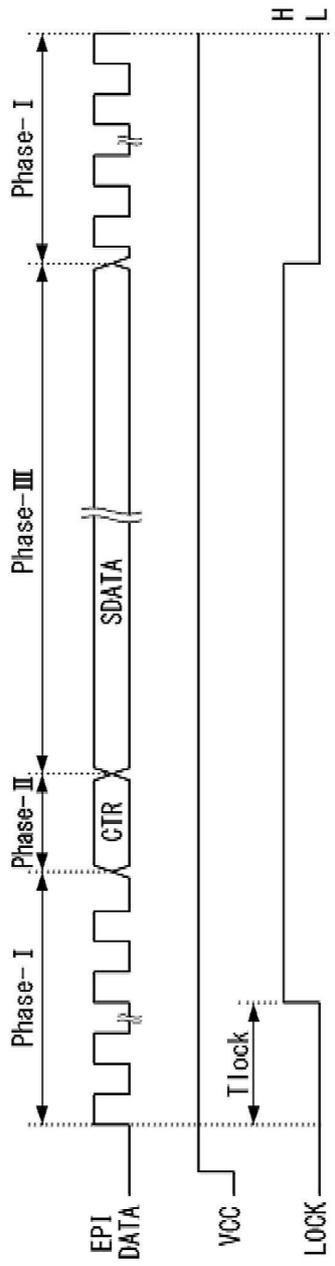
도면16



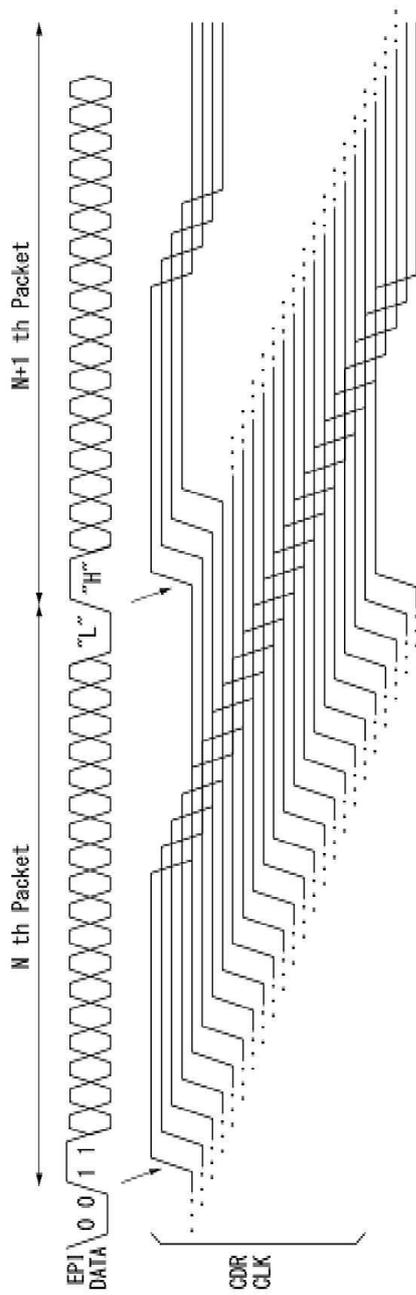
도면17



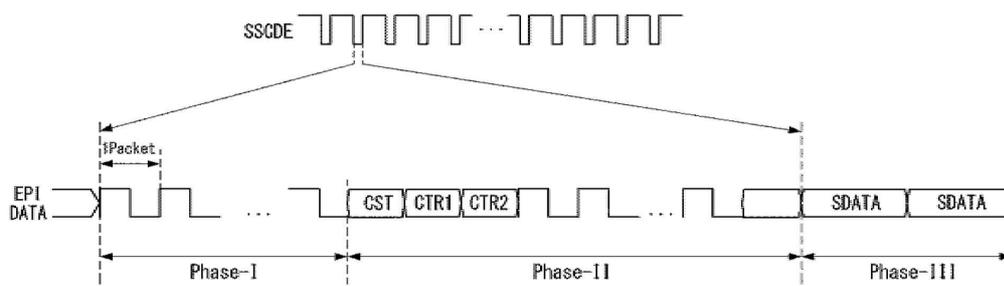
도면18



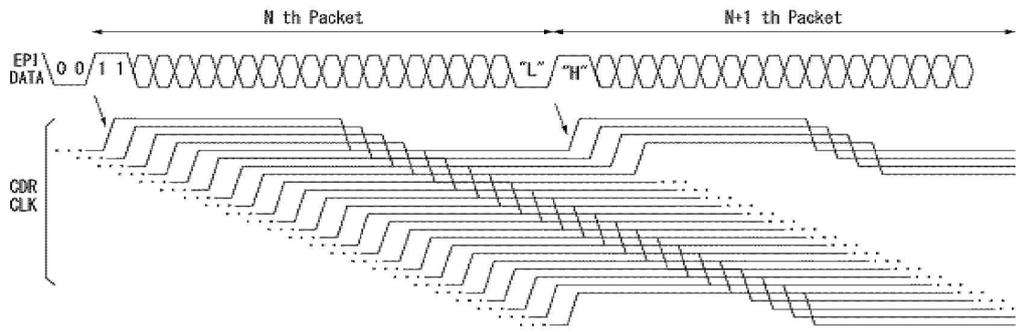
도면19



도면20



도면21



专利名称(译)	EL显示器		
公开(公告)号	KR1020200072228A	公开(公告)日	2020-06-22
申请号	KR1020180160178	申请日	2018-12-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김영호		
发明人	김영호 노동인		
IPC分类号	G09G3/3208		
CPC分类号	G09G3/3208 G09G2230/00 G09G2320/0295 G09G2320/043 G09G2330/06		
外部链接	Espacenet		

摘要(译)

技术领域本发明涉及一种电致发光显示装置,并且包括定时控制器,该定时控制器接收与像素数据同步的数据使能信号并将像素数据发送到数据驱动器。时序控制器使用具有可变频率的扩展时钟信号来调制数据使能信号,并且该时序控制器是在未接收到输入图像的像素数据的感测模式期间对具有固定频率的固定时钟信号进行计数的结果而获得的。产生采样开关控制信号以接通采样开关元件。

