(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0040046
(43) 공개일자 2020년04월17일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *H01L 27/32* (2006.01)
(52) CPC특허분류
H01L 51/5271 (2013.01)
H01L 27/3213 (2013.01)
(21) 출원번호 10-2018-0119818
(22) 출원일자 2018년10월08일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이성구
경기도 파주시 월롱면 엘지로 245
김빈
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인 정안

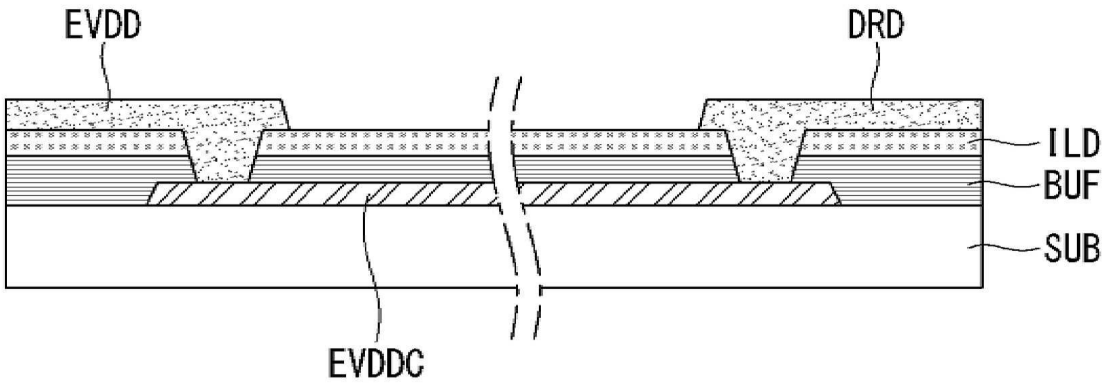
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **표시장치**

(57) 요 약

본 발명에 따른 표시장치는 복수의 서브픽셀들, 트랜지스터, 오버코트층, 제1 전극들, 뱅크층, 오픈홀, 유기 화합물층, 제2 전극을 포함한다. 복수의 서브픽셀들은, 제1 방향으로 연장된 세로 라인과 제1 방향과 교차하는 제2 방향으로 연장된 가로 라인에 의해 기 설정된 신호를 인가 받으며, 발광부와 회로부로 구분된다. 트랜지스터는 회로부들에 할당된다. 오버 코트층은 트랜지스터를 덮는다. 제1 전극들은 오버코트층 상에서, 발광부들에 각각 할당되며, 트랜지스터에 전기적으로 연결된다. 뱅크층은 제1 전극들 상에 배치되며, 제1 전극들을 노출하는 개구부들을 갖는다. 오픈홀은 이웃하는 제1 전극들 사이에 배치되며, 뱅크층을 관통한다. 유기 화합물층은 제1 전극 상에 배치된다. 제2 전극은 유기 화합물층 상에 배치되며, 오픈홀 내측에까지 연장되어 배치된다. 이웃하는 제1 전극들 사이에서, 상기 오픈홀이 형성된 영역에는, 세로 라인 및 상기 가로 라인이 배치되지 않는다.

대 표 도 - 도11



(52) CPC특허분류
H01L 27/3225 (2013.01)
H01L 27/3246 (2013.01)
H01L 27/3258 (2013.01)
H01L 27/3262 (2013.01)
H01L 2251/56 (2013.01)

명 세 서

청구범위

청구항 1

제1 방향으로 연장된 세로 라인과 상기 제1 방향과 교차하는 제2 방향으로 연장된 가로 라인에 의해 기 설정된 신호를 인가 받으며, 발광부와 회로부로 구분된 복수의 서브픽셀들;

상기 회로부들에 할당된 트랜지스터;

상기 트랜지스터를 덮는 오버코트층;

상기 오버코트층 상에서, 상기 발광부들에 각각 할당되며, 상기 트랜지스터에 전기적으로 연결된 제1 전극들;

상기 제1 전극들 상에서, 상기 제1 전극들을 노출하는 개구부들을 갖는 뱅크층;

이웃하는 상기 제1 전극들 사이에 배치되며, 상기 뱅크층을 관통하는 오픈홀;

상기 제1 전극 상에 배치된 유기 화합물층; 및

상기 유기 화합물층 상에 배치되며, 상기 오픈홀 내측에까지 연장되어 배치되는 제2 전극을 포함하고,

이웃하는 제1 전극들 사이에서, 상기 오픈홀이 형성된 영역에는,

상기 세로 라인 및 상기 가로 라인이 배치되지 않는, 표시장치.

청구항 2

제 1 항에 있어서,

상기 오픈홀은,

상기 오버코트층을 관통하는, 표시장치.

청구항 3

제 1 항에 있어서,

상기 서브 픽셀들의 회로부들은,

상기 제2 방향으로 연장되는 가상의 축을 기준으로 일측에 배치되고,

상기 서브 픽셀들의 발광부들은,

상기 가상의 축을 기준으로 타측에 배치되며,

상기 서브픽셀들의 발광부들은,

제2 방향을 따라 순차적으로 배치되는, 표시장치.

청구항 4

제 3 항에 있어서,

상기 서브 픽셀들은,

제1 서브 픽셀, 제2 서브 픽셀, 제3 서브 픽셀, 및 제4 서브 픽셀을 포함하고,

상기 제1 서브픽셀의 회로부와 상기 제2 서브픽셀의 회로부는, 상기 제1 방향으로 이웃하여 배치되고,

상기 제3 서브픽셀의 회로부와 상기 제4 서브픽셀의 회로부는, 상기 제1 방향으로 이웃하여 배치되며,

상기 제1 서브픽셀의 회로부와 상기 제3 서브픽셀의 회로부는, 상기 제2 방향으로 이웃하여 배치되고,

상기 제2 서브픽셀의 회로부와 상기 제4 서브픽셀의 회로부는, 상기 제2 방향으로 이웃하여 배치되며,

상기 제1 서브픽셀의 발광부, 상기 제2 서브픽셀의 발광부, 상기 제3 서브픽셀의 발광부, 및 상기 제4 서브픽셀의 발광부는, 상기 제2 방향을 따라 순차적으로 배치되는, 표시장치.

청구항 5

제 4 항에 있어서,

상기 트랜지스터는,

구동 트랜지스터, 및 스위칭 트랜지스터를 포함하고,

상기 가로 라인은,

제1 게이트 라인을 포함하며,

상기 세로 라인은,

전원 라인, 및 데이터 라인을 포함하고,

상기 스위칭 트랜지스터의 게이트, 소스, 및 드레인 전극 각각은, 상기 제1 게이트 라인, 상기 데이터 라인, 및 상기 구동 트랜지스터의 게이트 전극에 연결되고,

상기 구동 트랜지스터의 소스 및 드레인 전극 각각은, 상기 전원 라인 및 상기 제1 전극에 연결되는, 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 방향으로 연장된 전원 링크라인을 더 포함하고,

상기 전원 라인과 상기 구동 트랜지스터의 소스 전극은,

상기 전원 링크라인을 통해, 전기적으로 연결되며,

상기 전원 라인 및 상기 구동 트랜지스터의 소스 전극과, 상기 전원 링크라인은,

서로 다른 층에 배치되며, 그 사이에 개재된 절연층을 관통하는 전원 콘택홀들을 통해 상호 전기적으로 연결되는, 표시장치.

청구항 7

제 5 항에 있어서,

상기 트랜지스터는,

센싱 트랜지스터를 더 포함하고,

상기 가로 라인은,

제2 게이트 라인을 더 포함하며,

상기 세로 라인은,

센싱 라인을 더 포함하고,

상기 센싱 트랜지스터의 게이트, 소스, 및 드레인 전극 각각은, 상기 제2 게이트 라인, 상기 센싱 라인, 및 상

기 제1 전극에 연결되는, 표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 방향으로 연장된 센싱 링크라인을 더 포함하고,

상기 센싱 라인과 상기 센싱 트랜지스터의 소스 전극은,

상기 센싱 링크라인을 통해, 전기적으로 연결되며,

상기 센싱 라인 및 상기 센싱 트랜지스터의 소스 전극과, 상기 센싱 링크라인은,

서로 다른 층에 배치되며, 그 사이에 개재된 절연층을 관통하는 센싱 콘택홀들을 통해 상호 전기적으로 연결되는, 표시장치.

청구항 9

제 7 항에 있어서,

상기 제2 방향으로 연장된 게이트 링크라인을 더 포함하고,

상기 제1 게이트 라인 및 상기 제2 게이트 라인 중 어느 하나는,

두 부분으로 분리되어, 상기 게이트 링크라인을 통해 연결되고,

상기 두 부분과 상기 게이트 링크라인은,

서로 다른 층에 배치되며, 그 사이에 개재된 절연층을 관통하는 게이트 콘택홀을 통해 전기적으로 연결되는, 표시장치.

청구항 10

제 7 항에 있어서,

상기 제1 게이트 라인과 상기 제2 게이트 라인,

이웃하는 두 개의 상기 제1 전극들 사이에 함께 배치되는, 표시장치.

청구항 11

제 7 항에 있어서,

상기 데이터 라인, 상기 전원 라인, 상기 센싱 라인은,

상기 가상의 축을 기준으로 상기 일측에 모두 배치되는, 표시장치.

청구항 12

제 1 항에 있어서,

상기 서브 픽셀들의 회로부들은 중심부에 배치되고,

상기 서브 픽셀들의 발광부들은, 상기 회로부를 기준으로 외곽에 배치되는, 표시장치.

청구항 13

제 12 항에 있어서,

상기 서브픽셀들은,

제1, 제2, 제3, 제4 서브픽셀들을 포함하고,

상기 제1 및 제2 서브픽셀들은, 상기 제1 방향으로 이웃하여 배치되고,

상기 제3 및 제4 서브픽셀들은, 상기 제1 방향으로 이웃하여 배치되며,

상기 제1 및 제3 서브픽셀들은, 상기 제2 방향으로 이웃하여 배치되고,

상기 제2 및 제4 서브픽셀들은, 상기 제2 방향으로 이웃하여 배치되며,

상기 제1 내지 제4 서브픽셀들 각각의 발광부와 회로부는 제1 방향을 따라 배열되는, 표시장치.

청구항 14

제 13 항에 있어서,

상기 트랜지스터는,

구동 트랜지스터, 및 스위칭 트랜지스터를 포함하고,

상기 가로 라인은,

제1 게이트 라인을 포함하며,

상기 세로 라인은,

전원 라인, 및 데이터 라인을 포함하고,

상기 스위칭 트랜지스터의 게이트, 소스, 및 드레인 전극 각각은, 상기 제1 게이트 라인, 상기 데이터 라인, 및 상기 구동 트랜지스터의 게이트 전극에 연결되고,

상기 구동 트랜지스터의 소스 및 드레인 전극 각각은, 상기 전원 라인 및 상기 제1 전극에 연결되는, 표시장치.

청구항 15

제 14 항에 있어서,

상기 제1 방향으로 연장된 전원 링크라인을 더 포함하고,

상기 전원 라인과 상기 구동 트랜지스터의 소스 전극은,

상기 전원 링크라인을 통해, 전기적으로 연결되며,

상기 전원 라인 및 상기 구동 트랜지스터의 소스 전극과, 상기 전원 링크라인은,

서로 다른 층에 배치되며, 그 사이에 개재된 절연층을 관통하는 전원 콘택홀들을 통해 상호 전기적으로 연결되는, 표시장치.

청구항 16

제 14 항에 있어서,

상기 트랜지스터는,

센싱 트랜지스터를 더 포함하고,

상기 가로 라인은,

제2 게이트 라인을 더 포함하며,

상기 세로 라인은,

센싱 라인을 더 포함하고,

상기 센싱 트랜지스터의 게이트, 소스, 및 드레인 전극 각각은, 상기 제2 게이트 라인, 상기 센싱 라인, 및 상기 제1 전극에 연결되는, 표시장치.

청구항 17

제 16 항에 있어서,

상기 제1 방향으로 연장된 센싱 링크라인을 더 포함하고,

상기 센싱 라인과 상기 센싱 트랜지스터의 소스 전극은,

상기 센싱 링크라인을 통해, 전기적으로 연결되며,

상기 센싱 라인 및 상기 센싱 트랜지스터의 소스 전극과, 상기 센싱 링크라인은,

서로 다른 층에 배치되며, 그 사이에 개재된 절연층을 관통하는 센싱 콘택홀들을 통해 상호 전기적으로 연결되는, 표시장치.

청구항 18

제 16 항에 있어서,

상기 제2 방향으로 연장된 게이트 링크라인을 더 포함하고,

상기 제1 게이트 라인 및 상기 제2 게이트 라인 중 어느 하나는,

두 부분으로 분리되어, 상기 게이트 링크라인을 통해 연결되고,

상기 두 부분과 상기 게이트 링크라인은,

서로 다른 층에 배치되며, 그 사이에 개재된 절연층을 관통하는 게이트 콘택홀을 통해 전기적으로 연결되는, 표시장치.

청구항 19

제 16 항에 있어서,

상기 제1 게이트 라인과 상기 제2 게이트 라인,

이웃하는 두 개의 상기 제1 전극들 사이에 함께 배치되는, 표시장치.

청구항 20

제 16 항에 있어서,

상기 데이터 라인, 상기 전원 라인, 상기 센싱 라인은,

상기 중심부에 모두 배치되는, 표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 집광 구조를 갖는 표시장치에 관한 것이다.

배 경 기 술

[0002] 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 표시장치(display device)들이 개발되고 있다. 이러한 표시장치는 액정 표시장치(Liquid Crystal Display, LCD), 전계 방출 표시장치(Field Emission Display, FED), 플라즈마 디스플레이 패널(Plasma Display Panel, PDP) 및 유기발광 표시장치(Organic Light Emitting Display device; OLED) 등으로 구현될 수 있다.

[0003] 이들 평판 표시장치 중에서 유기발광 표시장치는 유기 화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있는 이점이 있다. 또한, 유기발광 표시장치는 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가질 뿐 아니라 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 갖는다는 점에서 널리 사용되고 있다.

[0004] 유기발광 표시장치는 전기 에너지를 빛 에너지로 전환하는 유기 발광 다이오드(Organic Light Emitting Diode)를 포함한다. 유기발광 다이오드는 애노드, 캐소드, 및 이들 사이에 배치되는 유기 발광층을 포함한다. 유기발광 다이오드 표시장치는, 애노드 및 캐소드로부터 각각 주입된 정공 및 전자가 발광층 내부에서 결합하여 여기자인 액시톤(exciton)을 형성하고, 형성된 액시톤이 여기상태(excited state)에서 기저상태(ground state)로 떨어지면서 발광하여 화상을 표시하게 된다.

[0005] 최근에는, 이러한 유기발광 다이오드의 광학 설계에 있어서, 발광 효율을 향상시키기 위한 노력이 진행되고 있다. 예를 들어, 종래에는, 유기 발광층을 구성하는 유기물간의 굴절률을 적절히 매칭하거나, 유기막들 간의 막 두께를 조정하는 등 광학 간섭 거리를 조정함으로써, 발광 효율을 높이는 방안들이 제안된 바 있다. 다만, 재료 자체의 한계에 의해, 상기와 같은 광 추출(Out-Coupling) 기술을 적용하여 발광 효율을 개선하는 데에는, 실질적으로 어려움이 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 광 추출 효율을 개선한 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0007] 본 발명에 따른 표시장치는 복수의 서브픽셀들, 트랜지스터, 오버코트층, 제1 전극들, 뱅크층, 오픈홀, 유기 화합물층, 제2 전극을 포함한다. 복수의 서브픽셀들은, 제1 방향으로 연장된 세로 라인과 제1 방향과 교차하는 제2 방향으로 연장된 가로 라인에 의해 기 설정된 신호를 인가 받으며, 발광부와 회로부로 구분된다. 트랜지스터는 회로부들에 할당된다. 오버 코트층은 트랜지스터를 덮는다. 제1 전극들은 오버코트층 상에서, 발광부들에 각각 할당되며, 트랜지스터에 전기적으로 연결된다. 뱅크층은 제1 전극들 상에 배치되며, 제1 전극들을 노출하는 개구부들을 갖는다. 오픈홀은 이웃하는 제1 전극들 사이에 배치되며, 뱅크층을 관통한다. 유기 화합물층은 제1 전극 상에 배치된다. 제2 전극은 유기 화합물층 상에 배치되며, 오픈홀 내측에까지 연장되어 배치된다. 이웃하는 제1 전극들 사이에서, 상기 오픈홀이 형성된 영역에는, 세로 라인 및 상기 가로 라인이 배치되지 않는다.

발명의 효과

[0008] 본 발명은 집광 구조를 구비함으로써, 광 효율을 현저히 개선할 수 있는 이점을 갖는다. 또한, 본 발명은 원치 않게 이웃하는 픽셀을 향하여 진행하는 광을 최소한으로 차단할 수 있기 때문에, 혼색 불량을 줄일 수 있는 이점을 갖는다.

[0009] 본 발명은, 이웃하는 제1 전극들 사이에 어떠한 신호 라인도 배치되지 않는 적어도 일 영역을 마련하고, 상기 영역에 집광 구조를 배치한다. 이에 따라, 본 발명은, 집광 구조에 의한 광 효율을 더욱 효과적으로 향상시킬 수 있기 때문에, 극한 휘도를 구현할 수 있는 표시장치를 제공할 수 있다.

도면의 간단한 설명

[0010] 도 1은 유기발광 표시장치의 개략적인 블록도이다.

도 2는 서브픽셀의 개략적인 회로 구성도이다.

도 3은 서브픽셀의 상세 회로 구성 예시도이다.

도 4는 표시 패널의 단면 예시도이다.

도 5는 본 발명의 제1 실시예에 따른 표시 패널을 나타낸 평면도이다.

도 6은 도 5에서 센싱 트랜지스터 부분을 확대 도시한 평면도이다.

도 7은 도 5에서 구동 트랜지스터 부분을 확대 도시한 평면도이다.

도 8은 도 5에서 스위칭 트랜지스터 부분을 확대 도시한 평면도이다.

도 9는 도 5를 Ⅰ-Ⅰ'로 절취한 단면도이다.

도 10은 도 6 내지 도 8을 각각 Ⅱ-Ⅱ', Ⅲ-Ⅲ', Ⅳ-Ⅳ'로 절취한 단면도이다.

도 11은 전원라인, 구동 트랜지스터, 및 전원 링크라인의 연결 관계를 나타낸 단면도이다.

도 12는 센싱라인, 센싱 트랜지스터, 및 센싱 링크라인의 연결 관계를 나타낸 단면도이다.

도 13는 본 발명의 제2 실시예에 따른 표시 패널을 나타낸 평면도이다.

도 14는 게이트 라인과 게이트 링크라인의 연결 관계를 나타낸 단면도이다.

도 15는 도 13를 Ⅴ-Ⅴ'로 절취한 단면도이다.

도 16은 본 발명의 제3 실시예에 따른 표시 패널을 나타낸 평면도이다.

도 17은 도 16를 Ⅴ-Ⅴ'로 절취한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 여러 실시예들을 설명함에 있어서, 동일한 구성요소에 대하여는 서두에서 대표적으로 설명하고 다른 실시예에서는 생략될 수 있다.

[0012] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0013] 도 1은 유기발광 표시장치의 개략적인 블록도이다. 도 2는 서브픽셀의 개략적인 회로 구성도이다. 도 3은 서브픽셀의 상세 회로 구성 예시도이다. 도 4는 표시 패널의 단면 예시도이다.

[0014] 도 1에 도시된 바와 같이, 유기발광 표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.

[0015] 영상 처리부(110)는 외부로부터 공급된 데이터 신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.

[0016] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터 신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.

[0017] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어

부(120)로부터 공급되는 데이터 신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터 라인들(DL1 ~ DLn)을 통해 데이터 신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.

[0018] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔 신호를 출력한다. 스캔 구동부(140)는 게이트 라인들(GL1 ~ GLm)을 통해 스캔 신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.

[0019] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터 신호(DATA) 및 스캔 신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브픽셀들(SP)을 포함한다.

[0020] 서브픽셀들(SP)은 적색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함하거나 적색 서브픽셀, 백색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함한다. 이하에서는, 설명의 편의를 위해, 서브픽셀들(SP)이 적색 서브픽셀, 백색 서브픽셀, 녹색 서브픽셀 및 청색 서브픽셀을 포함하는 경우를 예로 들어 설명한다. 서브픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.

[0021] 도 2에 도시된 바와 같이, 하나의 서브픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.

[0022] 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1 데이터 라인(DL1)을 통해 공급되는 데이터 신호가 커패시터(Cst)에 데이터 전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터 전압에 따라 전원 라인(EVDD)(고전위전압)과 캐소드 전원 라인(EVSS)(저전위전압) 사이로 구동 전류가 흐르도록 동작한다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.

[0023] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 외부 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.

[0024] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱 라인(VREF)(또는 레퍼런스라인)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소스 전극과 유기발광다이오드(OLED)의 애노드 전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 구동 트랜지스터(DR)의 센싱 노드에 공급하거나 구동 트랜지스터(DR)의 센싱 노드 또는 센싱 라인(VREF)의 전압 또는 전류를 센싱할 수 있도록 동작한다.

[0025] 스위칭 트랜지스터(SW)는 제1 데이터 라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트 전극에 제2 전극이 연결된다. 구동 트랜지스터(DR)는 전원 라인(EVDD)에 제1전극이 연결되고 유기발광다이오드(OLED)의 애노드 전극에 제2 전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트 전극에 제1 전극이 연결되고 유기발광다이오드(OLED)의 애노드 전극에 제2 전극이 연결된다. 유기발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2 전극에 애노드 전극이 연결되고 제2 전원 라인(EVSS)에 캐소드 전극이 연결된다. 센싱 트랜지스터(ST)는 센싱 라인(VREF)에 제1 전극이 연결되고 센싱 노드인 유기발광다이오드(OLED)의 애노드 전극 및 구동 트랜지스터(DR)의 제2 전극에 제2 전극이 연결된다.

[0026] 센싱 트랜지스터(ST)의 동작 시간은 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1 게이트 라인(GL1)에 게이트 전극이 연결되고, 센싱 트랜지스터(ST)는 제2 게이트 라인(GL2)에 게이트 전극이 연결될 수 있다. 이 경우, 제1 게이트 라인(GL1)에는 스캔 신호(Scan)가 전달되고 제2 게이트 라인(GL2)에는 센싱 신호(Sense)가 전달된다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트 전극에 연결된 제1 게이트 라인(GL1)과 센싱 트랜지스터(ST)의 게이트 전극에 연결된 제2 게이트 라인(GL2)은 공통으로 공유하도록 연결될 수 있다.

[0027] 센싱 라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브픽셀의 센싱 노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱 라인(VREF)을 통한 센싱 동작과 데이터 신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.

[0028] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.

[0029] 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나 구동 트랜지스터(DR)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다. 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나, 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다. 그러므로 광차단층(LS)은 차광 특성을 갖도록 복층(이종 금속의 복층)의 금속층으로 선택된다.

[0030] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다. 이하에서는, 설명의 편의를 위해, 도 3에 도시된 예시를 바탕으로 설명하기로 한다.

[0031] 도 4에 도시된 바와 같이, 기판(또는 박막 트랜지스터 기판)(SUB1)의 표시영역(AA) 상에는 도 3에서 설명된 회로를 기반으로 서브픽셀들이 형성된다. 표시영역(AA) 상에 형성된 서브픽셀들은 보호 필름(또는, 봉지 기판)(SUB2)에 의해 밀봉된다. 기타 미 설명된 NA는 비표시영역을 의미한다. 기판(SUB1)은 유리나 연성을 갖는 재료로 선택될 수 있다.

[0032] 서브픽셀들은 표시영역(AA) 상에서 적색(R), 백색(W), 청색(B) 및 녹색(G)의 순으로 수평 또는 수직하게 배치된다. 그리고 서브픽셀들은 적색(R), 백색(W), 청색(B) 및 녹색(G)이 하나의 픽셀(P)을 구성한다. 그러나 서브픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 또한, 서브픽셀들은 적색(R), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 될 수 있다.

[0033] <제1 실시예>

[0034] 도 5는 본 발명의 제1 실시예에 따른 표시 패널을 나타낸 평면도이다. 도 6은 도 5에서 센싱 트랜지스터 부분을 확대 도시한 평면도이다. 도 7은 도 5에서 구동 트랜지스터 부분을 확대 도시한 평면도이다. 도 8은 도 5에서 스위칭 트랜지스터 부분을 확대 도시한 평면도이다. 도 9는 도 5를 Ⅰ-Ⅰ'로 절취한 단면도이다. 도 10은 도 6 내지 도 8을 각각 Ⅱ-Ⅱ', Ⅲ-Ⅲ', Ⅳ-Ⅳ'로 절취한 단면도이다. 도 11은 전원라인, 구동 트랜지스터, 및 전원 링크라인의 연결 관계를 나타낸 단면도이다. 도 12는 센싱라인, 센싱 트랜지스터, 및 센싱 링크라인의 연결 관계를 나타낸 단면도이다.

[0035] 도 3과 함께 도 5를 참조하면, 기판(SUB1)의 표시영역(AA) 상에는, 픽셀(P)들이 배열된다. 픽셀(P)들 각각은 발광부(EA)와 회로부(CA)를 갖는 서브픽셀들(SP1~SP4)을 포함한다. 서브픽셀들(SP1~SP4)은 제1 방향(예를 들어, X축 방향)을 따라 배열된다. 발광부(EA)에는 유기발광 다이오드(발광소자)가 형성되고, 회로부(CA)에는 유기발광다이오드를 구동하는 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR) 등을 포함하는 회로가 형성된다. 제1 실시예에서, 발광부(EA)와 회로부(CA)는 제1 방향과 교차하는 제2 방향(예를 들어, Y축 방향)을 따라 배열된다. 서브픽셀들(SP1~SP4) 각각에서는, 회로부(CA)에 위치하는 스위칭 및 구동 트랜지스터(DR) 등의 동작에 대응하여 발광부(EA)에 위치하는 유기발광다이오드가 빛을 발광하게 된다.

[0036] 픽셀(P)들 각각은, 서브픽셀들(SP1~SP4)에 구동 신호를 인가하기 위한 가로 라인들 및 세로 라인들을 포함한다. 픽셀(P)들은 가로 라인들과 세로 라인들을 공유할 수 있다. 세로 라인은 이웃하는 서브픽셀들(SP1~SP4) 사이에 배치된다.

[0037] 세로 라인은 전원 라인(EVDD), 센싱 라인(VREF), 제1 내지 제4 데이터 라인들(DL1 ~ DL4)을 포함할 수 있다. 세로 라인은, 제1 방향으로 이웃하는 서브픽셀들(SP1~SP4) 사이를 가로지르며 제2 방향으로 연장되는 라인들을 지칭할 수 있다.

[0038] 가로 라인은 제1 게이트 라인(GL1) 및 제2 게이트 라인(GL2)을 포함할 수 있다. 가로 라인은, 세로 라인들을 가로지르도록 교차 배치될 수 있다. 가로 라인은, 제1 방향으로 연장되는 라인들을 지칭할 수 있다.

[0039] 전원 라인(EVDD), 센싱 라인(VREF), 제1 내지 제4 데이터 라인들(DL1 ~ DL4)과 같은 라인들, 및 트랜지스터를 구성하는 전극들은, 동일층 또는 하나 이상의 절연층을 사이에 두고 서로 다른층에 배치될 수 있고, 전기적 연결을 위해 상기 절연층을 관통하는 콘택홀을 통해 상호 연결될 수 있다.

[0040] 제1 내지 제4 데이터 라인들(DL1 ~ DL4)은 대응하는 서브픽셀(SP)의 스위칭 트랜지스터(SW)에 연결될 수 있다.

제1 게이트 라인(GL1)은 서브픽셀들(SP1~SP4) 각각의 스위칭 트랜지스터(SW)들에 연결될 수 있다. 제2 게이트 라인(GL2)은 서브픽셀들(SP1~SP4) 각각의 센싱 트랜지스터(ST)에 연결될 수 있다.

[0041] 전원 라인(EVDD)은 전원 링크라인(또는, 전원 점핑라인)(EVDDC)을 통해, 서브픽셀들(SP1~SP4) 각각의 구동 트랜지스터(DR)에 연결될 수 있다. 전원 링크라인(EVDDC)은 회로부(CA)에 배치된다. 전원 링크라인(EVDDC)은 제1 방향으로 연장되어, 제2 방향으로 연장된 전원 라인(EVDD)으로부터의 신호를 제1 방향을 따라 배열된 서브픽셀들(SP1~SP4)에 전달한다. 전원 링크라인(EVDDC)은 전원 라인(EVDD)과 서로 다른 층에 배치되며, 제1 전원 콘택홀(EH1)을 통해 전기적으로 연결된다. 전원 링크라인(EVDDC)은 구동 트랜지스터(DR)의 소스 전극과 서로 다른 층에 배치되며, 제2 전원 콘택홀(EH2)을 통해 전기적으로 연결된다. 도시하지는 않았으나, 전원라인(EVDD)과 인접하여 배치된 서브픽셀(SP)의 구동 트랜지스터(DR)는, 전원 링크라인(EVDDC)을 경유하지 않고 전원라인(EVDD)에 직접 연결될 수 있다.

[0042] 센싱 라인(VREF)은 센싱 링크라인(또는, 센싱 점핑라인)(VREFC)을 통해(또는, 경유하여), 서브픽셀들(SP1~SP4) 각각의 센싱 트랜지스터(ST)들에 연결될 수 있다. 센싱 링크라인(VREFC)은 회로부(CA)에 배치된다. 센싱 링크라인(VREFC)은 제1 방향으로 연장되어, 제2 방향으로 연장된 센싱 라인(VREF)으로부터의 신호를 제1 방향을 따라 배열된 서브픽셀들(SP1~SP4)에 전달한다. 센싱 링크라인(VREFC)은 센싱 라인(VREF)과 서로 다른 층에 배치되며, 제1 센싱 콘택홀(SH1)을 통해 전기적으로 연결된다. 센싱 링크라인(VREFC)은 센싱 트랜지스터(ST)의 소스 전극과 서로 다른 층에 배치되며, 제2 센싱 콘택홀(SH2)을 통해 전기적으로 연결된다. 도시하지는 않았으나, 센싱 라인(VREF)과 인접하여 배치된 서브픽셀(SP)의 센싱 트랜지스터(ST)는, 센싱 링크라인(VREFC)을 경유하지 않고 센싱 라인(VREF)에 직접 연결될 수 있다.

[0043] 서브픽셀들(SP1~SP4)들 각각의 발광부(EA)에 배치된 유기발광 다이오드의 제1 전극들은, 회로부(CA)가 배치된 제1 방향으로 연장되어, 대응하는 구동 트랜지스터(DR) 및 커패시터(Cst)에 전기적으로 연결된다.

[0044] 좀 더 구체적으로, 도 6 내지 도 10을 더 참조하면, 본 발명에 의한 표시장치는 트랜지스터들, 및 트랜지스터들에 의해 구동되는 유기발광 다이오드가 형성된 기판(SUB1)을 포함한다. 트랜지스터들은, 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 센싱 트랜지스터(ST)를 포함할 수 있다.

[0045] 기판(SUB1) 상에는, 광차단층(LS)이 배치될 수 있다. 광차단층(LS)은 트랜지스터의 하부에서, 적어도 채널 영역과 중첩되어 배치될 수 있다. 도면에서는, 광차단층(LS)이 구동 트랜지스터(DR)의 하부에만 배치된 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다. 전술한 전원 링크라인(EVDDC)과 센싱 링크라인(VREFC)은 광차단층(LS)과 동일층에, 동일 물질(LM)로 형성된다.

[0046] 광차단층(LS) 상에는 버퍼층(BUF)이 형성된다. 버퍼층(BUF)은 제1 기판(SUB1)으로부터 확산되는 이온이나 불순물을 차단하고, 외부의 수분 침투를 차단하는 역할을 할 수 있다.

[0047] 버퍼층(BUF) 상에는, 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 센싱 트랜지스터(ST)가 형성된다.

[0048] 스위칭 트랜지스터(SW)는, 스위칭 반도체층(SWSE), 스위칭 게이트 전극(SWG), 스위칭 소스 전극(SWS), 스위칭 드레인 전극(SWD)을 포함한다.

[0049] 스위칭 반도체층(SWSE)은 버퍼층(BUF) 상에 배치된다. 스위칭 반도체층(SWSE)은 채널 영역, 채널 영역의 일측에 마련된 소스 영역, 채널 영역의 타측에 마련된 드레인 영역으로 구분될 수 있다.

[0050] 스위칭 게이트 전극(SWG)은 게이트 절연층(GI)을 사이에 두고, 스위칭 반도체층(SWSE)의 채널 영역 상에 배치된다. 스위칭 게이트 전극(SWG)은 제1 게이트 라인(GL1)과 제1 게이트 라인(GL1)의 일부이거나, 제1 게이트 라인(GL1)으로부터 분기된 부분일 수 있다. 즉, 스위칭 게이트 전극(SWG)과 제1 게이트 라인(GL1)은 동일 층에, 동일 물질(GM)로 형성된다.

[0051] 스위칭 게이트 전극(SWG) 상에는 중간 절연층(ILD)이 배치된다. 게이트 절연층(GI) 및 중간 절연층(ILD)은 실리콘 산화막(SiOx) 또는 실리콘 질화막(SiNx)으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

[0052] 스위칭 소스 전극(SWS) 및 스위칭 드레인 전극(SWD)은 중간 절연층(ILD) 상에서, 서로 이격되어 배치된다. 스위칭 소스 전극(SWS)은 중간 절연층(ILD)을 관통하는 스위칭 소스 콘택홀(SWSH)을 통해 스위칭 반도체층(SWSE)의 소스 영역에 연결된다. 스위칭 드레인 전극(SWD)은 중간 절연층(ILD)을 관통하는 스위칭 드레인 콘택홀(SWDH)을 통해 스위칭 반도체층(SWSE)의 드레인 영역에 연결된다.

[0053] 데이터 라인(DL)은, 트랜지스터들의 소스 전극 및 드레인 전극과 동일층에 동일 물질(SM)로 형성될 수 있다.

스위칭 드레인 전극(SWD)은 데이터 라인(DL)의 일부이거나, 데이터 라인(DL)으로부터 분기된 부분일 수 있다.

[0054] 구동 트랜지스터(DR)는, 구동 반도체층(DRSE), 구동 게이트 전극(DRG), 구동 소스 전극(DRS), 구동 드레인 전극(DRD)을 포함한다.

[0055] 구동 반도체층(DRSE)은 버퍼층(BUF) 상에 배치된다. 구동 반도체층(DRSE)은 채널 영역, 채널 영역의 일측에 마련된 소스 영역, 채널 영역의 타측에 마련된 드레인 영역으로 구분될 수 있다.

[0056] 구동 게이트 전극(DRG)은 게이트 절연층(GI)을 사이에 두고, 구동 반도체층(DRSE)의 채널 영역 상에 배치된다. 구동 게이트 전극(DRG)은 스위칭 트랜지스터(SW)의 스위칭 소스 전극(SWS)과 전기적으로 연결되어 신호를 공급받는다. 구동 게이트 전극(DRG) 상에는 중간 절연층(ILD)이 배치된다.

[0057] 구동 소스 전극(DRS) 및 구동 드레인 전극(DRD)은 중간 절연층(ILD) 상에서, 서로 이격되어 배치된다. 구동 소스 전극(DRS)은 중간 절연층(ILD)을 관통하는 구동 소스 콘택홀(DRSH)을 통해 구동 반도체층(DRSE)의 소스 영역에 연결된다. 구동 드레인 전극(DRD)은 중간 절연층(ILD)을 관통하는 구동 드레인 콘택홀(DRDH)을 통해 구동 반도체층(DRSE)의 드레인 영역에 연결된다. 구동 소스 전극(DRS)은 중간 절연층(ILD), 버퍼층(BUF)을 관통하는 콘택홀(LH)을 통해 광차단층(LS)에 연결될 수 있다.

[0058] 전원라인(EVDD)은, 트랜지스터들의 소스 전극 및 드레인 전극과 동일층에 동일 물질(SM)로 형성될 수 있다. 도 11을 더 참조하면, 구동 드레인 전극(DRD)은 전원라인(EVDD)에 전기적으로 연결된다. 구동 드레인 전극(DRD)은 전원 링크라인(EVDDC)을 통해 전원라인(EVDD)에 연결될 수 있다. 전원 링크라인(EVDDC)의 일단 및 타단은, 버퍼층(BUF)과 중간 절연층(ILD)를 관통하는 제1 및 제2 전원 콘택홀들(EH1, EH2)을 통해, 구동 드레인 전극(DRD) 및 전원라인(EVDD)에 각각 연결될 수 있다.

[0059] 센싱 트랜지스터(ST)는, 센싱 반도체층(STSE), 센싱 게이트 전극(STG), 센싱 소스 전극(STS), 센싱 드레인 전극(STD)을 포함한다.

[0060] 센싱 반도체층(STSE)은 버퍼층(BUF) 상에 배치된다. 센싱 반도체층(STSE)은 채널 영역, 채널 영역의 일측에 마련된 소스 영역, 채널 영역의 타측에 마련된 드레인 영역으로 구분될 수 있다.

[0061] 센싱 게이트 전극(STG)은 게이트 절연층(GI)을 사이에 두고, 센싱 반도체층(STSE)의 채널 영역 상에 배치된다. 센싱 게이트 전극(STG)은 제2 게이트 라인(GL2)의 일부이거나, 제2 게이트 라인(GL2)으로부터 분기된 부분일 수 있다. 즉, 센싱 게이트 전극(STG)과 제2 게이트 라인(GL2)은 동일 층에, 동일 물질(GM)로 형성된다. 센싱 게이트 전극(STG) 상에는 중간 절연층(ILD)이 배치된다.

[0062] 센싱 소스 전극(STS) 및 센싱 드레인 전극(STD)은 중간 절연층(ILD) 상에서, 서로 이격되어 배치된다. 센싱 소스 전극(STS)은 중간 절연층(ILD)을 관통하는 센싱 소스 콘택홀(STSH)을 통해 센싱 반도체층(STSE)의 소스 영역에 연결된다. 센싱 드레인 전극(STD)은 중간 절연층(ILD)을 관통하는 센싱 드레인 콘택홀(STDH)을 통해 센싱 반도체층(STSE)의 드레인 영역에 연결된다.

[0063] 센싱라인(VREF)은, 트랜지스터들의 소스 전극 및 드레인 전극과 동일층에 동일 물질(SM)로 형성될 수 있다. 도 12를 참조하면, 센싱 드레인 전극(STD)은 센싱라인(VREF)에 전기적으로 연결된다. 센싱 드레인 전극(STD)은 센싱 링크라인(VREFC)을 통해 센싱라인(VREF)에 연결될 수 있다. 센싱 링크라인(VREFC)의 일단 및 타단은, 버퍼층(BUF)과 중간 절연층(ILD)를 관통하는 제1 및 제2 센싱 콘택홀들(SH1, SH2)을 통해, 센싱 드레인 전극(STD) 및 센싱라인(VREF)에 각각 연결될 수 있다.

[0064] 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 센싱 트랜지스터(ST)가 형성된 기판 상에는, 보호층(PAS)이 배치된다. 보호층(PAS)은 하부의 소자를 보호하는 절연막으로, 실리콘 산화막(SiOx), 실리콘 질화막(SiNx) 또는 이들의 다중층일 수 있다. 보호층(PAS) 상에 오버코트층(OC)이 배치된다. 오버코트층(OC)은 하부 구조의 단차를 완화시키기 위한 평탄화막일 수 있으며, 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어진다. 필요에 따라서, 패시베이션막(PAS)과 평탄화막(OC) 중 어느 하나는 생략될 수 있다.

[0065] 오버 코트층(OC) 상에는 유기발광 다이오드가 배치된다. 유기발광 다이오드는 서로 대향하는 제1 전극(E1), 유기 화합물층(OL), 제2 전극(E2)을 포함한다.

[0066] 제1 전극(E1)은 애노드일 수 있다. 제1 전극(E1)은 오버 코트층 및 보호층(PAS)을 관통하는 픽셀 콘택홀(PH)을 통해, 구동 트랜지스터(DR)의 구동 소스 전극(DRS)에 연결된다. 본 발명에 의한 표시장치는 하부 발광(Bottom

Emission)방식으로 구현되기 때문에, 제1 전극(E1)은 투과 전극으로 기능할 수 있다. 일 예로, 제1 전극(E1)은, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 등의 투명도전물질로 이루어질 수 있다.

[0067] 제1 전극(E1)이 형성된 기판(SUB1) 상에 뱅크층(BN)이 배치된다. 뱅크층(BN)은 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin), 아크릴레이트(acrylate) 등의 유기물로 이루어질 수 있다.

[0068] 뱅크층(BN)은 제1 전극(E1)의 대부분을 노출하는 개구부를 포함한다. 뱅크층(BN)은 제1 전극(E1)의 중심부를 노출하되 제1 전극(E1)의 측단을 덮도록 배치될 수 있다. 뱅크층(BN)의 개구부에 의해 노출된 제1 전극(E1)의 중심부는 발광 영역으로 정의될 수 있다.

[0069] 뱅크층(BN)이 형성된 기판(SUB1) 상에 유기 화합물층(OL)이 배치된다. 유기 화합물층(OL)은 전자와 정공이 결합하여 발광하는 층으로, 발광층(Emission layer, EML)을 포함하고, 정공주입층(Hole injection layer, HIL), 정공수송층(Hole transport layer, HTL), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron injection layer, EIL) 중 어느 하나 이상을 더 포함할 수 있다.

[0070] 제2 전극(E2)은 유기 화합물층(OL) 상에 배치된다. 제2 전극(E2)은 기판(SUB1)의 전면에 넓게 형성될 수 있다. 본 발명에 의한 표시장치는 하부 발광(Bottom Emission)방식으로 구현되기 때문에, 제2 전극(E2)은 반사 전극으로 기능할 수 있다. 예를 들어, 제2 전극(E2)은, 일함수가 낮은 마그네슘(Mg), 칼슘(Ca), 알루미늄(Al), 은(Ag) 또는 이들의 합금과 같은 반사 물질로 이루어질 수 있다.

[0071] 본 발명의 제1 실시예는, 광 추출 효율을 개선하기 위한 집광 구조(CLS)를 포함한다. 집광 구조(CLS)는 오픈홀(OH), 및 오픈홀(OH) 내측에 수용되는 제2 전극(E2)을 포함한다.

[0072] 오픈홀(OH)은 제1 방향으로 이웃하는 제1 전극(E1)들 사이에 배치된다. 오픈홀(OH)은 제2 전극(E2)과 기판(SUB1) 사이의 절연막들 중 하나 이상을 관통하는 형태로 형성될 수 있다. 오픈홀(OH)은 뱅크층(BN)부터 순차적으로 관통된다. 즉, 도면에서는, 오픈홀(OH)이 뱅크층(BN)과 오버코트층(OC)을 관통하는 경우를 예로 들어 도시하였으나, 이에 한정되는 것은 아니다.

[0073] 오픈홀(OH) 내측에는 제2 전극(E2)의 적어도 일부가 연장되어 배치된다. 즉, 제2 전극(E2)은 유기 화합물층(OL) 및 뱅크층(BN)의 상부면을 덮으면서 연장되며, 그 일부가 오픈홀(OH)의 내측에 수용된다.

[0074] 오픈홀(OH)의 내측에 위치한 제2 전극(E2)의 일부는, 입사된 광의 진행 방향을 기 설정된 지향 방향으로 전환할 수 있다. 지향 방향은, 기판(SUB1)의 배면 방향이거나, 컬러 필터가 구비된 경우 컬러 필터를 향하는 방향으로 설정될 수 있다. 즉, 본 발명의 제1 실시예에 따른 표시장치는, 오픈홀(OH)에 인입된 제2 전극(E2)의 일부를 이용하여, 유기 화합물층(OL)에서 제공된 광 중 지향 방향으로 진행하지 않는 광(도 9의 ①)(예를 들어, 측면 방향으로 진행하여 혼색을 유발하거나, 소실되는 광)의 경로를 배면 방향으로 용이하게 변환할 수 있고, 박막층들의 계면 사이에서 소실될 수 있는 광을 배면 방향으로 용이하게 추출할 수 있다.

[0075] 이에 따라, 본 발명의 제1 실시예는, 광 효율을 현저히 개선할 수 있는 이점을 갖는다. 또한, 본 발명의 제1 실시예는, 원치 않게 이웃하는 픽셀을 향하여 진행하는 광을 최소한으로 차단할 수 있기 때문에, 혼색 불량을 줄일 수 있는 이점을 갖는다.

[0076] 다만, 본 발명의 제1 실시예에서는, 도 5 및 9에 도시된 바와 같이, 집광 구조(CLS)가 형성된 영역에서, 제1 방향으로 이웃하는 제1 전극(E1)들 사이에는 제2 방향으로 연장되는 전원 라인(EVDD), 센싱 라인(VREF), 데이터 라인(D1~D4)이 배치될 수 있고, 제2 방향으로 이웃하는 제1 전극(E1)들 사이에는 제1 방향으로 연장되는 센싱 링크라인(VREFC)이 배치될 수 있다. 이 경우, 당해 영역에 배치된 신호 라인들은, 집광 구조(CLS)에 의해 방향이 전환되어 지향 방향을 향하는 광(②)의 경로를 차단할 수 있다. 이러한 신호 라인들은, 광 효율을 저감시키는 요인이 될 수 있는 바, 개선될 필요가 있다.

[0077] <제2 실시예>

[0078] 도 13는 본 발명의 제2 실시예에 따른 표시 패널을 나타낸 평면도이다. 도 14는 게이트 라인과 게이트 링크라인의 연결 관계를 나타낸 단면도이다. 도 15는 도 13를 V-V'로 절취한 단면도이다. 제2 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 구성에 대한 설명은 생략할 수 있다.

[0079] 도 3과 함께 도 13를 참조하면, 기판(SUB1)의 표시영역(AA) 상에는, 픽셀(P)들이 배열된다. 픽셀(P)들 각각은

발광부(EA)와 회로부(CA)를 갖는 서브픽셀들(SP1~SP4)을 포함한다. 발광부(EA)에는 유기발광 다이오드(발광소자)가 형성되고, 회로부(CA)에는 유기발광다이오드를 구동하는 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR) 등을 포함하는 회로가 형성된다. 서브픽셀들(SP1~SP4) 각각에서는, 회로부(CA)에 위치하는 스위칭 및 구동 트랜지스터(DR) 등의 동작에 대응하여 발광부(EA)에 위치하는 유기발광다이오드가 빛을 발광하게 된다.

[0080] 제2 실시예에서, 서브픽셀들(SP1~SP4)의 회로부들(CP1~CP4)은 제2 방향의 가상의 축을 기준으로 일측에 배치된다. 서브픽셀들(SP1~SP4)의 발광부들(EP1~EP4)은 상기 제2 방향의 가상의 축을 기준으로 타측에 배치된다.

[0081] 구체적으로, 제1 서브픽셀(SP1)의 회로부(CP1) 및 제2 서브픽셀(SP2)의 회로부(CP2)는 제1 방향으로 이웃하여 배치된다. 제3 서브픽셀(SP3)의 회로부(CP3) 및 제4 서브픽셀(SP4)의 회로부(CP4)는 제1 방향으로 이웃하여 배치된다. 제1 서브픽셀(SP1)의 회로부(CP1) 및 제3 서브픽셀(SP3)의 회로부(CP3)는 제2 방향으로 이웃하여 배치된다. 제2 서브픽셀(SP2)의 회로부(CP2) 및 제4 서브픽셀(SP4)의 회로부(CP4)는 제2 방향으로 이웃하여 배치된다.

[0082] 제1 서브픽셀(SP1)의 발광부(EP1), 제2 서브픽셀(SP2)의 발광부(EP2), 제3 서브픽셀(SP3)의 발광부(EP3), 및 제4 서브픽셀(SP4)의 발광부(EP4)는, 제2 방향을 따라 순차적으로 배치된다.

[0083] 픽셀(P)들 각각은, 서브픽셀들(SP1~SP4)에 구동 신호를 인가하기 위한 가로 라인들 및 세로 라인들을 포함한다. 픽셀(P)들은 가로 라인들과 세로 라인들을 공유할 수 있다.

[0084] 세로 라인은 전원 라인(EVDD), 센싱 라인(VREF), 제1 내지 제4 데이터 라인들(DL1 ~ DL4)을 포함할 수 있다. 세로 라인들은 서브 픽셀들(SP1~SP4)의 제1 전극(E1) 일측에 모두 배치된다. 따라서, 세로 라인들은, 서브 픽셀들(SP1~SP4)의 제1 전극(E1) 타측에 배치되지 않는다. 세로 라인은, 제2 방향으로 연장되는 라인들을 지칭할 수 있다.

[0085] 제1 내지 제4 서브 픽셀(SP1~SP4)는 하나의 센싱 라인(VREF) 및 하나의 전원 라인(EVDD)을 공유할 수 있다.

[0086] 센싱 라인(VREF)은 센싱 링크라인(VREFC)을 통해, 서브픽셀들(SP1~SP4) 각각의 센싱 트랜지스터(ST)들에 연결될 수 있다. 센싱 링크라인(VREFC)은 회로부(CA)에 배치된다. 센싱 링크라인(VREFC)은 제1 방향으로 연장되어, 제2 방향으로 연장된 센싱 라인(VREF)으로부터의 신호를 제1 방향을 따라 배열된 서브픽셀들(SP1~SP4)에 전달한다. 센싱 링크라인(VREFC)은 센싱 라인(VREF)과 서로 다른 층에 배치되며, 제1 센싱 콘택홀(SH1)을 통해 전기적으로 연결된다. 센싱 링크라인(VREFC)은 센싱 트랜지스터의 소스 전극과 서로 다른 층에 배치되며, 제2 센싱 콘택홀(SH2)을 통해 전기적으로 연결된다.

[0087] 센싱 링크라인(VREFC)은 제1 센싱 링크라인(VREFC1)과 제2 센싱 링크라인(VREFC2)을 포함한다. 제1 센싱 링크라인(VREFC1)은, 제1 방향으로 이웃하는 제1 서브픽셀(SP1)과 제2 서브픽셀(SP2)에 연결되어, 센싱 라인(VREF)으로부터의 신호를 제1 서브픽셀(SP1)과 제2 서브픽셀(SP2)에 전달한다. 제2 센싱 링크라인(VREFC2)은, 제1 방향으로 이웃하는 제3 서브픽셀(SP3)과 제4 서브픽셀(SP4)에 연결되어, 센싱 라인(VREF)으로부터의 신호를 제3 서브픽셀(SP3)과 제4 서브픽셀(SP4)에 전달한다.

[0088] 전원 라인(EVDD)은 전원 링크라인(EVDDC)을 통해, 서브픽셀들(SP1~SP4) 각각의 구동 트랜지스터(DR)에 연결될 수 있다. 전원 링크라인(EVDDC)은 회로부(CA)에 배치된다. 전원 링크라인(EVDDC)은 제1 방향으로 연장되어, 제2 방향으로 연장된 전원 라인(EVDD)으로부터의 신호를 제1 방향을 따라 배열된 서브픽셀들(SP1~SP4)에 전달한다. 전원 링크라인(EVDDC)은 전원 라인(EVDD)과 서로 다른 층에 배치되며, 제1 전원 콘택홀(EH1)을 통해 전기적으로 연결된다. 전원 링크라인(EVDDC)은 구동 트랜지스터(DR)의 소스 전극과 서로 다른 층에 배치되며, 제2 전원 콘택홀(EH2)을 통해 전기적으로 연결된다.

[0089] 전원 링크라인(EVDDC)은 제1 전원 링크라인(EVDDC1)과 제2 전원 링크라인(EVDDC2)을 포함한다. 제1 전원 링크라인(EVDDC1)은, 제1 방향으로 이웃하는 제1 서브픽셀(SP1)과 제2 서브픽셀(SP2)에 연결되어, 전원 라인(EVDD)으로부터의 신호를 제1 서브픽셀(SP1)과 제2 서브픽셀(SP2)에 전달한다. 제2 전원 링크라인(EVDDC2)은, 제1 방향으로 이웃하는 제3 서브픽셀(SP3)과 제4 서브픽셀(SP4)에 연결되어, 전원 라인(EVDD)으로부터의 신호를 제3 서브픽셀(SP3)과 제4 서브픽셀(SP4)에 전달한다.

[0090] 제1 내지 제4 데이터 라인들(DL1 ~ DL4)은 대응하는 서브픽셀(SP)의 스위칭 트랜지스터(SW)에 연결될 수 있다. 제1 및 제3 데이터 라인(DL1, DL3)은, 제1 및 제3 서브픽셀(SP1, SP3)의 회로부(CA)를 사이에 두고, 서로 이격되어 배치된다. 제2 및 제4 데이터 라인(DL2, DL4)은, 제2 및 제4 서브픽셀(SP2, SP4)의 회로부(CA)를 사이에

두고, 서로 이격되어 배치된다.

[0091] 제1 방향으로 연장되는 제1 센싱 링크라인(VREFC1), 제2 센싱 링크라인(VREFC2), 제1 전원 링크라인(EVDDC1), 제2 전원 링크라인(EVDDC2)은, 제2 방향으로 연장되는 센싱 라인(VREF), 전원 라인(EVDD), 데이터 라인(DL3, DL4)과 서로 교차하기 때문에, 쇼트(short)를 방지하기 위해, 적어도 하나의 절연층을 사이에 두고 서로 다른 층에 배치된다.

[0092] 예를 들어, 도시된 바와 같이, 제1 센싱 링크라인(VREFC1), 제2 센싱 링크라인(VREFC2)은 광차단층과 동일 물질(LM)로 대응되는 층에 배치되고, 1 전원 링크라인(EVDDC1), 제2 전원 링크라인(EVDDC2)은 게이트 전극과 동일 물질(GM)로 대응되는 층에 배치되며, 센싱 라인(VREF), 전원 라인(EVDD), 데이터 라인(DL3, DL4)은 소스/드레인 전극과 동일 물질(SM)로 대응되는 층에 배치될 수 있다.

[0093] 다른 예로, 도시하지는 않았으나, 제1 센싱 링크라인(VREFC1), 제2 센싱 링크라인(VREFC2), 1 전원 링크라인(EVDDC1), 제2 전원 링크라인(EVDDC2)은, 서로 교차하지 않기 때문에, 동일 물질로 형성될 수 있다. 예를 들어, 제1 센싱 링크라인(VREFC1), 제2 센싱 링크라인(VREFC2), 1 전원 링크라인(EVDDC1), 제2 전원 링크라인(EVDDC2) 모두는, 광차단층과 동일 물질(LM) 및 게이트 전극과 동일 물질(GM) 중 어느 하나로 형성될 수 있다.

[0094] 또 다른 예로, 도시하지는 않았으나, 센싱 라인(VREF)이 전원라인(EVDD) 및 제1 및 제2 게이트 라인(GL1, GL2)와 상이한 층인 경우, 예를 들어, 센싱 라인(VREF)이 광차단층과 동일 물질(LM)로 대응되는 층에 형성된 경우, 센싱 연결라인(VREFC)은 센싱 라인(VREF)과 일체로서, 센싱 라인(VREF)로부터 분기된 일부일 수 있다.

[0095] 가로 라인은 제1 게이트 라인(GL1) 및 제2 게이트 라인(GL2)을 포함할 수 있다. 가로 라인은, 세로 라인들을 가로지르도록 교차 배치될 수 있다. 가로 라인들은 제2 방향으로 이웃하는 제2 서브픽셀(SP2)과 제3 서브 픽셀(SP3) 사이에 모두 배치된다. 따라서, 가로 라인은, 제1 서브픽셀(SP1)과 제2 서브픽셀(SP2) 사이, 및 제3 서브픽셀(SP3)과 제4 서브픽셀(SP4) 사이에 배치되지 않는다. 가로 라인은, 제1 방향으로 연장되는 라인들을 지칭할 수 있다.

[0096] 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2)은 제1 방향으로 연장된다. 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2) 각각은, 제2 방향으로 이웃하는 제1 서브 픽셀(SP1)과 제3 서브 픽셀(SP3), 및 제2 서브 픽셀(SP2)과 제4 서브 픽셀(SP4) 서브 픽셀에도 신호를 인가할 필요가 있기 때문에, 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2) 중 어느 하나는, 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2) 중 다른 하나와 교차될 필요가 있다.

[0097] 여기서, 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2)은 동일 물질(GM)로 형성되기 때문에, 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2) 중 적어도 하나는 두 부분으로 분리될 수 있고, 분리된 두 부분은 게이트 링크라인을 통해 연결될 수 있다.

[0098] 예를 들어, 제1 게이트 라인(GL1)은, 제2 게이트 라인(GL2)을 사이에 두고 양측에 배치된 제1-1 게이트 라인(GL1-1)과 제1-2 게이트 라인(GL1-2)을 포함할 수 있다. 제1-1 게이트 라인(GL1-1)은 제1 서브픽셀(SP1)과 제2 서브픽셀(SP2)의 센싱 트랜지스터에 연결된다. 제1-2 게이트 라인(GL1-2)은 제3 서브픽셀(SP3)과 제4 서브픽셀(SP4)의 센싱 트랜지스터에 연결된다. 제1-1 게이트 라인(GL1-1)과 제1-2 게이트 라인(GL1-2)은 게이트 링크라인(GLC1, GLC2)에 의해 연결된다. 즉, 도 14를 참조하면, 제1-1 및 제1-2 게이트 라인(GL1-2, GL1-2)은 게이트 링크라인(GLC)과 서로 다른 층에 배치되며, 게이트 링크라인(GLC)의 일단 및 타단은 제1 및 제2 게이트 콘택홀(GH1, GH2)을 통해 제1-1 게이트 라인(GL1-1)과 제1-2 게이트 라인(GL1-2)에 각각 연결된다. 게이트 링크라인(GLC)은 제2 게이트 라인(GL2)과 서로 다른 층에 배치되며, 제2 방향으로 연장되어 제2 게이트 라인(GL2)과 서로 교차한다.

[0099] 서브픽셀들(SP1~SP4)들 각각의 발광부(EA)에 배치된 유기발광 다이오드의 제1 전극(E1)들은 회로부(CA)가 배치된 제1 방향으로 연장되어, 대응하는 구동 트랜지스터(DR) 및 커패시터(Cst)에 전기적으로 연결된다. 제1 및 제3 서브픽셀(SP1, SP3)의 제1 전극들(E1)은, 제2 및 제4 서브픽셀(SP2, SP4)의 회로부(CA)를 가로질러, 대응하는 구동 트랜지스터(DR) 및 커패시터(Cst)에 전기적으로 연결될 수 있다.

[0100] 본 발명의 제2 실시예에서는, 전술한 구조를 가짐으로써, 적어도 일 영역에서 이웃하는 제1 전극(E1)들 사이에 신호 라인이 배치되지 않도록 형성할 수 있다. 예를 들어, 제2 방향으로 이웃하는 제1 서브 픽셀(SP1)과 제2 서브 픽셀(SP2) 사이, 및 제2 방향으로 이웃하는 제3 서브 픽셀(SP3)과 제4 서브 픽셀(SP4) 사이 에는 어떠한 신호 라인도 배치되지 않는다.

[0101] 도 15를 참조하면, 본 발명의 제2 실시예는, 이웃하는 제1 전극(E1)들 사이에 형성된 집광 구조(CLS)를 포함한다. 집광 구조(CLS)는 오픈홀(OH), 및 오픈홀(OH) 내측에 수용되는 제2 전극(E2)을 포함한다.

[0102] 오픈홀(OH)의 내측에 위치한 제2 전극(E2)의 일부는, 입사된 광의 진행 방향을 기 설정된 지향 방향으로 전환할 수 있다. 지향 방향은, 기판(SUB1)의 배면 방향이거나, 컬러 필터가 구비된 경우 컬러 필터를 향하는 방향으로 설정될 수 있다. 즉, 본 발명의 제2 실시예에 따른 표시장치는, 오픈홀(OH)에 인입된 제2 전극(E2)의 일부를 이용하여, 유기 화합물층(OL)에서 제공된 광 중 지향 방향으로 진행하지 않는 광의 경로를 배면 방향으로 용이하게 변환할 수 있고, 박막층들의 계면 사이에서 소실될 수 있는 광을 배면 방향으로 용이하게 추출할 수 있다.

[0103] 본 발명의 제2 실시예는, 제1 실시예와는 달리, 이웃하는 제1 전극(E1)들 사이에 어떠한 신호 라인도 배치되지 않는 적어도 일 영역(NOA)을 마련한다. 이에 따라, 본 발명의 제2 실시예는, 집광 구조에 의한 광 효율을 제1 실시예 대비 더욱 효과적으로 향상시킬 수 있기 때문에, 극한 휘도를 구현할 수 있는 표시장치를 제공할 수 있다.

[0104] <제3 실시예>

[0105] 도 16는 본 발명의 제3 실시예에 따른 표시 패널을 나타낸 평면도이다. 도 17는 도 16를 V-V'로 절취한 단면도이다. 제3 실시예를 설명함에 있어서, 제1 실시예와 실질적으로 동일한 구성에 대한 설명은 생략할 수 있다.

[0106] 도 3과 함께 도 16를 참조하면, 기판(SUB1)의 표시영역(AA) 상에는, 픽셀(P)들이 배열된다. 픽셀(P)들 각각은 발광부(EA)와 회로부(CA)를 갖는 서브픽셀들(SP1~SP4)을 포함한다. 발광부(EA)에는 유기발광 다이오드(발광소자)가 형성되고, 회로부(CA)에는 유기발광다이오드를 구동하는 스위칭 트랜지스터(SW), 센싱 트랜지스터(ST) 및 구동 트랜지스터(DR) 등을 포함하는 회로가 형성된다. 서브픽셀들(SP1~SP4) 각각에서는, 회로부(CA)에 위치하는 스위칭 및 구동 트랜지스터(DR) 등의 동작에 대응하여 발광부(EA)에 위치하는 유기발광다이오드가 빛을 발광하게 된다.

[0107] 제3 실시예에서, 제1 및 제2 서브픽셀들(SP1, SP2)은 제1 방향으로 이웃하여 배치되고, 제3 및 제4 서브픽셀들(SP3, SP4)은 제1 방향으로 이웃하여 배치되며, 제1 및 제3 서브 픽셀들(SP1, SP3)은 제2 방향으로 이웃하여 배치되고, 제2 및 제4 서브픽셀들(SP2, SP4)은 제2 방향으로 이웃하여 배치된다.

[0108] 발광부(EA)와 회로부(CA)는 제1 방향을 따라 배열된다. 각 서브 픽셀들(SP1~SP4)의 회로부(CA)들은 픽셀(P)의 중심부에 배치되고, 발광부(EA)는 외곽에 배치된다. 제1 서브 픽셀(SP1)의 회로부(CA)와 제2 서브 픽셀(SP2)의 회로부(CA)는 이웃하여 배치되고, 제1 서브 픽셀(SP1)의 발광부(EA)와 제2 서브 픽셀(SP2)의 발광부(EA)는 제1 서브 픽셀(SP1)의 회로부(CA)와 제2 서브 픽셀(SP2)의 회로부(CA)를 사이에 두고 이격되어 배치된다. 제3 서브 픽셀(SP3)의 회로부(CA)와 제4 서브 픽셀(SP4)의 회로부(CA)는 이웃하여 배치되고, 제3 서브 픽셀(SP3)의 발광부(EA)와 제4 서브 픽셀(SP4)의 발광부(EA)는 제3 서브 픽셀(SP3)의 회로부(CA)와 제4 서브 픽셀(SP4)의 회로부(CA)를 사이에 두고 이격되어 배치된다.

[0109] 픽셀(P)들 각각은, 서브픽셀들(SP1~SP4)에 구동 신호를 인가하기 위한 가로 라인들 및 세로 라인들을 포함한다. 픽셀(P)들은 가로 라인들과 세로 라인을 공유할 수 있다. 세로 라인은, 제1 방향으로 이웃하는 제1 서브픽셀(SP1)과 제2 서브 픽셀(SP2) 사이, 및 제1 방향으로 이웃하는 제3 서브픽셀(SP3)과 제4 서브 픽셀(SP4) 사이를 가로지며 배치된다.

[0110] 세로 라인은 전원 라인(EVDD), 센싱 라인(VREF), 제1 내지 제4 데이터 라인들(DL1 ~ DL4)을 포함할 수 있다. 세로 라인은, 제1 방향으로 이웃하는 서브픽셀들(SP1~SP4) 사이를 가로지르며 제2 방향으로 연장되는 라인들을 지칭할 수 있다.

[0111] 제1 내지 제4 서브 픽셀(SP1~SP4)는 하나의 센싱 라인(VREF) 및 하나의 전원 라인(EVDD)을 공유할 수 있다. 센싱 라인(VREF) 및 전원 라인(EVDD)은, 제1 및 제2 서브 픽셀(SP1, SP2) 사이, 및 제3 및 제4 서브 픽셀(SP3, SP4) 사이를 가로지르도록 픽셀의 중심부를 관통하도록 제2 방향으로 연장될 수 있다.

[0112] 센싱 라인(VREF)은 센싱 링크라인(VREFC)을 통해, 서브픽셀들(SP1~SP4) 각각의 센싱 트랜지스터(ST)들에 연결될 수 있다. 센싱 링크라인(VREFC)은 회로부(CA)에 배치된다. 센싱 링크라인(VREFC)은 제1 방향으로 연장되어, 제2 방향으로 연장된 센싱 라인(VREF)으로부터의 신호를 제1 방향을 따라 배열된 서브픽셀들(SP1~SP4)에 전달한다. 센싱 링크라인(VREFC)은 센싱 라인(VREF)과 서로 다른 층에 배치되며, 제1 센싱 콘택홀(SH1)을 통해 전기적으로 연결된다. 센싱 링크라인(VREFC)은 센싱 트랜지스터의 소스 전극과 서로 다른 층에 배치되며, 제2 센싱

콘택홀(SH2)을 통해 전기적으로 연결된다.

[0113] 센싱 링크라인(VREFC)은 제1 센싱 링크라인(VREFC1)과 제2 센싱 링크라인(VREFC2)을 포함한다. 제1 센싱 링크라인(VREFC1)은, 제1 방향으로 이웃하는 제1 서브픽셀(SP1)과 제2 서브픽셀(SP2)에 연결되어, 센싱 라인(VREF)으로부터의 신호를 제1 서브픽셀(SP1)과 제2 서브픽셀(SP2)에 전달한다. 제2 센싱 링크라인(VREFC2)은, 제1 방향으로 이웃하는 제3 서브픽셀(SP3)과 제4 서브픽셀(SP4)에 연결되어, 센싱 라인(VREF)으로부터의 신호를 제3 서브픽셀(SP3)과 제4 서브픽셀(SP4)에 전달한다.

[0114] 전원 라인(EVDD)은 전원 링크라인(EVDDC)을 통해, 서브픽셀들(SP1~SP4) 각각의 구동 트랜지스터(DR)에 연결될 수 있다. 전원 링크라인(EVDDC)은 회로부(CA)에 배치된다. 전원 링크라인(EVDDC)은 제1 방향으로 연장되어, 제2 방향으로 연장된 전원 라인(EVDD)으로부터의 신호를 제1 방향을 따라 배열된 서브픽셀들(SP1~SP4)에 전달한다. 전원 링크라인(EVDDC)은 전원 라인(EVDD)과 서로 다른 층에 배치되며, 제1 전원 콘택홀(EH1)을 통해 전기적으로 연결된다. 전원 링크라인(EVDDC)은 구동 트랜지스터(DR)의 소스 전극과 서로 다른 층에 배치되며, 제2 전원 콘택홀(EH2)을 통해 전기적으로 연결된다.

[0115] 전원 링크라인(EVDDC)은 제1 전원 링크라인(EVDDC1)과 제2 전원 링크라인(EVDDC2)을 포함한다. 제1 전원 링크라인(EVDDC1)은, 제1 방향으로 이웃하는 제1 서브픽셀(SP1)과 제2 서브픽셀(SP2)에 연결되어, 전원 라인(EVDD)으로부터의 신호를 제1 서브픽셀(SP1)과 제2 서브픽셀(SP2)에 전달한다. 제2 전원 링크라인(EVDDC2)은, 제1 방향으로 이웃하는 제3 서브픽셀(SP3)과 제4 서브픽셀(SP4)에 연결되어, 전원 라인(EVDD)으로부터의 신호를 제3 서브픽셀(SP3)과 제4 서브픽셀(SP4)에 전달한다.

[0116] 제1 내지 제4 데이터 라인들(DL1 ~ DL4)은 대응하는 서브픽셀(SP)의 스위칭 트랜지스터(SW)에 연결될 수 있다. 제1 및 제3 데이터 라인(DL1, DL3)은, 전원 라인(EVDD) 및 센싱 라인(VREF)을 기준으로 제1 및 제3 서브 픽셀(SP1, SP3)에 인접한 일측에 배치될 수 있다. 제2 및 제4 데이터 라인(DL2, DL4)은, 전원 라인(EVDD) 및 센싱 라인(VREF)을 기준으로 제2 및 제4 서브 픽셀(SP2, SP4)에 인접한 타측에 배치될 수 있다.

[0117] 제1 방향으로 연장되는 제1 센싱 링크라인(VREFC1), 제2 센싱 링크라인(VREFC2), 제1 전원 링크라인(EVDDC1), 제2 전원 링크라인(EVDDC2)은, 제2 방향으로 연장되는 센싱 라인(VREF), 전원 라인(EVDD), 데이터 라인(DL3, DL4)과 서로 교차하기 때문에, 쇼트(short)를 방지하기 위해, 적어도 하나의 절연층을 사이에 두고 서로 다른 층에 배치된다.

[0118] 예를 들어, 도시된 바와 같이, 제1 센싱 링크라인(VREFC1), 제2 센싱 링크라인(VREFC2)은 광차단층과 동일 물질(LM)로 대응되는 층에 배치되고, 1 전원 링크라인(EVDDC1), 제2 전원 링크라인(EVDDC2)은 게이트 전극과 동일 물질(GM)로 대응되는 층에 배치되며, 센싱 라인(VREF), 전원 라인(EVDD), 데이터 라인(DL3, DL4)은 소스/드레인 전극과 동일 물질(SM)로 대응되는 층에 배치될 수 있다.

[0119] 다른 예로, 도시하지는 않았으나, 제1 센싱 링크라인(VREFC1), 제2 센싱 링크라인(VREFC2), 1 전원 링크라인(EVDDC1), 제2 전원 링크라인(EVDDC2)은, 서로 교차하지 않기 때문에, 동일 물질로 형성될 수 있다. 예를 들어, 제1 센싱 링크라인(VREFC1), 제2 센싱 링크라인(VREFC2), 1 전원 링크라인(EVDDC1), 제2 전원 링크라인(EVDDC2) 모두는, 광차단층과 동일 물질(LM) 및 게이트 전극과 동일 물질(GM) 중 어느 하나로 형성될 수 있다.

[0120] 또 다른 예로, 도시하지는 않았으나, 센싱 라인(VREF)이 전원라인(EVDD) 및 제1 및 제2 게이트 라인(GL1, GL2)와 상이한 층인 경우, 예를 들어, 센싱 라인(VREF)이 광차단층과 동일 물질(LM)로 대응되는 층에 형성된 경우, 센싱 연결라인(VREFC)은 센싱 라인(VREF)과 일체로서, 센싱 라인(VREF)로부터 분기된 일부일 수 있다.

[0121] 가로 라인은 제1 게이트 라인(GL1) 및 제2 게이트 라인(GL2)을 포함할 수 있다. 가로 라인은, 세로 라인들을 가로지르도록 교차 배치될 수 있다. 가로 라인들 모두는 이웃하는 제1 서브픽셀(SP1)과 제3 서브 픽셀(SP3) 사이, 및 이웃하는 제2 서브픽셀(SP2)과 제4 서브 픽셀(SP4) 사이를 가로지며 배치된다. 가로 라인은, 제1 방향으로 연장되는 라인들을 지칭할 수 있다.

[0122] 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2)은 제1 방향으로 연장된다. 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2) 각각은, 제2 방향으로 이웃하는 제1 서브 픽셀(SP1)과 제3 서브 픽셀(SP3), 및 제2 서브 픽셀(SP2)과 제4 서브 픽셀(SP4) 서브 픽셀에도 신호를 인가할 필요가 있기 때문에, 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2) 중 어느 하나는, 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2) 중 다른 하나와 교차될 필요가 있다.

[0123] 여기서, 제1 게이트 라인(GL1)과 제2 게이트 라인(GL2)은 동일 물질(GM)로 형성되기 때문에, 제1 게이트 라인

(GL1)과 제2 게이트 라인(GL2) 중 적어도 하나는 두 부분으로 분리될 수 있고, 분리된 두 부분은 링크라인을 통해 연결될 수 있다.

[0124] 예를 들어, 제1 게이트 라인(GL1)은, 제2 게이트 라인(GL2)을 사이에 두고 양측에 배치된 제1-1 게이트 라인(GL1-1)과 제1-2 게이트 라인(GL1-2)을 포함할 수 있다. 제1-1 게이트 라인(GL1-1)은 제1 서브픽셀(SP1)과 제2 서브픽셀(SP2)의 센싱 트랜지스터에 연결된다. 제1-2 게이트 라인(GL1-2)은 제3 서브픽셀(SP3)과 제4 서브픽셀(SP4)의 센싱 트랜지스터에 연결된다. 제1-1 게이트 라인(GL1-1)과 제1-2 게이트 라인(GL1-2)은 게이트 링크라인(GLC1, GLC2)에 의해 연결된다. 즉, 제1-1 및 제1-2 게이트 라인(GL1-2, GL1-2)은 게이트 링크라인(GLC1, GLC2)과 서로 다른 층에 배치되며, 게이트 링크라인(GLC1, GLC2)의 일단 및 타단은 제1 및 제2 게이트 콘택홀(GH1, GH2)을 통해 제1-1 게이트 라인(GL1-1)과 제1-2 게이트 라인(GL1-2)에 각각 연결된다. 게이트 링크라인(GLC1, GLC2)은 제2 게이트 라인(GL2)과 서로 다른 층에 배치되어, 서로 교차한다. 게이트 링크라인(GLC1, GLC2)은 소스/드레인 전극과 동일 물질(SM) 중 어느 하나로 형성될 수 있으나, 이에 한정되는 것은 아니며, 광차단층과 동일 물질(LM)로 형성될 수도 있다.

[0125] 서브픽셀들(SP1~SP4)들 각각의 발광부(EA)에 배치된 유기발광 다이오드의 제1 전극(E1)들은, 회로부(CA)가 배치된 제2 방향으로 연장되어 대응하는 구동 트랜지스터(DR) 및 커패시터(Cst)에 전기적으로 연결된다.

[0126] 본 발명의 제3 실시예에서는, 전술한 구조를 가짐으로써, 적어도 일 영역에서 이웃하는 제1 전극(E1)들 사이에 신호 라인이 배치되지 않도록 형성할 수 있다. 일 예로, 일 픽셀(P)과 이와 제1 방향으로 이웃하는 타 픽셀(미도시)을 가정할 때, 제1 방향으로 이웃하는 일 픽셀(P)의 제1 서브 픽셀(SP1)과 타 픽셀의 제2 서브 픽셀 사이에는 어떠한 신호 라인도 배치되지 않는다. 다른 예로, 일 픽셀(P)과 이와 제2 방향으로 이웃하는 타 픽셀(미도시)을 가정할 때, 제2 방향으로 이웃하는 일 픽셀(P)의 제1 서브 픽셀(SP1)과 타 픽셀의 제3 서브 픽셀 사이에는 어떠한 신호 라인도 배치되지 않는다.

[0127] 도 17를 참조하면, 본 발명의 제3 실시예는, 이웃하는 제1 전극(E1)들 사이에 형성된 집광 구조(CLS)를 포함한다. 집광 구조(CLS)는 오픈홀(OH), 및 오픈홀(OH) 내측에 수용되는 제2 전극(E2)을 포함한다.

[0128] 오픈홀(OH)의 내측에 위치한 제2 전극(E2)의 일부는, 입사된 광의 진행 방향을 기 설정된 지향 방향으로 전환할 수 있다. 지향 방향은, 기판(SUB1)의 배면 방향이거나, 컬러 필터가 구비된 경우 컬러 필터를 향하는 방향으로 설정될 수 있다. 즉, 본 발명의 제3 실시예에 따른 표시장치는, 오픈홀(OH)에 인입된 제2 전극(E2)의 일부를 이용하여, 유기 화합물층(OL)에서 제공된 광 중 지향 방향으로 진행하지 않는 광의 경로를 배면 방향으로 용이하게 변환할 수 있고, 박막층들의 계면 사이에서 소실될 수 있는 광을 배면 방향으로 용이하게 추출할 수 있다.

[0129] 본 발명의 제3 실시예는, 제1 실시예와는 달리, 이웃하는 제1 전극(E1)들 사이에 어떠한 신호 라인도 배치되지 않는 적어도 일 영역(NOA)을 마련한다. 이에 따라, 본 발명의 제3 실시예는, 집광 구조에 의한 광 효율을 제1 및 제2 실시예 대비 더욱 효과적으로 향상시킬 수 있기 때문에, 극한 휘도를 구현할 수 있는 표시장치를 제공할 수 있다.

[0130] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양하게 변경 및 수정할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정해져야만 할 것이다.

부호의 설명

[0131] P : 픽셀 SP : 서브픽셀

EA : 발광부 CA : 회로부

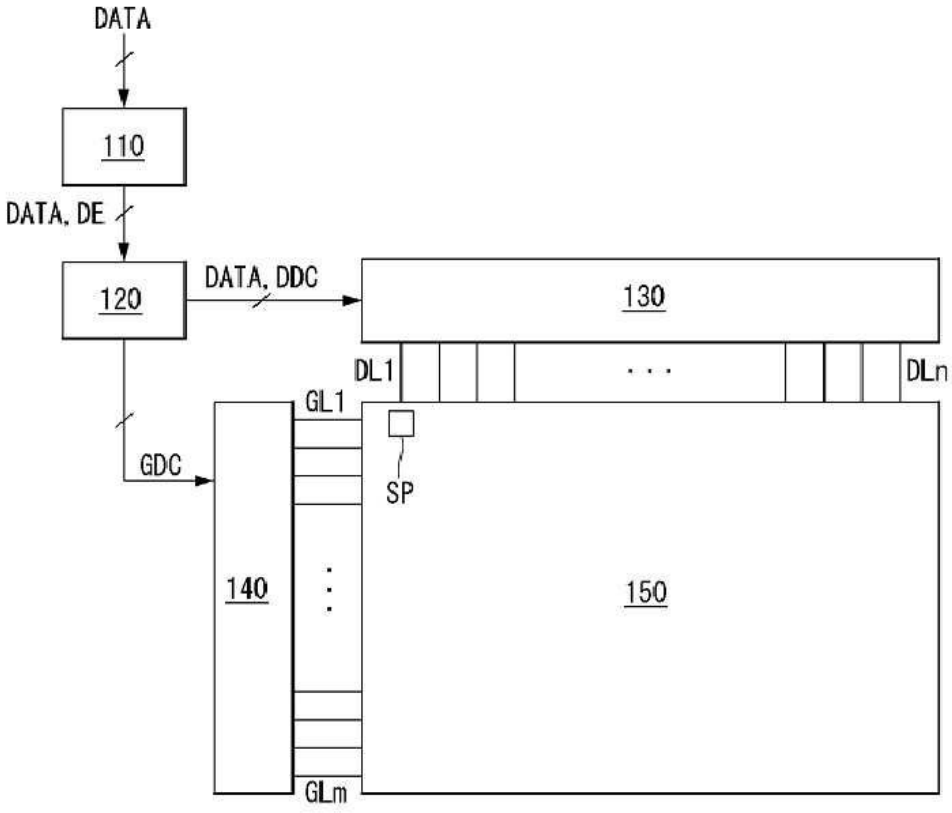
CLS : 집광 구조 OH : 오픈홀

E1 : 제1 전극 OL : 유기 화합물층

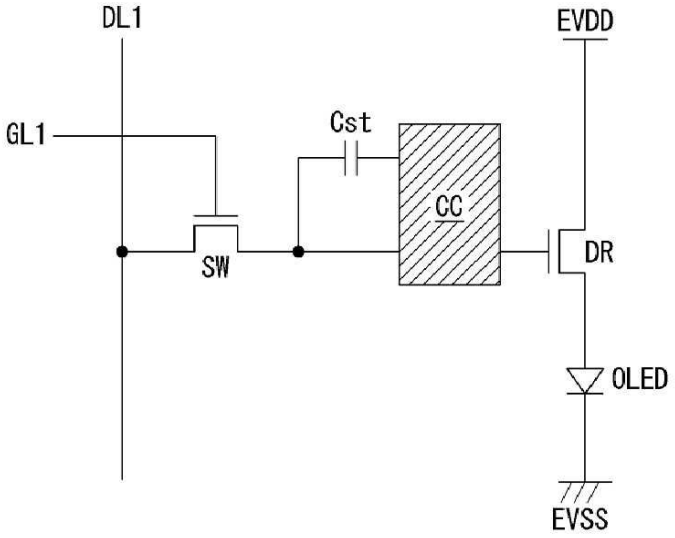
E2 : 제2 전극

도면

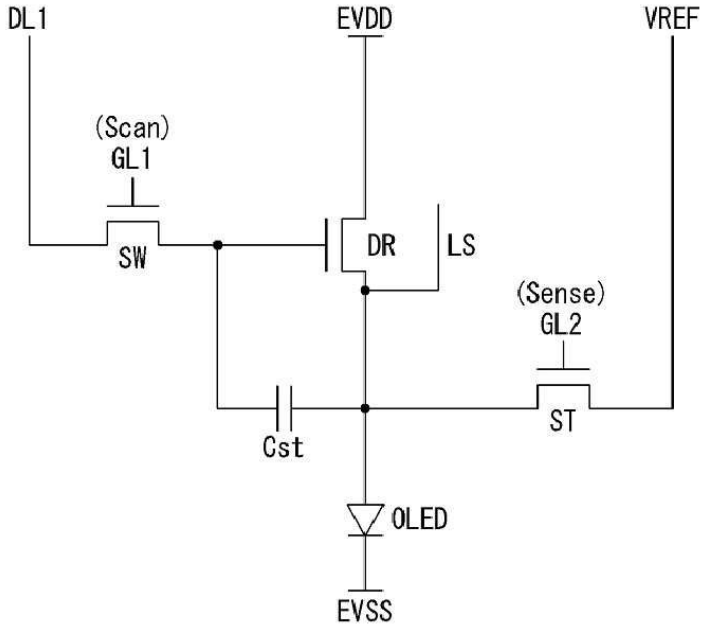
도면1


DATA
110
DATA, DE
120
DATA, DDC
130
DL1
DLn
GL1
GDC
SP
140
150
GLm

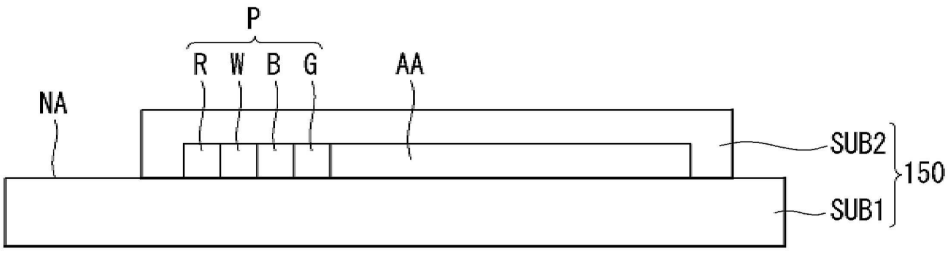
도면2


DL1
EVDD
GL1
Cst
CC
SW
DR
OLED
EVSS

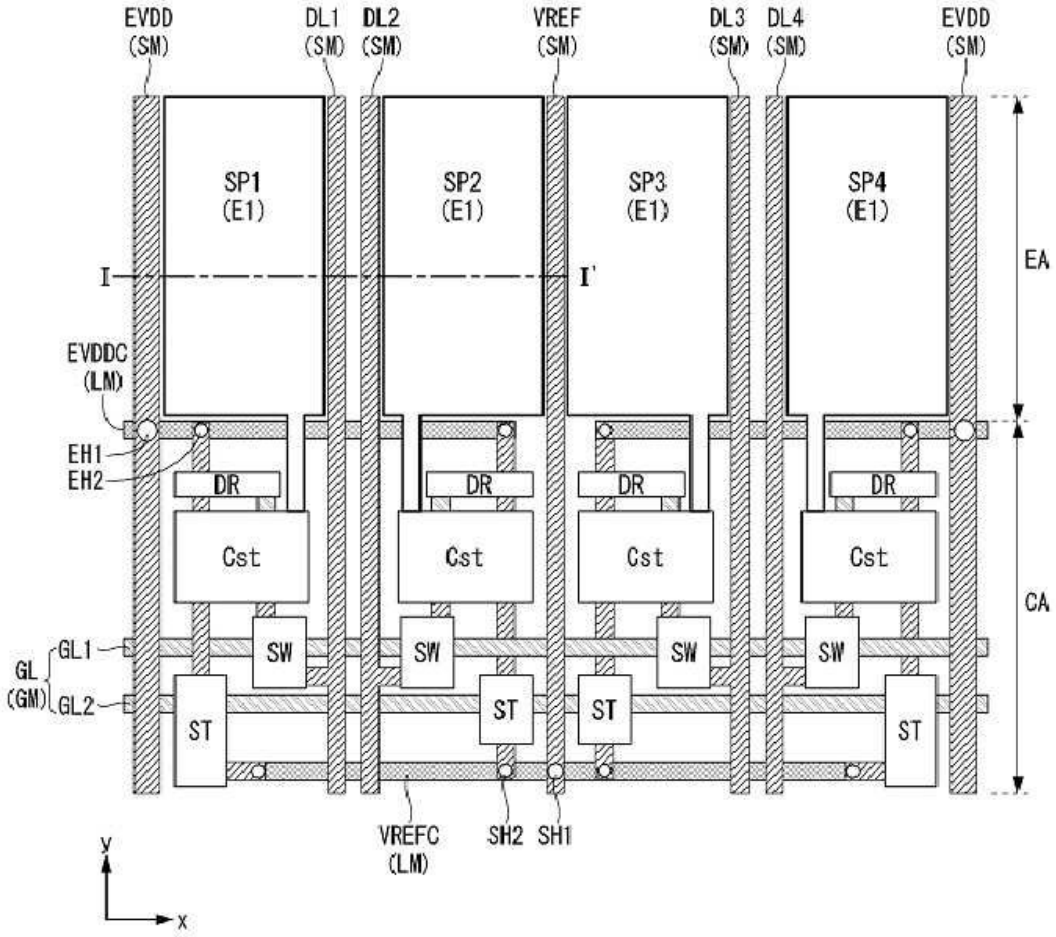
도면3


DL1
EVDD
VREF
(Scan)
GL1
SW
DR
LS
(Sense)
GL2
ST
Cst
OLED
EVSS

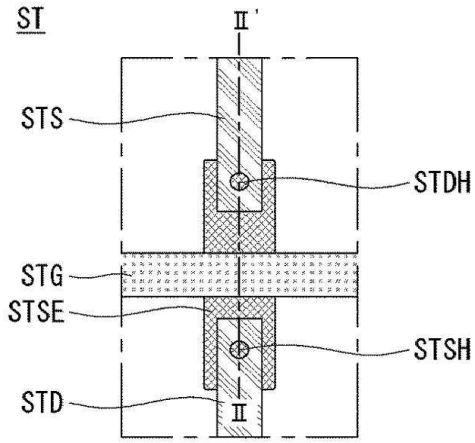
도면4


P
R
W
B
G
AA
NA
SUB2
150
SUB1

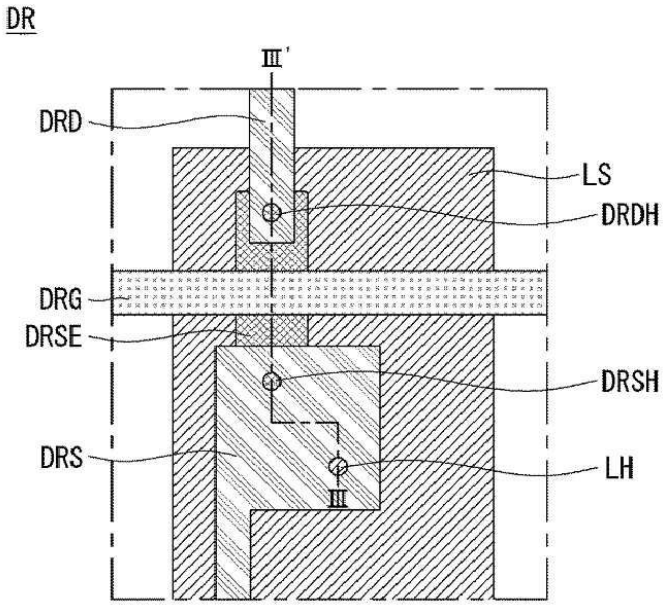
도면5


EVDD
(SM)
DL1
(SM)
DL2
(SM)
VREF
(SM)
DL3
(SM)
DL4
(SM)
EVDD
(SM)
SP1
(E1)
SP2
(E1)
SP3
(E1)
SP4
(E1)
EA
CA
I
I'
EVDDC
(LM)
EH1
EH2
DR
Cst
SW
ST
GL
(GM)
GL1
GL2
VREFC
(LM)
SH2
SH1
y
x

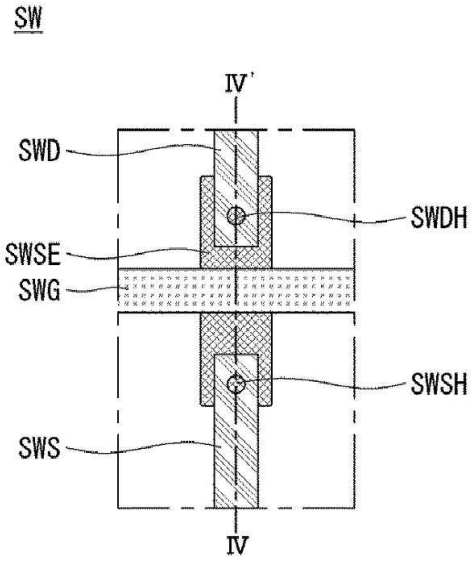
도면6


ST
II'
STS
STDH
STG
STSE
STSH
STD
II

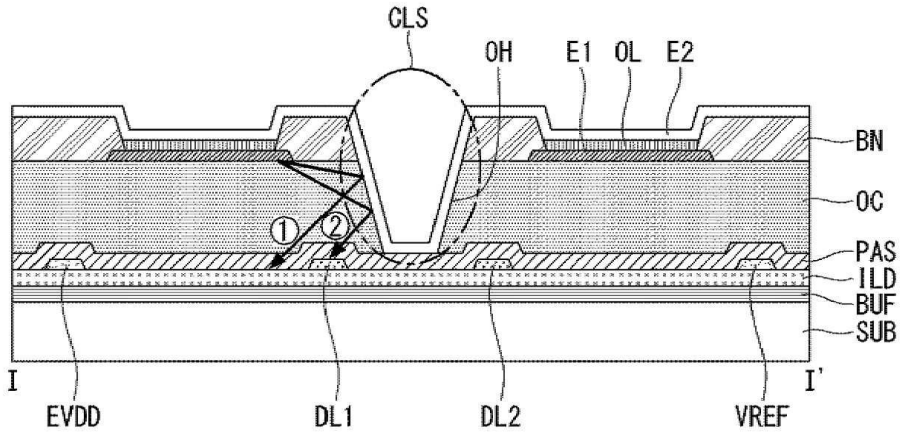
도면7


DR
Ⅲ'
DRD
LS
DRDH
DRG
DRSE
DRSH
DRS
LH
Ⅲ

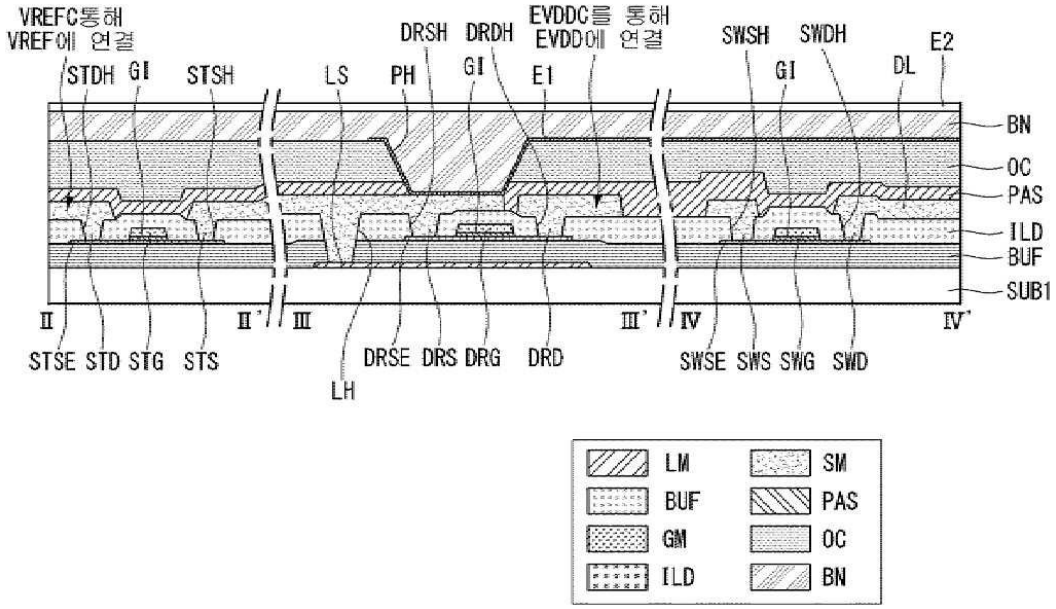
도면8


SW
Ⅳ'
SWD
SWDH
SWSE
SWG
SWSH
SWS
Ⅳ

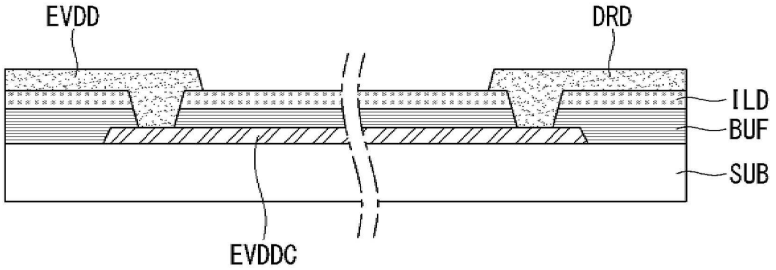
도면9



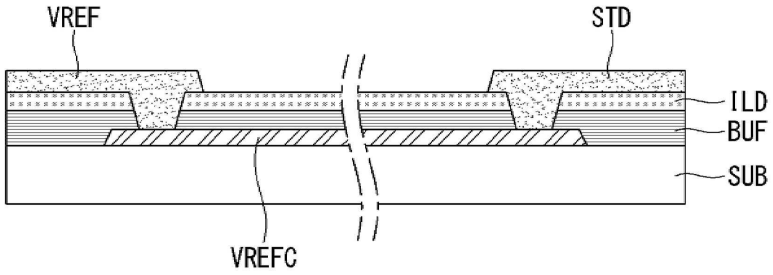
도면10



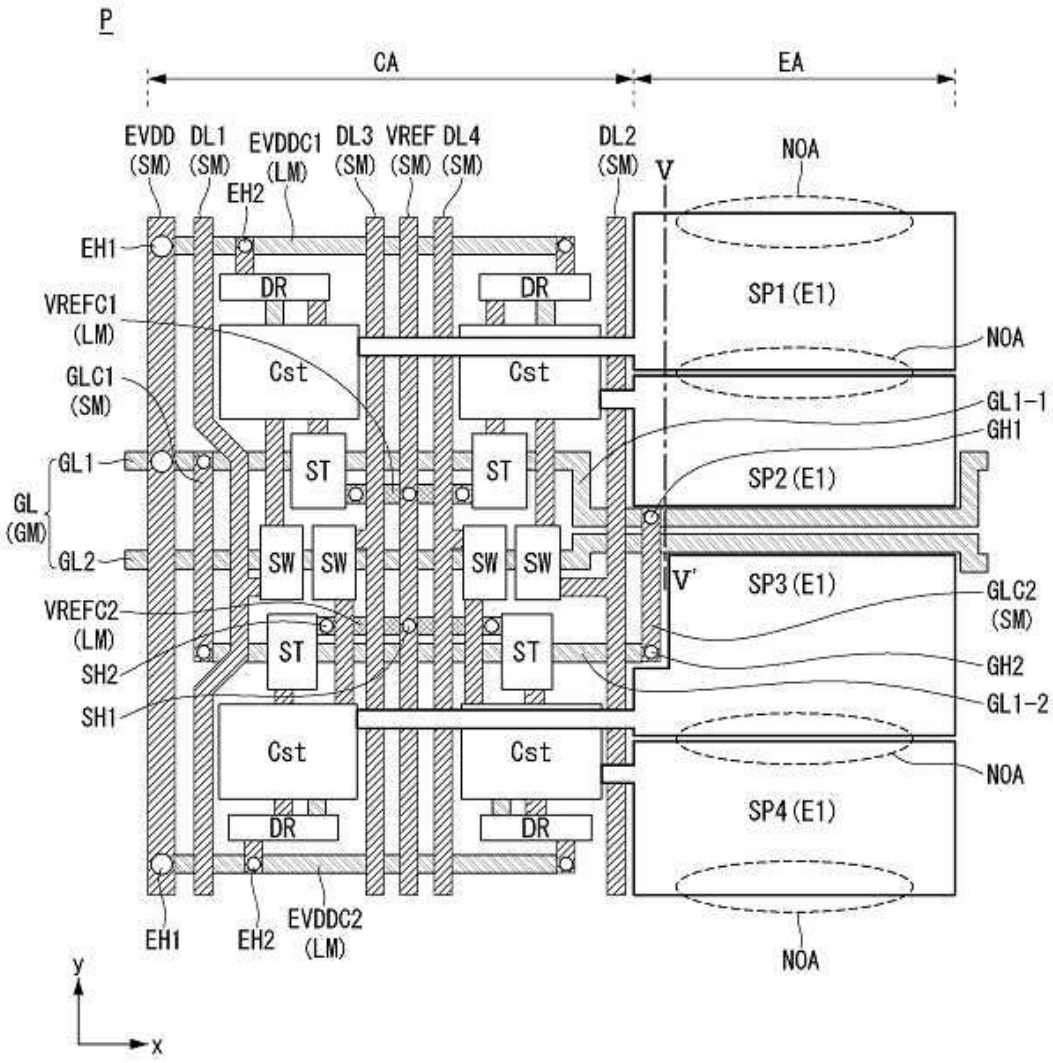
도면11



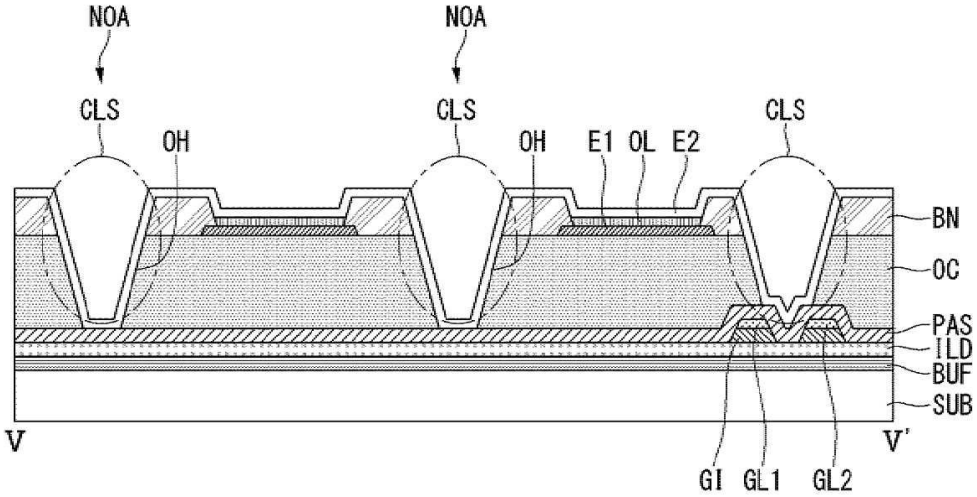
도면12


VREF
STD
ILD
BUF
SUB
VREFC

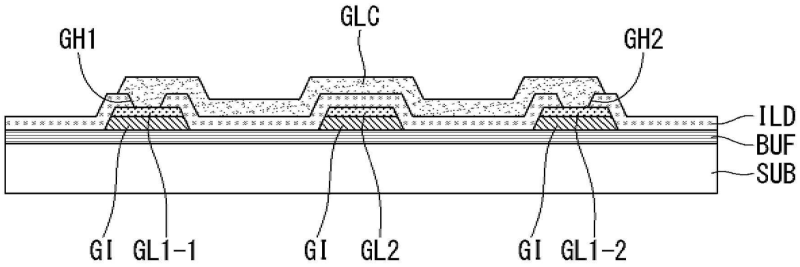
도면13


P
CA
EA
EVDD (SM)
DL1 (SM)
EVDDC1 (LM)
DL3 (SM)
VREF (SM)
DL4 (SM)
DL2 (SM)
V
NOA
EH1
EH2
DR
VREFC1 (LM)
GLC1 (SM)
Cst
ST
SW
GL (GM)
GL1
GL2
VREFC2 (LM)
SH2
SH1
SP1 (E1)
SP2 (E1)
SP3 (E1)
SP4 (E1)
GL1-1
GH1
GLC2 (SM)
GH2
GL1-2
V'
EVDDC2 (LM)
y
x

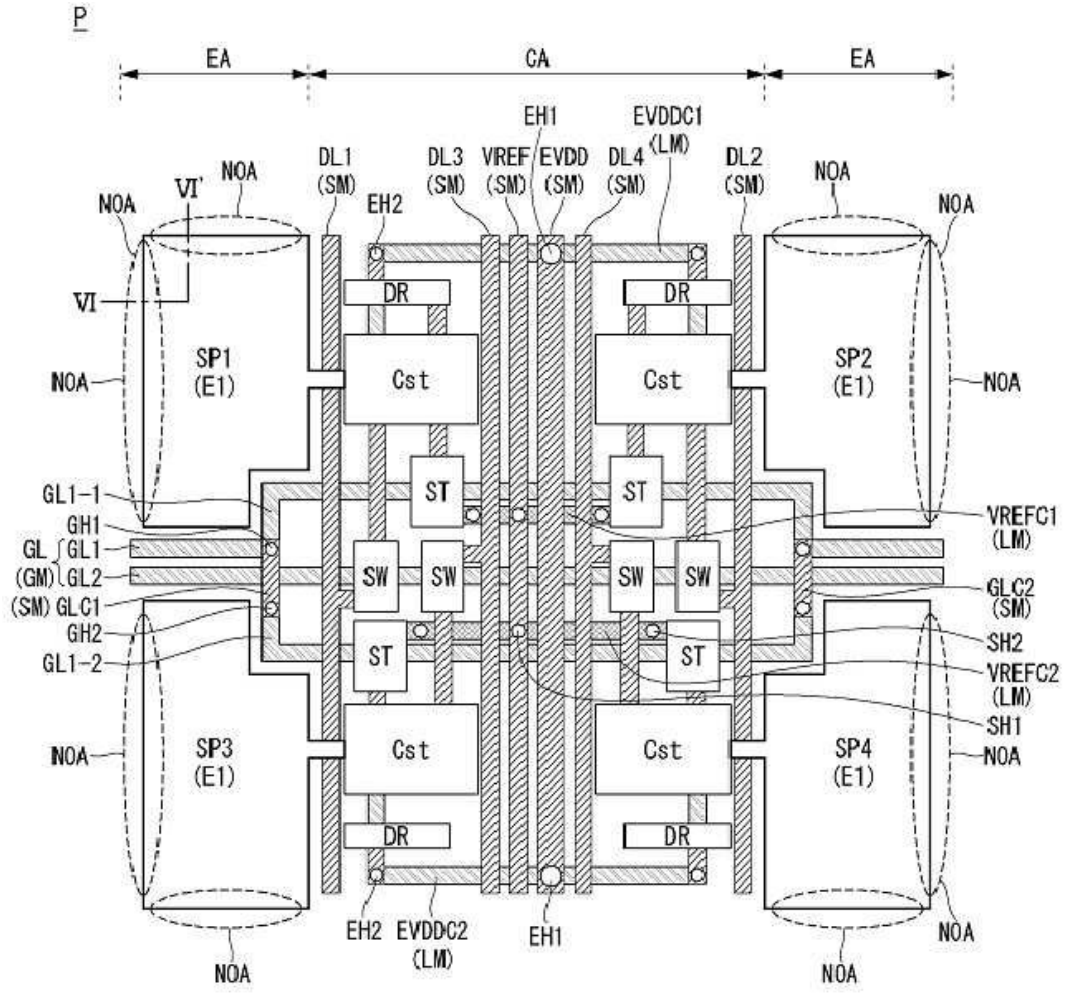
도면14


NOA
NOA
CLS
CLS
CLS
OH
OH
E1
OL
E2
BN
OC
PAS
ILD
BUF
SUB
V
V'
GI
GL1
GL2

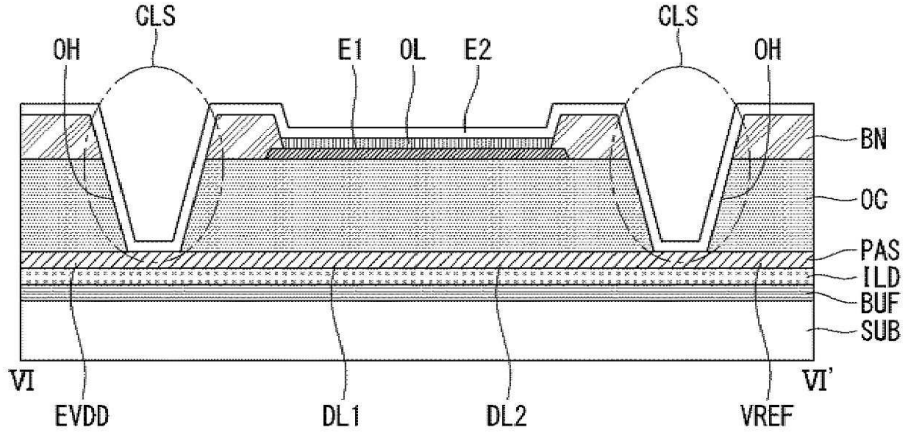
도면15


GLC
GH1
GH2
ILD
BUF
SUB
GI
GL1-1
GI
GL2
GI
GL1-2

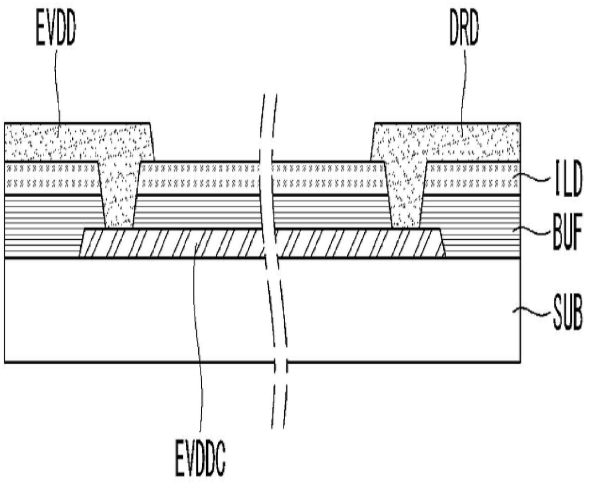
도면16


P
EA
CA
EA
EH1
EVDDC1
(LM)
DL1
(SM)
DL3
(SM)
VREF
(SM)
EVDD
(SM)
DL4
(SM)
DL2
(SM)
NOA
VI'
NOA
EH2
NOA
NOA
VI
NOA
SP1
(E1)
DR
DR
Cst
Cst
SP2
(E1)
NOA
NOA
ST
ST
GL1-1
GH1
GL
(GM)
GL1
GL2
(SM)
GLC1
SW
SW
SW
SW
VREFC1
(LM)
GLC2
(SM)
SH2
VREFC2
(LM)
SH1
GH2
GL1-2
ST
ST
NOA
SP3
(E1)
Cst
Cst
SP4
(E1)
NOA
DR
DR
EH2
EVDDC2
(LM)
EH1
NOA
NOA
NOA

도면17


CLS
OH
E1
OL
E2
CLS
OH
BN
OC
PAS
ILD
BUF
SUB
VI
EVDD
DL1
DL2
VREF
VI'

专利名称(译)	显示装置		
公开(公告)号	KR1020200040046A	公开(公告)日	2020-04-17
申请号	KR1020180119818	申请日	2018-10-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이성구 김빈		
发明人	이성구 김빈		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5271 H01L27/3213 H01L27/3225 H01L27/3246 H01L27/3258 H01L27/3262 H01L2251/56 G09G3/3225 H01L27/3248 H01L27/3276 H01L27/326 H01L51/5221 H01L51/5225		
外部链接	Espacenet		

摘要(译)

显示装置可以包括多个子像素，该多个子像素包括发光部分和电路部分，并且被配置为通过在第一方向上延伸的垂直线和在与第一方向相交的第二方向上延伸的水平线来接收信号。 布置在电路部分中的晶体管；覆盖晶体管的保护层； 第一电极设置在保护层上，每个第一电极电连接到发光部分和至少一个晶体管中的相应发光部分； 堤层，设置在第一电极上并且包括暴露第一电极的开口； 开口孔设置在第一电极中的两个相邻的第一电极之间的区域中并且穿过堤层。 有机化合物层设置在第一电极上； 第二电极，其设置在有机化合物层上并延伸到开口孔内的区域，在两个相邻的第一电极之间的区域中不存在垂直线和水平线。