



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0107227
(43) 공개일자 2019년09월19일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3258 (2013.01)
(21) 출원번호 10-2018-0026998
(22) 출원일자 2018년03월07일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
신윤지
울산광역시 동구 진성15길 55 101동 603호 (화정동, 벽산우진아파트)
백경현
경기도 수원시 영통구 영통로90번길 4-22 101동 702호 (망포동, 삼성라즈아파트)
(74) 대리인
특허법인 고려
(뒷면에 계속)

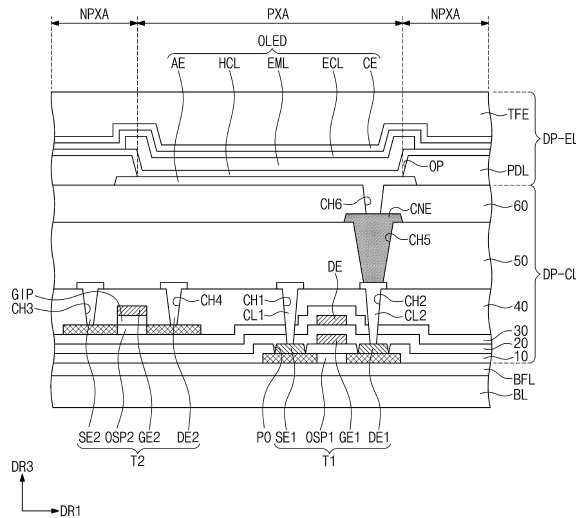
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 패널 및 그 제조 방법

(57) 요약

본 발명은 베이스층, 상기 베이스층 상에 배치되고, 실리콘 반도체 패턴, 상기 실리콘 반도체 패턴으로부터 이격된 제1 제어 전극, 상기 실리콘 반도체 패턴의 일 측에 접속된 제1 입력 전극, 및 상기 실리콘 반도체 패턴의 타 측에 접속된 제1 출력 전극을 포함하는 제1 박막 트랜지스터, 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터에 접속되는 제1 전극, 제2 전극, 및 발광층을 포함하는 유기발광 다이오드, 및 상기 실리콘 반도체 패턴의 상기 일 측 및 상기 타 측을 각각 노출시키는 복수의 개구부들을 포함하는 제1 절연층을 포함하고, 상기 제1 입력 전극 및 상기 제1 출력 전극은 상기 개구부들에 각각 매립된다.

대표도



(52) CPC특허분류

H01L 51/5203 (2013.01)

H01L 51/56 (2013.01)

(72) 발명자

성석제

경기도 성남시 분당구 중앙공원로 54 211동 1203호 (서현동, 시범단지우성아파트)

정우호

경기도 안양시 동안구 시민대로327번길 55 (관양동, 평촌더샵센트럴시티) 105동 904호

조윤중

경기도 용인시 수지구 신수로783번길 19 래미안아스트파크 106동 301호

명세서

청구범위

청구항 1

베이스층;

상기 베이스층 상에 배치되고, 실리콘 반도체 패턴, 상기 실리콘 반도체 패턴으로부터 이격된 제1 제어 전극, 상기 실리콘 반도체 패턴의 일 측에 접속된 제1 입력 전극, 및 상기 실리콘 반도체 패턴의 타 측에 접속된 제1 출력 전극을 포함하는 제1 박막 트랜지스터;

상기 베이스층 상에 배치되고, 산화물 반도체 패턴, 상기 산화물 반도체 패턴으로부터 이격된 제2 제어 전극, 상기 실리콘 반도체 패턴의 일 측에 접속된 제2 입력 전극, 및 상기 실리콘 반도체 패턴의 타 측에 접속된 제2 출력 전극 포함하는 제2 박막 트랜지스터;

상기 제1 박막 트랜지스터에 접속되는 제1 전극, 상기 제1 전극 상에 배치된 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 발광층을 포함하는 유기발광 다이오드; 및

상기 유기발광 다이오드와 상기 실리콘 반도체 패턴 사이에 배치되어 상기 실리콘 반도체 패턴을 커버하고, 상기 실리콘 반도체 패턴의 상기 일 측 및 상기 타 측을 각각 노출시키는 복수의 개구부들을 포함하는 제1 절연층을 포함하고,

상기 제1 입력 전극 및 상기 제1 출력 전극은 상기 개구부들에 각각 매립된 표시 패널.

청구항 2

제1 항에 있어서,

상기 제1 입력 전극 및 상기 제1 출력 전극은 상기 제2 입력 전극 및 상기 제2 출력 전극과 상이한 층에 배치되는 것을 특징으로 하는 표시 패널.

청구항 3

제2 항에 있어서,

상기 제1 입력 전극과 접속되는 제1 연결 전극; 및

상기 제1 전극과 상기 제1 출력 전극 사이에서 상기 제1 연결 전극과 동일 층상에 배치되며 상기 제1 연결 전극 및 상기 제1 전극을 전기적으로 연결 키는 제2 연결 전극을 더 포함하는 것을 특징으로 하는 표시 패널.

청구항 4

제3 항에 있어서,

상기 제1 연결 전극 및 상기 제2 연결 전극은 상기 제2 입력 전극 및 상기 제2 출력 전극과 동일층상에 배치되는 것을 특징으로 하는 표시 패널.

청구항 5

제2 항에 있어서,

상기 제1 입력 전극 및 상기 제1 출력 전극은 상기 제2 입력 전극 및 상기 제2 출력 전극과 상이한 물질로 이루어진 것을 특징으로 하는 표시 패널.

청구항 6

제2 항에 있어서,

상기 제1 전극 및 상기 제2 연결 전극 사이에 배치되어 상기 제1 전극 및 상기 제2 연결 전극 각각에 접속된 브릿지 전극을 더 포함하는 것을 특징으로 하는 표시 패널.

청구항 7

제6 항에 있어서,
 상기 브릿지 전극은 상기 제2 연결 전극의 저항보다 낮은 저항을 갖는 것을 특징으로 하는 표시 패널.

청구항 8

제1 항에 있어서,
 상기 제1 절연층과 상기 제1 전극 사이에 배치된 제2 절연층; 및
 상기 제2 절연층 상에 배치된 상부 전극을 더 포함하고,
 상기 제1 제어 전극은 상기 제1 절연층과 상기 제2 절연층 사이에 배치되고, 상기 상부 전극은 상기 제1 제어 전극과 평면상에서 중첩하는 것을 특징으로 하는 표시 패널.

청구항 9

제6 항에 있어서,
 상기 제1 제어 전극과 이격되며 평면상에서 중첩하는 상부 전극을 더 포함하며,
 상기 상부 전극은 상기 제1 제어 전극과 동일한 전압을 인가받는 것을 특징으로 하는 표시 패널.

청구항 10

제1 항에 있어서,
 상기 제1 입력 전극 및 상기 제1 출력 전극 각각의 상기 산화물 반도체패턴 상에서의 두께는 상기 제1 절연층의 두께와 동일한 것을 특징으로 하는 표시 패널.

청구항 11

제1 항에 있어서,
 상기 제1 입력 전극과 상기 제1 출력 전극 각각의 측면들은 단면상에서 테이퍼 형상을 갖는 것을 특징으로 하는 표시 패널.

청구항 12

제1 항에 있어서,
 상기 제1 입력 전극과 상기 제1 출력 전극 각각의 측면들은 평면상에서 상기 제1 절연층과 비중첩하는 것을 특징으로 하는 표시 패널.

청구항 13

제11 항에 있어서,
 상기 제1 입력 전극 및 상기 제1 출력 전극 각각은 대응되는 상기 개구부들을 전면적으로 충전하는 것을 특징으로 하는 표시 패널.

청구항 14

제1 항에 있어서,
 상기 제1 절연층은 상기 산화물 반도체 패턴의 일 측 및 타 측을 노출시키는 복수의 개구부들을 더 포함하고,
 상기 산화물 반도체 패턴은 상기 실리콘 반도체 패턴과 동일 층 상에 배치되고,
 상기 제2 입력 전극 및 상기 제2 출력 전극은 상기 산화물 반도체 패턴의 상기 일 측 및 상기 타 측을 노출시키는 상기 개구부들에 각각이 매립된 것을 특징으로 하는 표시 패널.

청구항 15

베이스층;

상기 베이스층 상에 배치되고, 실리콘 반도체 패턴, 상기 실리콘 반도체 패턴으로부터 이격된 제어 전극, 상기 실리콘 반도체 패턴의 일 측에 접속된 입력 전극, 및 상기 실리콘 반도체 패턴의 타 측에 접속된 출력 전극을 포함하는 박막 트랜지스터;

상기 실리콘 반도체 패턴을 직접 커버하고, 상기 실리콘 반도체 패턴의 상기 일 측 및 상기 타 측을 각각 직접 노출시키는 복수의 개구부들이 정의된 제1 절연층;

상기 제1 절연층 및 상기 박막 트랜지스터를 커버하는 제2 절연층;

상기 제2 절연층 상에 배치되어 상기 박막 트랜지스터에 접속되는 제1 전극, 상기 제1 전극 상에 배치된 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 발광층을 포함하는 유기발광 다이오드; 및

상기 제2 절연층과 상기 제1 전극 사이에 배치되고, 상기 제2 절연층을 관통하여 상기 제1 전극 및 상기 출력 전극을 전기적으로 연결시키는 연결 전극을 포함하며,

상기 입력 전극 및 상기 출력 전극은 상기 개구부들에 각각 배치되어 상기 실리콘 반도체 패턴 상에서 상기 제1 절연층과 동일층을 이루는 표시 패널.

청구항 16

제15 항에 있어서,

상기 입력 전극 및 출력 전극 각각의 상면은 상기 제1 절연층의 상면과 동일한 평면을 정의하는 것을 특징으로 하는 표시 패널.

청구항 17

제15 항에 있어서,

상기 제2 절연층 및 상기 연결 전극을 커버하는 제3 절연층 및 상기 제3 절연층을 관통하여 상기 제1 전극 및 상기 연결 전극을 전기적으로 연결하는 브릿지 전극을 더 포함하는 것을 특징으로 하는 표시 패널.

청구항 18

제17 항에 있어서,

상기 브릿지 전극은 상기 연결 전극의 저항보다 낮은 저항을 갖는 것을 특징으로 하는 표시 패널.

청구항 19

제15 항에 있어서,

상기 제어 전극은 상기 실리콘 반도체 패턴과 중첩하며 상기 제1 절연층의 하부에 배치되는 것을 특징으로 하는 표시 패널.

청구항 20

제15 항에 있어서,

상기 출력 전극은 상기 연결 전극과 상이한 물질로 이루어진 것을 특징으로 하는 표시 패널.

발명의 설명

기술 분야

본 발명은 표시패널 및 그 제조방법에 관한 것으로, 2종의 반도체 물질을 포함하는 표시패널 및 그 제조방법에 관한 것이다.

배경 기술

[0001]

[0002] 표시 패널은 적어도 하나의 박막 트랜지스터를 포함한다. 박막 트랜지스터는 반도체 물질을 포함하는 반도체 패턴을 포함한다. 표시 패널은 복수의 화소들 및 화소들을 제어하기 위한 구동회로를 포함할 수 있다. 구동회로는 적어도 하나의 박막 트랜지스터를 포함할 수 있다. 구동회로를 구성하는 박막 트랜지스터는 화소들을 제어하기 위한 전기적 신호들을 대응되는 화소에 제공한다.

[0003] 화소들 각각은 화소 구동회로 및 화소 구동회로에 연결된 표시소자를 포함할 수 있다. 화소 구동회로는 적어도 하나의 박막 트랜지스터 및 커패시터를 포함할 수 있다. 화소 구동회로를 구성하는 박막 트랜지스터 및 커패시터는 구동회로부터 제공된 전기적 신호에 따라 표시소자를 제어한다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 공정상 신뢰성이 향상된 구조를 가진 표시 패널 및 이의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0005] 본 발명의 일 실시예에 따른 표시 패널은, 베이스층, 상기 베이스층 상에 배치되고, 실리콘 반도체 패턴, 상기 실리콘 반도체 패턴으로부터 이격된 제1 제어 전극, 상기 실리콘 반도체 패턴의 일 측에 접속된 제1 입력 전극, 및 상기 실리콘 반도체 패턴의 타 측에 접속된 제1 출력 전극을 포함하는 제1 박막 트랜지스터, 상기 베이스층 상에 배치되고, 산화물 반도체 패턴, 상기 산화물 반도체 패턴으로부터 이격된 제2 제어 전극, 상기 실리콘 반도체 패턴의 일 측에 접속된 제2 입력 전극, 및 상기 실리콘 반도체 패턴의 타 측에 접속된 제2 출력 전극 포함하는 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터에 접속되는 제1 전극, 상기 제1 전극 상에 배치된 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 발광층을 포함하는 유기발광 다이오드, 및 상기 유기발광 다이오드와 상기 실리콘 반도체 패턴 사이에 배치되어 상기 실리콘 반도체 패턴을 커버하고, 상기 실리콘 반도체 패턴의 상기 일 측 및 상기 타 측을 각각 노출시키는 복수의 개구부들을 포함하는 제1 절연층을 포함하고,

[0006] 상기 제1 입력 전극 및 상기 제1 출력 전극은 상기 개구부들에 각각 매립된다.

[0007] 상기 제1 입력 전극 및 상기 제1 출력 전극은 상기 제2 입력 전극 및 상기 제2 출력 전극과 상이한 층에 배치되는 것을 특징으로 할 수 있다.

[0008] 상기 제1 입력 전극과 접속되는 제1 연결 전극 및 상기 제1 전극과 상기 제1 출력 전극 사이에서 상기 제1 연결 전극과 동일 층상에 배치되며 상기 제1 연결 전극 및 상기 제1 전극을 전기적으로 연결 키시는 제2 연결 전극을 더 포함하는 것을 특징으로 할 수 있다.

[0009] 상기 제1 연결 전극 및 상기 제2 연결 전극은 상기 제2 입력 전극 및 상기 제2 출력 전극과 동일층상에 배치되는 것을 특징으로 할 수 있다.

[0010] 상기 제1 입력 전극 및 상기 제1 출력 전극은 상기 제2 입력 전극 및 상기 제2 출력 전극과 상이한 물질로 이루어진 것을 특징으로 할 수 있다.

[0011] 상기 제1 전극 및 상기 제2 연결 전극 사이에 배치되어 상기 제1 전극 및 상기 제2 연결 전극 각각에 접속된 브릿지 전극을 더 포함하는 것을 특징으로 할 수 있다.

[0012] 상기 브릿지 전극은 상기 제2 연결 전극의 저항보다 낮은 저항을 갖는 것을 특징으로 할 수 있다.

[0013] 상기 제1 절연층과 상기 제1 전극 사이에 배치된 제2 절연층, 상기 제2 절연층 상에 배치된 상부 전극을 더 포함하고, 상기 제1 제어 전극은 상기 제1 절연층과 상기 제2 절연층 사이에 배치되고, 상기 상부 전극은 상기 제1 제어 전극과 평면상에서 중첩하는 것을 특징으로 할 수 있다.

[0014] 상기 상부 전극은 상기 제1 제어 전극과 동일한 전압을 인가 받는 것을 특징으로 할 수 있다.

[0015] 상기 제1 입력 전극 및 상기 제1 출력 전극 각각의 상기 산화물 반도체패턴 상에서의 두께는 상기 제1 절연층의 두께와 동일한 것을 특징으로 할 수 있다.

[0016] 상기 제1 입력 전극과 상기 제1 출력 전극 각각의 측면들은 단면상에서 테이퍼 형상을 갖는 것을 특징으로 할 수 있다.

[0017] 상기 제1 입력 전극과 상기 제1 출력 전극 각각의 측면들은 평면상에서 상기 제1 절연층과 비 중첩하는 것을 특

징으로 할 수 있다.

- [0018] 상기 제1 입력 전극, 상기 제1 출력 전극 각각은 대응되는 상기 개구부들을 전면적으로 충전하는 것을 특징으로 할 수 있다.
- [0019] 제1 항에 있어서, 상기 제1 절연층은 상기 산화물 반도체 패턴의 일 측 및 타 측을 노출시키는 복수의 개구부들을 더 포함하고, 상기 산화물 반도체 패턴은 상기 실리콘 반도체 패턴과 동일 층 상에 배치되고, 상기 제2 입력 전극 및 상기 제2 출력 전극은 상기 산화물 반도체 패턴의 상기 일 측 및 상기 타 측을 노출시키는 상기 개구부들에 각각이 매립된 것을 특징으로 하는 표시 패널.
- [0020] 본 발명의 일 실시예에 따른 표시 패널은, 베이스층, 상기 베이스층 상에 배치되고, 실리콘 반도체 패턴, 상기 실리콘 반도체 패턴으로부터 이격된 제어 전극, 상기 실리콘 반도체 패턴의 일 측에 접속된 입력 전극, 및 상기 실리콘 반도체 패턴의 타 측에 접속된 출력 전극을 포함하는 박막 트랜지스터, 상기 실리콘 반도체 패턴을 직접 커버하고, 상기 실리콘 반도체 패턴의 상기 일 측 및 상기 타 측을 각각 직접 노출시키는 복수의 개구부들이 정의된 제1 절연층, 상기 제1 절연층 및 상기 박막 트랜지스터를 커버하는 제2 절연층, 상기 제2 절연층 상에 배치되어 상기 박막 트랜지스터에 접속되는 제1 전극, 상기 제1 전극 상에 배치된 제2 전극, 및 상기 제1 전극과 상기 제2 전극 사이에 배치된 발광층을 포함하는 유기발광 다이오드, 및 상기 제2 절연층과 상기 제1 전극 사이에 배치되고, 상기 제2 절연층을 관통하여 상기 제1 전극 및 상기 출력 전극을 전기적으로 연결시키는 연결 전극을 포함하며, 상기 입력 전극 및 상기 출력 전극은 상기 개구부들에 각각 배치되어 상기 실리콘 반도체 패턴 상에서 상기 제1 절연층과 동일층을 이룬다.
- [0021] 상기 입력 전극 및 출력 전극 각각의 상면은 상기 제1 절연층의 상면과 동일한 평면을 정의하는 것을 특징으로 할 수 있다.
- [0022] 상기 제2 절연층 및 상기 연결전극을 커버하는 제3 절연층, 및 상기 제3 절연층을 관통하여 상기 제1 전극 및 상기 연결 전극을 전기적으로 연결하는 브릿지 전극을 더 포함하는 것을 특징으로 할 수 있다.
- [0023] 상기 브릿지 전극은 상기 연결 전극의 저항 보다 낮은 저항을 갖는 것을 특징으로 할 수 있다.
- [0024] 상기 제어 전극은 상기 실리콘 반도체 패턴과 중첩하며 상기 제1 절연층의 하부에 배치되는 것을 특징으로 할 수 있다.
- [0025] 상기 출력 전극은 상기 연결 전극과 상이한 물질로 이루어진 것을 특징으로 할 수 있다.

발명의 효과

- [0026] 본 발명은 전극들의 접합 신뢰성이 향상된 표시 패널을 제공하는 것을 목적으로 한다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 따른 표시 패널의 사시도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시 패널의 평면도이다.
- 도 3은 본 발명의 일 실시예에 따른 화소의 등가 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 화소의 일부분에 대응하는 단면도이다.
- 도 5는 본 발명의 일 실시예에 따른 화소의 일부분에 대응하는 단면도이다.
- 도 6는 본 발명의 일 실시예에 따른 화소의 일부분에 대응하는 단면도이다.
- 도 7는 본 발명의 일 실시예에 따른 화소의 일부분에 대응하는 단면도이다.
- 도 8는 본 발명의 일 실시예에 따른 화소의 일부분에 대응하는 단면도이다.
- 도 9a 내지 도 9l는 본 발명의 일 실시예에 따른 표시 패널 제조 방법을 순차적으로 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다. 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 "상에 있다", "연결 된다", 또는 "결합 된다"고 언급되는 경우에 그것은 다른 구성요소 상

에 직접 연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.

- [0029] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. "및/또는"은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0030] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0031] 또한, "아래에", "하측에", "위에", "상측에" 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.
- [0032] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 표시 패널의 사시도이다. 도 2는 본 발명의 일 실시예에 따른 표시 패널의 평면도이다.
- [0035] 표시 패널(DP)의 전면(DP-FS)은 제1 방향(DR1) 및 제2 방향(DR2)으로 정의되는 평면과 평행하다. 표시 패널(DP)의 전면(DP-FS)의 법선 방향, 즉 표시 패널(DP)의 두께 방향은 제3 방향(DR3)이 지시한다. 표시 패널(DP)을 구성하는 층들 각각은 상면(또는 전면)과 하면(또는 배면)은 제3 방향(DR3)에 의해 구분된다.
- [0036] 도 1에 도시된 것과 같이, 표시 패널(DP)은 전면(DP-FS) 상에서 화소들(PX)이 표시되는 표시 영역(DP-DA) 및 표시 영역(DP-DA)에 인접한 비표시 영역(DP-NDA)을 포함한다. 표시 영역(DP-DA)은 다양한 형상을 가질 수 있다. 예를 들어, 본 실시예에서와 같이, 표시 영역(DP-DA)은 사각형일 수 있다. 또는, 표시 영역(DP-DA)은 원형일 수도 있다.
- [0037] 비표시 영역(DP-NDA)은 표시 영역에 인접한다. 본 실시예에서, 비표시 영역(DP-NDA)은 표시 영역(DP-DA)을 에워쌀 수 있다. 다만 이에 제한되지 않고 표시 영역(DP-DA)의 형상과 비표시 영역(DP-NDA)의 형상은 상대적으로 디자인 될 수 있다. 예컨대, 제1 방향(DR1)에서 마주하는 영역에만 비표시 영역(DP-NDA)이 배치 될 수 있다.
- [0038] 도 2는 화소들(PX), 구동회로(GDC), 및 신호라인(SGL)의 연결관계를 간략히 도시하였다. 도 3은 본 발명의 일 실시예에 따른 화소의 등가 회로도이다. 도 4는 본 발명의 일 실시예에 따른 화소의 일부분에 대응하는 단면도이다.
- [0039] 표시 패널(DP)은 구동회로(GDC), 복수 개의 신호라인들(SGL, 이하 신호라인들), 복수 개의 신호패드들(DP-PD, 이하 신호패드들), 및 복수 개의 화소들(PX, 이하 화소들)을 포함한다.
- [0040] 화소들(PX)은 표시되는 컬러에 따라 복수 개의 그룹으로 구분될 수 있다. 화소들(PX)은 예컨대, 레드 화소들, 그린 화소들, 블루 화소들을 포함할 수 있다. 또는, 화소들(PX)은 화이트 화소들을 더 포함할 수 있다.
- [0041] 구동회로(GDC)는 주사 구동회로를 포함할 수 있다. 주사 구동회로는 복수 개의 주사 신호들(이하, 주사 신호들)을 생성하고, 주사 신호들을 후술하는 복수 개의 주사 라인들(GL, 이하 주사 라인들)에 순차적으로 출력한다. 주사 구동회로는 화소들(PX)의 구동회로에 또 다른 제어 신호를 더 출력할 수 있다.
- [0042] 주사 구동회로는 화소들(PX)의 구동회로(GDC)와 동일한 공정,
- [0043] 신호라인들(SGL)은 주사 라인들(GL), 데이터 라인들(DL), 전원 라인(PL), 및 제어신호 라인(CSL)을 포함한다. 주사 라인들(GL)은 화소들(PX) 중 대응하는 화소(PX)에 각각 연결되고, 데이터 라인들(DL)은 화소들(PX) 중 대응하는 화소(PX)에 각각 연결된다. 전원 라인(PL)은 화소들(PX)에 연결된다. 제어신호 라인(CSL)은 주사 구동회로에 제어신호들을 제공할 수 있다. 신호패드들(DP-PD)은 신호라인들(SGL) 중 대응하는 신호라인에 연결된다.
- [0044] 도 2에는 표시패널(DP)에 전기적으로 연결되는 회로기판이 미 도시되었다. 회로기판은 리지드 회로기판 또는 플렉서블 회로기판일 수 있다. 회로기판에는 구동칩이 실장될 수 있다.

- [0045] 미 도시되었으나, 구동칩은 표시 패널(DP)에 실장될 수도 있다. 구동칩이 표시 패널(DP)에 실장 되면 신호라인들(SGL)의 설계는 변경될 수 있다. 구동칩은 데이터 라인들(DL)에 연결될 수 있고, 구동칩과 신호패드들(DP-PD)을 연결하는 신호라인이 더 배치될 수 있다.
- [0046] 도 3에는 어느 하나의 주사 라인(GL), 어느 하나의 데이터 라인(DL), 전원 라인(PL), 및 이들에 연결된 화소(PX)를 도시하였다. 본 발명의 일 실시예에 따른 화소(PX)는 발광 소자로써 유기발광 다이오드 또는 퀀텀닷 발광 다이오드를 포함할 수 있다. 유기발광 다이오드의 발광층은 유기발광물질을 포함할 수 있다. 퀀텀닷 발광 다이오드의 발광층은 퀀텀닷, 및 퀀텀로드 등을 포함할 수 있다. 이하, 화소(PX)는 유기발광 화소로 설명된다.
- [0047] 화소(PX)는 유기발광 다이오드(OLED) 및 유기발광 다이오드(OLED)를 구동하기 위한 화소 구동회로를 포함한다. 유기발광 다이오드(OLED)는 전면 발광형 다이오드이거나, 배면 발광형 다이오드일 수 있다. 본 실시예에서 화소 구동회로는 제1 박막 트랜지스터(T1, 또는 구동 트랜지스터), 제2 박막 트랜지스터(T2, 또는 스위칭 트랜지스터), 및 커패시터(Cst)를 포함한다. 제1 전원 전압(ELVDD)은 유기발광 다이오드(OLED)에 제공된다. 제2 전원 전압(ELVSS)은 제1 전원 전압(ELVDD)보다 낮은 전압일 수 있다.
- [0048] 제1 박막 트랜지스터(T1)는 유기발광 다이오드(OLED)에 연결된다. 제1 박막 트랜지스터(T1)는 커패시터(Cst)에 저장된 전하량에 대응하여 유기발광 다이오드(OLED)에 흐르는 구동전류를 제어한다. 제2 박막 트랜지스터(T2)는 주사 라인(GL)에 인가된 주사 신호에 응답하여 데이터 라인(DL)에 인가된 신호를 출력한다. 커패시터(Cst)는 제2 박막 트랜지스터(T2)로부터 수신한 데이터 신호에 대응하는 전압을 충전한다.
- [0049] 화소(PX)의 구성은 도 3에 제한되지 않고 변형되어 실시될 수 있다. 유기발광 다이오드(OLED)를 제어하는 화소 회로는 도 3에 도시된 것과 달리 3개 이상의 박막 트랜지스터들을 포함할 수도 있다. 유기발광 다이오드(OLED)는 전원 라인(GL)과 제2 박막 트랜지스터(T2) 사이에 접속될 수도 있다.
- [0050] 화소(PX)의 일부 구성으로써 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터, 및 유기발광 다이오드(OLED)에 대응하는 단면을 도시하였다
- [0051] 표시 패널(DP)은 베이스층(BL), 회로 소자층(DP-CL), 표시 소자층(DP-EL) 및 박막 봉지층을 포함할 수 있다. 표시 패널(DP)은 반사방지층, 굴절률 조절층 등과 같은 기능성 층들을 더 포함할 수 있다. 회로 소자층(DP-CL)은 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 복수의 절연층들(10, 20, 30, 40, 50, 60), 상부 전극(DE), 연결 전극들(CL1, CL2), 및 브릿지 전극(CNE)을 포함한다. 코팅, 증착 등에 의한 공정 또는 포토리소그래피 공정에 의한 절연층, 반도체층 및 도전층의 패터닝 공정을 통해 회로 소자층(DP-CL)이 형성될 수 있다. 복수의 절연층들(10, 20, 30, 40, 50, 60)은 유기층 및/또는 무기층을 포함할 수 있다. 표시 소자층(DP-EL)은 유기발광 다이오드(OLED), 화소 정의막(PDL)을 포함한다.
- [0052] 베이스층(BL)에는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 및 커패시터(Cst)가 배치될 수 있다. 베이스층(BL)은 합성수지 필름을 포함할 수 있다. 합성수지층은 열 경화성 수지를 포함할 수 있다. 특히, 합성수지층은 폴리이미드계 수지층일 수 있고, 그 재료는 특별히 제한되지 않는다. 합성수지층은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리아미드계 수지 및 페릴렌계 수지 중 적어도 어느 하나를 포함할 수 있다. 그밖에 베이스층은 유리 기판, 금속 기판, 또는 유/무기 복합재료 기판 등을 포함할 수 있다.
- [0053] 무기층(BFL)은 베이스층(BL)의 상면에 배치된다. 무기층(BFL) 배리어층 및/또는 버퍼층을 포함할 수 있다. 무기층(BFL)은 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 hafnium 옥사이드 중 적어도 하나를 포함할 수 있다. 무기층은 다층으로 형성될 수 있다. 다층의 무기층들은 배리어층 및/또는 버퍼층을 구성할 수 있다. 배리어층과 버퍼층은 선택적으로 배치될 수 있다.
- [0054] 배리어층은 외부로부터 이물질이 유입되는 것을 방지한다. 배리어층은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함할 수 있다. 실리콘옥사이드층과 실리콘나이트라이드층은 교번하게 적층될 수 있다.
- [0055] 버퍼층은 버퍼층 상/하에 배치되는 구성들의 결합력을 향상시킨다. 버퍼층은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함할 수 있다. 실리콘옥사이드층과 실리콘나이트라이드층은 교번하게 적층될 수 있다.
- [0056] 제1 박막 트랜지스터(T1)는 제1 입력 전극(SE1), 제1 출력 전극(DE1), 제1 제어 전극(GE1), 및 제1 반도체 패턴(OSP1)을 포함한다. 제2 박막 트랜지스터(T2)는 제2 입력 전극(SE1), 제2 출력 전극(DE1), 제2 제어 전극(GE1), 및 제2 반도체 패턴(OSP1)을 포함한다.
- [0057] 무기층(BFL) 상에 제1 반도체 패턴(OSP1)이 배치된다. 제1 반도체 패턴(OSP1)은 제1 반도체 패턴(OSP1)은 결정

질 반도체 물질을 포함할 수 있다. 예를 들어, 제1 반도체 패턴(OSP1)은 다결정 실리콘과 같은 다결정 반도체 물질을 포함할 수 있다. 다결정 실리콘층은 높은 전계 효과 이동도를 가지므로 고속 동작 회로에 적용이 가능하며 성능이 향상된 표시 장치를 제공할 수 있다.

- [0058] 다만, 이에 제한되지 않고 제1 반도체 패턴(OSP1)은 비정질 실리콘을 포함할 수도 있다. 제1 반도체 패턴(OSP1)은 입력영역(또는 제1 부분), 출력영역(또는 제2 부분), 및 입력영역과 출력영역 사이에 정의된 채널영역(또는 제3 부분)을 포함할 수 있다. 본 실시예에서는 용이한 구분을 위해 입력영역 및 출력영역에 대해 빗금 처리하여 도시하였다.
- [0059] 제1 반도체 패턴(OSP1)의 채널영역은 후술하는 제1 제어전극(GE1)에 대응하게 정의될 수 있다. 입력영역과 출력영역은 도판트로 도핑되어 채널영역 대비 상대적으로 전도성이 높다. 입력영역과 출력영역은 n 타입의 도판트로 도핑될 수 있다. 본 실시예에서 n 타입의 제1 박막 트랜지스터(T1)를 예시적으로 설명하나, 제1 박막 트랜지스터(T1)는 p 타입 트랜지스터일 수도 있다.
- [0060] 무기층(BFL) 상에 제1 절연층(10)이 배치된다. 제1 절연층(10)은 복수 개의 화소들(PX, 도 1 참조)에 공통으로 중첩하며, 제1 반도체 패턴(OSP1)을 커버한다. 제1 절연층(10)은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 제1 절연층(10)은 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 본 실시예에서 제1 절연층(10)은 단층의 실리콘옥사이드층일 수 있다.
- [0061] 제1 절연층(10)은 제1 반도체 패턴(OSP1)의 일측 및 타측을 각각 노출시키는 복수의 개구부들(PO, 이하 개구부들)이 정의된다. 개구부들(PO)에는 제1 입력 전극(SE1) 및 제1 출력 전극(DE2) 각각이 매립(embedded)된다. 본 실시예에서의 매립은 평면상에서 제1 입력 전극(SE1) 및 제1 출력 전극(DE2) 각각이 개구부들(PO)에 내에 배치되어 제1 절연층(10)의 상면과 비 중첩되는 것을 의미한다. 즉, 평면상에서 제1 입력 전극(SE1) 및 제1 출력 전극(DE2) 각각의 상면은 제1 절연층(10)의 상면으로 연장되지 않는다.
- [0062] 제3 방향(DR3)을 따라 제1 반도체 패턴(OSP1)에서부터 제1 입력 전극(SE1) 및 제1 출력 전극(DE1)의 두께는 제1 절연층(10)의 두께와 동일할 수 있다. 따라서, 매립된 제1 입력 전극(SE1) 및 제1 출력 전극(DE) 각각의 상면은 제1 절연층(10)의 상면과 동일한 평면을 정의할 수 있다. 또한, 이에 제한되지 않으며, 후술할 매립의 공정과정시 발생하는 공정상의 오차를 포함한다. 즉, 제1 입력 전극(SE1) 및 제1 출력 전극(DE1)의 두께가 제1 절연층(10)의 두께보다 작거나 큰 경우를 포함할 수 있다. 본 실시예에서, 제1 입력 전극(SE1)과 제1 출력 전극(DE1) 각각의 측면들은 테이퍼 형상을 가질 수 있다.
- [0063] 제1 절연층(10) 상에 제1 제어전극(GE1)이 배치된다. 제1 제어전극(GE1)은 제1 반도체 패턴(OSP1)의 채널영역에 중첩한다.
- [0064] 제1 절연층(10) 상에 제2 절연층(20)이 배치된다. 제2 절연층(20)은 제1 절연층(10)과 제1 제어 전극을 커버한다. 제2 절연층(20)은 복수 개의 화소들(PX, 도 1 참조)에 공통으로 중첩한다. 본 실시예에서, 제1 입력 전극(SE1)과 제1 출력 전극(DE1)은 제2 절연층(20)에 의해 커버될 수 있다.
- [0065] 제2 절연층(20)은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 제2 절연층(20)은 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 본 실시예에서 제2 절연층(20)은 단층의 실리콘옥사이드층일 수 있다.
- [0066] 제2 절연층(20) 상에 상부 전극(DE)이 더 배치될 수 있다. 상부 전극(DE)은 제1 제어전극(GE1)과 중첩할 수 있다. 상부 전극(DE)은 제1 제어 전극(SE1)과 상이한 전기적 신호를 수신할 수 있다. 이때, 제1 제어 전극(GE1)과 상부 전극(DE)은 전계를 형성한다.
- [0067] 이에 제한되는 것은 아니며, 상부 전극(DE)은 제1 제어 전극(SE1)과 동일한 전기적 신호를 수신할 수 있다. 이때, 제1 박막 트랜지스터(T1)은 이중 게이트 구조를 가질 수 있다. 상부 전극(DE)은 제1 제어 전극(GE1)과 함께 채널 영역의 온-오프 전압을 제어할 수 있다.
- [0068] 제2 절연층(20) 상에 상부 전극(DE)을 커버하는 제3 절연층(30)이 배치된다. 제3 절연층(30)은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 제3 절연층(30)은 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥시나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 본 실시예에서 제3 절연층(30)은 단층의 실리콘옥사이드층일 수 있다.

- [0069] 제3 절연층(30) 상에 제2 반도체 패턴(OSP2)이 배치된다. 제2 반도체 패턴(OSP2)은 산화물 반도체를 포함할 수 있다. 제2 반도체 패턴(OSP2)은 결정질 또는 비정질 산화물 반도체를 포함할 수 있다. 예를 들어, 산화물 반도체는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속 산화물 또는 아연(Zn), 인듐(In), 갈륨(Ga), 주석(Sn), 티타늄(Ti) 등의 금속과 이들의 산화물의 혼합물을 포함할 수 있다. 산화물 반도체는 인듐-주석 산화물(ITO), 인듐-갈륨-아연 산화물(IGZO), 아연 산화물(ZnO), 인듐-아연 산화물(IZnO), 아연-인듐 산화물(ZIO), 인듐 산화물(InO), 티타늄 산화물(TiO), 인듐-아연-주석 산화물(IZTO), 아연-주석 산화물(ZTO) 등을 포함할 수 있다.
- [0070] 제2 반도체 패턴(OSP2)은 입력영역(또는 제1 부분), 출력영역(또는 제2 부분), 및 입력영역과 출력영역 사이에 정의된 채널영역(또는 제3 부분)을 포함할 수 있다. 입력영역, 출력영역은 채널영역보다 높은 전기 전도도를 가진 영역들일 수 있다. 제2 반도체 패턴(OSP2)의 채널영역은 후술하는 제2 제어전극(GE2)에 대응하게 정의될 수 있다.
- [0071] 제2 반도체 패턴(OSP2)의 환원된 금속 물질들 수 있다. 입력영역과 출력영역은 채널영역을 이루는 금속 산화물로부터 환원된 금속 물질들을 포함할 수 있다. 이에 따라, 제2 박막 트랜지스터(T2)는 누설전류를 낮출 수 있어 온-오프 특성이 향상된 스위칭 소자로 기능할 수 있다.
- [0072] 제2 반도체 패턴(OSP2)의 채널영역 상에 절연패턴(GIP)이 배치된다. 절연패턴(GIP) 상에 제2 제어전극(GE2)이 배치된다. 제2 제어전극(GE2)은 적어도 절연패턴(GIP)에 중첩한다. 절연패턴(GIP)의 에지는 제2 제어전극(GE2)의 에지를 따라 정렬될 수 있다. 제2 제어전극(GE2)은 절연패턴(GIP)과 평면상에서 동일한 형상을 가질 수 있다. 채널영역과 입력 영역 및 출력 영역 사이의 경계는 절연패턴(GIP)의 에지와 대응되도록 형성될 수 있다.
- [0073] 제3 절연층(30) 상에 제2 반도체 패턴(OSP2) 및 제2 제어전극(GE2)을 커버하는 제4 절연층(40)이 배치된다. 제4 절연층(40)은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 제4 절연층(40)은 알루미늄 옥사이드, 티타늄 옥사이드, 실리콘 옥사이드, 실리콘옥사이드나이트라이드, 지르코늄옥사이드, 및 하프늄 옥사이드 중 적어도 하나를 포함할 수 있다. 본 실시예에서 제4 절연층(40)은 실리콘옥사이드층 및 실리콘나이트라이드층을 포함할 수 있다. 제4 절연층(40)은 교번하게 적층된 복수 개의 실리콘옥사이드층들과 실리콘나이트라이드층들을 포함할 수 있다.
- [0074] 제4 절연층(40) 상에 제1 연결 전극(CL1), 제2 연결 전극(CL2), 제2 입력 전극(SE2), 및 제2 출력 전극(DE2)이 배치된다. 제4 절연층(40)은 제4 절연층(40)을 관통하는 복수 개의 콘택홀들(CH1, CH2, CH3, CH4)를 포함한다. 제1 콘택홀(CH1)을 통해 제1 연결 전극(CL1)과 제1 입력 전극(SE1)이 제1 반도체 패턴(OSP1)의 입력영역에 접속된다. 제2 콘택홀(CH2)을 통해 제2 연결 전극(CL1)과 제1 출력 전극(DE1)은 제1 반도체 패턴(OSP1)의 출력영역에 접속된다.
- [0075] 제2 반도체 패턴(OSP2)의 입력영역과 출력영역을 각각 노출시키는 제3 콘택홀(CH3) 및 제4 콘택홀(CH4)을 통해 제2 입력 전극(SE2)과 제2 출력 전극(DE2)이 제2 반도체 패턴(OSP2)에 접속된다.
- [0076] 연결 전극들은 제1 박막 트랜지스터(T1)와 외부 구성을 연결하는 구성일 수 있다. 제1 연결 전극(CL1)은 제1 입력 전극(SE1)과 외부 구성, 예를 들어, 도 2에 도시된 커패시터(Cst)를 연결하고, 제2 연결 전극(CL2)는 제1 출력 전극(DE1)과 브릿지 전극(CNE)을 연결한다.
- [0077] 제1 연결 전극(CL1) 및 제2 연결 전극(CL1)은 Ti, Mo, Al 및 Cu 로 이루어진 그룹으로부터 선택된 적어도 하나의 금속으로 이루어질 수 있다. 또한, 제1 연결 전극(CL1) 및 제2 연결 전극(CL1)은 ITO, IZO, ZnO, In₂O₃, SnO₂ 및 AlZnO_x로 이루어진 그룹으로부터 선택된 적어도 하나의 금속산화물로 이루어질 수 있다.
- [0078] 연결 전극들(CL1, CL2)은 제2 입력 전극(SE2) 및 제2 출력 전극(DE2)와 동일 층상에 배치될 수 있다. 또한, 연결 전극들 CL1, CL2은 제2 입력 전극(SE2) 및 제2 출력 전극(DE2)과 동일한 물질을 포함할 수 있다.
- [0079] 따라서, 본 발명의 실시예에 따르면, 제2 박막 트랜지스터(T2)의 제2 입력 전극(SE2) 및 제2 출력 전극(DE2)은 제1 연결 전극(CL1) 및 제2 연결 전극(CL2)과 동일 공정에 의해 형성될 수 있으며, 이에 따라 공정이 단순화되고 공정 비용이 절감될 수 있다.
- [0080] 한편, 이는 예시적으로 도시한 것이고, 본 발명의 일 실시예에 따르면, 제1 박막 트랜지스터(T1)의 제1 입력 전극(SE1) 및 제1 출력 전극(DE2)들은 제2 박막 트랜지스터(T2)의 제2 입력 전극(SE2) 및 제2 출력 전극(DE2)들과 상이한 층에 배치될 수 있고, 서로 상이한 물질로 구성될 수도 있으며, 독립적인 공정을 통해 형성될 수도 있다. 제2 박막 트랜지스터(T2)의 제2 입력 전극(SE2) 및 제2 출력 전극(DE2)들은 제2 절연층(20) 상에 배치되

므로 서로 상이한 물질로 이루어질 수 있다.

- [0081] 제4 절연층(40) 상에 제2 입력 전극(DE2), 제2 출력 전극(SE2), 제1 연결 전극(CL1), 제2 연결 전극(CL2)을 커버하는 제5 절연층(50)이 배치된다. 제5 절연층(50)은 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다.
- [0082] 제5 절연층(50) 상에 브릿지 전극(CNE)이 배치된다. 브릿지 전극(CNE)은 제5 절연층(50)을 관통하는 제5 컨택홀(CH5)을 통해 제2 연결 전극(CL1)에 연결될 수 있다. 브릿지 전극(CNE)은 제2 연결 전극(CL2)보다 상대적으로 낮은 저항을 갖는 물질로 이루어질 수 있다. 이에 따라, 제2 연결 전극(CL2)과 제1 전극(AE) 사이의 전기적 접촉이 용이하게 이루어질 수 있다.
- [0083] 제5 절연층(50) 상에 브릿지 전극(CNE)을 커버하는 제6 절연층(60, 또는 패시베이션층)이 배치된다. 제6 절연층(60)은 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다.
- [0084] 본 실시예에서 제5 절연층(50) 및 제6 절연층(60)은 단층의 폴리이미드계 수지층일 수 있다. 이에 제한되지 않고, 제5 절연층(50) 및 제6 절연층(60)은 아크릴계 수지, 메타크릴계 수지, 폴리이소프렌, 비닐계 수지, 에폭시계 수지, 우레탄계 수지, 셀룰로오스계 수지, 실록산계 수지, 폴리아미드계 수지 및 페틸렌계 수지 중 적어도 어느 하나를 포함할 수도 있다.
- [0085] 제6 절연층(60) 상에 유기발광 다이오드(OLED)가 배치된다. 유기발광 다이오드(OLED)는 제1 전극(AE), 제1 전하 제어층(HCL), 발광층(EML), 제2 전하 제어층(ECL), 제2 전극(CE)을 포함한다. 본 실시예에서, 제1 전극(AE), 제1 전하 제어층(HCL), 발광층(EML), 제2 전하 제어층(ECL), 제2 전극(CE)은 애노드 전극(AE), 정공 제어층(HCL), 발광층(EML), 전자 제어층(ECL), 및 캐소드 전극(CE)에 대응될 수 있다.
- [0086] 한편, 이는 예시적으로 도시한 것이고, 제1 전극(AE), 제1 전하 제어층(HCL), 발광층(EML), 제2 전하 제어층(ECL), 및 제2 전극(CE)은 각각 캐소드 전극, 전자 제어층, 발광층, 정공 제어층, 및 애노드 전극일 수 있다.
- [0087] 제1 전극(AE)은 제6 절연층(60)을 관통하는 제6 컨택홀(CH6)을 통해서 브릿지 전극(CNE)에 연결된다. 따라서, 본 실시예에 따르면, 제1 전극(AE)은 브릿지 전극(CNE)과 연결된 제2 연결 전극(CL2)을 통해 제1 반도체 패턴(OSP1)의 출력영역과 전기적으로 연결 된다.
- [0089] 제6 절연층(60) 상에 화소정의막(PDL)이 배치된다. 화소정의막(PDL)의 개구부(OP)는 제1 전극(AE)의 적어도 일부분을 노출시킨다. 화소정의막(PDL)의 개구부(OP)는 화소의 발광영역(PXA)을 정의할 수 있다. 예컨대, 복수 개의 화소들(PX, 도 1 참조)은 표시패널(DP, 도 1 참조)의 평면 상에서 일정한 규칙으로 배치될 수 있다. 복수 개의 화소들(PX)이 배치된 영역은 화소영역으로 정의될 수 있고, 하나의 화소영역은 발광영역(PXA)과 발광영역(PXA)에 인접한 비발광영역(NPXA)을 포함할 수 있다. 비발광영역(NPXA)은 발광영역(PXA)을 에워 싸을 수 있다.
- [0090] 제1 전하 제어층(HCL)은 발광영역(PXA)과 비발광영역(NPXA)에 공통으로 배치될 수 있다. 제1 전하 제어층(HCL)과 같은 공통층은 복수 개의 화소들(PX)에 공통으로 형성될 수 있다. 제1 전하 제어층(HCL)은 정공의 이동을 제어할 수 있다. 예를 들어, 제1 전하 제어층(HCL)은 정공 수송층 및 정공 주입층을 포함할 수 있다.
- [0091] 제1 전하 제어층(HCL) 상에 발광층(EML)이 배치된다. 발광층(EML)은 개구부(OP)에 대응하는 영역에만 배치될 수 있다. 발광층(EML)은 복수 개의 화소들(PX) 각각에 분리되어 형성될 수 있다.
- [0092] 본 실시예에서 패터닝된 발광층(EML)을 예시적으로 도시하였으나, 발광층(EML)은 복수 개의 화소들(PX)에 공통적으로 배치될 수 있다. 이때, 발광층(EML)은 백색 광을 생성할 수 있다. 또한, 발광층(EML)은 다층구조를 가질 수 있다.
- [0093] 발광층(EML) 상에 제2 전하 제어층(ECL)이 배치된다. 제2 전하 제어층(ECL)은 전자의 이동을 제어할 수 있다. 예를 들어, 제2 전하 제어층(ECL)은 전자 수송층 및 전자 주입층을 포함할 수 있다. 제2 전하 제어층(ECL) 상에 제2 전극(CE)이 배치된다. 제2 전하 제어층(ECL) 및 제2 전극(CE)은 복수 개의 화소들(PX)에 공통적으로 배치된다.
- [0094] 제2 전극(CE) 상에 박막 봉지층(TFE)이 배치된다. 박막 봉지층(TFE)은 복수 개의 화소들(PX)에 공통적으로 배치된다. 본 실시예에서 박막 봉지층(TFE)은 제2 전극(CE)을 직접 커버한다. 본 발명의 일 실시예에서, 제2 전극(CE)을 커버하는 캡핑층이 더 배치될 수 있다.

- [0095] 박막 봉지층(TFE)은 적어도 무기층 또는 유기층을 포함한다. 본 발명의 일실시예에서 박막 봉지층(TFE)은 2개의 무기층과 그 사이에 배치된 유기층을 포함할 수 있다. 본 발명의 일실시예에서 박막 봉지층은 교번하게 적층된 복수 개의 무기층들과 복수 개의 유기층들을 포함할 수 있다.
- [0096] 봉지 무기층은 수분/산소로부터 유기발광 다이오드(OLED)을 보호하고, 봉지 유기층은 먼지 입자와 같은 이물질로부터 유기발광 다이오드(OLED)을 보호한다. 봉지 무기층은 실리콘 나이트라이드층, 실리콘 옥시 나이트라이드층, 실리콘 옥사이드층, 티타늄옥사이드층, 또는 알루미늄옥사이드층 등을 포함할 수 있고, 이에 특별히 제한되지 않는다. 봉지 유기층은 아크릴 계열 유기층을 포함할 수 있고, 특별히 제한되지 않는다.
- [0097] 본 실시예에 따르면, 제1 박막 트랜지스터(T1)는 실리콘 반도체, 특히 폴리 실리콘 반도체를 포함하여 높은 전자 이동도를 가질 수 있다. 제2 박막 트랜지스터(T2)는 산화물 반도체를 포함함으로써 누설전류가 감소된다. 따라서 화소(PX, 도 3 참조)의 구동전압이 감소되고 오작동이 방지된다.
- [0098] 본 발명의 일 실시예에 따르면, 커패시터(Cst)의 제1 전극(E1)과 제2 전극(E2)는 제1 박막 트랜지스터(T1)의 구성들과 동일한 공정을 통해 형성될 수 있다.
- [0099] 본 발명의 일 실시예에 따르면, 반도체 패턴의 입력영역과 출력영역에 배치되는 입력/출력 전극을 절연층의 개구부에 매립 시킴으로써, 상이한 절연층을 에칭하여 콘택홀을 형성하는 과정에서 발생하는 미스 얼라인 문제를 개선할 수 있다. 이는 매립된 전극의 위치에 대응하여 콘택홀을 형성함으로써 목적하는 위치에 콘택홀을 형성할 수 있기 때문이다. 본 발명의 실시예에 의하면 전극들간 전기적 접촉 신뢰성이 향상된 표시 패널을 제공할 수 있다.
- [0101] 도 5는 본 발명의 일 실시예에 따른 화소의 일부분에 대응하는 단면도이다.
- [0102] 도 5에 도시된 것과 같이, 본 발명의 일 실시예에서 회로 소자층(DP-CL1)은 제1 박막 트랜지스터(T1-1), 제2 박막 트랜지스터(T2-1), 연결 전극들(CL1-1, CL2-1) 및 복수의 절연층들(10-1, 20-1, 40-1, 60-1)을 포함한다. 표시 소자층(DP-EL1)은 유기발광 다이오드(OLED) 및 화소정의막(PDL)을 포함한다.
- [0103] 도 5에 도시된 제1 박막 트랜지스터(T1-1), 제2 박막 트랜지스터(T2-2), 연결 전극들(CL1-1, CL2-1), 표시 소자층(DP-EL1)은 도 4에 도시된 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 연결 전극들(CL1, CL2), 표시 소자층(DP-EL)에 각각 대응된다.
- [0104] 본 실시예에 따른 표시 패널은 도 4의 브릿지 전극(CNE) 및 제5 절연층(50)이 생략된 것을 제외하고 도 4에 도시된 표시 패널과 대응될 수 있다.
- [0105] 본 실시예에 따르면, 제1 박막 트랜지스터(T1-1)의 제1 출력 전극(DE1-1)은 제4 절연층(40-1)을 관통하는 제2 콘택홀(CH2)을 통해 제4 절연층(40-1)에 배치된 제2 연결 전극(CL2-2)과 접속된다. 제2 연결 전극(CL2-2)은 제6 절연층(60-1)의 제6 콘택홀(CH6)를 통해 유기발광 다이오드(OLED-1)의 제1 전극(AE-1)과 직접적으로 접속된다. 따라서, 본 실시예에 의하면 제1 전극(AE-1)은 제1 반도체 패턴(OSP1-1)과 제2 연결 전극(CL-2)을 통해 전기적으로 연결될 수 있다.
- [0106] 본 실시예에서, 제2 연결 전극(CL2)은 제1 전극(AE)에 직접 접속될 수 있다. 따라서, 제4 절연층(40-1) 및 제6 절연층(60-1) 사이에 제5 절연층(50-1)이 생략될 수 있어 표시 패널의 두께가 감소되며, 공정이 단순화 될 수 있다.
- [0108] 도 6는 본 발명의 일 실시예에 따른 화소의 일부분에 대응하는 단면도이다
- [0109] 도 6에 도시된 것과 같이, 본 발명의 일 실시예에서 회로 소자층(DP-CL2)은 제1 박막 트랜지스터(T1-2), 제2 박막 트랜지스터(T2-2), 제2 연결 전극(CL2-2) 및 복수의 절연층들(10-2, 40-2, 60-2)을 포함한다. 표시 소자층(DP-EL1)은 유기발광 다이오드(OLED) 및 화소정의막(PDL)을 포함한다.
- [0110] 도 6에 도시된 제1 박막 트랜지스터(T1), 연결 전극들(CL2-2), 표시 소자층(DP-EL1)은 도 4에 도시된 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제2 연결 전극(CL2), 표시 소자층(DP-EL)에 각각 대응된다.
- [0111] 본 실시예에 따른 표시 패널은 도 4의 브릿지 전극(CNE), 제2 절연층(20), 및 제5 절연층(50)이 생략된 것을 제외하고 도 4에 도시된 표시 패널과 대응될 수 있다.

- [0112] 제1 박막 트랜지스터(T1-2)의 제1 반도체 패턴(OSP1-2) 및 제2 박막 트랜지스터(T2-2)의 제2 반도체 패턴(OSP2-2)은 동일층인 버퍼층(BFL-2)상에 형성될 수 있다.
- [0113] 제1 박막 트랜지스터(T1-2)의 제1 입력 전극(SE1-2) 및 제1 출력 전극(DE1-2)은 제1 반도체 패턴(OSP1-2)의 일 측 및 타 측을 노출시키는 복수의 제1 개구부들(P01)이 정의된 제1 절연층(10-2)에 배치된다. 제1 입력 전극(SE1-2) 및 제1 출력 전극(DE1-2)은 제1 개구부들(P01) 각각에 매립되어 제1 반도체 패턴(OSP1-2)과 전기적으로 연결될 수 있다.
- [0114] 제2 박막 트랜지스터(T2-2)의 제2 입력 전극(SE1-2) 및 제2 출력 전극(DE1-2)은 제2 반도체 패턴(OSP1-2)의 일 측 및 타 측을 노출시키는 복수의 제2 개구부들(P02)이 정의된 제1 절연층(10-2)에 배치된다. 제2 입력 전극(SE1-2) 및 제2 출력 전극(DE1-2)은 제2 개구부들(P02) 각각에 매립되어 제2 반도체 패턴(OSP2-2)과 전기적으로 연결될 수 있다.
- [0115] 본 실시예에 의하면 박막 트랜지스터들 각각의 입력 전극 및 출력 전극들은 동일 층상에 형성되어 절연층 상에 매립된 구조를 가질 수 있다. 본 실시예의 동일층에 매립된 박막 트랜지스터들의 입력 전극들 및 출력 전극들은 상이한 마스크를 이용하여 포토리소그래피 공정을 통해 형성할 수 있다.
- [0116] 본 실시예에 의하면 제1 박막 트랜지스터(T1-2) 및 제2 박막 트랜지스터(T2-2)가 동일층 상에 형성됨으로써 보다 슬림한 표시 패널을 제공할 수 있다.
- [0118] 도 7는 본 발명의 일 실시예에 따른 화소의 일부분에 대응하는 단면도이다. 도 7에는 용이한 설명을 위해 제1 박막 트랜지스터의 단면도를 도시하였다. 도 1 내지 도 4와 유사한 참조 부호를 사용하며 중복된 설명은 생략한다.
- [0119] 도 7에 도시된 것과 같이, 제1 박막 트랜지스터(T1-3)의 제1 제어 전극(GE1-2)은 버퍼층(BFL-3)상에 직접 배치될 수 있다. 제1 제어 전극(SE1-3) 상에는 제1 절연층(10-3)이 배치된다. 제1 절연층(10-3) 상에는 제1 반도체 패턴(OSP1-3)이 배치된다. 제1 반도체 패턴(OSP1-3)상에는 제1 반도체 패턴(OSP1-3)의 일 측 및 타 측을 각각 노출시키는 복수의 개구부들(P0)이 정의된 제2 절연층(20-3)이 배치된다. 제1 입력 전극(SE1-3) 및 제1 출력 전극(DE1-3)은 상기 개구부들(P0)에 각각이 매립되어 배치된다. 절연층(20-3)에 의해 노출된 제1 입력 전극(SE1-3), 제1 출력 전극(DE1-3)제2 절연층(20-3), 제2 절연층(20-3)을 커버하는 제4 절연층(40-3)이 배치되며, 제4 절연층을 관통하는 콘택홀들(CH)을 통해 제1 연결 전극(CL1-3) 및 제2 연결 전극(CL2-3)은 각각이 1 입력 전극(SE1-3) 및 제1 출력 전극(DE1-3)에 연결된다. 본 실시예와 같은 구조는 제1 박막 트랜지스터(T1-3) 뿐만 아니라 제2 박막 트랜지스터(T2-3)에도 동일하게 적용될 수 있다.
- [0121] 도 8는 본 발명의 일 실시예에 따른 화소의 일부분에 대응하는 단면도이다. 도 1 내지 도 4와 유사한 참조 부호를 사용하며 중복된 설명은 생략한다.
- [0122] 도 8에 도시된 것과 같이, 제1 박막 트랜지스터(T1-4)의 제1 입력 전극(SE1-4) 및 제1 출력 전극(DE1-4)은 제1 반도체 패턴(OSP1-4)의 일 측 및 타 측을 노출시키는 복수의 개구부들(P0)이 정의된 제1 절연층(10-4)에 배치된다. 제1 입력 전극(SE1-4) 및 제1 출력 전극(DE1-4)은 개구부들(P0) 각각에 매립되어 제1 반도체 패턴(OSP1-4)과 전기적으로 연결될 수 있다.
- [0123] 본 실시예에 따르면, 개구부들(P0)에 매립된 제1 입력 전극(SE1-4) 및 제1 출력 전극(DE1-4) 각각은 개구부들(P0)을 전면적으로 충전시키며 배치될 수 있다. 따라서, 제1 입력 전극(SE1-4) 및 출력 전극(DE1-4)의 측면은 제1 절연층(10-4)의 측면과 접촉한다. 또한, 평면상에서 제1 입력 전극(SE1-4) 및 출력 전극(DE1-4)은 제1 절연층(10-4)와 비 중첩한다.
- [0125] 도 9a 내지 도 9l는 본 발명의 일 실시예에 따른 표시 패널 제조 방법을 순차적으로 도시한 단면도들이다. 도 9a 내지 도 9j는 도 4에 도시된 표시 패널(DP)의 제조 방법을 예시적으로 도시하였다. 도 1 내지 도 4와 동일한 참조 부호를 사용하며 중복된 설명은 생략한다.
- [0126] 도 9a 내지 도 9c에 도시된 것과 같이, 베이스층(BL) 상에 무기층(BFL)을 형성한다. 무기층(BFL)은 베이스층(BL) 상에 무기물 및/또는 유기물을 증착, 코팅, 또는 프린팅하여 형성할 수 있다. 도시되지 않았으나, 베이스

층(BL) 및 무기층(BFL) 사이에 배리어층이 형성될 수 있다.

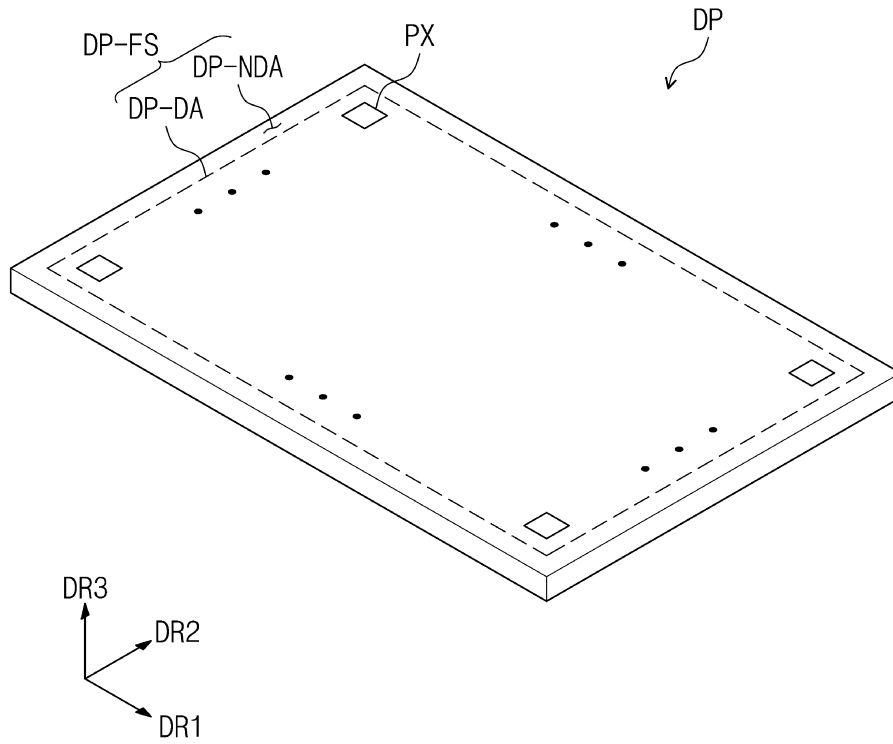
- [0127] 이후, 베이스층(BL) 또는 무기층(BFL) 상에 초기 제1 반도체 패턴(OSPA)을 형성한다. 초기 제1 반도체 패턴(OSPA)은 결정질 반도체 물질을 증착한 후 이를 패터닝하여 형성할 수 있다.
- [0128] 이후, 도 9d에 도시된 것과 같이, 초기 제1 반도체 패턴(OSPA) 및 무기층(BFL)을 커버하는 제1 절연층(10)을 형성한다. 제1 절연층(10)은 무기층(BFL) 상에 무기물 및/또는 유기물을 증착, 코팅, 또는 프린팅 하여 형성될 수 있다.
- [0129] 이후, 도 9e 및 도 9f에 도시된 것과 같이, 초기 제1 반도체 패턴(OSPA)과 중첩하도록 제1 절연층(10)상에 마스크(MSK)를 배치시킨다. 이후, 초기 제1 반도체 패턴(OSPA)에 불순물을 도핑한다. 불순물은 예를 들어, 확산 공정이나 이온 주입 공정에 의해 제1 반도체 패턴(OSP1)에 주입될 수 있으나, 특정 방법에 한정되지 않는다.
- [0130] 마스크(MSK)에 중첩하는 영역(이하, 채널영역) 불순물이 미도핑되고, 채널영역의 양측 영역들(입력영역 및 출력영역)이 도핑 된다. 본 실시예에서 n 타입 도펀트, 즉 5가 원소를 이용하여 도핑할 수 있다. 그에 따라 제1 반도체 패턴(OSP1)이 형성된다
- [0131] 이후, 도 9g에 도시된 것과 같이, 제1 절연층(10)을 에칭하여 제1 반도체 패턴(OSP1)의 입력영역에 중첩하는 일측 및 채널영역에 중첩하는 타 측을 각각 노출시키는 개구부들(PO)를 형성한다.
- [0132] 이후, 도 9h 및 도 9i에 도시된 것과 같이, 도전층(MO)로부터 제1 입력 전극(SE1) 및 제1 출력 전극(DE1)을 형성한다. 제1 입력 전극(SE1) 및 제1 출력 전극(DE1) 각각은 도전층(MO)을 제1 절연층(10) 상에 도포한 후 연마 공정을 통해 형성될 수 있다. 이때, 제1 절연층(10)의 상면이 노출되도록 연마하여 개구부들(PO)에만 도전층(MO)이 매립되도록 할 수 있다.
- [0133] 매립된 제1 입력 전극(SE1) 및 제1 출력 전극(DE1)의 두께는 인접한 제1 절연층(10)의 두께와 동일할 수 있다. 다만, 이에 한정되는 것은 아니며, 공정 시 발생할 수 있는 두께의 오차를 포함한다. 즉, 제1 입력 전극(SE1) 및 제1 출력 전극(DE1)의 두께는 인접한 제1 절연층의 두께보다 적을 수 있다.
- [0134] 이후 도 9j에 도시된 것과 같이, 도전층(미도시)을 패터닝 하여 제1 박막 트랜지스터(T1)의 제1 제어 전극(GE1)을 형성할 수 있다. 도시되지 않았으나, 제1 제어 전극(GE1) 및 커패시터(Cst, 도 3 참조)에 포함된 어느 하나의 전극은 동일한 마스크를 이용하여 동시에 패터닝될 수 있다.
- [0135] 이후, 도 9k 및 도 9l에 도시된 것과 같이, 제1 절연층(10) 및 제1 박막 트랜지스터(T1)을 커버하는 제2 절연층(20)을 형성한다. 제2 절연층(20)은 무기물 및/또는 유기물을 증착, 코팅, 또는 프린팅 하여 형성될 수 있다. 제2 절연층(20) 상에 제4 절연층(40)이 형성된다. 제4 절연층(40)은 무기층 및/또는 유기층일 수 있으며, 단층 또는 다층 구조를 가질 수 있다. 제4 절연층(40)에는 에칭에 의해 제1 입력 전극(SE1) 및 제1 출력 전극(DE1)과 중첩하는 콘택홀들(CH1, CH2)이 형성된다.
- [0136] 이후, 제1 콘택홀(CH1) 및 제2 콘택홀(CH2)을 통해 각각이 제1 입력 전극(SE1) 및 제2 출력 전극(DE1)과 접속되는 제1 연결 전극(CL1) 및 제2 연결 전극(CL2) 형성한다.
- [0137] 본 실시예에 따른 콘택홀들(CH1, CH2)을 에칭하는 공정은 제1 절연층(10)의 제1 입력 전극(SE1) 및 제1 출력 전극(DE1)이 매립되는 개구부들(PO)을 형성하기 위한 마스크와 동일한 마스크를 사용할 수 있다. 따라서, 제1 입력 전극(SE1) 및 제1 출력 전극(DE1)이 매립된 위치에 정확하게 얼라인하여 콘택홀들(CH1, CH2)을 에칭할 수 있는바, 에칭 시 발생하는 미스 얼라인 문제를 개선할 수 있다. 따라서, 전극들간 접속 신뢰성이 향상된 표시 패널을 제공할 수 있다. 또한, 마스크의 개수를 줄임으로써 공정 비용 감소 할 수 있다.
- [0139] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0140] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

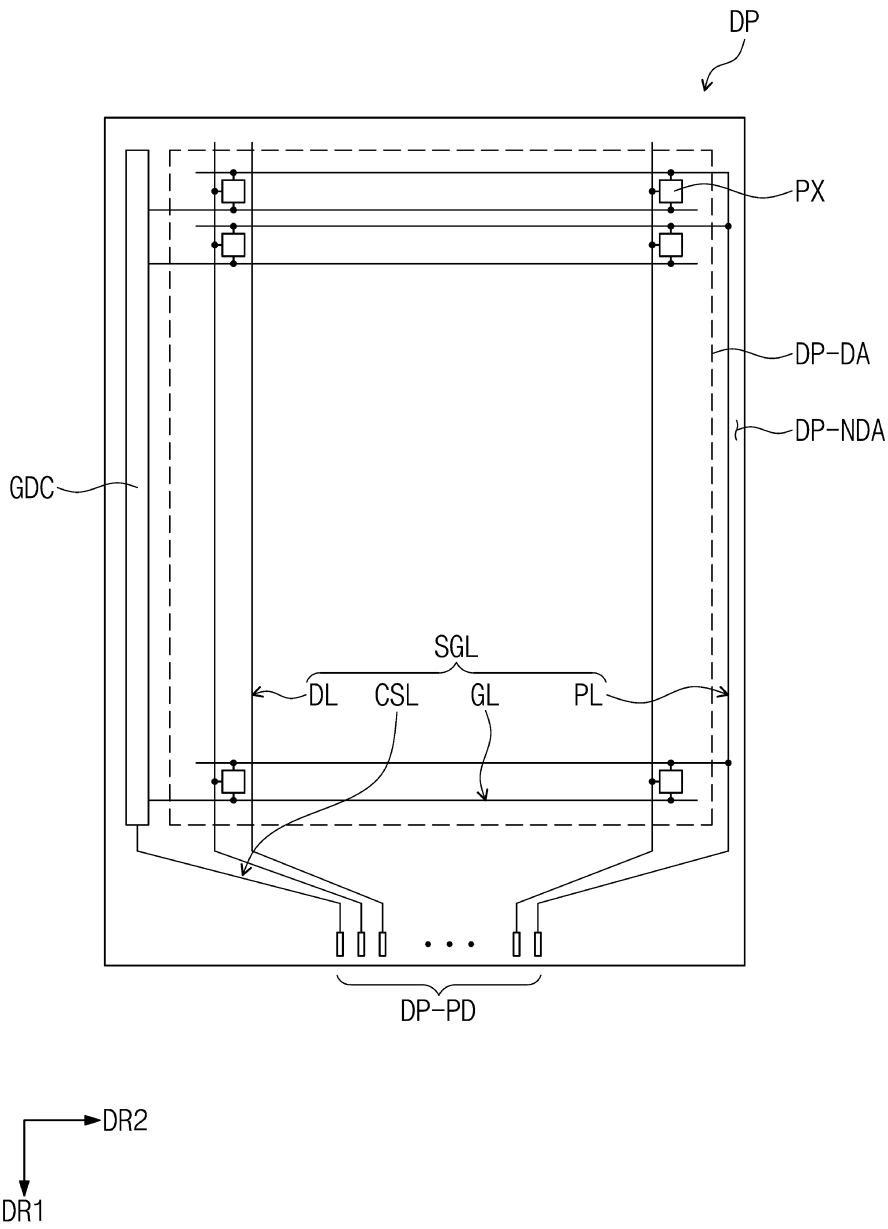
[0141] T1: 제1 박막 트랜지스터 T2: 제1 박막 트랜지스터
OLED: 유기발광 다이오드 DE1, DE2: 입력 전극
SE1, SE2: 출력 전극 GE1, GE2: 제어전극
OSP1, OSP2: 반도체 패턴 CNE: 브릿지 전극
CL1, CL2: 연결 전극

도면

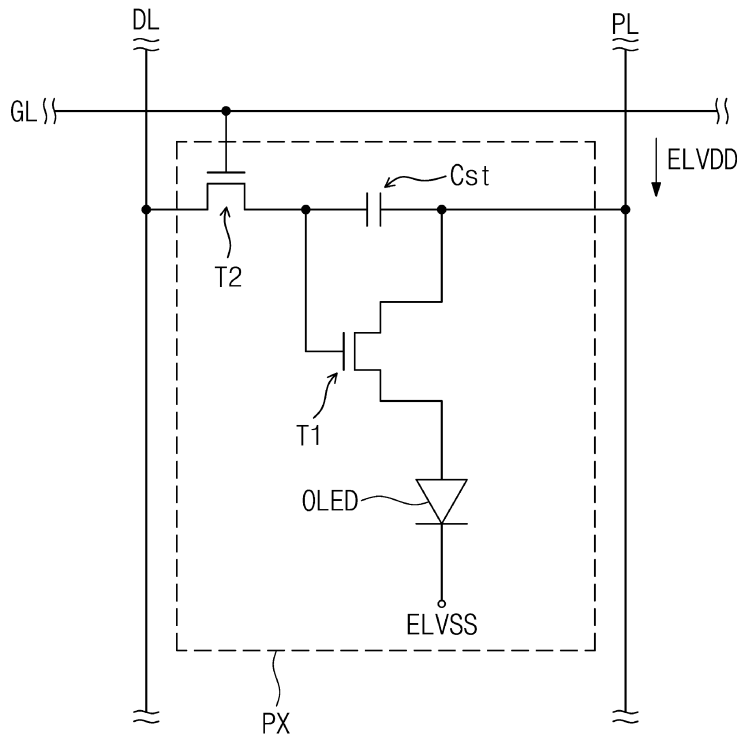
도면1



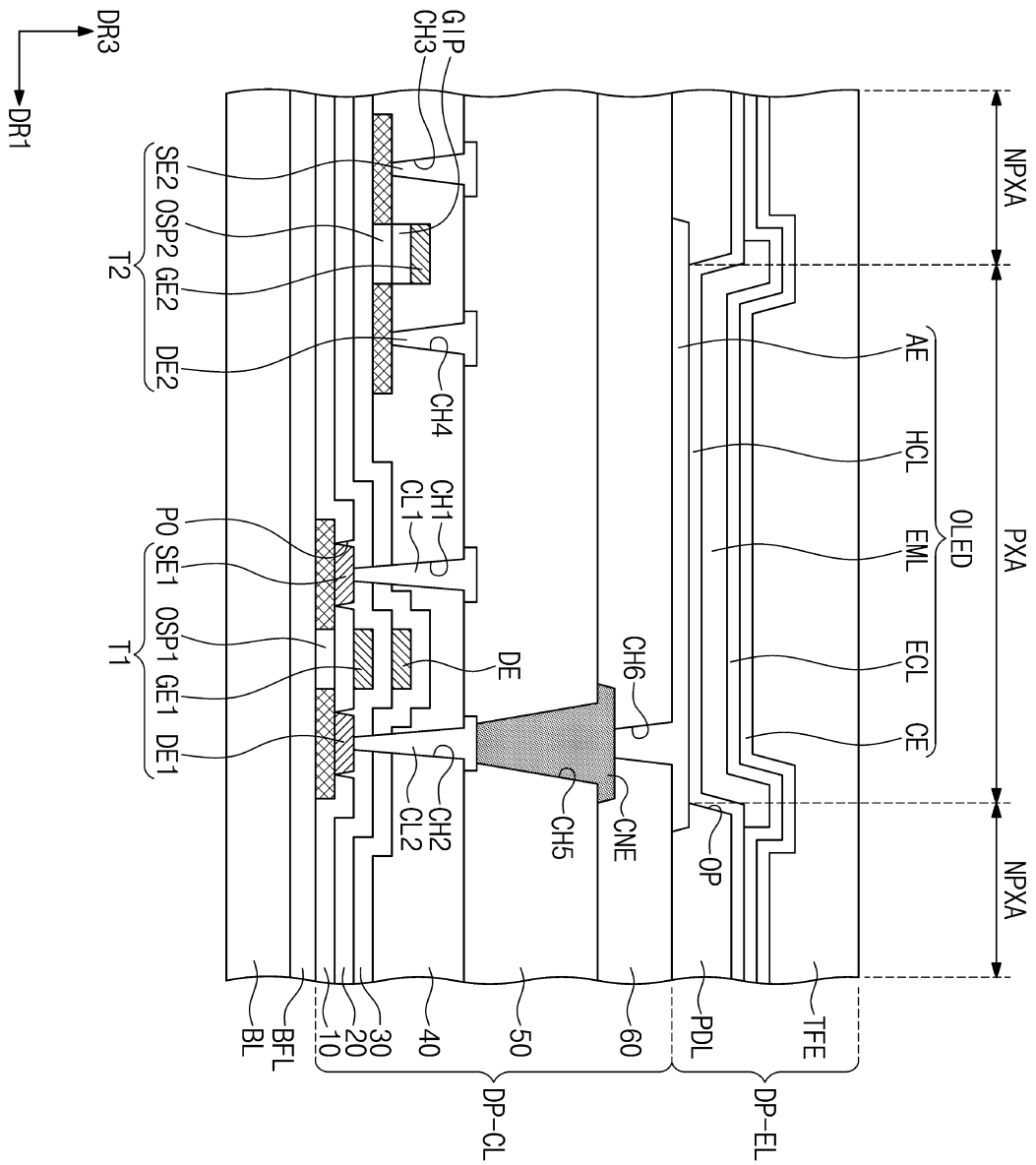
도면2



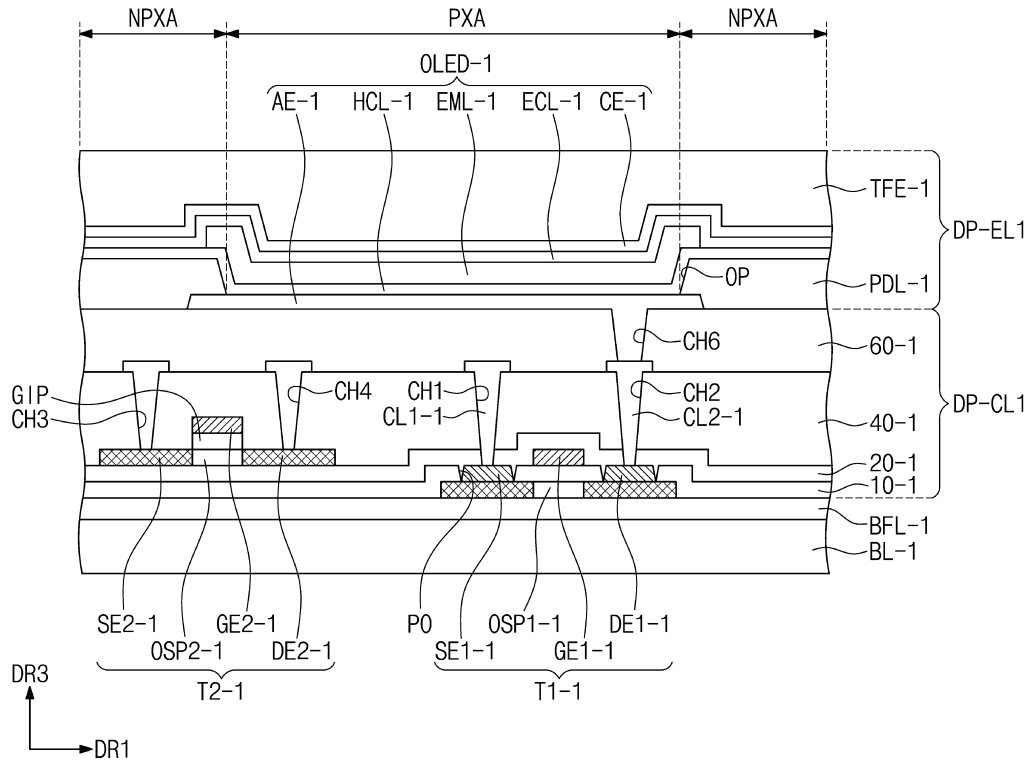
도면3



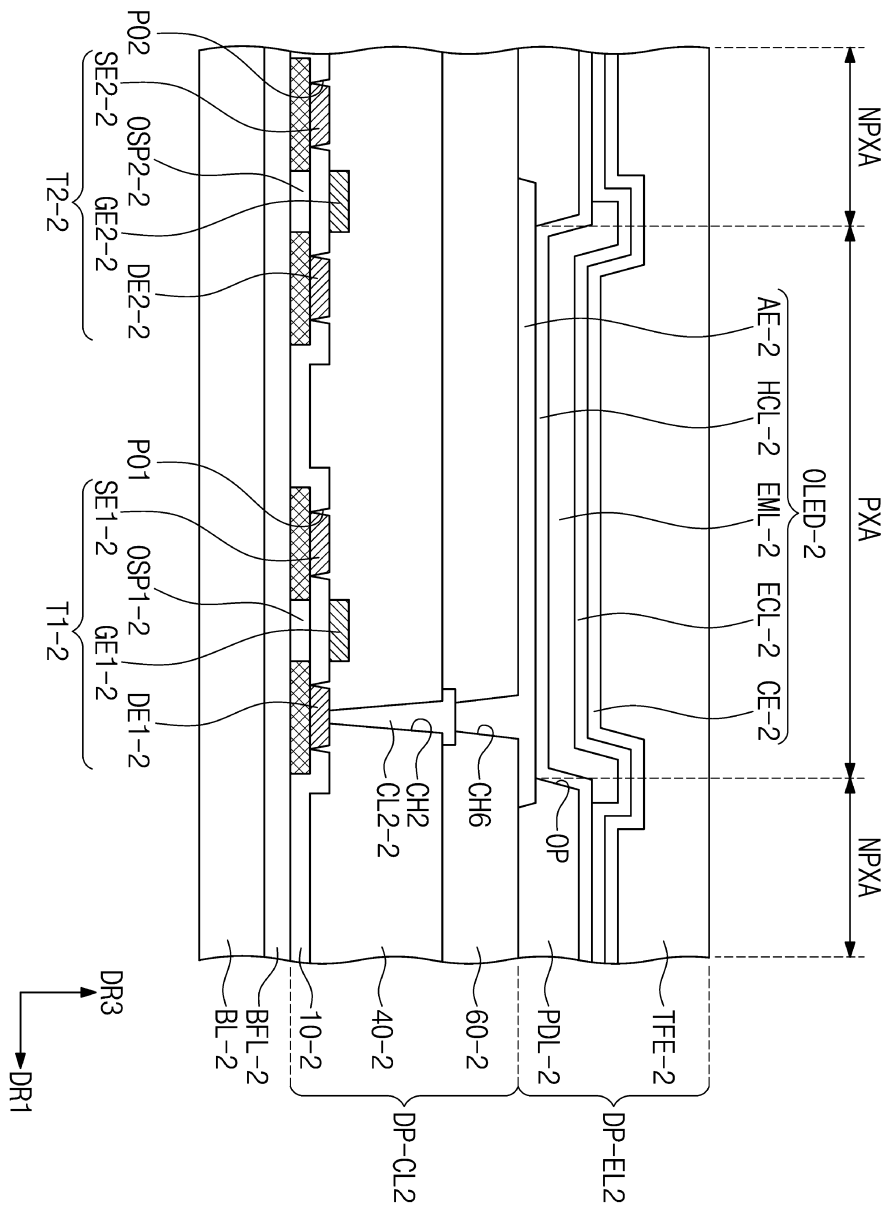
도면4



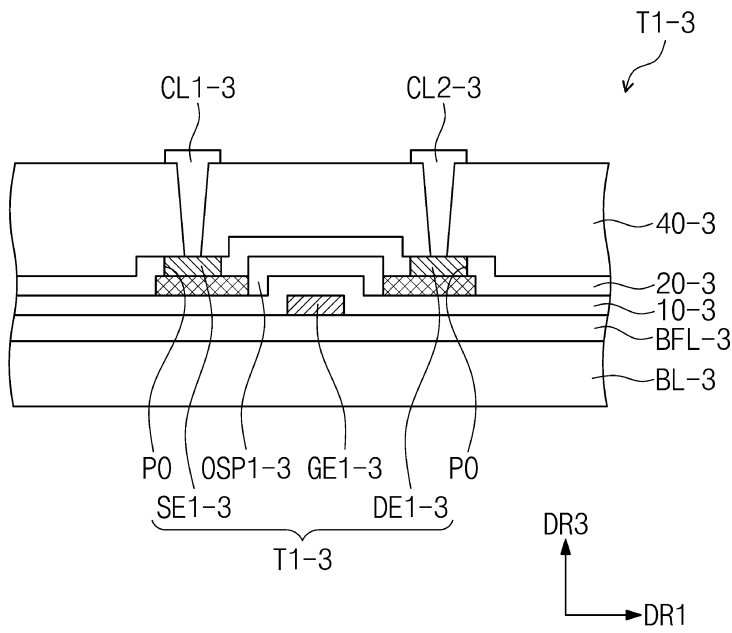
도면5



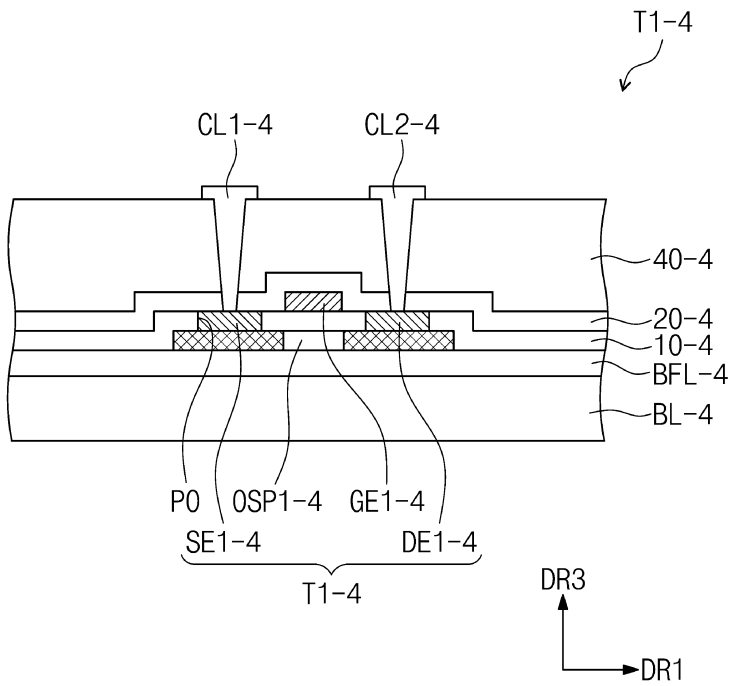
도면6



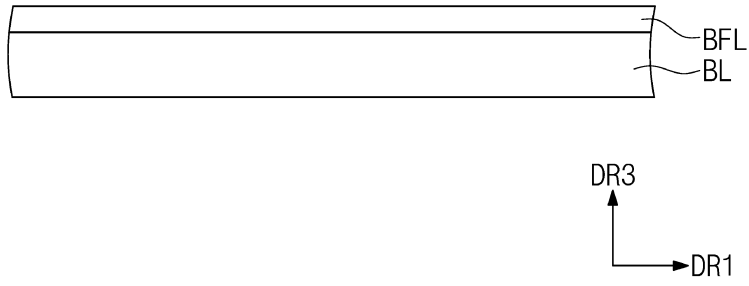
도면7



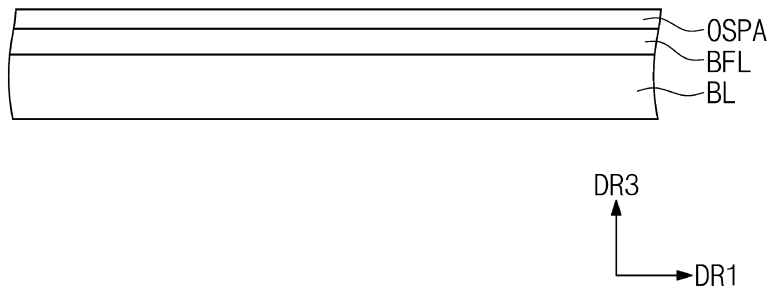
도면8



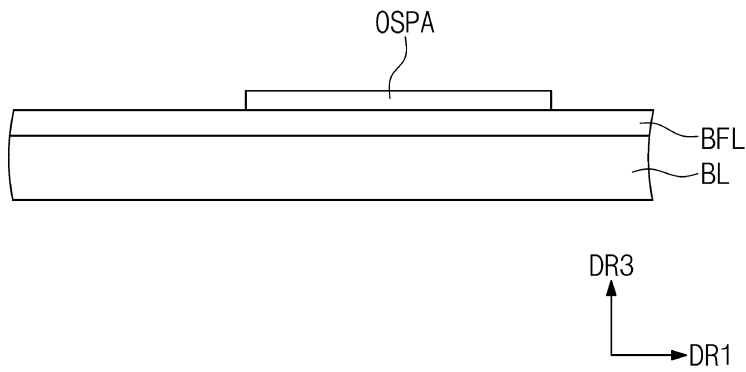
도면9a



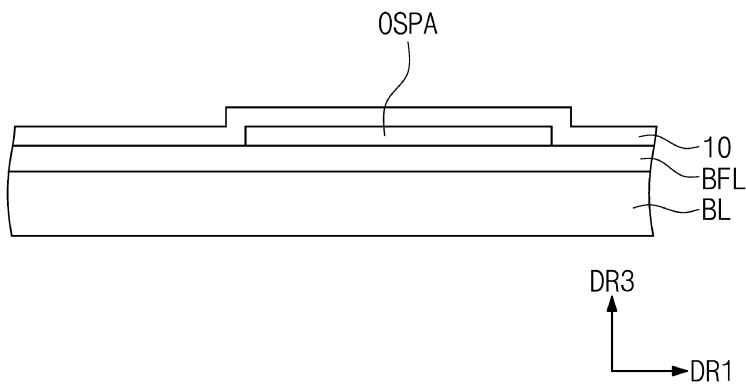
도면9b



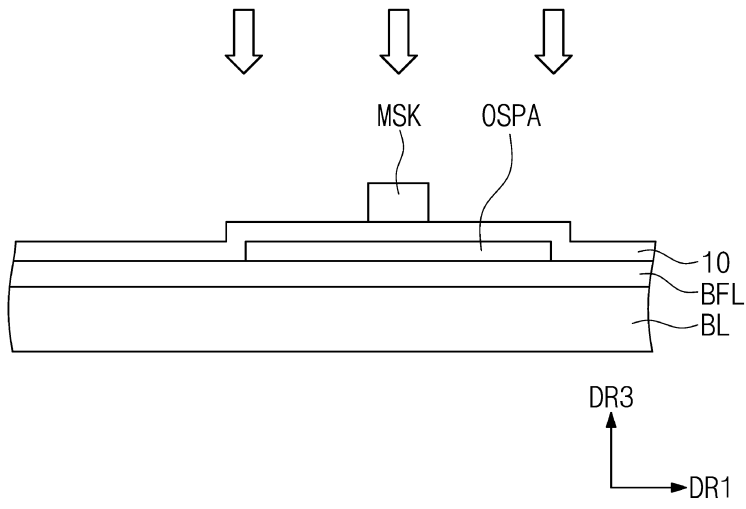
도면9c



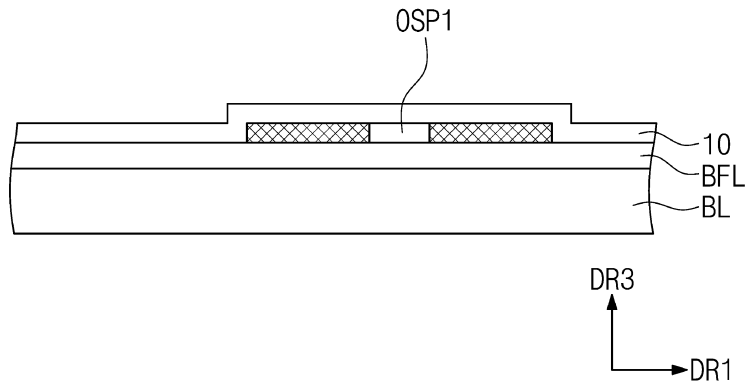
도면9d



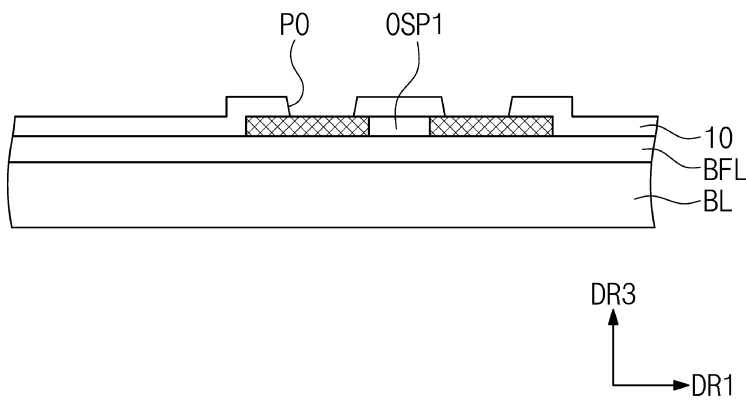
도면9e



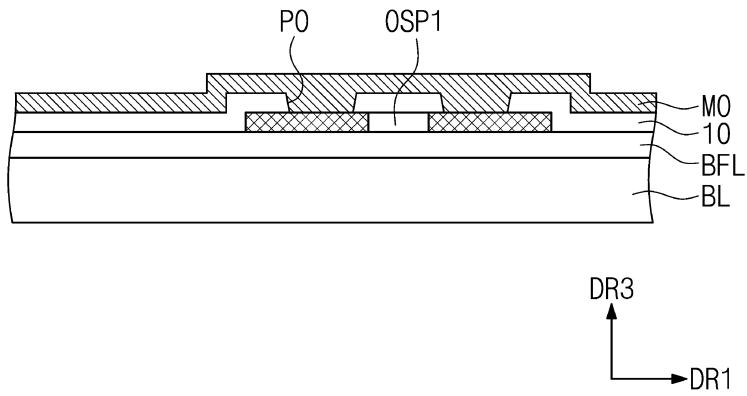
도면9f



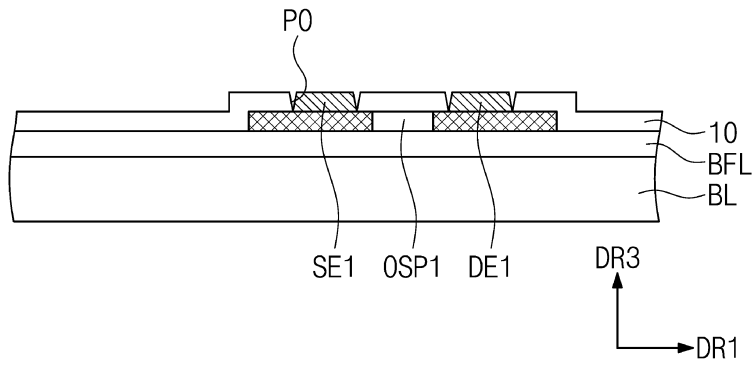
도면9g



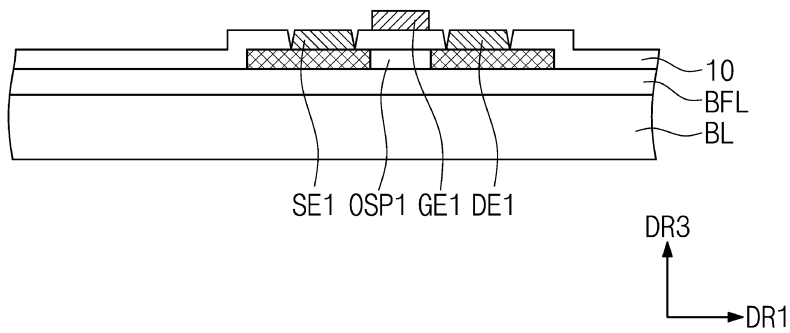
도면9h



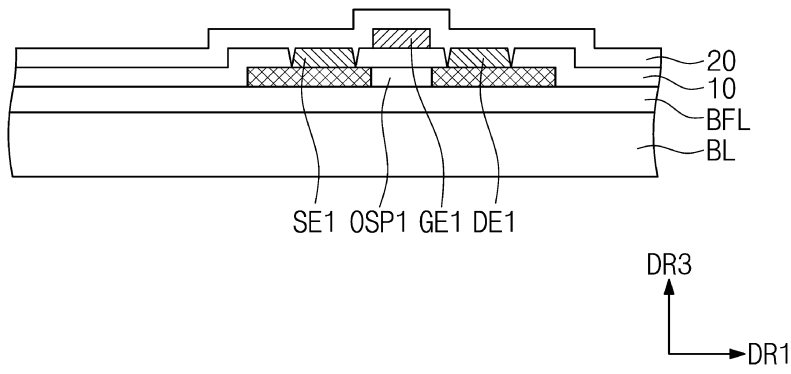
도면9i



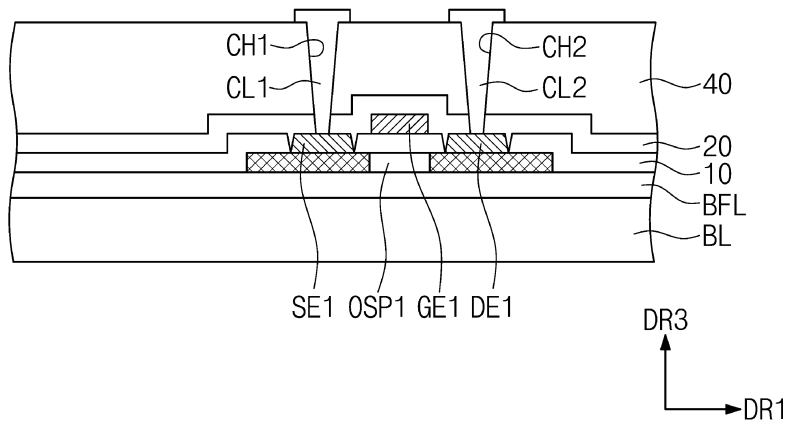
도면9j



도면9k



도면9l



专利名称(译)	显示面板及其制造方法		
公开(公告)号	KR1020190107227A	公开(公告)日	2019-09-19
申请号	KR1020180026998	申请日	2018-03-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	신윤지 백경현 성석제 정우호 조윤종		
发明人	신윤지 백경현 성석제 정우호 조윤종		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3248 H01L27/3258 H01L51/5203 H01L51/56 H01L27/1222 H01L27/3244 G09G3/3233 G09G2300/0426 G09G2300/0842 H01L27/1225 H01L27/3262 H01L2227/323 G09G3/3225 H01L27/1251 H01L27/1288 H01L29/78675 H01L29/7869		
外部链接	Espacenet		

摘要(译)

本发明的显示面板包括：基层；和第一薄膜晶体管，其设置在基础层上，并且包括硅半导体图案，与硅半导体图案间隔开的第一控制电极，与硅半导体图案的一侧连接的第一输入电极以及与硅半导体图案的一侧连接的第一输出电极。硅半导体图案的另一侧；第二薄膜晶体管；有机发光二极管，包括第一电极，第二电极和连接至第一薄膜晶体管的发光层；第一绝缘层包括分别暴露出硅半导体图案的一侧和另一侧的多个开口。第一输入和输出电极中的每一个均嵌入开口中。

