



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0098687
(43) 공개일자 2019년08월22일

- (51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
H01L 51/00 (2006.01)
- (52) CPC특허분류
H01L 51/5237 (2013.01)
H01L 27/3248 (2013.01)
- (21) 출원번호 10-2019-0002439
- (22) 출원일자 2019년01월08일
심사청구일자 없음
- (30) 우선권주장
1020180017149 2018년02월12일 대한민국(KR)

- (71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
- (72) 발명자
손경석
서울특별시 성동구 마장로 137(상왕십리동, 텐즈힐), 201동 1601호
- 김재범
서울특별시 서초구 남부순환로 2183(방배동, 방배래미안타워), 201동 1301호
(뒷면에 계속)
- (74) 대리인
박영우

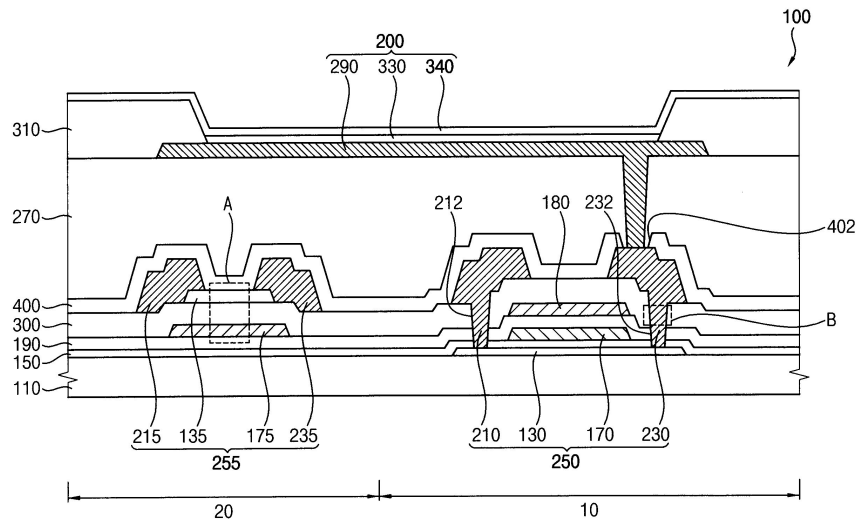
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

유기 발광 표시 장치는 제1 영역 및 제1 영역에 인접한 제2 영역을 갖는 기판, 기판 상의 제1 영역에 배치되는 제1 액티브층, 제1 액티브층 상에 배치되는 제1 게이트 전극, 및 제1 게이트 전극 상에 배치되는 제1 소스 및 제1 드레인 전극들을 포함하는 제1 반도체 소자, 기판 상의 제2 영역에 배치되는 제2 게이트 전극, 제2 게이트 전극 상에 배치되는 제2 액티브층, 및 제2 액티브층 상에 배치되는 제2 소스 및 제2 드레인 전극들을 포함하는 제2 반도체 소자 및 제2 게이트 전극과 제2 액티브층 사이에 배치되고, 동일한 식각 공정에 대해 제1 식각물을 갖는 제1 절연층, 제1 식각물보다 높은 제2 식각물을 가지며 제1 절연층 상에 배치되는 제2 절연층, 및 제2 식각물보다 낮은 제3 식각물을 가지며 제2 절연층 상에 배치되는 제3 절연층을 포함하는 절연층 구조물 및 절연층 구조물 상에 배치되는 발광 구조물을 포함할 수 있다.

대표도



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/0017 (2013.01)

(72) 발명자

문연건

경기도 화성시 영통로50번길 14(반월동, 반달마을
두산위브아파트), 203동 202호

임준형

서울특별시 서초구 방배중앙로 207-10(방배동, 아
크로리버), 104동 2501호

명세서

청구범위

청구항 1

제1 영역 및 상기 제1 영역에 인접한 제2 영역을 갖는 기관;

상기 기관 상의 제1 영역에 배치되는 제1 액티브층, 상기 제1 액티브층 상에 배치되는 제1 게이트 전극, 및 상기 제1 게이트 전극 상에 배치되는 제1 소스 및 제1 드레인 전극들을 포함하는 제1 반도체 소자;

상기 기관 상의 제2 영역에 배치되는 제2 게이트 전극, 상기 제2 게이트 전극 상에 배치되는 제2 액티브층, 및 상기 제2 액티브층 상에 배치되는 제2 소스 및 제2 드레인 전극들을 포함하는 제2 반도체 소자;

상기 제2 게이트 전극과 상기 제2 액티브층 사이에 배치되고, 동일한 식각 공정에 대해 제1 식각률(etching rate)을 갖는 제1 절연층, 제1 식각률보다 높은 제2 식각률을 가지며 상기 제1 절연층 상에 배치되는 제2 절연층, 및 제2 식각률보다 낮은 제3 식각률을 가지며 상기 제2 절연층 상에 배치되는 제3 절연층을 포함하는 절연층 구조물; 및

상기 절연층 구조물 상에 배치되는 발광 구조물을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서, 상기 제1 반도체 소자는 상부 게이트 구조를 가지며 실리콘계 반도체를 포함하고, 상기 제2 반도체 소자는 하부 게이트 구조를 가지며 금속 산화물계 반도체를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서, 상기 제1 반도체 소자의 제1 액티브층은 아몰퍼스 실리콘 또는 폴리 실리콘을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서, 상기 절연층 구조물의 제3 절연층은 상기 제2 액티브층의 저면과 접촉하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서, 상기 제1 절연층 및 상기 제3 절연층은 산화물계 절연층을 포함하고, 상기 제2 절연층은 질화물계 절연층을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서, 상기 제1 및 제3 절연층들 각각은 실리콘 산화물로 구성되고, 상기 제2 절연층은 실리콘 질화물로 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서, 상기 제2 절연층의 두께는 상기 제1 및 제3 절연층들 각각의 두께보다 작은 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제 1 항에 있어서, 상기 절연층 구조물은 상기 제1 액티브층의 제1 부분을 노출시키는 제1 콘택홀 및 상기 제1 액티브층의 상기 제1 부분과 다른 제2 부분을 노출시키는 제2 콘택홀을 포함하고,

상기 제1 및 제2 콘택홀들 각각에서 상기 제2 절연층은 돌출부를 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서, 상기 제1 소스 및 제1 드레인 전극들은 상기 제1 및 제2 콘택홀들 각각에서 리세스를 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제 1 항에 있어서, 상기 제1 식각률과 상기 제3 식각률은 동일한 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제 1 항에 있어서,

상기 제1 게이트 전극 상에 배치되는 게이트 전극 패턴을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제 11 항에 있어서, 상기 게이트 전극 패턴은 상기 제2 게이트 전극과 동일한 층에 위치하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제 12 항에 있어서, 상기 절연층 구조물은 상기 제1 영역에서 상기 제1 소스 및 제1 드레인 전극들과 상기 게이트 전극 패턴 사이에 개재되고, 상기 절연층 구조물은 상기 제2 영역에서 상기 제2 액티브층과 제2 게이트 전극 사이에 개재되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제 1 항에 있어서,

상기 기판 상의 제1 영역에서 상기 제1 액티브층을 덮는 게이트 절연층;

상기 게이트 절연층 상의 제1 영역에서 제1 게이트 전극을 덮는 층간 절연층; 및

상기 절연층 구조물 상에서 상기 제1 소스 및 제1 드레인 전극들 및 상기 제2 소스 및 제2 드레인 전극들을 덮는 보호 절연층을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제 14 항에 있어서, 상기 보호 절연층은 상기 제2 액티브층의 상면과 접촉하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제 14 항에 있어서, 상기 보호 절연층은 실리콘 산화물로 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제 14 항에 있어서, 상기 보호 절연층은 상기 제1 영역에서 상기 제1 드레인 전극의 상면의 일부를 노출시키는 개구를 갖는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 18

제 17 항에 있어서, 상기 발광 구조물은,

상기 제1 및 제2 반도체 소자들 상에 배치되는 하부 전극;

상기 하부 전극 상에 배치되는 발광층; 및

상기 발광층 상에 배치되는 상부 전극을 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 19

제 18 항에 있어서,

상기 보호 절연층과 상기 하부 전극 사이에 배치되고, 유기 물질을 포함하는 평탄화층을 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 20

제 19 항에 있어서, 상기 평탄화층은 상기 보호 절연층의 개구를 통해 노출된 상기 제1 드레인 전극의 상면을 노출시키는 콘택홀을 갖고,

상기 평탄화층의 콘택홀을 통해 상기 하부 전극이 상기 제1 드레인 전극에 접속되는 것을 특징으로 하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다. 보다 상세하게는, 본 발명은 절연층 구조물을 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 평판 표시 장치는 경량 및 박형 등의 특성으로 인하여, 음극선관 표시 장치를 대체하는 표시 장치로서 사용되고 있다. 이러한 평판 표시 장치의 대표적인 예로서 액정 표시 장치와 유기 발광 표시 장치가 있다.

[0003] 최근 실리콘계 반도체 소자 및 금속 산화물계 반도체 소자를 동시에 포함하는 유기 발광 표시 장치가 개발되고 있다. 상기 실리콘계 반도체 소자 및 금속 산화물계 반도체 소자를 형성하는 공정에 있어서, 상기 실리콘계 반도체 소자의 콘택홀을 형성한 후 열처리 공정이 수행될 수 있다. 상기 열처리 공정이 수행되는 경우, 상기 콘택홀을 통해 상기 실리콘계 반도체 소자에 포함된 실리콘 반도체층의 일부가 외부로 노출될 수 있고, 상기 노출된 표면이 챔버 내에 존재하는 산소 이온과 반응하여 상기 노출된 표면 상에 산화물이 형성될 수 있다. 상기 산화물을 제거하기 위해 BOE(buffered oxide etchant) 공정이 수행될 수 있다. 상기 BOE 공정의 에치트에 의해 콘택홀에 위치하는 절연층에서 언더 컷(under cut) 현상이 발생될 수 있고, 콘택홀 프로파일 불량을 야기시킬 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 절연층 구조물을 포함하는 유기 발광 표시 장치를 제공하는 것이다.
 [0005] 그러나, 본 발명이 상술한 목적들에 의해 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

[0006] 전술한 본 발명의 목적을 달성하기 위하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 제1 영역 및 상기 제1 영역에 인접한 제2 영역을 갖는 기판, 상기 기판 상의 제1 영역에 배치되는 제1 액티브층, 상기 제1 액티브층 상에 배치되는 제1 게이트 전극, 및 상기 제1 게이트 전극 상에 배치되는 제1 소스 및 제1 드레인 전극들을 포함하는 제1 반도체 소자, 상기 기판 상의 제2 영역에 배치되는 제2 게이트 전극, 상기 제2 게이트 전극 상에 배치되는 제2 액티브층, 및 상기 제2 액티브층 상에 배치되는 제2 소스 및 제2 드레인 전극들을 포함하는 제2 반도체 소자 및 상기 제2 게이트 전극과 상기 제2 액티브층 사이에 배치되고, 동일한 식각 공정에 대해 제1 식각물을 갖는 제1 절연층, 제1 식각물보다 높은 제2 식각물을 가지며 상기 제1 절연층 상에 배치되는 제2 절연층, 및 제2 식각물보다 낮은 제3 식각물을 가지며 상기 제2 절연층 상에 배치되는 제3 절연층을 포함하는 절연층 구조물 및 상기 절연층 구조물 상에 배치되는 발광 구조물을 포함할 수 있다.

[0007] 예시적인 실시예들에 있어서, 상기 제1 반도체 소자는 상부 게이트 구조를 가지며 실리콘계 반도체를 포함하고, 상기 제2 반도체 소자는 하부 게이트 구조를 가지며 금속 산화물계 반도체를 포함할 수 있다.

[0008] 예시적인 실시예들에 있어서, 상기 제1 반도체 소자의 제1 액티브층은 아몰퍼스 실리콘 또는 폴리 실리콘을 포

함할 수 있다.

- [0009] 예시적인 실시예들에 있어서, 상기 절연층 구조물의 제3 절연층은 상기 제2 액티브층의 저면과 접촉할 수 있다.
- [0010] 예시적인 실시예들에 있어서, 상기 제1 절연층 및 상기 제3 절연층은 산화물계 절연층을 포함하고, 상기 제2 절연층은 질화물계 절연층을 포함할 수 있다.
- [0011] 예시적인 실시예들에 있어서, 상기 제1 및 제3 절연층들 각각은 실리콘 산화물로 구성되고, 상기 제2 절연층은 실리콘 질화물로 구성될 수 있다.
- [0012] 예시적인 실시예들에 있어서, 상기 제2 절연층의 두께는 상기 제1 및 제3 절연층들 각각의 두께보다 작을 수 있다.
- [0013] 예시적인 실시예들에 있어서, 상기 절연층 구조물은 상기 제1 액티브층의 제1 부분을 노출시키는 제1 콘택홀 및 상기 제1 액티브층의 상기 제1 부분과 다른 제2 부분을 노출시키는 제2 콘택홀을 포함하고, 상기 제1 및 제2 콘택홀들 각각에서 상기 제2 절연층은 돌출부를 가질 수 있다.
- [0014] 예시적인 실시예들에 있어서, 상기 제1 소스 및 제1 드레인 전극들은 상기 제1 및 제2 콘택홀들 각각에서 리세스를 가질 수 있다.
- [0015] 예시적인 실시예들에 있어서, 상기 제1 식각률과 상기 제3 식각률은 동일할 수 있다.
- [0016] 예시적인 실시예들에 있어서, 상기 제1 게이트 전극 상에 배치되는 게이트 전극 패턴을 더 포함할 수 있다.
- [0017] 예시적인 실시예들에 있어서, 상기 게이트 전극 패턴은 상기 제2 게이트 전극과 동일한 층에 위치할 수 있다.
- [0018] 예시적인 실시예들에 있어서, 상기 절연층 구조물은 상기 제1 영역에서 상기 제1 소스 및 제1 드레인 전극들과 상기 게이트 전극 패턴 사이에 개재되고, 상기 절연층 구조물은 상기 제2 영역에서 상기 제2 액티브층과 제2 게이트 전극 사이에 개재될 수 있다.
- [0019] 예시적인 실시예들에 있어서, 상기 기판 상의 제1 영역에서 상기 제1 액티브층을 덮는 게이트 절연층, 상기 게이트 절연층 상의 제1 영역에서 제1 게이트 전극을 덮는 층간 절연층 및 상기 절연층 구조물 상에서 상기 제1 소스 및 제1 드레인 전극들 및 상기 제2 소스 및 제2 드레인 전극들을 덮는 보호 절연층을 더 포함할 수 있다.
- [0020] 예시적인 실시예들에 있어서, 상기 보호 절연층은 상기 제2 액티브층의 상면과 접촉할 수 있다.
- [0021] 예시적인 실시예들에 있어서, 상기 보호 절연층은 실리콘 산화물로 구성될 수 있다.
- [0022] 예시적인 실시예들에 있어서, 상기 보호 절연층은 상기 제1 영역에서 상기 제1 드레인 전극의 상면의 일부를 노출시키는 개구를 가질 수 있다.
- [0023] 예시적인 실시예들에 있어서, 상기 발광 구조물은 상기 제1 및 제2 반도체 소자들 상에 배치되는 하부 전극, 상기 하부 전극 상에 배치되는 발광층 및 상기 발광층 상에 배치되는 상부 전극을 포함할 수 있다.
- [0024] 예시적인 실시예들에 있어서, 상기 보호 절연층과 상기 하부 전극 사이에 배치되고, 유기 물질을 포함하는 평탄화층을 더 포함할 수 있다.
- [0025] 예시적인 실시예들에 있어서, 상기 평탄화층은 상기 보호 절연층의 개구를 통해 노출된 상기 제1 드레인 전극의 상면을 노출시키는 콘택홀을 갖고, 상기 평탄화층의 콘택홀을 통해 상기 하부 전극이 상기 제1 드레인 전극에 접속될 수 있다.

발명의 효과

- [0026] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치는 동일 식각 공정에 대해 제2 식각률을 갖는 제2 절연층 아래에 제2 식각률보다 작은 제1 식각률을 갖는 제1 절연층을 포함함으로써 BOE 공정에서 제1 및 제2 콘택홀들에 위치하는 제1 절연층이 제2 절연층보다 상대적으로 느리게 식각되기 때문에 상기 BOE 공정에서 사용되는 에천트에 의한 언더 컷 현상을 방지할 수 있다.
- [0027] 또한, 실리콘 산화물로 구성된 제3 절연층 및 보호 절연층이 제2 액티브층과 직접적으로 접촉함으로써, 제2 액티브층의 계면 특성이 상대적으로 향상될 수 있다. 이에 따라, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치가 상대적으로 신뢰성이 향상된 제2 반도체 소자를 가질 수 있다.
- [0028] 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법에 있어서, 제1 액티브층 및 제2 액티브

층 상에 열처리 공정이 수행되는 경우, 구동 트랜지스터인 제1 반도체 소자의 구동 범위가 상대적으로 넓어질 수 있고, 스위칭 트랜지스터인 제2 반도체 소자의 문턱 전압의 산포가 줄어들 수 있기 때문에 상대적으로 정밀한 제2 반도체 소자를 수득할 수 있다. 또한, 상기 열처리 공정이 제1 액티브층 및 제2 액티브층 상에 동시에 수행됨으로써, 유기 발광 표시 장치의 제조 비용이 상대적으로 감소될 수 있다.

[0029] 다만, 본 발명의 효과들이 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이다.

도 2는 도 1의 'A'영역을 확대 도시한 단면도이다.

도 3A는 도 1의 'B'영역을 확대 도시한 단면도이다.

도 3B는 언더 컷 현상을 설명하기 위한 단면도이다.

도 4 내지 도 16은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 대하여 상세하게 설명한다. 첨부한 도면들에 있어서, 동일하거나 유사한 구성 요소들에 대해서는 동일하거나 유사한 참조 부호들을 사용한다.

[0032] 도 1은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치를 나타내는 단면도이고, 도 2는 도 1의 'A'영역을 확대 도시한 단면도이며, 도 3A는 도 1의 'B'영역을 확대 도시한 단면도이고, 도 3B는 언더 컷 현상을 설명하기 위한 단면도이다.

[0033] 도 1 내지 도 3A를 참조하면, 유기 발광 표시 장치(100)는 기판(110), 제1 반도체 소자(250), 제2 반도체 소자(255), 게이트 전극 패턴(180), 게이트 절연층(150), 층간 절연층(190), 절연층 구조물(300), 보호 절연층(400), 평탄화층(270), 발광 구조물(200), 화소 정의막(310) 등을 포함할 수 있다. 여기서, 제1 반도체 소자(250)는 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함할 수 있고, 제2 반도체 소자(255)는 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함할 수 있다. 또한, 절연층 구조물(300)은 제1 절연층(301), 제2 절연층(302) 및 제3 절연층(303)을 포함할 수 있고, 발광 구조물(200)은 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함할 수 있다. 더욱이, 제1 콘택홀(212) 및 제2 콘택홀(232) 각각을 통해 제1 소스 전극(210) 및 제1 드레인 전극(230)이 제1 액티브층(130)에 접속될 수 있다.

[0034] 유기 발광 표시 장치(100)가 절연층 구조물(300)을 포함함으로써 유기 발광 표시 장치(100)는 제1 콘택홀(212) 및 제2 콘택홀(232)의 프로파일 불량을 방지할 수 있고, 제1 소스 전극(210) 및 제1 드레인 전극(230) 각각이 제1 액티브층(130)에 용이하게 접속될 수 있다.

[0035] 기판(110)이 제공될 수 있다. 기판(110)은 투명하거나 불투명한 재료로 구성될 수 있다. 예를 들면, 기판(110)은 석영 기판, 합성 석영(synthetic quartz) 기판, 불화칼슘 기판, 불소가 도핑된 석영(F-doped quartz) 기판, 소다라임(sodalime) 유리 기판, 무알칼리(non-alkali) 유리 기판 등을 포함할 수 있다. 선택적으로, 기판(110)은 연성을 갖는 투명 수지 기판으로 이루어질 수도 있다. 기판(110)으로 이용될 수 있는 투명 수지 기판의 예로는 폴리이미드 기판을 들 수 있다. 이러한 경우, 상기 폴리이미드 기판은 제1 폴리이미드층, 배리어 필름층, 제2 폴리이미드층 등으로 구성될 수 있다. 예를 들면, 상기 폴리이미드 기판은 경질의 유리 기판 상에 제1 폴리이미드층, 배리어 필름층 및 제2 폴리이미드층이 적층된 구성을 가질 수 있다. 상기 폴리이미드 기판의 제2 폴리이미드층 상에 절연층(예를 들어, 버퍼층)을 배치한 후, 상기 절연층 상에 상부 구조물(예를 들어, 제1 반도체 소자(250), 제2 반도체 소자(255), 발광 구조물(200) 등)이 배치될 수 있다. 이러한 상부 구조물의 형성 후, 상기 경질의 유리 기판이 제거될 수 있다. 즉, 상기 폴리이미드 기판은 얇고 플렉서블하기 때문에, 상기 폴리이미드 기판 상에 상기 상부 구조물을 직접 형성하기 어려울 수 있다. 이러한 점을 고려하여, 상기 경질의 유리 기판을 이용하여 상부 구조물을 형성한 다음, 상기 유리 기판을 제거함으로써, 상기 폴리이미드 기판이 기판(110)으로 이용될 수 있다. 예시적인 실시예들에 있어서, 기판(110)은 제1 영역(10) 및 제2 영역(20)을 가질 수

있고, 제1 영역(10)과 제2 영역(20)은 인접하여 위치할 수 있다. 예를 들면, 제1 영역(10)은 구동 트랜지스터가 배치되는 영역일 수 있고, 제2 영역(20)은 스위칭 트랜지스터가 배치되는 영역일 수 있다.

[0036] 기판(110) 상에 버퍼층(도시되지 않음)이 배치될 수도 있다. 상기 버퍼층은 기판(110) 상에 전체적으로 배치될 수 있다. 상기 버퍼층은 기판(110)으로부터 금속 원자들이나 불순물들이 제1 반도체 소자(250), 제2 반도체 소자(255) 및 발광 구조물(200)로 확산되는 현상을 방지할 수 있으며, 액티브층을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 액티브층을 수득하게 할 수 있다. 또한, 상기 버퍼층은 기판(110)의 표면이 균일하지 않을 경우, 기판(110)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기판(110)의 유형에 따라 기판(110) 상에 두 개 이상의 버퍼층이 제공될 수 있거나 상기 버퍼층이 배치되지 않을 수 있다. 예를 들면, 상기 버퍼층은 유기 물질 또는 무기 물질을 포함할 수 있다.

[0037] 제1 액티브층(130)이 기판(110) 상의 제1 영역(10)에 배치될 수 있다. 예를 들면, 제1 액티브층(130)은 산화물 반도체, 아몰퍼스 실리кон(amorphous silicon), 폴리 실리кон(poly silicon) 또는 유기물 반도체 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130)은 실리кон계 반도체를 포함할 수 있고, 상기 아몰퍼스 실리кон 또는 폴리 실리кон으로 구성될 수 있다.

[0038] 기판(110) 및 제1 액티브층(130) 상의 제1 영역(10) 및 제2 영역(20)에는 게이트 절연층(150)이 배치될 수 있다. 게이트 절연층(150)은 기판(110) 상의 제1 영역(10)에 제1 액티브층(130)을 덮을 수 있고, 기판(110) 상에 전체적으로 배치될 수 있다. 예를 들면, 게이트 절연층(150)은 기판(110) 상에서 제1 액티브층(130)을 덮으며, 제1 액티브층(130)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 이와는 달리, 게이트 절연층(150)은 기판(110) 상에서 제1 액티브층(130)을 충분히 덮을 수 있으며, 제1 액티브층(130)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수도 있다. 게이트 절연층(150)은 실리кон 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 게이트 절연층(150)은 실리кон 산화물(SiO_x), 실리кон 질화물(SiN_x), 실리кон 산질화물(SiO_xN_y), 실리кон 산탄화물(SiO_xC_y), 실리кон 탄질화물(SiC_xN_y), 실리кон 산탄화물(SiO_xC_y), 알루미늄 산화물(AlO_x), 알루미늄 질화물(AlN_x), 탄탈륨 산화물(TaO_x), 하프늄 산화물(HfO_x), 지르코늄 산화물(ZrO_x), 티타늄 산화물(TiO_x) 등으로 구성될 수 있다.

[0039] 제1 게이트 전극(170)은 게이트 절연층(150) 상의 제1 영역(10)에 배치될 수 있다. 제1 게이트 전극(170)은 게이트 절연층(150) 중에서 하부에 제1 액티브층(130)이 위치하는 부분 상에 배치될 수 있다. 제1 게이트 전극(170)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 게이트 전극(170)은 금(Au), 은(Ag), 알루미늄(Al), 백금(Pt), 니켈(Ni), 티타늄(Ti), 팔라듐(Pd), 마그네슘(Mg), 칼슘(Ca), 리튬(Li), 크롬(Cr), 탄탈륨(Ta), 몰리브덴(Mo), 스칸듐(Sc), 네오디뮴(Nd), 이리듐(Ir), 알루미늄을 함유하는 합금, 알루미늄 질화물(AlN_x), 은을 함유하는 합금, 텅스텐(W), 텅스텐 질화물(WN_x), 구리를 함유하는 합금, 몰리브덴을 함유하는 합금, 티타늄 질화물(TiN_x), 탄탈륨 질화물(TaN_x), 스트론튬 루테튬 산화물(SrRu_xO_y), 아연 산화물(ZnO_x), 인듐 주석 산화물(ITO), 주석 산화물(SnO_x), 인듐 산화물(InO_x), 갈륨 산화물(GaO_x), 인듐 아연 산화물(IZO) 등으로 구성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 게이트 전극(170)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0040] 게이트 절연층(150) 및 제1 게이트 전극(170) 상의 제1 영역(10) 및 제2 영역(20)에는 층간 절연층(190)이 배치될 수 있다. 층간 절연층(190)은 게이트 절연층(150) 상의 제1 영역(10)에서 제1 게이트 전극(170)을 덮을 수 있고, 게이트 절연층(150) 상에 전체적으로 배치될 수 있다. 예를 들면, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(170)을 덮으며, 제1 게이트 전극(170)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 이와는 달리, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(170)을 충분히 덮을 수 있으며, 제1 게이트 전극(170)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수도 있다. 층간 절연층(190)은 실리кон 화합물, 금속 산화물 등을 포함할 수 있다.

[0041] 게이트 전극 패턴(180)이 층간 절연층(190) 상의 제1 영역(10)에 배치될 수 있다. 게이트 전극 패턴(180)은 층간 절연층(190) 중에서 하부에 제1 게이트 전극(170)이 위치하는 부분 상에 배치될 수 있다. 게이트 전극 패턴(180)은 배선으로 기능할 수 있다. 예를 들면, 게이트 전극 패턴(180)은 데이터 신호를 제공하는 데이터 신호 배선, 게이트 신호를 제공하는 게이트 신호 배선, 초기화 신호를 제공하는 초기화 신호 배선, 발광 신호를 제공하는 발광 신호 배선, 전압 전압을 제공하는 전원 전압 배선 등일 수 있다. 게이트 전극 패턴(180)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다.

[0042] 제2 게이트 전극(175)은 층간 절연층(190) 상의 제2 영역(20)에 배치될 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(175)은 게이트 전극 패턴(180)과 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에

형성될 수 있다. 제2 게이트 전극(175)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다.

[0043] 도 1 및 도 2를 다시 참조하면, 층간 절연층(190), 제2 게이트 전극(175) 및 게이트 전극 패턴(180) 상에 절연층 구조물(300)이 배치될 수 있다. 예시적인 실시예들에 있어서, 절연층 구조물(300)은 제1 영역(10)에서 제1 소스 및 제1 드레인 전극들(210, 230)과 게이트 전극 패턴(180) 사이에 개재될 수 있고, 제2 영역(20)에서 제2 액티브층(135)과 제2 게이트 전극(175) 사이에 개재될 수 있으며, 절연층 구조물(300)은 제1 절연층(301), 제2 절연층(302) 및 제3 절연층(303)을 포함할 수 있다.

[0044] 제1 절연층(301)은 층간 절연층(190) 상의 제1 영역(10)에서 게이트 전극 패턴(180) 및 제2 영역(20)에서 제2 게이트 전극(175)을 덮을 수 있고, 층간 절연층(190) 상에 전체적으로 배치될 수 있다. 예를 들면, 제1 절연층(301)은 층간 절연층(190) 상에서 게이트 전극 패턴(180) 및 제2 게이트 전극(175)을 덮으며, 게이트 전극 패턴(180) 및 제2 게이트 전극(175)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 이와는 달리, 제1 절연층(301)은 층간 절연층(190) 상에서 게이트 전극 패턴(180) 및 제2 게이트 전극(175)을 충분히 덮을 수 있으며, 게이트 전극 패턴(180) 및 제2 게이트 전극(175)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수도 있다. 예시적인 실시예들에 있어서, 제1 절연층(301)은 동일한 식각 공정에 대해 제1 식각률(etching rate)을 가질 수 있다. 여기서, 제1 절연층(301)은 상기 제1 식각률을 갖는 산화물계 절연층을 포함할 수 있다. 예를 들면, 제1 절연층(301)은 실리콘 산화물 또는 알루미늄 산화물로 구성될 수 있다. 또한, 제1 절연층(301)은 제1 두께(T1)를 가질 수 있다.

[0045] 제1 절연층(301) 상에 제2 절연층(302)이 배치될 수 있다. 제2 절연층(302)은 제1 절연층(301) 상에 전체적으로 배치될 수 있다. 예를 들면, 제2 절연층(302)은 제1 절연층(301)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 이와는 달리, 제2 절연층(302)은 제1 절연층(301)을 충분히 덮을 수 있으며, 실질적으로 평탄한 상면을 가질 수도 있다.

[0046] 제2 절연층(302)은 제2 액티브층(135)의 파잉 산소 결합을 방지할 수 있고, 제1 액티브층(130)의 실리콘 불포화 결합(dangling bond) 결합을 방지할 수 있다. 예시적인 실시예들에 있어서, 제2 절연층(302)은 동일한 식각 공정에 대해 상기 제1 식각률보다 높은 제2 식각률을 가질 수 있다. 예를 들면, 동일한 식각 공정에서 제2 절연층(302)이 제1 절연층(301)보다 빨리 식각될 수 있다. 다시 말하면, 동일한 식각 공정에서 제2 절연층(302)이 제1 절연층(301)보다 더 많이 식각될 수 있다. 여기서, 제2 절연층(302)은 상기 제2 식각률을 갖는 질화물계 절연층을 포함할 수 있다. 예를 들면, 제2 절연층(302)은 실리콘 질화물 또는 티타늄 질화물로 구성될 수 있다. 또한, 제2 절연층(302)은 제1 두께(T1)보다 작은 제2 두께(T2)를 가질 수 있다. 더욱이, 도 3A에 도시된 바와 같이, 제2 절연층(302)은 제1 콘택홀(212) 및 제2 콘택홀(232)이 위치하는 부분에서 상기 콘택홀의 내측으로 돌출되는 돌출부(305)를 가질 수 있다.

[0047] 제2 절연층(302) 상에 제3 절연층(303)이 배치될 수 있다. 제3 절연층(303)은 제2 절연층(302) 상에 전체적으로 배치될 수 있다. 예를 들면, 제3 절연층(303)은 제2 절연층(302)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 이와는 달리, 제3 절연층(303)은 제2 절연층(302)을 충분히 덮을 수 있으며, 실질적으로 평탄한 상면을 가질 수도 있다. 예시적인 실시예들에 있어서, 제3 절연층(303)은 동일한 식각 공정에 대해 상기 제2 식각률보다 낮은 제3 식각률을 가질 수 있다. 여기서, 제3 절연층(303)은 상기 제3 식각률을 갖는 산화물계 절연층을 포함할 수 있다. 예를 들면, 제3 절연층(303)은 실리콘 산화물 또는 알루미늄 산화물로 구성될 수 있다. 또한, 제3 절연층(303)은 제3 두께(T3)를 가질 수 있다. 제1 절연층(301) 및 제3 절연층(303)은 동일한 물질을 포함할 수 있고, 제1 두께(T1)와 제3 두께(T3)는 실질적으로 동일할 수 있으며, 상기 제1 식각률과 상기 제3 식각률은 실질적으로 동일할 수 있다. 또한, 제2 두께(T2)는 절연층 구조물(300)의 두께의 30% 미만일 수 있다. 선택적으로, 제1 두께(T1)와 제3 두께(T3)는 다를 수 있고, 상기 제1 식각률과 상기 제3 식각률이 다를 수 있지만, 제1 및 제3 두께(T1, T3)는 제2 두께(T2)보다 크고, 상기 제3 식각률은 상기 제2 식각률보다 작아야 한다. 이와 같이, 제1 절연층(301), 제2 절연층(302) 및 제3 절연층(303)을 포함하는 절연층 구조물(300)이 구성될 수 있다.

[0048] 다만, 절연층 구조물(300)이 3개의 층들(예를 들어, 제1 절연층(301), 제2 절연층(302) 및 제3 절연층(303))을 포함하는 구성을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 절연층 구조물(300)은 적어도 4개의 층들을 갖는 구조를 가질 수도 있다.

[0049] 예시적인 실시예들에 있어서, 제2 반도체 소자(255)의 특성 확보를 위해 또는 신뢰성을 확보하기 위해 제3 절연층(303)은 제2 액티브층(135)과 직접적으로 접촉할 수 있다. 다시 말하면, 제3 절연층(303)의 상면은 제2 액티

브층(135)의 저면과 직접적으로 접촉할 수 있고, 제3 절연층(303)의 저면은 제2 절연층(302)의 상면과 직접적으로 접촉할 수 있다. 예를 들면, 산화물 반도체로 구성된 제2 액티브층(135)과 실리콘 산화물로 구성된 제3 절연층(303)이 직접적으로 접촉하는 경우 제2 액티브층(135)의 계면 특성이 상대적으로 개선될 수 있다.

[0050] 또한, 제1 콘택홀(212) 및 제2 콘택홀(232)이 형성되는 과정에서 BOE(buffered oxide etchant) 공정이 진행되는 동안 제1 영역(10)에 위치한 제1 콘택홀(212) 및 제2 콘택홀(232) 각각의 측벽의 일부가 제거될 수 있다. 예를 들면, 제1 및 제2 콘택홀들(212, 232)에 열처리 공정을 수행한 후 상기 BOE 공정을 진행하는 경우, 제1 콘택홀(212) 및 제2 콘택홀(232)에 위치하는 절연층 구조물(300)의 측벽에 언더 컷(under cut) 현상이 발생되지 않도록 절연층 구조물(300)은 상기 제2 식각물을 갖는 제2 절연층(302) 아래에 배치되는 상기 제1 식각물을 갖는 제1 절연층(301)을 포함할 수 있다.

[0051] 예를 들면, 도 3B에 도시된 바와 같이, 종래의 절연층 구조물이 실리콘 산화물을 포함하는 제3 절연층(1303) 및 실리콘 질화물을 포함하는 제2 절연층(1302)으로 구성되는 경우, 상기 BOE 공정의 에천트에 의해 상기 제1 및 제2 콘택홀들에 위치하는 상기 제2 절연층(1302)의 측벽에서 언더 컷 현상이 발생할 수 있다. 여기서, 제2 절연층(1302)에 포함된 상기 실리콘 질화물의 N/Si의 조성비가 대략 0.5와 대략 1 사이의 범위를 가질 수 있고, 상기 실리콘 질화물의 두께는 대략 200 나노미터이다. 다시 말하면, 실리콘 질화물은 실리콘 산화물보다 동일한 식각 공정에 대해 상대적으로 높은 식각률을 가질 수 있다. 이러한 경우, 상기 제1 및 제2 콘택홀들에 위치하는 상기 제2 절연층(1302)이 상기 제3 절연층(1303)보다 상대적으로 빠르게 식각되기 때문에 제2 절연층(1302)의 측면 침식이 발생할 수 있고, 상기 제1 및 제2 콘택홀의 프로파일 불량에 발생되거나 콘택 저항이 증가될 수 있다. 즉, 상기 측면 침식이 발생하는 경우, 상기 제3 절연층(1303)의 콘택홀의 폭보다 상기 제2 절연층(1302)의 콘택홀의 폭이 더 큰 형상(예를 들어, 하부가 확장된 콘택홀의 형상)을 갖는 상기 언더 컷 현상이 발생할 수 있다.

[0052] 예시적인 실시예들에 있어서, 제2 절연층(302)의 N/Si의 조성비가 대략 1과 대략 2 사이의 범위를 가질 수 있고, 상기 실리콘 질화물의 두께는 대략 100 나노미터이다. 여기서, 제2 절연층(302)의 N의 비율이 상대적으로 높고, 막질이 치밀할 수 있다. 이에 따라, 제2 절연층(302)의 식각률이 상대적으로 느려져 제2 절연층(302)은 돌출부(305)를 가질 수 있다. 또한, 돌출부(305)를 작게 생성되도록 제2 절연층(302)은 상대적으로 작은 두께를 가질 수 있다.

[0053] 예시적인 실시예들에 따른 유기 발광 표시 장치(100)는 동일 식각 공정에 대해 상기 제2 식각물을 갖는 제2 절연층(302) 아래에 상기 제2 식각물보다 작은 상기 제1 식각물을 갖는 제1 절연층(301)을 포함함으로써 상기 BOE 공정에서 제1 및 제2 콘택홀들(212, 232)에 위치하는 제1 절연층(301)이 제2 절연층(302)보다 상대적으로 느리게 식각되기 때문에 상기 BOE 공정에서 사용되는 에천트에 의한 상기 언더 컷 현상을 방지할 수 있다. 제1 절연층(301)과 제2 절연층(302)의 식각률 차이 때문에 제1 및 제2 콘택홀들(212, 232)에 위치하는 제2 절연층(302)에 돌출부(305)가 형성될 수 있다. 예시적인 실시예들에 있어서, 돌출부(305)의 크기가 상대적으로 크게 형성되지 않도록 제2 절연층(302)의 제2 두께(T2)는 제1 두께(T1) 및 제3 두께(T3)보다 상대적으로 작은 두께를 가질 수 있다. 예를 들면, 제2 절연층(302)의 두께가 상대적으로 두껍게 형성되는 경우, 돌출부(305)의 크기가 상대적으로 크게 형성될 수 있다. 이러한 경우, 제1 소스 전극(210) 및 제1 드레인 전극(230)이 제1 액티브층(130)에 접속되지 않을 수 있거나 콘택 저항이 증가될 수 있다. 따라서, 제2 절연층(302)의 두께는 절연층 구조물(300)의 두께의 30% 미만으로 형성될 수 있다.

[0054] 제1 소스 전극(210) 및 제1 드레인 전극(230)이 절연층 구조물(300) 상의 제1 영역(10)에 배치될 수 있다. 제1 소스 전극(210)은 절연층 구조물(300), 층간 절연층(190) 및 게이트 절연층(150)의 제1 부분을 제거하여 형성된 제1 콘택홀(212)을 통해 제1 액티브층(130)의 소스 영역에 접속될 수 있고, 제1 드레인 전극(230)은 절연층 구조물(300), 층간 절연층(190) 및 게이트 절연층(150)의 제2 부분을 제거하여 형성된 제2 콘택홀(232)을 통해 제1 액티브층(130)의 드레인 영역에 접속될 수 있다. 도 3A에 도시된 바와 같이, 제2 절연층(302)의 돌출부(305) 때문에 제1 소스 전극(210) 및 제1 드레인 전극(230) 각각은 돌출부(305)와 인접하여 리세스를 가질 수 있다. 제1 소스 전극(210) 및 제1 드레인 전극(230) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제1 소스 전극(210) 및 제1 드레인 전극(230) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함하는 제1 반도체 소자(250)가 구성될 수 있다. 여기서, 제1 반도체 소자(250)는 실리콘계 반도체를 포함하는 구동 트랜지스터로 기능할 수 있다. 또한, 제1 반도체 소자(250)는 상부 게이트 구조를 갖는 트랜지스터로

기능할 수 있다.

- [0055] 제2 액티브층(135)이 절연층 구조물(300) 상의 제2 영역(20)에 배치될 수 있다. 제2 액티브층(135)은 절연층 구조물(300) 중에서 하부에 제2 게이트 전극(175)이 위치하는 부분 상에 배치될 수 있다. 제2 액티브층(135)은 산화물 반도체를 포함할 수 있다. 다시 말하면, 제2 액티브층(135)은 인듐(In), 아연(Zn), 갈륨(Ga), 주석(Sn), 티타늄(Ti), 알루미늄(Al), hafnium(Hf), 지르코늄(Zr), 마그네슘(Mg) 등을 함유하는 이성분계 화합물(ABx), 삼성분계 화합물(ABxCy), 사성분계 화합물(ABxCyDz) 등을 포함하는 산화물 반도체층일 수 있다. 예를 들면, 제2 액티브층(135)은 아연 산화물(ZnOx), 갈륨 산화물(GaOx), 티타늄 산화물(TiOx), 주석 산화물(SnOx), 인듐 산화물(InOx), 인듐-갈륨 산화물(IGO), 인듐-아연 산화물(IZO), 인듐-주석 산화물(ITO), 갈륨-아연 산화물(GZO), 아연-마그네슘 산화물(ZMO), 아연-주석 산화물(ZTO), 아연-지르코늄 산화물(ZnZrxOy), 인듐-갈륨-아연 산화물(IGZO), 인듐-아연-주석 산화물(IZTO), 인듐-갈륨-hafnium 산화물(IGHO), 주석-알루미늄-아연 산화물(TAZO) 및 인듐-갈륨-주석 산화물(IGTO) 등을 포함할 수 있다.
- [0056] 제2 소스 전극(215) 및 제2 드레인 전극(235)이 절연층 구조물(300) 상의 제2 영역(20)에 배치될 수 있다. 제2 소스 전극(215)은 제2 액티브층(135)의 제1 측부를 커버할 수 있고, 제2 드레인 전극(235)은 제2 액티브층(135)의 상부 제1 측부와 다른 제2 측부를 커버할 수 있다. 다시 말하면, 제2 소스 및 제2 드레인 전극들(215, 235)은 제2 액티브층(135)의 양측부를 커버할 수 있고, 제2 액티브층(135)의 상면의 일부를 노출시킬 수 있다. 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예들에 있어서, 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함하는 제2 반도체 소자(255)가 구성될 수 있다. 여기서, 제2 반도체 소자(255)는 산화물계 반도체를 포함하는 스위칭 트랜지스터로 기능할 수 있다. 또한, 제2 반도체 소자(255)는 하부 게이트 구조를 갖는 트랜지스터로 기능할 수 있다.
- [0057] 다만, 유기 발광 표시 장치(100)가 2개의 트랜지스터들(예를 들어, 제1 반도체 소자(250) 및 제2 반도체 소자(255))을 포함하는 구성을 갖는 것으로 설명하였으나, 본 발명의 구성이 이에 한정되는 것은 아니다. 예를 들면, 유기 발광 표시 장치(100)는 적어도 3개의 트랜지스터들 및 적어도 하나의 커패시터를 포함하는 구성을 가질 수도 있다.
- [0058] 절연층 구조물(300), 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235) 상에 보호 절연층(400)이 배치될 수 있다. 보호 절연층(400)은 절연층 구조물(300) 상의 제1 영역(10)에서 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 영역(20)에서 제2 소스 및 제2 드레인 전극들(215, 235)을 덮을 수 있고, 절연층 구조물(300) 상에 전체적으로 배치될 수 있다. 예를 들면, 보호 절연층(400)은 절연층 구조물(300) 상에서 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235)을 덮으며, 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235)의 프로파일을 따라 실질적으로 동일한 두께로 배치될 수 있다. 이와는 달리, 보호 절연층(400)은 절연층 구조물(300) 상에서 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235)을 충분히 덮을 수 있으며, 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 예시적인 실시예들에 있어서, 보호 절연층(400)은 제1 영역(10)에서 제1 드레인 전극(230)의 상면의 일부를 노출시키는 개구(402)를 가질 수 있다. 하부 전극(290)이 개구(402) 및 평탄화층(270)의 콘택홀을 통해 제1 드레인 전극(230)에 접속될 수 있다. 보호 절연층(400)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 보호 절연층(400)은 실리콘 산화물로 구성될 수 있다. 또한, 보호 절연층(400)은 제2 액티브층(135)의 상면과 직접적으로 접촉할 수 있다. 실리콘 산화물로 구성된 보호 절연층(400)이 제2 액티브층(135)과 직접적으로 접촉함으로써 제2 액티브층(135)의 계면 특성이 상대적으로 개선될 수 있다.
- [0059] 보호 절연층(400) 상에 평탄화층(270)이 배치될 수 있다. 평탄화층(270)은 보호 절연층(400) 상에 전체적으로 배치될 수 있다. 예를 들면, 평탄화층(270)은 보호 절연층(400)을 충분히 덮도록 상대적으로 두꺼운 두께로 배치될 수 있고, 이러한 경우, 평탄화층(270)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 평탄화층(270)의 평탄한 상면을 구현하기 위하여 평탄화층(270)에 대해 평탄화 공정이 추가될 수 있다. 평탄화층(270)의 일부를 제거하여 형성된 콘택홀을 통해 제1 드레인 전극(230)의 상면의 일부가 노출될 수 있다. 평탄화층(270)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 평탄화층(270)은 유기 물질을

포함할 수 있다. 예를 들면, 평탄화층(270)은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 폴리아미드계 수지, 실롯산계 수지, 아크릴계 수지, 에폭시계 수지 등으로 구성될 수 있다.

- [0060] 하부 전극(290)은 평탄화층(270) 상에 배치될 수 있다. 하부 전극(290)은 평탄화층(270)의 콘택홀을 관통하여 제1 드레인 전극(230)과 접속할 수 있다. 또한, 하부 전극(290)은 제1 반도체 소자(250)와 전기적으로 연결될 수 있다. 하부 전극(290) 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 하부 전극(290)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.
- [0061] 화소 정의막(310)은 하부 전극(290)의 일부 및 평탄화층(270) 상에 배치될 수 있다. 화소 정의막(310)은 하부 전극(290)의 양측부를 덮을 수 있고, 하부 전극(290)의 상면의 일부를 노출시킬 수 있다. 화소 정의막(310)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(310)은 유기 물질을 포함할 수 있다.
- [0062] 발광층(330)은 화소 정의막(310)에 의해 노출된 하부 전극(290) 상에 배치될 수 있다. 발광층(330)은 서브 화소들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 이와는 달리, 발광층(330)은 적색광, 녹색광, 청색광 등의 다른 색광들을 방출시킬 수 있는 복수의 발광 물질들을 적층하여 전체적으로 백색광을 방출할 수 있다. 이러한 경우, 발광층(330) 상에 컬러 필터가 배치(예를 들어, 봉지 기관(미도시)의 저면에 발광층(330)과 중첩되도록 배치)될 수도 있다. 상기 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 중 적어도 하나를 포함할 수 있다. 선택적으로, 상기 컬러 필터는 황색(Yellow) 컬러 필터, 청남색(Cyan) 컬러 필터 및 자주색(Magenta) 컬러 필터를 포함할 수도 있다. 상기 컬러 필터는 감광성 수지로 구성될 수 있다.
- [0063] 상부 전극(340)은 화소 정의막(310) 및 발광층(330) 상에 배치될 수 있다. 상부 전극(340)은 발광층(330) 및 화소 정의막(310)을 덮을 수 있고, 발광층(330) 및 화소 정의막(310) 상에 전체적으로 배치될 수 있다. 상부 전극(340)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 상부 전극(340)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함하는 발광 구조물(200)이 구성될 수 있다.
- [0064] 봉지 기관(미도시)이 상부 전극(340) 상에 배치될 수도 있다. 상기 봉지 기관은 실질적으로 기관(110)과 동일한 재료로 구성될 수 있다. 예를 들면, 상기 봉지 기관은 석영 기관, 합성 석영 기관, 불화칼슘 기관, 불소가 도핑된 석영 기관, 소다 라임 유리 기관, 무알칼리 유리 기관 등을 포함할 수 있다. 다른 예시적인 실시예들에 있어서, 상기 봉지 기관은 투명 무기 물질 또는 플렉서블 플라스틱으로 구성될 수도 있다. 예를 들면, 상기 봉지 기관은 연성을 갖는 투명 수지 기관을 포함할 수 있다. 이러한 경우, 유기 발광 표시 장치(100)의 가요성을 향상시키기 위하여 적어도 하나의 무기층 및 적어도 하나의 유기층이 교대로 적층되는 구조를 가질 수 있다. 이에 따라, 유기 발광 표시 장치(100)가 구성될 수 있다.
- [0065] 실리콘 산화물로 구성된 제3 절연층(303) 및 보호 절연층(400)이 제2 액티브층(135)과 직접적으로 접촉함으로써, 제2 액티브층(135)의 계면 특성이 상대적으로 향상될 수 있다. 이에 따라, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치(100)가 상대적으로 신뢰성이 향상된 제2 반도체 소자(255)를 가질 수 있다.
- [0066] 또한, 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치(100)는 동일 식각 공정에 대해 상기 제2 식각물을 갖는 제2 절연층(302) 아래에 상기 제2 식각물보다 작은 상기 제1 식각물을 갖는 제1 절연층(301)을 포함함으로써 BOE 공정에서 제1 및 제2 콘택홀들(212, 232)에 위치하는 제1 절연층(301)이 제2 절연층(302)보다 상대적으로 느리게 식각되기 때문에 상기 BOE 공정에서 사용되는 에천트에 의한 언더 컷 현상을 방지할 수 있다.
- [0067] 도 4 내지 도 16은 본 발명의 예시적인 실시예들에 따른 유기 발광 표시 장치의 제조 방법을 나타내는 단면도들이다. 예를 들면, 도 7은 도 6의 'C'영역을 확대 도시한 단면도이며, 도 11은 도 10의 'D'영역을 확대 도시한 단면도이며, 도 13은 도 12의 'E'영역을 확대 도시한 단면도이다.
- [0068] 도 4를 참조하면, 기관(110)이 제공될 수 있다. 기관(110)은 투명한 또는 불투명한 재료로 구성될 수 있다. 예를 들면, 기관(110)은 석영 기관, 합성 석영 기관, 불화칼슘 기관, 불소가 도핑된 석영 기관, 소다라임 유리 기관, 무알칼리 유리 기관 등을 사용하여 형성될 수 있다. 선택적으로, 기관(110)은 연성을 갖는 투명 수지 기관으로 이루어질 수도 있다. 기관(110)으로 이용될 수 있는 투명 수지 기관의 예로는 폴리이미드 기관을 들 수 있다.

다. 예시적인 실시예들에 있어서, 기관(110)은 제1 영역(10) 및 제2 영역(20)을 가질 수 있고, 제1 영역(10)과 제2 영역(20)은 인접하여 위치할 수 있다.

[0069] 기관(110) 상에 버퍼층(도시되지 않음)이 형성될 수도 있다. 상기 버퍼층은 기관(110) 상에 전체적으로 형성될 수 있다. 상기 버퍼층은 기관(110)으로부터 금속 원자들이나 불순물들이 확산되는 현상을 방지할 수 있으며, 액티브층을 형성하기 위한 결정화 공정 동안 열의 전달 속도를 조절하여 실질적으로 균일한 액티브층을 수득하게 할 수 있다. 또한, 상기 버퍼층은 기관(110)의 표면이 균일하지 않을 경우, 기관(110)의 표면의 평탄도를 향상시키는 역할을 수행할 수 있다. 기관(110)의 유형에 따라 기관(110) 상에 두 개 이상의 버퍼층이 제공될 수 있거나 상기 버퍼층이 형성되지 않을 수 있다. 예를 들면, 상기 버퍼층은 유기 물질 또는 무기 물질을 사용하여 형성될 수 있다.

[0070] 제1 액티브층(130)이 기관(110) 상의 제1 영역(10)에 형성될 수 있다. 예를 들면, 제1 액티브층(130)은 산화물 반도체, 아몰퍼스 실리콘, 폴리 실리콘 또는 유기물 반도체 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130)은 실리콘계 반도체를 포함할 수 있고, 상기 아몰퍼스 실리콘 또는 폴리 실리콘으로 구성될 수 있다.

[0071] 기관(110) 및 제1 액티브층(130) 상의 제1 영역(10) 및 제2 영역(20)에 게이트 절연층(150)이 형성될 수 있다. 게이트 절연층(150)은 기관(110) 상의 제1 영역(10)에서 제1 액티브층(130)을 덮을 수 있고, 기관(110) 상에 전체적으로 형성될 수 있다. 예를 들면, 게이트 절연층(150)은 기관(110) 상에서 제1 액티브층(130)을 덮으며, 제1 액티브층(130)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 이와는 달리, 게이트 절연층(150)은 기관(110) 상에서 제1 액티브층(130)을 충분히 덮을 수 있으며, 제1 액티브층(130)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수도 있다. 게이트 절연층(150)은 실리콘 화합물, 금속 산화물 등을 포함할 수 있다. 예를 들면, 게이트 절연층(150)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 산탄화물, 실리콘 탄질화물, 실리콘 산탄화물, 알루미늄 산화물, 알루미늄 질화물, 탄탈륨 산화물, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물 등을 사용하여 형성될 수 있다.

[0072] 제1 게이트 전극(170)은 게이트 절연층(150) 상의 제1 영역(10)에 형성될 수 있다. 제1 게이트 전극(170)은 게이트 절연층(150) 중에서 하부에 제1 액티브층(130)이 위치하는 부분 상에 형성될 수 있다. 제1 게이트 전극(170)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 포함할 수 있다. 예를 들면, 제1 게이트 전극(170)은 금, 은, 알루미늄, 백금, 니켈, 티타늄, 팔라듐, 마그네슘, 칼슘, 리튬, 크롬, 탄탈륨, 몰리브덴, 스칸듐, 네오디뮴, 이리듐, 알루미늄을 함유하는 합금, 알루미늄 질화물, 은을 함유하는 합금, 텅스텐, 텅스텐 질화물, 구리를 함유하는 합금, 몰리브덴을 함유하는 합금, 티타늄 질화물, 탄탈륨 질화물, 스트론튬 루테튬 산화물, 아연 산화물, 인듐 주석 산화물, 주석 산화물, 인듐 산화물, 갈륨 산화물, 인듐 아연 산화물 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 제1 게이트 전극(170)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0073] 도 5를 참조하면, 게이트 절연층(150) 및 제1 게이트 전극(170) 상의 제1 영역(10) 및 제2 영역(20)에는 층간 절연층(190)이 형성될 수 있다. 층간 절연층(190)은 게이트 절연층(150) 상의 제1 영역(10)에서 제1 게이트 전극(170)을 덮을 수 있고, 게이트 절연층(150) 상에 전체적으로 형성될 수 있다. 예를 들면, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(170)을 덮으며, 제1 게이트 전극(170)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 이와는 달리, 층간 절연층(190)은 게이트 절연층(150) 상에서 제1 게이트 전극(170)을 충분히 덮을 수 있으며, 제1 게이트 전극(170)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수도 있다. 층간 절연층(190)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다.

[0074] 게이트 전극 패턴(180)이 층간 절연층(190) 상의 제1 영역(10)에 형성될 수 있다. 게이트 전극 패턴(180)은 층간 절연층(190) 중에서 하부에 제1 게이트 전극(170)이 위치하는 부분 상에 형성될 수 있다. 게이트 전극 패턴(180)은 배선으로 기능할 수 있다. 예를 들면, 게이트 전극 패턴(180)은 데이터 신호를 제공하는 데이터 신호 배선, 게이트 신호를 제공하는 게이트 신호 배선, 초기화 신호를 제공하는 초기화 신호 배선, 발광 신호를 제공하는 발광 신호 배선, 전압 전압을 제공하는 전원 전압 배선 등일 수 있다. 게이트 전극 패턴(180)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다.

[0075] 제2 게이트 전극(175)은 층간 절연층(190) 상의 제2 영역(20)에 형성될 수 있다. 예시적인 실시예들에 있어서, 제2 게이트 전극(175)은 게이트 전극 패턴(180)과 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다. 예를 들면, 예비 게이트 전극층이 층간 절연층(190) 상에 전체적으로 형성된 후, 상기 예비 게이트 전극층을 선택적으로 식각하여 제2 게이트 전극(175) 및 게이트 전극 패턴(180)이 동시에 형성될 수 있다.

제2 게이트 전극(175)은 금속, 금속 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다.

[0076] 도 6 및 도 7을 참조하면, 층간 절연층(190), 제2 게이트 전극(175) 및 게이트 전극 패턴(180) 상에 절연층 구조물(300)이 형성될 수 있다. 예시적인 실시예들에 있어서, 절연층 구조물(300)은 제1 절연층(301), 제2 절연층(302) 및 제3 절연층(303)을 포함할 수 있다.

[0077] 제1 절연층(301)은 층간 절연층(190) 상의 제1 영역(10)에서 게이트 전극 패턴(180) 및 제2 영역(20)에서 제2 게이트 전극(175)을 덮을 수 있고, 층간 절연층(190) 상에 전체적으로 형성될 수 있다. 예를 들면, 제1 절연층(301)은 층간 절연층(190) 상에서 게이트 전극 패턴(180) 및 제2 게이트 전극(175)을 덮으며, 게이트 전극 패턴(180) 및 제2 게이트 전극(175)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 이와는 달리, 제1 절연층(301)은 층간 절연층(190) 상에서 게이트 전극 패턴(180) 및 제2 게이트 전극(175)을 충분히 덮을 수 있으며, 게이트 전극 패턴(180) 및 제2 게이트 전극(175)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수도 있다. 예시적인 실시예들에 있어서, 제1 절연층(301)은 동일한 식각 공정에 대해 제1 식각률을 가질 수 있다. 여기서, 제1 절연층(301)은 상기 제1 식각률을 갖는 산화물계 절연층을 사용하여 형성될 수 있다. 예를 들면, 제1 절연층(301)은 실리콘 산화물 또는 알루미늄 산화물로 구성될 수 있다. 또한, 제1 절연층(301)은 제1 두께(T1)를 가질 수 있다.

[0078] 제1 절연층(301) 상에 제2 절연층(302)이 형성될 수 있다. 제2 절연층(302)은 제1 절연층(301) 상에 전체적으로 형성될 수 있다. 예를 들면, 제2 절연층(302)은 제1 절연층(301)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 이와는 달리, 제2 절연층(302)은 제1 절연층(301)을 충분히 덮을 수 있으며, 실질적으로 평탄한 상면을 가질 수도 있다. 예시적인 실시예들에 있어서, 제2 절연층(302)은 동일한 식각 공정에 대해 상기 제1 식각률보다 높은 제2 식각률을 가질 수 있다. 예를 들면, 동일한 식각 공정에서 제2 절연층(302)이 제1 절연층(301)보다 빨리 식각될 수 있다. 다시 말하면, 동일한 식각 공정에서 제2 절연층(302)이 제1 절연층(301)보다 더 많이 식각될 수 있다. 여기서, 제2 절연층(302)은 상기 제2 식각률을 갖는 질화물계 절연층을 사용하여 형성될 수 있다. 예를 들면, 제2 절연층(302)은 실리콘 질화물 또는 티타늄 질화물로 구성될 수 있다. 또한, 제2 절연층(302)은 제1 두께(T1)보다 작은 제2 두께(T2)를 가질 수 있다.

[0079] 제2 절연층(302) 상에 제3 절연층(303)이 형성될 수 있다. 제3 절연층(303)은 제2 절연층(302) 상에 전체적으로 형성될 수 있다. 예를 들면, 제3 절연층(303)은 제2 절연층(302)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 이와는 달리, 제3 절연층(303)은 제2 절연층(302)을 충분히 덮을 수 있으며, 실질적으로 평탄한 상면을 가질 수도 있다. 예시적인 실시예들에 있어서, 제3 절연층(303)은 동일한 식각 공정에 대해 상기 제2 식각률보다 낮은 제3 식각률을 가질 수 있다. 여기서, 제3 절연층(303)은 상기 제3 식각률을 갖는 산화물계 절연층을 사용하여 형성될 수 있다. 예를 들면, 제3 절연층(303)은 실리콘 산화물 또는 알루미늄 산화물로 구성될 수 있다. 또한, 제3 절연층(303)은 제3 두께(T3)를 가질 수 있다. 제1 절연층(301) 및 제3 절연층(303)은 동일한 물질을 포함할 수 있고, 제1 두께(T1)와 제3 두께(T3)는 실질적으로 동일할 수 있으며, 상기 제1 식각률과 상기 제3 식각률은 실질적으로 동일할 수 있다. 또한, 제2 두께(T2)는 절연층 구조물(300)의 두께의 30% 이하일 수 있다. 선택적으로, 제1 두께(T1)와 제3 두께(T3)는 다를 수 있고, 상기 제1 식각률과 상기 제3 식각률이 다를 수 있지만, 제1 및 제3 두께(T1, T3)는 제2 두께(T2)보다 크고, 상기 제3 식각률은 상기 제2 식각률보다 작아야 한다. 이와 같이, 제1 절연층(301), 제2 절연층(302) 및 제3 절연층(303)을 포함하는 절연층 구조물(300)이 형성될 수 있다.

[0080] 도 8을 참조하면, 제2 액티브층(135)이 절연층 구조물(300) 상의 제2 영역(20)에 형성될 수 있다. 제2 액티브층(135)은 절연층 구조물(300) 중에서 하부에 제2 게이트 전극(175)이 위치하는 부분 상에 형성될 수 있다. 제2 액티브층(135)은 산화물 반도체를 포함할 수 있다. 다시 말하면, 제2 액티브층(135)은 인듐, 아연, 갈륨, 주석, 티타늄, 알루미늄, 하프늄, 지르코늄, 마그네슘 등을 함유하는 이성분계 화합물, 삼성분계 화합물, 사성분계 화합물 등을 포함하는 반도체 산화물층일 수 있다. 예를 들면, 제2 액티브층(135)은 아연 산화물, 갈륨 산화물, 티타늄 산화물, 주석 산화물, 인듐 산화물, 인듐-갈륨 산화물, 인듐-아연 산화물, 인듐-주석 산화물, 갈륨-아연 산화물, 아연-마그네슘 산화물, 아연-주석 산화물, 아연-지르코늄 산화물, 인듐-갈륨-아연 산화물, 인듐-아연-주석 산화물, 인듐-갈륨-하프늄 산화물, 주석-알루미늄-아연 산화물 및 인듐-갈륨-주석 산화물 등을 사용하여 형성될 수 있다.

[0081] 도 9를 참조하면, 제1 영역(10)에서 절연층 구조물(300), 층간 절연층(190) 및 게이트 절연층(150)의 제1 부분을 제거하여 제1 콘택홀(212)이 형성될 수 있다. 제1 콘택홀(212)은 제1 액티브층(130)의 소스 영역을 노출시킬

수 있다. 또한, 제1 영역(10)에서 절연층 구조물(300), 층간 절연층(190) 및 게이트 절연층(150)의 제2 부분을 제거하여 제2 콘택홀(232)이 형성될 수 있다. 제2 콘택홀(232)은 제1 액티브층(130)의 드레인 영역을 노출시킬 수 있다. 절연층 구조물(300), 층간 절연층(190) 및 게이트 절연층(150)의 상기 제1 및 제2 부분들은 산소 플라즈마 공정을 통해 제거될 수 있다.

[0082] 도 10 및 도 11을 참조하면, 기판(110) 상에 전체적으로 열처리 공정이 수행될 수 있다. 예시적인 실시예들에 있어서, 제1 액티브층(130) 상에 상기 열처리 공정이 수행되는 경우, 아래에 설명될 구동 트랜지스터인 제1 반도체 소자(250)의 구동 범위(driving-range)가 상대적으로 넓어질 수 있다. 또한, 제2 액티브층(135) 상에 상기 열처리 공정이 수행되는 경우, 아래에 설명될 스위칭 트랜지스터인 제2 반도체 소자(255)의 문턱 전압의 산포가 줄어들 수 있기 때문에 상대적으로 정밀한 제2 반도체 소자(255)를 수득할 수 있다. 상기 열처리 공정이 제1 액티브층(130) 및 제2 액티브층(135) 상에 동시에 수행됨으로써, 유기 발광 표시 장치의 제조 비용이 상대적으로 감소될 수 있다.

[0083] 상기 열처리 공정에서, 제1 액티브층(130)의 상기 소스 및 드레인 영역들에서 산화막이 형성될 수 있다. 예를 들면, 챔버 내에 존재하는 산소 이온이 제1 콘택홀(212) 및 제2 콘택홀(232)을 통해 외부로 노출된 제1 액티브층(130)의 상면과 반응하여 산화막이 형성될 수 있다.

[0084] 상기 열처리 공정 후, 제1 액티브층(130) 상에 형성된 상기 산화막을 제거하기 위해 BOE 공정이 수행될 수 있다. 예시적인 실시예들에 있어서, 제1 콘택홀(212) 및 제2 콘택홀(232)에 위치하는 절연층 구조물(300)의 측벽에 언더 컷 현상이 발생되지 않도록 절연층 구조물(300)은 상기 제2 식각률을 갖는 제2 절연층(302) 아래에 형성되는 상기 제1 식각률을 갖는 제1 절연층(301)을 포함할 수 있다. 예를 들면, 절연층 구조물(300)은 동일 식각 공정에 대해 상기 제2 식각률을 갖는 제2 절연층(302) 아래에 상기 제2 식각률보다 작은 상기 제1 식각률을 갖는 제1 절연층(301)을 포함함으로써 상기 BOE 공정에서 제1 및 제2 콘택홀들(212, 232)에 위치하는 제1 절연층(301)이 제2 절연층(302)보다 상대적으로 느리게 식각되기 때문에 상기 BOE 공정에서 사용되는 에천트에 의한 상기 언더 컷 현상을 방지할 수 있다. 예를 들면, 상기 에천트는 불화 수소(HF), 불화 암모늄(NH₄F) 등을 포함할 수 있다. 도 11에 도시된 바와 같이, 제1 절연층(301)과 제2 절연층(302)의 식각률 차이 때문에 제1 및 제2 콘택홀들(212, 232)에 위치하는 제2 절연층(302)에 돌출부(305)가 형성될 수 있다.

[0085] 예시적인 실시예들에 있어서, 돌출부(305)의 크기가 상대적으로 크게 형성되지 않도록 제2 절연층(302)의 제2 두께(T2)는 제1 두께(T1) 및 제3 두께(T3)보다 상대적으로 작은 두께를 가질 수 있다. 예를 들면, 제2 절연층(302)의 두께가 상대적으로 두껍게 형성되는 경우, 돌출부(305)의 크기가 상대적으로 크게 형성될 수 있다. 이러한 경우, 제1 소스 전극(210) 및 제1 드레인 전극(230)이 제1 액티브층(130)에 접촉되지 않을 수 있거나 콘택 저항이 증가될 수 있다. 따라서, 제2 절연층(302)의 두께는 절연층 구조물(300)의 두께의 30% 미만으로 형성될 수 있다.

[0086] 이에 따라, 콘택홀의 프로파일 불량 없이 제1 콘택홀(212) 및 제2 콘택홀(232)이 용이하게 형성될 수 있다.

[0087] 도 12 및 도 13을 참조하면, 제1 소스 전극(210) 및 제1 드레인 전극(230)이 절연층 구조물(300) 상의 제1 영역(10)에 형성될 수 있다. 제1 소스 전극(210)은 제1 콘택홀(212)을 통해 제1 액티브층(130)의 소스 영역에 접속될 수 있고, 제1 드레인 전극(230)은 제2 콘택홀(232)을 통해 제1 액티브층(130)의 드레인 영역에 접속될 수 있다. 도 13에 도시된 바와 같이, 제2 절연층(302)의 돌출부(305) 때문에 제1 소스 전극(210) 및 제1 드레인 전극(230) 각각은 돌출부(305)와 인접하여 리세스를 가질 수 있다. 제1 소스 전극(210) 및 제1 드레인 전극(230) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 다른 예시적인 실시예들에 있어서, 제1 소스 전극(210) 및 제1 드레인 전극(230) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제1 액티브층(130), 제1 게이트 전극(170), 제1 소스 전극(210) 및 제1 드레인 전극(230)을 포함하는 제1 반도체 소자(250)가 형성될 수 있다. 여기서, 제1 반도체 소자(250)는 실리콘계 반도체를 포함하는 구동 트랜지스터로 기능할 수 있다. 또한, 제1 반도체 소자(250)는 상부 게이트 구조를 갖는 트랜지스터로 기능할 수 있다.

[0088] 제2 소스 전극(215) 및 제2 드레인 전극(235)이 절연층 구조물(300) 상의 제2 영역(20)에 형성될 수 있다. 제2 소스 전극(215)은 제2 액티브층(135)의 제1 측부를 커버할 수 있고, 제2 드레인 전극(235)은 제2 액티브층(135)의 상기 제1 측부와 다른 제2 측부를 커버할 수 있다. 다시 말하면, 제2 소스 및 제2 드레인 전극들(215, 235)은 제2 액티브층(135)의 양측부를 커버할 수 있고, 제2 액티브층(135)의 상면의 일부를 노출시킬 수 있다. 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 예시적인 실시예

들에 있어서, 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235)은 동일한 층에 위치할 수 있고, 동일한 물질을 사용하여 동시에 형성될 수 있다. 예를 들면, 절연층 구조물(300) 상에 예비 전극층이 전체적으로 형성될 수 있고, 상기 예비 전극층을 선택적으로 식각하여 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235)이 동시에 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 제2 소스 전극(215) 및 제2 드레인 전극(235) 각각은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 제2 액티브층(135), 제2 게이트 전극(175), 제2 소스 전극(215) 및 제2 드레인 전극(235)을 포함하는 제2 반도체 소자(255)가 형성될 수 있다. 여기서, 제2 반도체 소자(255)는 산화물계 반도체를 포함하는 스위칭 트랜지스터로 기능할 수 있다. 또한, 제2 반도체 소자(255)는 하부 게이트 구조를 갖는 트랜지스터로 기능할 수 있다.

[0089] 도 14를 참조하면, 절연층 구조물(300), 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235) 상에 보호 절연층(400)이 형성될 수 있다. 보호 절연층(400)은 절연층 구조물(300) 상의 제1 영역(10)에서 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 영역(20)에서 제2 소스 및 제2 드레인 전극들(215, 235)을 덮을 수 있고, 절연층 구조물(300) 상에 전체적으로 형성될 수 있다. 예를 들면, 보호 절연층(400)은 절연층 구조물(300) 상에서 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235)을 덮으며, 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235)의 프로파일을 따라 실질적으로 동일한 두께로 형성될 수 있다. 이와는 달리, 보호 절연층(400)은 절연층 구조물(300) 상에서 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235)을 충분히 덮을 수 있으며, 제1 소스 및 제1 드레인 전극들(210, 230) 및 제2 소스 및 제2 드레인 전극들(215, 235)의 주위에 단차를 생성시키지 않고 실질적으로 평탄한 상면을 가질 수 있다. 예시적인 실시예들에 있어서, 보호 절연층(400)은 제1 영역(10)에서 제1 드레인 전극(230)의 상면의 일부를 노출시키는 개구(402)를 가질 수 있다. 보호 절연층(400)은 실리콘 화합물, 금속 산화물 등을 사용하여 형성될 수 있다. 예시적인 실시예들에 있어서, 보호 절연층(400)은 실리콘 산화물로 구성될 수 있다. 또한, 보호 절연층(400)은 제2 액티브층(135)의 상면과 직접적으로 접촉할 수 있다. 실리콘 산화물로 구성된 보호 절연층(400)이 제2 액티브층(135)과 직접적으로 접촉함으로써 제2 액티브층(135)의 계면 특성이 상대적으로 개선될 수 있다.

[0090] 도 15를 참조하면, 보호 절연층(400) 상에 평탄화층(270)이 형성될 수 있다. 평탄화층(270)은 보호 절연층(400) 상에 전체적으로 형성될 수 있다. 예를 들면, 평탄화층(270)은 보호 절연층(400)을 충분히 덮도록 상대적으로 두꺼운 두께로 형성될 수 있고, 이러한 경우, 평탄화층(270)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 평탄화층(270)의 평탄한 상면을 구현하기 위하여 평탄화층(270)에 대해 평탄화 공정이 추가될 수 있다. 평탄화층(270)의 일부를 제거하여 형성된 콘택홀을 통해 제1 드레인 전극(230)의 상면의 일부가 노출될 수 있다. 평탄화층(270)은 유기 물질 또는 무기 물질 등을 포함할 수 있다. 예시적인 실시예들에 있어서, 평탄화층(270)은 유기 물질을 포함할 수 있다. 예를 들면, 평탄화층(270)은 포토레지스트, 폴리아크릴계 수지, 폴리이미드계 수지, 폴리아미드계 수지, 실롯산계 수지, 아크릴계 수지, 에폭시계 수지 등을 사용하여 형성될 수 있다.

[0091] 도 16을 참조하면, 하부 전극(290)은 평탄화층(270) 상에 형성될 수 있다. 하부 전극(290)은 평탄화층(270)의 콘택홀을 관통하여 제1 드레인 전극(230)과 접속할 수 있다. 또한, 하부 전극(290)은 제1 반도체 소자(250)와 전기적으로 연결될 수 있다. 하부 전극(290)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 하부 전극(290)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다.

[0092] 화소 정의막(310)은 하부 전극(290)의 일부 및 평탄화층(270) 상에 형성될 수 있다. 화소 정의막(310)은 하부 전극(290)의 양측부를 덮을 수 있고, 하부 전극(290)의 상면의 일부를 노출시킬 수 있다. 화소 정의막(310)은 유기 물질 또는 무기 물질로 이루어질 수 있다. 예시적인 실시예들에 있어서, 화소 정의막(310)은 유기 물질을 사용하여 형성될 수 있다.

[0093] 발광층(330)은 화소 정의막(310)에 의해 노출된 하부 전극(290) 상에 형성될 수 있다. 발광층(330)은 서브 화소들에 따라 상이한 색광들(즉, 적색광, 녹색광, 청색광 등)을 방출시킬 수 있는 발광 물질들 중 적어도 하나를 사용하여 형성될 수 있다. 이와는 달리, 발광층(330)은 적색광, 녹색광, 청색광 등의 다른 색광들을 발생시킬 수 있는 복수의 발광 물질들을 적층하여 전체적으로 백색광을 방출할 수 있다. 이러한 경우, 발광층(330) 상에 컬러 필터가 형성(예를 들어, 봉지 기관(미도시)의 저면에 발광층(330)과 중첩되도록 형성)될 수도 있다. 상기 컬러 필터는 적색 컬러 필터, 녹색 컬러 필터, 청색 컬러 필터 중 적어도 하나를 포함할 수 있다. 선택적으로, 상기 컬러 필터는 황색 컬러 필터, 청남색 컬러 필터 및 자주색 컬러 필터를 포함할 수도 있다. 상기 컬러 필터

는 감광성 수지를 사용하여 형성될 수 있다.

[0094] 상부 전극(340)은 화소 정의막(310) 및 발광층(330) 상에 형성될 수 있다. 상부 전극(340)은 발광층(330) 및 화소 정의막(310)을 덮을 수 있고, 발광층(330) 및 화소 정의막(310) 상에 전체적으로 형성될 수 있다. 상부 전극(340)은 금속, 합금, 금속 질화물, 도전성 금속 산화물, 투명 도전성 물질 등을 사용하여 형성될 수 있다. 이들은 단독으로 또는 서로 조합되어 사용될 수 있다. 선택적으로, 상부 전극(340)은 복수의 층들을 포함하는 다층 구조를 가질 수도 있다. 이에 따라, 하부 전극(290), 발광층(330) 및 상부 전극(340)을 포함하는 발광 구조물(200)이 형성될 수 있다.

[0095] 봉지 기관(미도시)이 상부 전극(340) 상에 형성될 수도 있다. 상기 봉지 기관은 실질적으로 기관(110)과 동일한 재료로 구성될 수 있다. 예를 들면, 상기 봉지 기관은 석영 기관, 합성 석영 기관, 불화칼슘 기관, 불소가 도핑된 석영 기관, 소다 라임 유리 기관, 무알칼리 유리 기관 등을 사용하여 형성될 수 있다. 다른 예시적인 실시예들에 있어서, 상기 봉지 기관은 투명 무기 물질 또는 플렉서블 플라스틱으로 구성될 수도 있다. 예를 들면, 상기 봉지 기관은 연성을 갖는 투명 수지 기관을 사용하여 형성될 수 있다. 이러한 경우, 유기 발광 표시 장치의 가요성을 향상시키기 위하여 적어도 하나의 무기층 및 적어도 하나의 유기층이 교대로 적층되는 구조를 가질 수 있다. 이에 따라, 도 1에 도시된 유기 발광 표시 장치(100)가 제조될 수 있다.

[0096] 상술한 바에서는, 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

산업상 이용가능성

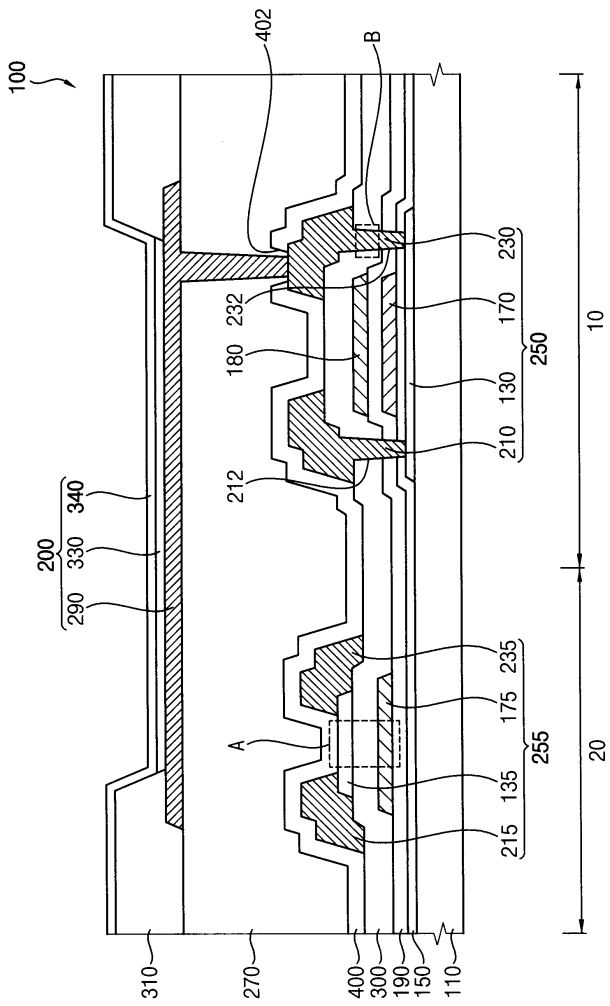
[0097] 본 발명은 유기 발광 표시 장치를 구비할 수 있는 다양한 디스플레이 기기들에 적용될 수 있다. 예를 들면, 본 발명은 차량용, 선박용 및 항공기용 디스플레이 장치들, 휴대용 통신 장치들, 전사용 또는 정보 전달용 디스플레이 장치들, 의료용 디스플레이 장치들 등과 같은 수많은 디스플레이 기기들에 적용 가능하다.

부호의 설명

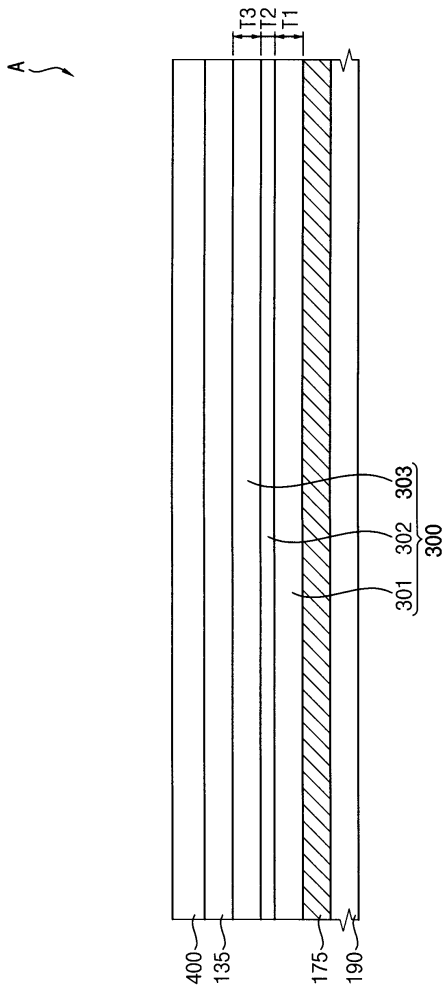
- [0098] 10: 제1 영역 20: 제2 영역
 100: 유기 발광 표시 장치 110: 기관
 130: 제1 액티브층 135: 제2 액티브층
 150: 게이트 절연층 170: 제1 게이트 전극
 175: 제2 게이트 전극 180: 게이트 전극 패턴
 190: 층간 절연층 200: 발광 구조물
 210: 제1 소스 전극 212: 제1 콘택홀
 215: 제2 소스 전극 230: 제1 드레인 전극
 232: 제2 콘택홀 235: 제2 드레인 전극
 250: 제1 반도체 소자 255: 제2 반도체 소자
 270: 평탄화층 290: 하부 전극
 300: 절연층 구조물 301: 제1 절연층
 302: 제2 절연층 303: 제3 절연층
 305: 돌출부 310: 화소 정의막
 330: 발광층 340: 상부 전극
 400: 보호 절연층 402: 개구

도면

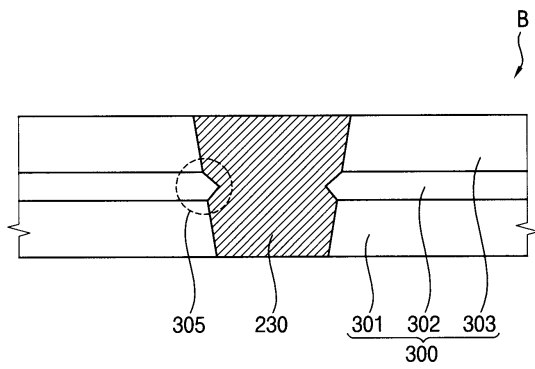
도면1



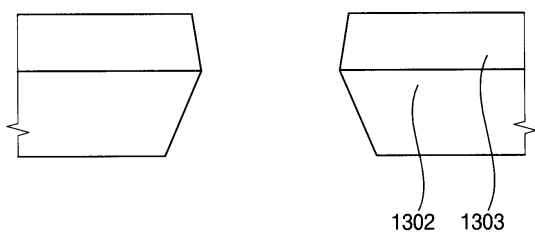
도면2



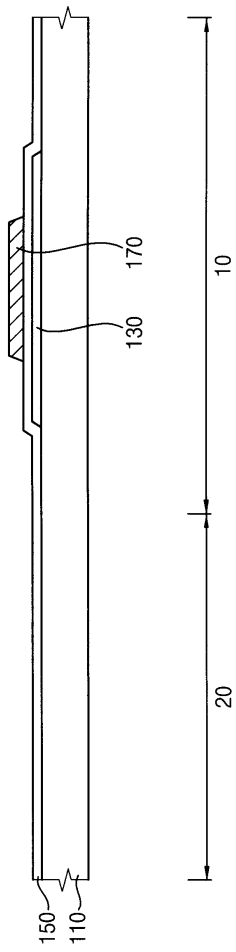
도면3a



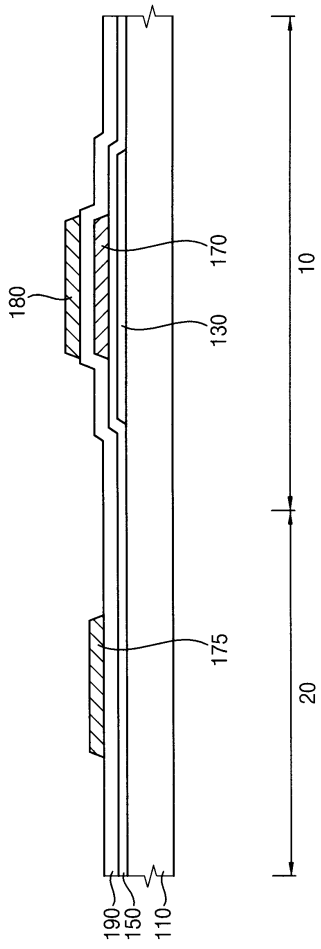
도면3b



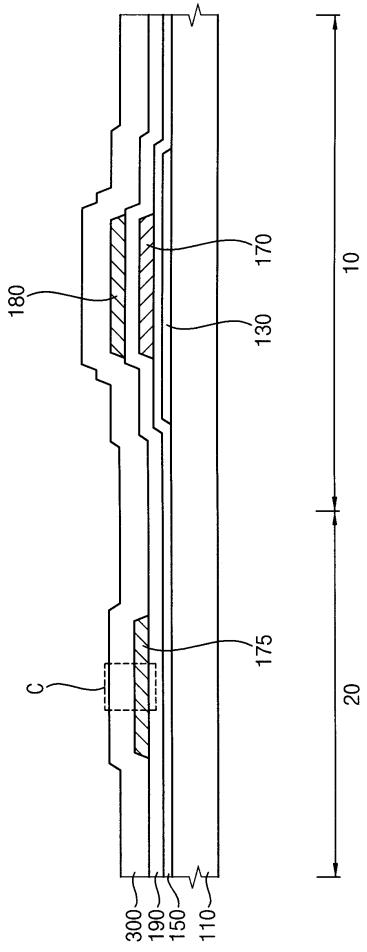
도면4



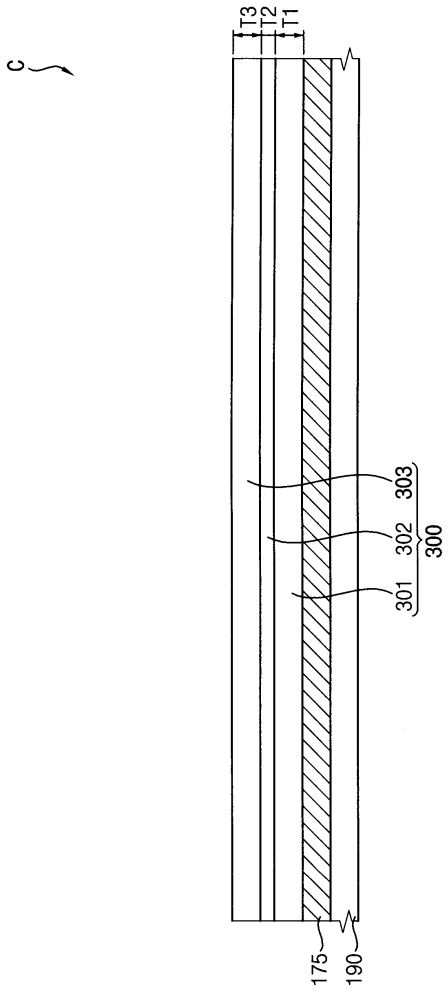
도면5



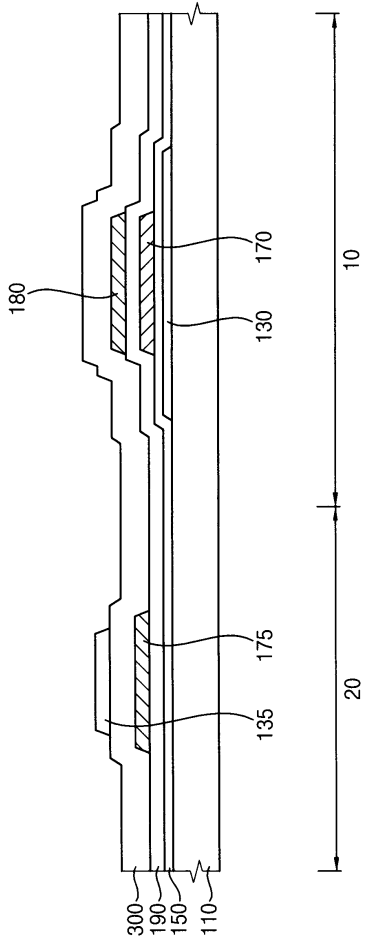
도면6



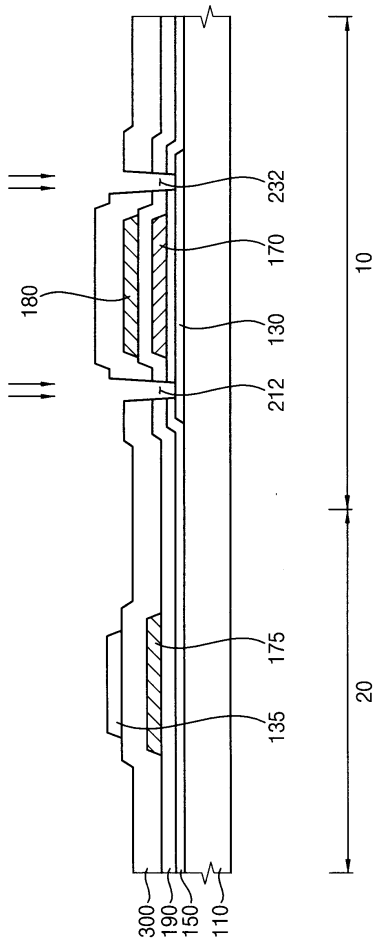
도면7



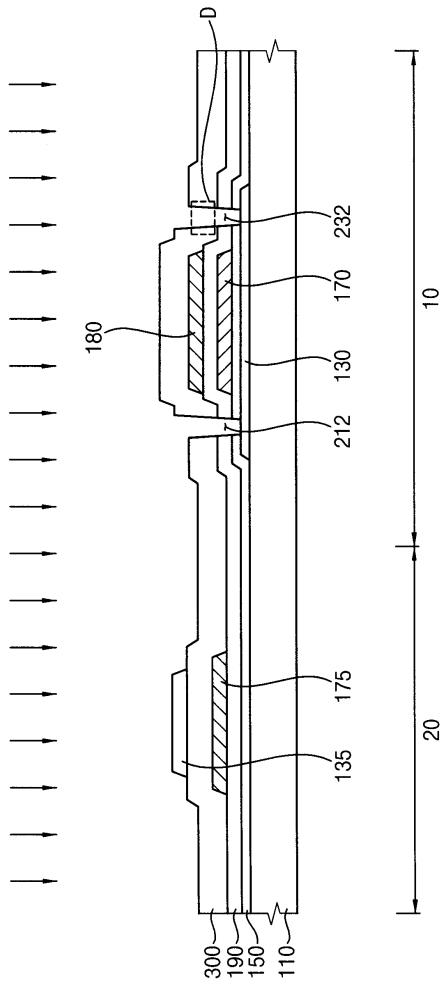
도면8



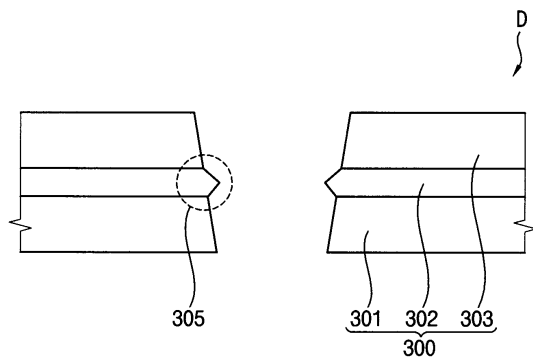
도면9



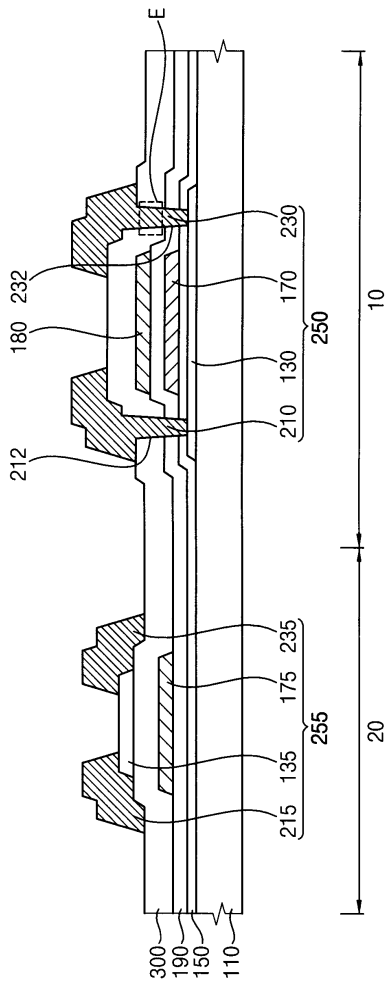
도면10



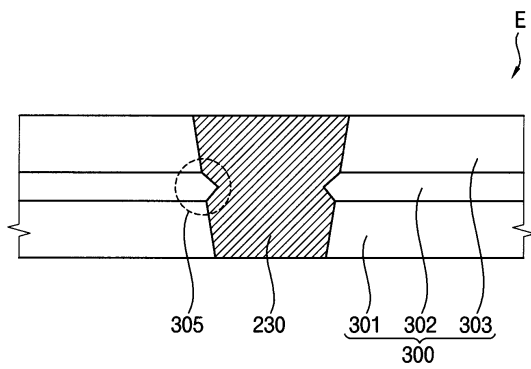
도면11



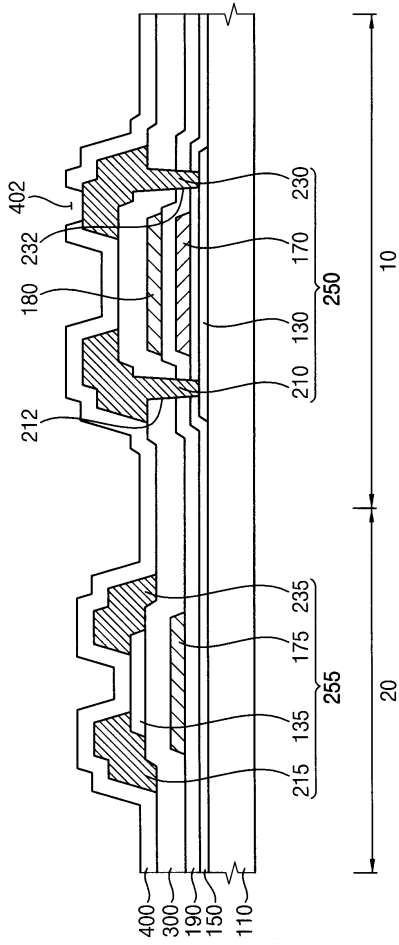
도면12



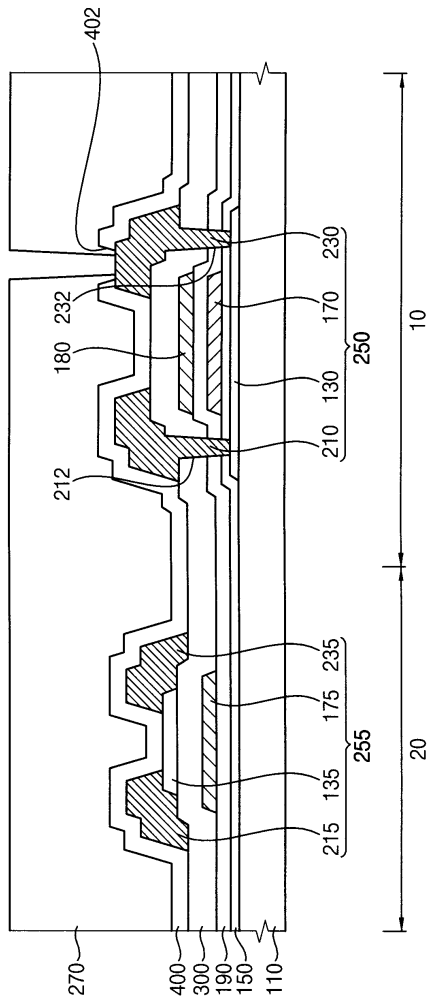
도면13



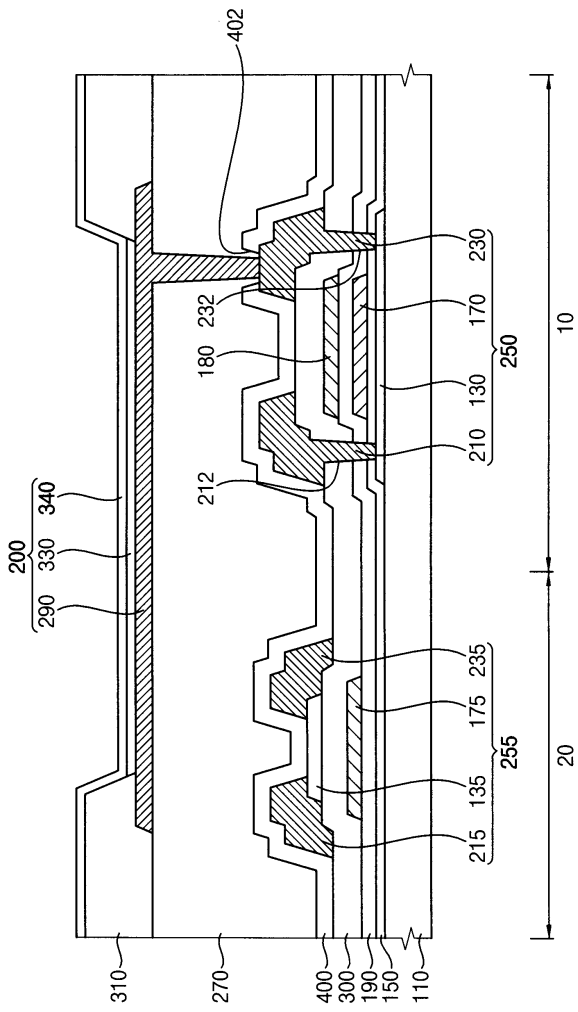
도면14



도면15



도면16



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190098687A	公开(公告)日	2019-08-22
申请号	KR1020190002439	申请日	2019-01-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	손경석 김재범 문연건 임준형		
发明人	손경석 김재범 문연건 임준형		
IPC分类号	H01L51/52 H01L27/32 H01L51/00		
CPC分类号	H01L51/5237 H01L27/3248 H01L27/3258 H01L27/3262 H01L51/0017 H01L27/3276 H01L27/1225 H01L27/124 H01L27/1251 H01L27/3246		
代理人(译)	英西湖公园		
优先权	1020180017149 2018-02-12 KR		
外部链接	Espacenet		

摘要(译)

根据本发明，一种有机发光显示装置包括：基板，其具有第一区域和与该第一区域相邻的第二区域；以及第二基板。第一半导体元件，其具有设置在基板的第一区域上的第一有源层，设置在第一有源层上的第一栅电极，以及设置在第一栅电极上的第一源极和第一漏极。第二半导体元件，其具有设置在基板的第二区域上的第二栅电极，设置在第二栅电极上的第二有源层，以及设置在第二有源层上的第二源极和第二漏极。绝缘层结构，其设置在第二栅电极和第二有源层之间，并且具有相对于相同蚀刻工艺具有第一蚀刻速率的第一绝缘层，具有高于第一蚀刻速率的第二蚀刻速率的第二绝缘层 设置在第一绝缘层上，第三绝缘层以低于第二蚀刻速率的第三蚀刻速率设置在第二绝缘层上。发光结构设置在绝缘层结构上。根据本发明，在第一有源层和第二有源层上同时执行热处理工艺，因此，可以降低有机发光显示装置的制造成本。

