



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0125160  
(43) 공개일자 2017년11월14일

(51) 국제특허분류(Int. Cl.)  
H01L 27/32 (2006.01) G09G 3/3233 (2016.01)  
(52) CPC특허분류  
H01L 27/3262 (2013.01)  
G09G 3/3233 (2013.01)  
(21) 출원번호 10-2016-0054675  
(22) 출원일자 2016년05월03일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
박진우  
경기도 용인시 기흥구 삼성로 1 (농서동)  
현채한  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(뒷면에 계속)  
(74) 대리인  
리엔목특허법인

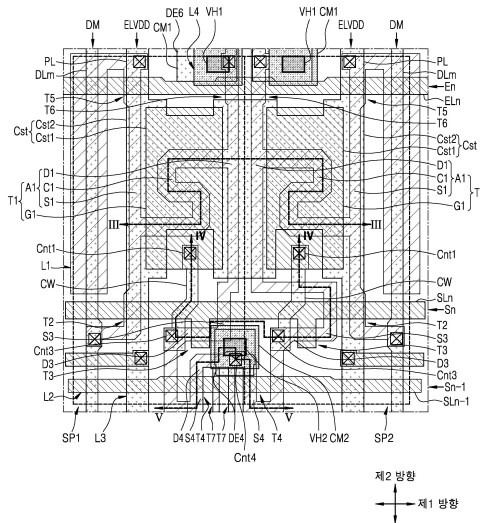
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 일 실시예는, 서로 인접한 제1 화소 및 제2 화소; 및 상기 제1 화소 및 상기 제2 화소에 각각 구동 전압을 공급하고, 상기 제1 화소 및 상기 제2 화소를 가로지르는 제1 방향 및 상기 제1 방향과 교차하는 제2 방향으로 연장된 구동 전압선;을 포함하고, 상기 제1 화소 및 상기 제2 화소는 각각, 상기 제1 화소 및 상기 제2 화소의 경계를 기준으로 대칭인 제1 구동 트랜지스터 및 제2 구동 트랜지스터; 및 상기 경계를 기준으로 비대칭인 제1 보상 트랜지스터 및 제2 보상 트랜지스터;를 포함하는, 유기 발광 표시 장치를 개시한다.

대표도 - 도2



(52) CPC특허분류

*H01L 27/3248* (2013.01)  
*H01L 27/3265* (2013.01)  
*H01L 27/3276* (2013.01)  
*H01L 27/3297* (2013.01)  
*G09G 2300/0426* (2013.01)

(72) 발명자

**엄기명**

경기도 용인시 기흥구 삼성로 1 (농서동)

**성승우**

경기도 용인시 기흥구 삼성로 1 (농서동)

**심정훈**

경기도 용인시 기흥구 삼성로 1 (농서동)

**우민규**

경기도 용인시 기흥구 삼성로 1 (농서동)

## 명세서

### 청구범위

#### 청구항 1

서로 인접한 제1 화소 및 제2 화소; 및

상기 제1 화소 및 상기 제2 화소에 각각 구동 전압을 공급하고, 상기 제1 화소 및 상기 제2 화소를 가로지르는 제1 방향 및 상기 제1 방향과 교차하는 제2 방향으로 연장된 구동 전압선;을 포함하고,

상기 제1 화소 및 상기 제2 화소는 각각,

상기 제1 화소 및 상기 제2 화소의 경계를 기준으로 대칭인 제1 구동 트랜지스터 및 제2 구동 트랜지스터; 및

상기 경계를 기준으로 비대칭인 제1 보상 트랜지스터 및 제2 보상 트랜지스터;를 포함하는, 유기 발광 표시 장치.

#### 청구항 2

제1항에 있어서,

상기 경계는 상기 제1 화소 및 상기 제2 화소의 중간 영역에 대응되는, 유기 발광 표시 장치.

#### 청구항 3

제1항에 있어서,

상기 제1 방향으로 연장된 상기 구동 전압선은 상기 제1 구동 트랜지스터의 제1 구동 게이트 전극 및 상기 제2 구동 트랜지스터의 제2 구동 게이트 전극과 평면상 중첩된, 유기 발광 표시 장치.

#### 청구항 4

제3항에 있어서,

상기 제1 방향으로 연장된 상기 구동 전압선은 상기 제1 화소의 제1 스토리지 커패시터의 제1 상부 전극 및 상기 제2 화소의 제2 스토리지 커패시터의 제2 상부 전극인, 유기 발광 표시 장치.

#### 청구항 5

제4항에 있어서,

상기 제1 방향으로 연장된 상기 구동 전압선은 상기 경계를 기준으로 대칭인, 유기 발광 표시 장치.

#### 청구항 6

제1항에 있어서,

상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터는 각각,

상기 경계를 기준으로 대칭인 제1 구동 액티브 패턴 및 제2 구동 액티브 패턴;을 포함하는, 유기 발광 표시 장치.

#### 청구항 7

제6항에 있어서,

상기 제1 방향으로 연장된 상기 구동 전압선은 상기 제1 구동 액티브 패턴의 제1 구동 드레인 영역 및 상기 제2 구동 액티브 패턴의 제2 구동 드레인 영역과 평면상 중첩된, 유기 발광 표시 장치.

#### 청구항 8

제1항에 있어서,

상기 제1 보상 트랜지스터 및 상기 제2 보상 트랜지스터는 각각,

상기 경계를 기준으로 비대칭인 제1 보상 액티브 패턴 및 제2 보상 액티브 패턴;을 포함하는, 유기 발광 표시 장치.

#### 청구항 9

제1항에 있어서,

상기 제1 화소 및 상기 제2 화소는 각각,

상기 제1 구동 트랜지스터와 상기 제1 보상 트랜지스터를 전기적으로 연결하는 제1 연결 배선 및 상기 제2 구동 트랜지스터와 상기 제2 보상 트랜지스터를 전기적으로 연결하는 제2 연결 배선;을 더 포함하고,

상기 제1 연결 배선 및 상기 제2 연결 배선은 상기 경계를 기준으로 비대칭인, 유기 발광 표시 장치.

#### 청구항 10

제9항에 있어서,

상기 제1 연결 배선은 상기 제1 구동 트랜지스터의 제1 구동 게이트 전극과 상기 제1 보상 트랜지스터의 제1 보상 드레인 영역을 전기적으로 연결하고,

상기 제2 연결 배선은 상기 제2 구동 트랜지스터의 제2 구동 게이트 전극과 상기 제2 보상 트랜지스터의 제2 보상 드레인 영역을 전기적으로 연결하는, 유기 발광 표시 장치.

#### 청구항 11

제9항에 있어서,

상기 제1 연결 배선 및 상기 제2 연결 배선은 상기 구동 전압선과 동일 층에 배치되며, 동일 물질로 이루어진, 유기 발광 표시 장치.

#### 청구항 12

제9항에 있어서,

상기 제1 연결 배선 및 상기 제2 연결 배선은 금속 물질로 이루어진, 유기 발광 표시 장치.

#### 청구항 13

제9항에 있어서,

상기 제1 연결 배선 및 상기 제2 연결 배선은 동일한 형상으로 굴곡되어 형성된, 유기 발광 표시 장치.

#### 청구항 14

제9항에 있어서,

상기 제1 보상 트랜지스터 및 상기 제2 보상 트랜지스터에 주사 신호를 공급하는 제1 주사선;을 더 포함하고,

상기 제1 주사선에 대한 상기 제1 연결 배선 및 상기 제2 연결 배선의 배치가 동일한, 유기 발광 표시 장치.

#### 청구항 15

제13항에 있어서,

상기 제1 화소 및 상기 제2 화소는 각각,

상기 경계를 기준으로 비대칭인 제1 초기화 트랜지스터 및 제2 초기화 트랜지스터;를 더 포함하는, 유기 발광 표시 장치.

#### 청구항 16

제15항에 있어서,

상기 제1 초기화 트랜지스터 및 상기 제2 초기화 트랜지스터에 주사 신호를 공급하며, 상기 제1 방향으로 연장된 주사선;을 더 포함하는, 유기 발광 표시 장치.

**청구항 17**

제16항에 있어서,

상기 주사선은 상기 경계를 기준으로 대칭인, 유기 발광 표시 장치.

**청구항 18**

제1항에 있어서,

상기 제1 화소는 적색 부화소 또는 청색 부화소이고, 상기 제2 화소는 녹색 부화소인, 유기 발광 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 실시예들은 유기 발광 표시 장치에 관한 것으로, 더욱 상세하게는 오버레이 편차에 따른 화소별 색 편차를 최소화시킨 유기 발광 표시 장치에 관한 것이다.

**배경 기술**

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 표시 장치는 박막트랜지스터(Thin Film Transistor: TFT), 스토리지 커패시터(storage capacitor), 및 복수의 배선들을 포함한다. 표시 장치가 제작되는 기관은 TFT, 스토리지 커패시터, 및 배선 등의 미세 패턴으로 이루어지고, TFT, 스토리지 커패시터 및 배선 간의 복잡한 연결에 의해 표시 장치가 작동된다.

[0003] 최근 콤팩트하고 해상도가 높은 표시 장치에 대한 요구가 증가함에 따라, 표시 장치에 포함된 TFT, 스토리지 커패시터 및 배선들 간의 효율적인 공간 배치와 연결 구조에 대한 요구가 높아지고 있다.

[0004] 한편, 유기 발광 표시 장치는 정공 주입 전극과 전자 주입 전극 그리고 이들 사이에 형성되어 있는 유기 발광층을 포함하는 유기 발광 소자를 구비하며, 정공 주입 전극에서 주입되는 정공과 전자 주입 전극에서 주입되는 전자가 유기 발광층에서 결합하여 생성된 엑시톤(exciton)이 여기 상태(excited state)로부터 기저 상태(ground state)로 떨어지면서 빛을 발생시키는 자발광형 표시 장치이다.

[0005] 자발광형 표시 장치인 유기 발광 표시 장치는 별도의 광원이 불필요하므로 저전압으로 구동이 가능하고 경량의 박형으로 구성할 수 있으며, 시야각, 콘트라스트(contrast), 응답 속도 등의 특성이 우수하기 때문에 MP3 플레이어, 휴대폰 등과 같은 개인용 휴대기기에서 텔레비전(TV)에 이르기까지 응용 범위가 확대되고 있다.

**발명의 내용**

**해결하려는 과제**

[0006] 콤팩트하고 해상도가 높은 유기 발광 표시 장치를 구현하기 위해서, 유기 발광 표시 장치에 포함되는 소자들을 대칭적으로 배치하는 기술이 개발되고 있다.

[0007] 한편, 유기 발광 표시 장치는 여러 층의 미세 패턴들을 각각 생성하는 공정을 통해 제조되는데, 금속 물질로 이루어진 상하부 미세 패턴들 간에는 기생 커패시턴스가 발생한다. 다만, 대칭 구조의 유기 발광 표시 장치를 제조하기 위한 패턴링 공정 중 오버레이 편차가 발생하면, 대칭하는 화소들 각각의 기생 커패시턴스가 변경되면서 화소별 색 편차가 발생하는 문제점이 있다.

[0008] 본 발명의 실시예들은 오버레이 편차에 따른 화소별 색 편차를 최소화시켜 표시 품질을 개선한 유기 발광 표시 장치를 제공한다.

**과제의 해결 수단**

[0009] 본 발명의 일 실시예는, 서로 인접한 제1 화소 및 제2 화소; 및 상기 제1 화소 및 상기 제2 화소에 각각 구동

전압을 공급하고, 상기 제1 화소 및 상기 제2 화소를 가로지르는 제1 방향 및 상기 제1 방향과 교차하는 제2 방향으로 연장된 구동 전압선;을 포함하고, 상기 제1 화소 및 상기 제2 화소는 각각, 상기 제1 화소 및 상기 제2 화소의 경계를 기준으로 대칭인 제1 구동 트랜지스터 및 제2 구동 트랜지스터; 및 상기 경계를 기준으로 비대칭인 제1 보상 트랜지스터 및 제2 보상 트랜지스터;를 포함하는, 유기 발광 표시 장치를 개시한다.

- [0010] 일 실시예에 따르면, 상기 경계는 상기 제1 화소 및 상기 제2 화소의 중간 영역에 대응될 수 있다.
- [0011] 일 실시예에 따르면, 상기 제1 방향으로 연장된 상기 구동 전압선은 상기 제1 구동 트랜지스터의 제1 구동 게이트 전극 및 상기 제2 구동 트랜지스터의 제2 구동 게이트 전극과 평면상 중첩될 수 있다.
- [0012] 일 실시예에 따르면, 상기 제1 방향으로 연장된 상기 구동 전압선은 상기 제1 화소의 제1 스토리지 커패시터의 제1 상부 전극 및 상기 제2 화소의 제2 스토리지 커패시터의 제2 상부 전극일 수 있다.
- [0013] 일 실시예에 따르면, 상기 제1 방향으로 연장된 상기 구동 전압선은 상기 경계를 기준으로 대칭일 수 있다.
- [0014] 일 실시예에 따르면, 상기 제1 구동 트랜지스터 및 상기 제2 구동 트랜지스터는 각각, 상기 경계를 기준으로 대칭인 제1 구동 액티브 패턴 및 제2 구동 액티브 패턴;을 포함할 수 있다.
- [0015] 일 실시예에 따르면, 상기 제1 방향으로 연장된 상기 구동 전압선은 상기 제1 구동 액티브 패턴의 제1 구동 드레인 영역 및 상기 제2 구동 액티브 패턴의 제2 구동 드레인 영역과 평면상 중첩될 수 있다.
- [0016] 일 실시예에 따르면, 상기 제1 보상 트랜지스터 및 상기 제2 보상 트랜지스터는 각각, 상기 경계를 기준으로 비대칭인 제1 보상 액티브 패턴 및 제2 보상 액티브 패턴;을 포함할 수 있다.
- [0017] 일 실시예에 따르면, 상기 제1 화소 및 상기 제2 화소는 각각, 상기 제1 구동 트랜지스터와 상기 제1 보상 트랜지스터를 전기적으로 연결하는 제1 연결 배선 및 상기 제2 구동 트랜지스터와 상기 제2 보상 트랜지스터를 전기적으로 연결하는 제2 연결 배선;을 더 포함하고, 상기 제1 연결 배선 및 상기 제2 연결 배선은 상기 경계를 기준으로 비대칭일 수 있다.
- [0018] 일 실시예에 따르면, 상기 제1 연결 배선은 상기 제1 구동 트랜지스터의 제1 구동 게이트 전극과 상기 제1 보상 트랜지스터의 제1 보상 드레인 영역을 전기적으로 연결하고, 상기 제2 연결 배선은 상기 제2 구동 트랜지스터의 제2 구동 게이트 전극과 상기 제2 보상 트랜지스터의 제2 보상 드레인 영역을 전기적으로 연결할 수 있다.
- [0019] 일 실시예에 따르면, 상기 제1 연결 배선 및 상기 제2 연결 배선은 상기 구동 전압선과 동일 층에 배치되며, 동일 물질로 이루어질 수 있다.
- [0020] 일 실시예에 따르면, 상기 제1 연결 배선 및 상기 제2 연결 배선은 금속 물질로 이루어질 수 있다.
- [0021] 일 실시예에 따르면, 상기 제1 연결 배선 및 상기 제2 연결 배선은 동일한 형상으로 굴곡되어 형성될 수 있다.
- [0022] 일 실시예에 따르면, 상기 제1 보상 트랜지스터 및 상기 제2 보상 트랜지스터에 주사 신호를 공급하는 제1 주사선;을 더 포함하고, 상기 제1 주사선에 대한 상기 제1 연결 배선 및 상기 제2 연결 배선의 배치가 동일할 수 있다.
- [0023] 일 실시예에 따르면, 상기 제1 화소 및 상기 제2 화소는 각각, 상기 경계를 기준으로 비대칭인 제1 초기화 트랜지스터 및 제2 초기화 트랜지스터;를 더 포함할 수 있다.
- [0024] 일 실시예에 따르면, 상기 제1 초기화 트랜지스터 및 상기 제2 초기화 트랜지스터에 주사 신호를 공급하며, 상기 제1 방향으로 연장된 주사선;을 더 포함할 수 있다.
- [0025] 일 실시예에 따르면, 상기 주사선은 상기 경계를 기준으로 대칭일 수 있다.
- [0026] 일 실시예에 따르면, 상기 제1 화소는 적색 부화소 또는 청색 부화소이고, 상기 제2 화소는 녹색 부화소일 수 있다.

**발명의 효과**

- [0027] 본 발명의 실시예들에 따르면, 하나의 화소에 포함된 일부 소자들을 인접한 화소의 대응되는 소자들과 대칭적으로 배치함으로써, 콤팩트하고 해상도가 높은 유기 발광 표시 장치를 제공할 수 있다.
- [0028] 또한, 본 발명의 실시예들에 따르면, 인접한 화소들이 공유하는 배선의 너비를 인접한 화소들 각각의 소자의 너비에 대응시킴으로써, 오버레이 편차로 인해 인접한 화소들 각각의 기생 커패시턴스가 상이해지는 현상을 방지

할 수 있다.

[0029] 또한, 본 발명의 실시예들에 따르면, 하나의 화소에 포함된 일부 소자들을 인접한 화소의 대응되는 소자들과 비대칭적으로 배치함으로써, 오버레이 편차로 인해 인접한 화소들 각각의 기생 커패시턴스가 상이해지는 현상을 방지하여 화소별 색 편차를 최소화시킨 유기 발광 표시 장치를 제공할 수 있다.

[0030] 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

**도면의 간단한 설명**

[0031] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 하나의 부화소의 등가 회로도이다.

도 2는 일 실시예에 따른 유기 발광 표시 장치에 포함된 두 개의 부화소들을 나타낸 개략적인 평면도이다.

도 3은 도 2의 III-III 선을 따라 취한 개략적인 단면도이다.

도 4는 도 2의 IV-IV 선을 따라 취한 개략적인 단면도이다.

도 5는 도 2의 V-V 선을 따라 취한 개략적인 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0032] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0033] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0034] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 또한, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0035] 한편, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0036] 이하의 실시예에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우뿐만 아니라 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다. 예컨대, 본 명세서에서 막, 영역, 구성 요소 등이 전기적으로 연결되었다고 할 때, 막, 영역, 구성 요소 등이 직접 전기적으로 연결된 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 간접적으로 전기적 연결된 경우도 포함한다.

[0037] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0038] 또한, 첨부 도면에서는, 하나의 부화소에 7개의 박막트랜지스터(Thin Film Transistor: TFT)와 1개의 스토리지 커패시터(storage capacitor)를 구비하는 7Tr-1Cap 구조의 능동 구동(active matrix, AM)형 유기 발광 표시 장치를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 따라서 표시 장치는 하나의 부화소에 복수의 박막트랜지스터들과 하나 이상의 스토리지 커패시터를 구비할 수 있으며, 별도의 배선이 더 형성되거나 기존의 배선이 생략되어 다양한 구조를 갖도록 형성할 수도 있다. 서로 다른 부화소들은 각각 서로 다른 색상의 광을 방출할 수 있으며, 복수의 부화소들은 하나의 화소를 구성할 수 있다. 화소는 화상을 표시하는 최소 단위를 말하며, 표시 장치는 복수의 화소들을 통해 화상을 표시한다.

[0039] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 하나의 부화소의 등가 회로도이다.

[0040] 유기 발광 표시 장치(1)는 박막트랜지스터 어레이 기관(10) 및 박막트랜지스터 어레이 기관(10) 상에 배치된 유기 발광 소자(OLED)를 포함한다. 유기 발광 표시 장치(1)는 빛을 발광하는 복수의 화소들을 포함하며, 각 화소는 복수의 부화소들로 구성될 수 있다. 박막트랜지스터 어레이 기관(10)에는 각 부화소를 구동하기 위해 전기적

인 신호를 인가하는 복수의 배선들이 배치될 수 있다.

- [0041] 상기 배선들은 주사 신호( $S_n$ ,  $S_{n-1}$ )를 전달하는 주사선( $SL_n$ ,  $SL_{n-1}$ ), 데이터 신호( $D_m$ )를 전달하는 데이터선( $DL_m$ ) 및 구동 전압(ELVDD)을 전달하는 구동 전압선(PL)을 포함할 수 있다. 한편 본 발명은 이에 한정되지 않고 도 1에 도시된 바와 같이 초기화 전압(VINT)을 전달하는 초기화 전압선(VL), 및 발광 제어 신호( $E_n$ )를 전달하는 발광 제어선(ELn)을 더 포함할 수 있다. 각 부화소는 제1 방향으로 연장되는 복수의 배선들 및 제1 방향과 교차하는 제2 방향으로 연장되는 복수의 배선들이 교차하는 지점에 배치된다.
- [0042] 각 부화소는 빛을 발광하는 유기 발광 소자(OLED) 및 배선으로부터 신호를 전달받아 유기 발광 소자(OLED)를 구동하는 화소 회로를 포함한다. 화소 회로는 적어도 두 개의 박막트랜지스터들 및 적어도 하나의 스토리지 커패시터를 포함할 수 있다. 한편, 본 발명은 이에 한정되지 않고 도 1에 도시된 바와 같이 화소 회로가 7개의 박막트랜지스터들(T1 내지 T7) 및 1개의 스토리지 커패시터(Cst)를 포함할 수 있다.
- [0043] 박막트랜지스터는 구동 박막트랜지스터(T1), 데이터 전달 박막트랜지스터(T2), 보상 박막트랜지스터(T3), 제1 초기화 박막트랜지스터(T4), 제1 발광 제어 박막트랜지스터(T5), 제2 발광 제어 박막트랜지스터(T6), 및 제2 초기화 박막트랜지스터(T7)를 포함할 수 있다.
- [0044] 구동 박막트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 하부 전극(Cst1)과 연결되어 있고, 구동 박막트랜지스터(T1)의 소스 전극(S1)은 제1 발광 제어 박막트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있으며, 구동 박막트랜지스터(T1)의 드레인 전극(D1)은 제2 발광 제어 박막트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 화소 전극과 전기적으로 연결되어 있다. 구동 박막트랜지스터(T1)는 데이터 전달 박막트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호( $D_m$ )를 전달받아 유기 발광 소자(OLED)에 구동 전류( $I_d$ )를 공급한다.
- [0045] 데이터 전달 박막트랜지스터(T2)의 게이트 전극(G2)은 제1 주사선( $SL_n$ )과 연결되어 있고, 데이터 전달 박막트랜지스터(T2)의 소스 전극(S2)은 데이터선( $DL_m$ )과 연결되어 있으며, 데이터 전달 박막트랜지스터(T2)의 드레인 전극(D2)은 구동 박막트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 제1 발광 제어 박막트랜지스터(T5)를 경유하여 구동 전압선(PL)과 연결되어 있다. 이러한 데이터 전달 박막트랜지스터(T2)는 제1 주사선( $SL_n$ )을 통해 전달받은 제1 주사 신호( $S_n$ )에 따라 턴 온되어 데이터선( $DL_m$ )으로 전달된 데이터 신호( $D_m$ )를 구동 박막트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0046] 보상 박막트랜지스터(T3)의 게이트 전극(G3)은 제1 주사선( $SL_n$ )에 연결되어 있고, 보상 박막트랜지스터(T3)의 소스 전극(S3)은 구동 박막트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 제2 발광 제어 박막트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 화소 전극과 연결되어 있다. 보상 박막트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 하부 전극(Cst1), 제1 초기화 박막트랜지스터(T4)의 소스 전극(S4) 및 구동 박막트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 보상 박막트랜지스터(T3)는 제1 주사선( $SL_n$ )을 통해 전달받은 제1 주사 신호( $S_n$ )에 따라 턴 온되어 구동 박막트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막트랜지스터(T1)를 다이오드 연결(diode-connection)시킨다.
- [0047] 제1 초기화 박막트랜지스터(T4)의 게이트 전극(G4)은 제2 주사선( $SL_{n-1}$ )과 연결되어 있고, 제1 초기화 박막트랜지스터(T4)의 드레인 전극(D4)은 초기화 전압선(VL)과 연결되어 있다. 제1 초기화 박막트랜지스터(T4)의 소스 전극(S4)은 스토리지 커패시터(Cst)의 하부 전극(Cst1), 보상 박막트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 제1 초기화 박막트랜지스터(T4)는 제2 주사선( $SL_{n-1}$ )을 통해 전달받은 제2 주사 신호( $S_{n-1}$ )에 따라 턴 온되어 초기화 전압(VINT)을 구동 박막트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0048] 제1 발광 제어 박막트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(ELn)과 연결되어 있다. 제1 발광 제어 박막트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(PL)과 연결되어 있고, 제1 발광 제어 박막트랜지스터(T5)의 드레인 전극(D5)은 구동 박막트랜지스터(T1)의 소스 전극(S1) 및 데이터 전달 박막트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다. 제1 발광 제어 박막트랜지스터(T5)는 구동 전압선(PL)과 구동 박막트랜지스터(T1) 사이에 위치한다. 제1 발광 제어 박막트랜지스터(T5)는 발광 제어선(ELn)에 의해 전달된 발광 제어 신호( $E_n$ )에 의해 턴 온되어 구동 전압(ELVDD)을 구동 박막트랜지스터(T1)로 전달한다.
- [0049] 제2 발광 제어 박막트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(ELn)과 연결되어 있으며, 제2 발광 제어 박막트랜지스터(T6)의 소스 전극(S6)은 구동 박막트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막트랜지스터

(T3)의 소스 전극(S3)과 연결되어 있다. 제2 발광 제어 박막트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 화소 전극과 전기적으로 연결되어 있다. 제1 발광 제어 박막트랜지스터(T5)와 제2 발광 제어 박막트랜지스터(T6)는 발광 제어선(ELn)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되어 구동 전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Id)가 흐르게 된다.

- [0050] 제2 초기화 박막트랜지스터(T7)의 게이트 전극(G7)은 제2 주사선(SLn-1)에 연결되어 있다. 제2 초기화 박막트랜지스터(T7)의 소스 전극(S7)은 유기 발광 소자(OLED)의 화소 전극과 연결되어 있다. 제2 초기화 박막트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압선(VL)과 연결되어 있다. 제2 초기화 박막트랜지스터(T7)는 제2 주사선(SLn-1)을 통해 전달받은 제2 주사 신호(Sn-1)에 따라 턴 온되어 유기 발광 소자(OLED)의 화소 전극을 초기화시킨다.
- [0051] 본 실시예에서는 제1 초기화 박막트랜지스터(T4)와 제2 초기화 박막트랜지스터(T7)가 제2 주사선(SLn-1)에 연결된 경우를 도시하였으나, 본 발명은 이에 한정되지 않는다. 또 다른 실시예로서, 제1 초기화 박막트랜지스터(T4)는 제2 주사선(SLn-1)에 연결되어 제2 주사 신호(Sn-1)에 따라 구동하고, 제2 초기화 박막트랜지스터(T7)는 다음 주사선(미도시)에 연결되어 다음 주사 신호(미도시)에 따라 구동할 수 있다.
- [0052] 스토리지 커패시터(Cst)의 상부 전극(Cst2)은 구동 전압선(PL)과 연결되어 있으며, 유기 발광 소자(OLED)의 공통 전극은 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 소자(OLED)는 구동 박막트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광함으로써 화상을 표시한다.
- [0053] 도 2는 일 실시예에 따른 유기 발광 표시 장치에 포함된 두 개의 부화소들을 나타낸 개략적인 평면도이며, 도 3, 도 4, 및 도 5는 도 2의 III-III 선, IV-IV 선, 및 V-V 선을 따라 취한 개략적인 단면도이다.
- [0054] 도 2 내지 도 5를 참조하면, 일 실시예에 따른 박막트랜지스터 어레이 기관(10)은 제1 부화소(SP1) 및 제2 부화소(SP2)를 포함할 수 있다. 제1 부화소(SP1) 및 제2 부화소(SP2)는 서로 인접한 부화소를 의미한다. 일 실시예에 따르면, 제1 부화소(SP1)는 적색 부화소 또는 청색 부화소일 수 있고, 제2 부화소(SP2)는 녹색 부화소일 수 있다. 예를 들면, 제1 행의 제1 부화소(SP1)가 적색 부화소, 제1 행의 제2 부화소(SP2)가 녹색 부화소인 경우, 제2 행의 제1 부화소(SP1)가 청색 부화소, 제2 행의 제2 부화소(SP2)가 녹색 부화소일 수 있다.
- [0055] 도 2에는 제1 부화소(SP1) 및 제2 부화소(SP2)가 직사각형 모양을 갖는 것으로 도시하였으나, 이에 한정되는 것은 아니며 제1 부화소(SP1) 및 제2 부화소(SP2)는 다양한 형상을 가질 수 있고, 서로 다른 면적을 가질 수도 있다.
- [0056] 일 실시예에 따른 박막트랜지스터 어레이 기관(10)의 베이스 기관(11) 상에는 다양한 형상으로 굴곡되어 있는 반도체층(L1)이 배치된다. 베이스 기관(11)은 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등과 같은 플라스틱재 등 다양한 재료로 형성된 것일 수 있으며, 반도체층(L1)은 다결정 실리콘(poly-silicon)과 같은 반도체 물질을 포함할 수 있다.
- [0057] 베이스 기관(11)과 반도체층(L1) 사이에는 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 버퍼층(미도시)이 배치될 수 있다.
- [0058] 제1 부화소(SP1) 및 제2 부화소(SP2)는 각각 구동 박막트랜지스터(T1)를 포함할 수 있다. 구동 박막트랜지스터(T1)는 반도체층(L1)의 일 영역인 액티브 패턴(A1)을 포함할 수 있다. 구동 박막트랜지스터(T1)의 액티브 패턴(A1)은 불순물이 도핑되지 않은 채널 영역(C1)과 불순물이 도핑되어 도전성을 띠는 소스 영역(S1) 및 드레인 영역(D1)을 포함할 수 있다. 채널 영역(C1)은 좁은 공간 내에서 최대한 길게 형성되기 위해, 다양한 형상 예컨대, 지그재그 형상 또는 'S' 자 형상으로 굴곡되어 형성될 수 있다. 채널 영역(C1)이 길게 형성될수록 게이트 전압의 구동 범위(driving range)가 넓어질 수 있다.
- [0059] 일 실시예에 따르면, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 구동 박막트랜지스터(T1) 및 제2 부화소(SP2)의 구동 박막트랜지스터(T1)는 대칭이다. 예를 들면, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계로부터 제1 부화소(SP1)의 구동 박막트랜지스터(T1)의 드레인 영역(D1)까지의 거리는, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계로부터 제2 부화소(SP2)의 구동 박막트랜지스터(T1)의 드레인 영역(D1)까지의 거리와 동일할 수 있다. 이때, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계는, 제1 부화소(SP1) 및 제2 부화소(SP2)의 중간 영역에 대응될 수 있다.
- [0060] 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 데이터 전달 박막트랜지스터(T2) 및 제2 부화소(SP2)의 데이터 전달 박막트랜지스터(T2)는 대칭일 수 있다.

- [0061] 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 제1 발광 제어 박막트랜지스터(T5) 및 제2 부화소(SP2)의 제1 발광 제어 박막트랜지스터(T5)는 대칭일 수 있다.
- [0062] 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 제2 발광 제어 박막트랜지스터(T6) 및 제2 부화소(SP2)의 제2 발광 제어 박막트랜지스터(T6)는 대칭일 수 있다.
- [0063] 이처럼 인접한 부화소들 각각의 구동 박막트랜지스터(T1) 등을 서로 대칭으로 배치함으로써 배선 간의 간격 축소에 따른 단선(open) 불량 또는 단락(short) 불량을 감소시킬 수 있다.
- [0064] 제1 부화소(SP1) 및 제2 부화소(SP2)는 각각 적어도 하나의 보상 박막트랜지스터(T3)를 포함할 수 있다. 보상 박막트랜지스터(T3)는 반도체층(L1)의 일 영역인 액티브 패턴(A3)을 포함할 수 있다. 보상 박막트랜지스터(T3)의 액티브 패턴(A3)은 불순물이 도핑되지 않은 채널 영역(C3)과 불순물이 도핑되어 도전성을 띄는 소스 영역(S3) 및 드레인 영역(D3)을 포함할 수 있다.
- [0065] 일 실시예에 따르면, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 보상 박막트랜지스터(T3) 및 제2 부화소(SP2)의 보상 박막트랜지스터(T3)는 비대칭이다. 예를 들면, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 보상 박막트랜지스터(T3)의 액티브 패턴(A3) 및 제2 부화소(SP2)의 보상 박막트랜지스터(T3)의 액티브 패턴(A3)은 비대칭일 수 있다. 이때, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계로부터 제1 부화소(SP1)의 보상 박막트랜지스터(T3)의 드레인 영역(D3)까지의 거리는, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계로부터 제2 부화소(SP2)의 보상 박막트랜지스터(T3)의 드레인 영역(D3)까지의 거리와 상이할 수 있다.
- [0066] 이처럼 인접한 부화소들 각각의 보상 박막트랜지스터(T3)를 서로 비대칭으로 배치함으로써, 단선(open) 불량 또는 단락(short) 불량을 감소시키면서 오버레이 편차에 따른 인접한 부화소들 각각의 색 편차를 최소화시킬 수 있다. 오버레이 편차에 따른 화소별 색 편차 최소화에 대한 보다 상세한 설명은 후술한다.
- [0067] 제1 부화소(SP1) 및 제2 부화소(SP2)는 각각 적어도 하나의 제1 초기화 박막트랜지스터(T4)를 포함할 수 있다. 제1 초기화 박막트랜지스터(T4)는 반도체층(L1)의 일 영역인 액티브 패턴(A4)을 포함할 수 있다. 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4)은 불순물이 도핑되지 않은 채널 영역(C4)과 불순물이 도핑되어 도전성을 띄는 소스 영역(S4) 및 드레인 영역(D4)을 포함할 수 있다.
- [0068] 인접한 부화소들 각각의 보상 박막트랜지스터(T3)가 서로 비대칭으로 배치됨에 따라, 제2 비아홀(VH2)을 공유하는 인접한 부화소들 각각의 제1 초기화 박막트랜지스터(T4) 역시 비대칭으로 배치될 수 있다.
- [0069] 일 실시예에 따르면, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 제1 초기화 박막트랜지스터(T4) 및 제2 부화소(SP2)의 제1 초기화 박막트랜지스터(T4)는 비대칭일 수 있다. 예를 들면, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4) 및 제2 부화소(SP2)의 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4)은 비대칭일 수 있다. 이때, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계로부터 제1 부화소(SP1)의 제1 초기화 박막트랜지스터(T4)의 소스 영역(S4)까지의 거리는, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계로부터 제2 부화소(SP2)의 제1 초기화 박막트랜지스터(T4)의 소스 영역(S4)까지의 거리와 상이할 수 있다.
- [0070] 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 제2 초기화 박막트랜지스터(T7) 및 제2 부화소(SP2)의 제2 초기화 박막트랜지스터(T7)는 비대칭일 수 있다.
- [0071] 베이스 기판(11) 상에는 구동 박막트랜지스터(T1)를 덮도록 제1 절연막(13)이 배치될 수 있다. 제1 절연막(13)은 무기물 또는 유기물을 포함하는 다층 또는 단층의 박막으로 이루어질 수 있다.
- [0072] 제1 절연막(13) 상에는 제1 도전층(L2)이 배치될 수 있다. 제1 도전층(L2)은 제2 주사선(SLn-1), 제1 주사선(SLn), 발광 제어선(ELn), 및 구동 박막트랜지스터(T1)의 게이트 전극(G1)을 포함할 수 있다.
- [0073] 제2 주사선(SLn-1), 제1 주사선(SLn), 및 발광 제어선(ELn)은 각각 제1 방향으로 연장될 수 있다. 이하에서, 제1 방향은 제1 부화소(SP1) 및 제2 부화소(SP2)를 가로지르는 방향을 의미할 수 있다. 제2 주사선(SLn-1)은 제1 초기화 박막트랜지스터(T4)의 게이트 전극(G4)과 제2 초기화 박막트랜지스터(T7)의 게이트 전극(G7)으로 기능할 수 있다. 제1 주사선(SLn)은 데이터 전달 박막트랜지스터(T2)의 게이트 전극(G2)과 보상 박막트랜지스터(T3)의 게이트 전극(G3)으로 기능할 수 있다. 발광 제어선(ELn)은 제1 발광 제어 박막트랜지스터(T5)의 게이트 전극(G5)과 제2 발광 제어 박막트랜지스터(T6)의 게이트 전극(G6)으로 기능할 수 있다.

- [0074] 구동 박막트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 하부 전극(Cst1)으로 기능할 수 있다. 구동 박막트랜지스터(T1)의 게이트 전극(G1)은 알루미늄(Al) 등과 같은 저저항의 금속 물질을 포함할 수 있다.
- [0075] 제1 절연막(13) 상에는 구동 박막트랜지스터(T1)의 게이트 전극(G1)을 덮는 제2 절연막(15)이 배치될 수 있다. 제2 절연막(15)은 구동 박막트랜지스터(T1)의 게이트 전극(G1)과 스토리지 커패시터(Cst)의 상부 전극(Cst2) 사이에 개재되는 유전막일 수 있다. 예컨대, 제2 절연막(15)은 실리콘 산화물 및/또는 실리콘 질화물 등의 물질로 단층 또는 다층으로 형성될 수 있다.
- [0076] 제2 절연막(15) 상에는 제2 도전층(L3)이 배치될 수 있으며, 제2 도전층(L3)은 데이터선(DLm), 구동 전압선(PL), 연결 배선(CW), 제1 초기화 박막트랜지스터(T4)의 드레인 전극(DE4), 및 제2 발광 제어 박막트랜지스터(T6)의 드레인 전극(DE6)을 포함할 수 있다. 즉, 구동 전압선(PL) 및 연결 배선(CW) 등은 금속 물질과 같은 동일 물질로 이루어질 수 있다.
- [0077] 데이터선(DLm)은 제2 방향으로 연장될 수 있으며, 제1 부화소(SP1) 및 제2 부화소(SP2) 각각에 데이터 신호(Dm)를 전달할 수 있다.
- [0078] 구동 전압선(PL)은 제1 부화소(SP1) 및 제2 부화소(SP2) 각각에 구동 전압(ELVDD)을 공급한다. 구동 전압선(PL)은 제1 방향 및 제2 방향으로 연장될 수 있다.
- [0079] 제1 방향으로 연장된 구동 전압선(PL)은 제1 부화소(SP1) 및 제2 부화소(SP2) 각각의 구동 박막트랜지스터(T1)의 적어도 일부와 평면상 중첩될 수 있다. 따라서, 구동 전압을 제공하는 배선의 영역이 제1 방향으로 연장된 구동 전압선(PL)의 영역만큼 확장되어 배선 자체의 저항에 의한 전압 강하 현상을 완화시킬 수 있다.
- [0080] 이하에서 제2 방향은 제1 방향과 교차하는 방향을 의미할 수 있다. 제2 방향으로 연장된 구동 전압선(PL)은 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로 대칭일 수 있다. 즉, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계는, 제1 부화소(SP1)에 구동 전압을 공급하며 제2 방향으로 연장된 구동 전압선(PL) 및 제2 부화소(SP2)에 구동 전압을 공급하며 제2 방향으로 연장된 구동 전압선(PL) 사이의 중간 영역에 대응될 수 있다.
- [0081] 한편, 제1 부화소(SP1) 및 제2 부화소(SP2)는 제1 방향으로 연장된 구동 전압선(PL)을 공유할 수 있다.
- [0082] 도 3을 참조하면, 베이스 기관(11) 상에 제1 부화소(SP1) 및 제2 부화소(SP2) 각각의 구동 박막트랜지스터(T1)의 액티브 패턴(A1)이 배치된다. 이때, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 구동 박막트랜지스터(T1)의 액티브 패턴(A1) 및 제2 부화소(SP2)의 구동 박막트랜지스터(T1)의 액티브 패턴(A1)은 대칭일 수 있다.
- [0083] 구동 박막트랜지스터(T1)의 액티브 패턴(A1)을 덮는 제1 절연막(13) 상에는, 채널 영역(C1)에 대응하는 구동 박막트랜지스터(T1)의 게이트 전극(G1)이 배치된다.
- [0084] 구동 박막트랜지스터(T1)의 게이트 전극(G1)을 덮는 제2 절연막(15) 상에는, 제1 방향으로 연장된 구동 전압선(PL)이 배치될 수 있다. 제1 방향으로 연장된 구동 전압선(PL)은, 제1 부화소(SP1)의 구동 박막트랜지스터(T1)의 게이트 전극(G1) 및 제2 부화소(SP2)의 구동 박막트랜지스터(T1)의 게이트 전극(G1)과 평면상 중첩될 수 있다. 제1 방향으로 연장된 구동 전압선(PL)은, 제1 부화소(SP1)의 스토리지 커패시터(Cst)의 상부 전극(Cst2) 및 제2 부화소(SP2)의 스토리지 커패시터(Cst)의 상부 전극(Cst2)으로 기능할 수 있다. 이때, 제1 방향으로 연장된 구동 전압선(PL)은 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로 대칭일 수 있다. 따라서, 제1 부화소(SP1)의 스토리지 커패시터(Cst)의 커패시턴스와 제2 부화소(SP2)의 스토리지 커패시터(Cst)의 커패시턴스가 동일할 수 있다.
- [0085] 다시 도 2를 참조하면, 제1 방향으로 연장된 구동 전압선(PL)은, 제1 부화소(SP1)의 구동 박막트랜지스터(T1)의 드레인 영역(D1) 및 제2 부화소(SP2)의 구동 박막트랜지스터(T1)의 드레인 영역(D1)을 전반적으로 커버할 수 있다. 이에 따라, 반도체층(L1)과 제2 도전층(L3) 사이에 오버레이 편차가 발생하더라도, 제1 방향으로 연장된 구동 전압선(PL)과 제1 부화소(SP1)의 구동 박막트랜지스터(T1)의 드레인 영역(D1) 사이의 기생 커패시턴스와, 제1 방향으로 연장된 구동 전압선(PL)과 제2 부화소(SP2)의 구동 박막트랜지스터(T1)의 드레인 영역(D1) 사이의 기생 커패시턴스가 동일할 수 있다.
- [0086] 오버레이 편차는, 둘 이상의 층을 형성하는 공정에서 각 층이 평면 상에서 상, 하, 좌, 우 방향으로 시프트(shift)되는 경우의 중첩 영역이 최초로 설계한 중첩 영역과 다르게 되는데, 이러한 중첩 영역의 차이를 의미한다. 오버레이 편차는 기관에 전면적으로 도전층을 형성하고, 포토 리소그래피(photo lithography) 공정 및 식각 공정을 이용하여 패터닝할 때, 기관과 마스크의 미스얼라인(misalign) 또는 기관과 노광기 사이의 미스얼라인

등으로 인해 발생할 수 있다. 이러한 오버레이 편차는 패널이 대형화되고 대량의 패널을 동시에 생산하는 시스템에서 공정 장비의 오차 범위 내에서 발생할 수 있다.

- [0087] 일 실시예에 따르면, 구동 전압선(PL)이 설계된 위치보다 상, 하, 좌, 우로 시프트된다 하더라도, 제1 방향으로 연장된 구동 전압선(PL)과 제1 부화소(SP1)의 구동 박막트랜지스터(T1)의 게이트 전극(G1) 및 제2 부화소(SP2)의 구동 박막트랜지스터(T1)의 게이트 전극(G1) 각각과 중첩되는 면적이 동일하기 때문에, 제1 방향으로 연장된 구동 전압선(PL)과 제1 부화소(SP1)의 구동 박막트랜지스터(T1)의 드레인 영역(D1) 사이의 기생 커패시턴스와, 제1 방향으로 연장된 구동 전압선(PL)과 제2 부화소(SP2)의 구동 박막트랜지스터(T1)의 드레인 영역(D1) 사이의 기생 커패시턴스가 동일할 수 있다. 따라서, 오버레이 편차가 발생한 경우에도 제1 부화소(SP1) 및 제2 부화소(SP2)의 색 편차를 방지할 수 있고, 최대한 큰 용량을 가진 스토리지 커패시터(Cst)를 설계할 수 있으므로, 표시 품질이 향상된 유기 발광 표시 장치(1)를 제공할 수 있다.
- [0088] 연결 배선(CW)은 제1 부화소(SP1) 및 제2 부화소(SP2) 각각의 구동 박막트랜지스터(T1)의 게이트 전극(G1)과 보상 박막트랜지스터(T3)의 드레인 영역(D3)을 전기적으로 연결할 수 있다.
- [0089] 도 4를 참조하면, 베이스 기판(11) 상에 제1 부화소(SP1) 및 제2 부화소(SP2) 각각의 보상 박막트랜지스터(T3)의 액티브 패턴(A3)이 배치된다. 이때, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 보상 박막트랜지스터(T3)의 액티브 패턴(A3) 및 제2 부화소(SP2)의 보상 박막트랜지스터(T3)의 액티브 패턴(A3)은 비대칭일 수 있다.
- [0090] 보상 박막트랜지스터(T3)의 액티브 패턴(A3)을 덮는 제1 절연막(13) 상에는, 보상 박막트랜지스터(T3)의 채널 영역(C3)에 대응하는 보상 박막트랜지스터(T3)의 게이트 전극(G3)이 배치된다.
- [0091] 보상 박막트랜지스터(T3)의 게이트 전극(G3)을 덮는 제2 절연막(15)은 제1 콘택홀(Cnt1) 및 제3 콘택홀(Cnt3)을 포함할 수 있다.
- [0092] 제2 절연막(15) 상에는, 제1 콘택홀(Cnt1) 및 제3 콘택홀(Cnt3)을 통해 구동 박막트랜지스터(T1)의 게이트 전극(G1)과 보상 박막트랜지스터(T3)의 액티브 패턴(A3)의 드레인 영역(D3)을 연결하는 연결 배선(CW)이 배치될 수 있다. 예를 들면, 연결 배선(CW)은 제1 부화소(SP1) 및 제2 부화소(SP2) 각각의 구동 박막트랜지스터(T1)의 게이트 전극(G1)과 보상 박막트랜지스터(T3)의 드레인 영역(D3)을 전기적으로 연결할 수 있다. 이때, 제1 부화소(SP1)의 보상 박막트랜지스터(T3)의 액티브 패턴(A3) 및 제2 부화소(SP2)의 보상 박막트랜지스터(T3)의 액티브 패턴(A3)이 비대칭이므로, 제1 부화소(SP1) 및 제2 부화소(SP2) 각각의 연결 배선(CW)은 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로 비대칭일 수 있다.
- [0093] 다시 도 2를 참조하면, 제1 부화소(SP1)의 연결 배선(CW)과 제2 부화소(SP2)의 연결 배선(CW)은 동일한 형상으로 굴곡되어 형성될 수 있다. 상세하게는, 보상 박막트랜지스터(T3)의 게이트 전극(G3)으로 기능하는 제1 주사선(SLn)에 대한 제1 부화소(SP1) 및 제2 부화소(SP2) 각각의 연결 배선(CW)의 배치가 동일할 수 있다. 그 결과, 제1 도전층(L2)과 제2 도전층(L3) 사이에 오버레이 편차가 발생하더라도, 제1 주사선(SLn) 및 제1 부화소(SP1)의 연결 배선(CW) 사이의 기생 커패시턴스와, 제1 주사선(SLn) 및 제2 부화소(SP2)의 연결 배선(CW) 사이의 기생 커패시턴스가 동일할 수 있다. 따라서, 오버레이 편차가 발생한 경우에도 제1 부화소(SP1) 및 제2 부화소(SP2)의 색 편차를 방지할 수 있으므로, 표시 품질이 향상된 유기 발광 표시 장치(1)를 제공할 수 있다.
- [0094] 도 5를 참조하면, 베이스 기판(11) 상에 제1 부화소(SP1) 및 제2 부화소(SP2) 각각의 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4)이 배치된다. 이때, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4) 및 제2 부화소(SP2)의 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4)은 비대칭일 수 있다. 제1 부화소(SP1)의 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4)의 소스 영역(S4)은 제2 부화소(SP2)의 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4)의 소스 영역(S4)과 연결될 수 있다.
- [0095] 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4)을 덮는 제1 절연막(13) 상에는, 제1 초기화 박막트랜지스터(T4)의 채널 영역(C4)에 대응하는 제1 초기화 박막트랜지스터(T4)의 게이트 전극(G4)이 배치된다.
- [0096] 제1 초기화 박막트랜지스터(T4)의 게이트 전극(G4)을 덮는 제2 절연막(15)에는 제4 콘택홀(Cnt4)이 형성될 수 있다. 일 실시예에 따르면, 제1 부화소(SP1)와 제2 부화소(SP2)는 제4 콘택홀(Cnt4)을 공유할 수 있다. 이때, 제4 콘택홀(Cnt4)은 제2 부화소(SP2)가 배치된 영역을 제외한, 제1 부화소(SP1)가 배치된 영역에 한하여 형성될 수 있다.

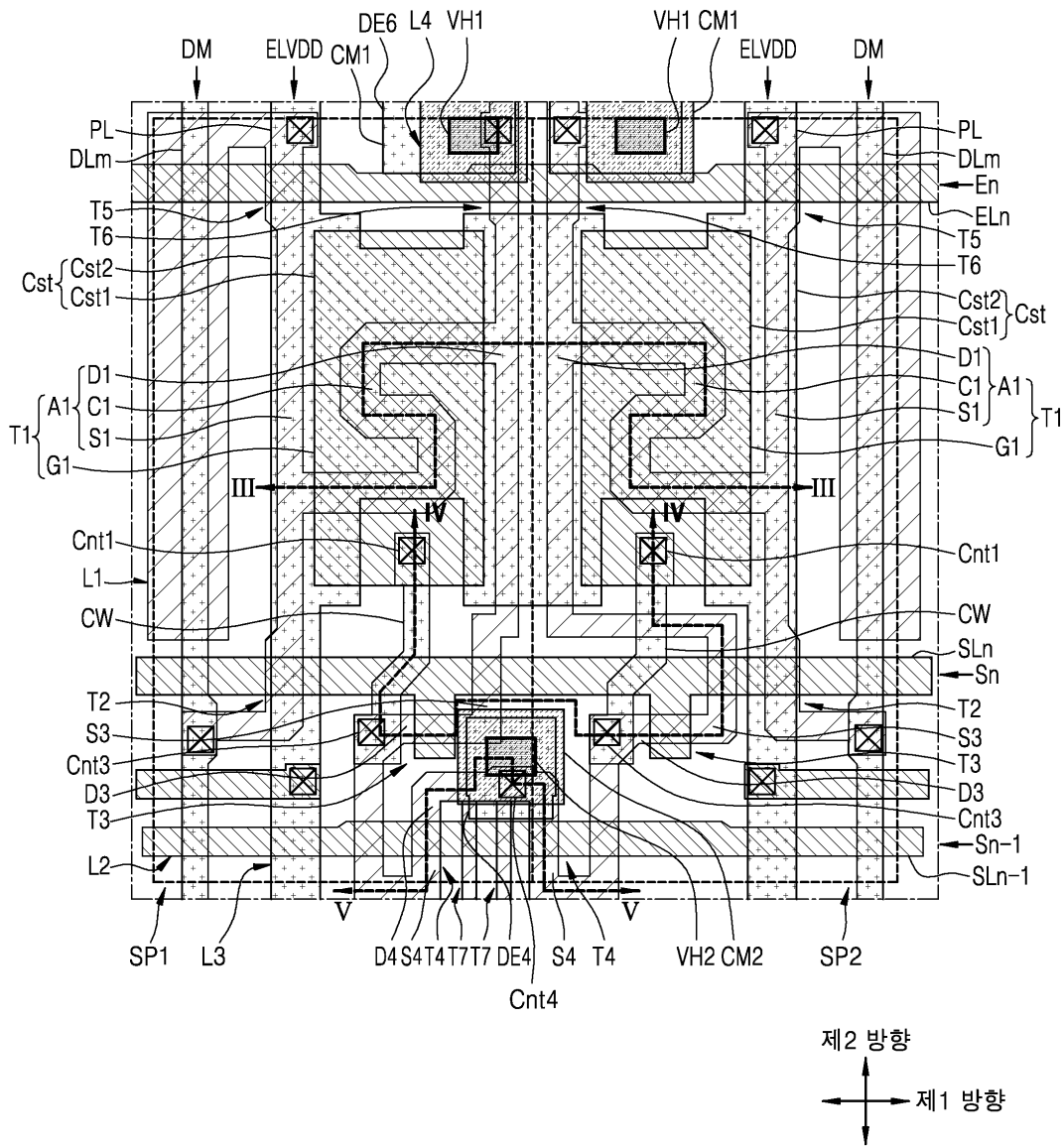
- [0097] 제2 절연막(15) 상에는, 제4 콘택홀(Cnt4)을 통해 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4)의 소스 영역(S4)과 제2 커버메탈(CM2)을 연결하는 제1 초기화 박막트랜지스터(T4)의 드레인 전극(DE4)이 배치될 수 있다. 제4 콘택홀(Cnt4)은 제1 부화소(SP1)에만 포함되어 있으므로, 제1 초기화 박막트랜지스터(T4)의 드레인 전극(DE4)은 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로 비대칭일 수 있다.
- [0098] 제1 초기화 박막트랜지스터(T4)의 드레인 전극(DE4)을 덮는 제3 절연막(17)은 제1 비아홀(VH1) 및 제2 비아홀(VH2)을 포함할 수 있다.
- [0099] 제3 절연막(17) 상에는 제3 도전층(L4)이 배치될 수 있으며, 제3 도전층(L4)은 제1 커버메탈(CM1) 및 제2 커버메탈(CM2)을 포함할 수 있다. 제1 커버메탈(CM1)은 제1 비아홀(VH1)을 통해 제2 발광 제어 박막트랜지스터(T6)의 드레인 전극(DE6)과 유기 발광 소자(OLED)의 화소 전극을 연결할 수 있다. 제2 커버메탈(CM2)은 제2 비아홀(VH2)을 통해 제1 초기화 박막트랜지스터(T4)의 드레인 전극(DE4)과 초기화 전압선(VL)을 연결할 수 있다. 한편, 제1 부화소(SP1) 및 제2 부화소(SP2)는 각각 유기 발광 소자(OLED)의 화소 전극을 포함할 수 있다. 제1 부화소(SP1) 및 제2 부화소(SP2)는 제2 비아홀(VH2)과 초기화 전압선(VL)을 공유할 수 있다. 제1 부화소(SP1) 및 제2 부화소(SP2)에 제2 비아홀(VH2)을 공통으로 형성함으로써, 화소의 개구율을 향상시킬 수 있다. 유기 발광 소자(OLED)의 화소 전극과 초기화 전압선(VL)은 동일한 층에 동일 물질로 형성될 수 있다.
- [0100] 다시 도 2를 참조하면, 제1 부화소(SP1)의 제1 초기화 박막트랜지스터(T4)의 게이트 전극(G4) 및 제2 부화소(SP2)의 제1 초기화 박막트랜지스터(T4)의 게이트 전극(G4)으로 기능하는 제2 주사선(SLn-1)은 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로 대칭일 수 있다. 다만, 제1 부화소(SP1) 및 제2 부화소(SP2)의 경계를 기준으로, 제1 부화소(SP1)의 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4) 및 제2 부화소(SP2)의 제1 초기화 박막트랜지스터(T4)의 액티브 패턴(A4)은 비대칭일 수 있다.
- [0101] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

**부호의 설명**

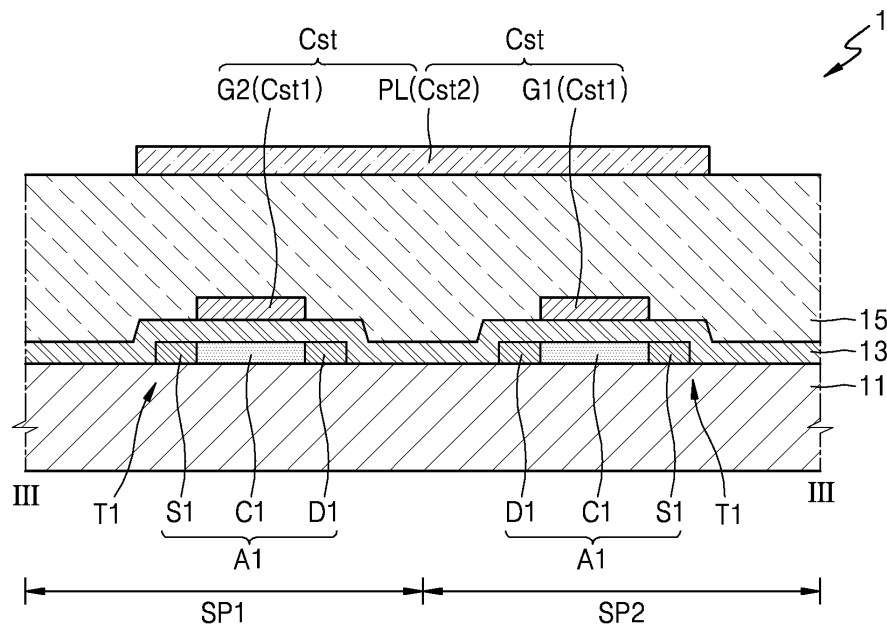
- [0102] SP1: 제1 부화소
- SP2: 제2 부화소
- PL: 구동 전압선
- T1: 구동 박막트랜지스터
- T3: 보상 박막트랜지스터



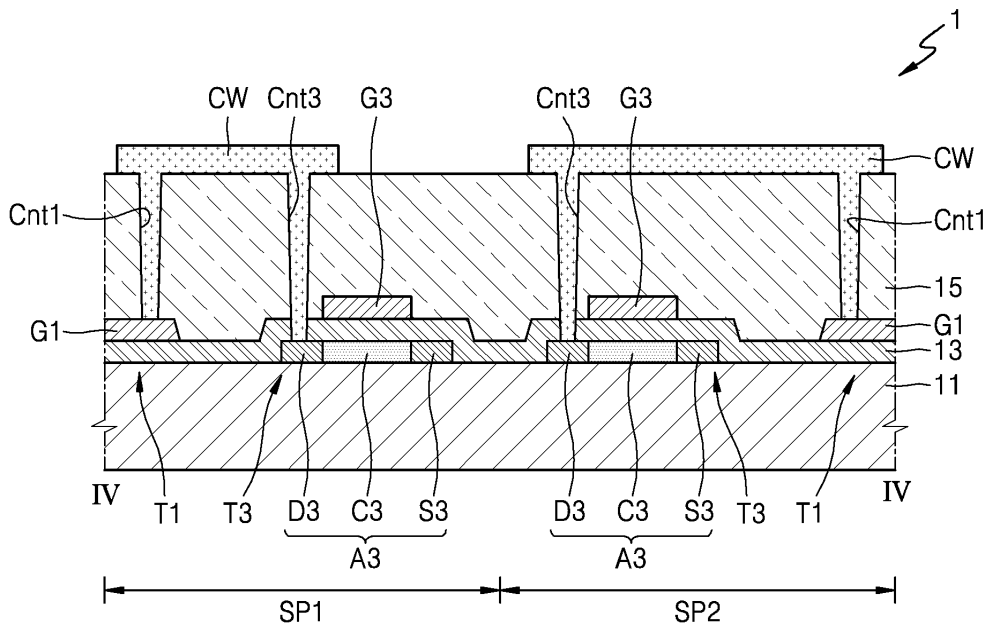
도면2



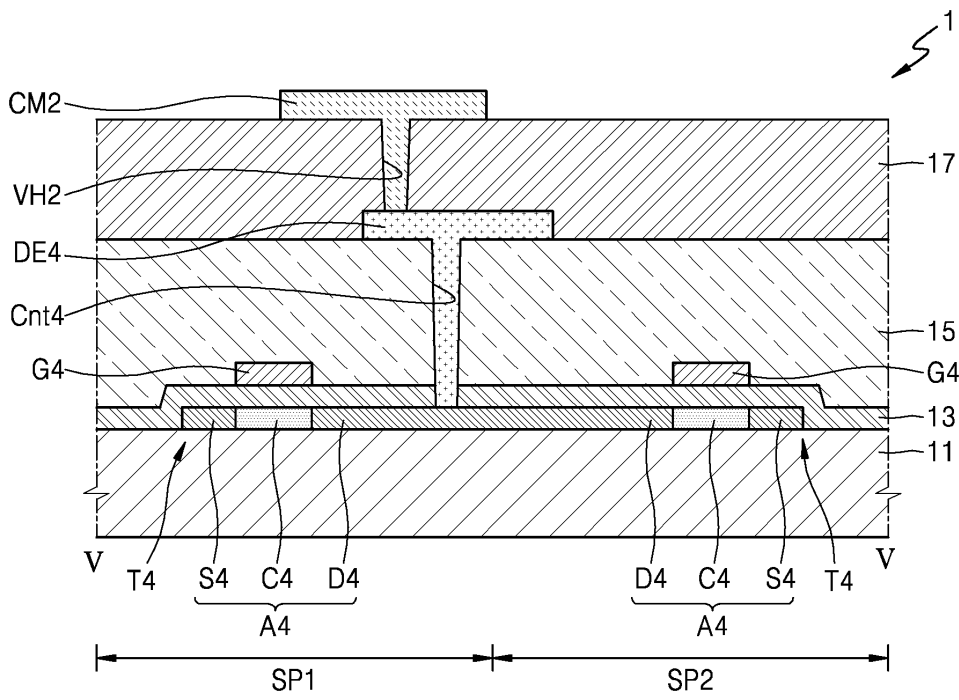
도면3



도면4



도면5



专利名称(译)	相关技术的描述		
公开(公告)号	<a href="#">KR1020170125160A</a>	公开(公告)日	2017-11-14
申请号	KR1020160054675	申请日	2016-05-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK JIN WOO 박진우 HYUN CHAE HAN 현채한 EOM KI MYEONG 엄기명 SUNG SEUNG WOO 성승우 SHIM JUNG HOON 심정훈 WOO MIN KYU 우민규		
发明人	박진우 현채한 엄기명 성승우 심정훈 우민규		
IPC分类号	H01L27/32 G09G3/3233		
CPC分类号	H01L27/3262 H01L27/3276 H01L27/3265 H01L27/3248 H01L27/3297 G09G3/3233 G09G2300/0426 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2300/0876 G09G2310/0262 G09G2320/02 G09G2320/043 H01L51/50 H01L51/5203		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明的优选实施例公开了包括第一像素和第二像素的有机发光显示装置，每个第一像素和第二像素，包括驱动电压线，第一像素和第一驱动晶体管，第二驱动晶体管：基于第二像素的边界对称，第一补偿晶体管和第一补偿晶体管基于边界不对称。驱动电压线将驱动电压提供给第一像素和第二像素，并且延伸到与第一像素和第二像素交叉的第一方向以及与第一方向交叉的第二方向。

