



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0025149
(43) 공개일자 2014년03월04일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2012-0091442

(22) 출원일자 2012년08월21일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

장환수

충남 천안시 서북구 불당11로 82, 612동 402호 (불당동, 대원칸타빌)

(74) 대리인

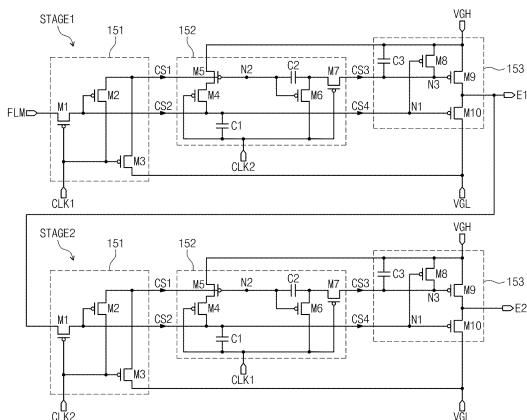
권혁수, 송윤호, 오세준

전체 청구항 수 : 총 30 항

(54) 발명의 명칭 발광 제어 구동부 및 그것을 포함하는 유기발광 표시장치

(57) 요 약

발광 제어 구동부의 각각의 스테이지는, 제1 전압, 제1 서브 제어 신호, 및 제2 서브 제어 신호에 응답하여 제1 신호 및 제2 신호를 생성하는 제1 신호 처리부, 상기 제1 전압보다 낮은 레벨을 갖는 제2 전압, 제3 서브 제어 신호, 상기 제1 신호, 및 상기 제2 신호에 응답하여 제3 신호 및 제4 신호를 생성하는 제2 신호 처리부, 및 상기 제1 전압, 상기 제2 전압, 상기 제3 신호, 및 상기 제4 신호에 응답하여 상기 발광 제어 신호를 생성하는 제3 신호 처리부를 포함하고, 상기 제1 신호 처리부는 이전 단 스테이지로부터 출력되는 상기 발광 제어 신호를 상기 제1 서브 제어 신호로서 제공받고, 첫 번째 스테이지의 상기 제1 신호 처리부는 상기 제1 서브 제어 신호로서 개시 신호를 제공받는 발광제어 구동부.

대 표 도

특허청구의 범위

청구항 1

발광 제어 라인들을 통해 순차적으로 발광제어 신호들을 출력하는 복수의 스테이지들을 포함하고,

상기 각각의 스테이지는,

제1 전압을 제공받고, 제1 서브 제어 신호, 및 제2 서브 제어 신호에 응답하여 제1 신호 및 제2 신호를 생성하는 제1 신호 처리부;

상기 제1 전압보다 낮은 레벨을 갖는 제2 전압을 제공받고, 제3 서브 제어 신호, 상기 제1 신호, 및 상기 제2 신호에 응답하여 제3 신호 및 제4 신호를 생성하는 제2 신호 처리부; 및

상기 제1 전압 및 상기 제2 전압을 제공받고, 상기 제3 신호 및 상기 제4 신호에 응답하여 상기 발광 제어 신호를 생성하는 제3 신호 처리부를 포함하고,

상기 각각의 스테이지의 상기 제1 신호 처리부는 이전 단 스테이지로부터 출력되는 상기 발광 제어 신호를 상기 제1 서브 제어 신호로서 제공받고, 첫 번째 스테이지의 상기 제1 신호 처리부는 상기 제1 서브 제어 신호로서 개시 신호를 제공받는 발광제어 구동부.

청구항 2

제 1 항에 있어서,

홀수 번째 스테이지들 각각의 상기 제1 신호 처리부는 상기 제2 서브 제어 신호로서 제1 클럭 신호를 제공받고, 상기 제2 신호 처리부는 상기 제3 서브 제어 신호로서 제2 클럭 신호를 제공받고,

짝수 번째 스테이지들 각각의 상기 제1 신호 처리부는 상기 제2 서브 제어 신호로서 상기 제2 클럭 신호를 제공받고, 상기 제2 신호 처리부는 상기 제3 서브 제어 신호로서 상기 제1 클럭 신호를 제공받는 발광 제어 구동부.

청구항 3

제 2 항에 있어서,

상기 제1 및 상기 제2 클럭 신호는 동일한 주파수를 갖고, 상기 제2 클럭 신호는 상기 제1 클럭 신호의 주기의 반주기 구간으로 정의되는 제1 구간만큼 상기 제1 클럭 신호가 시프트된 신호인 발광 제어 구동부.

청구항 4

제 3 항에 있어서,

상기 개시 신호의 활성화 레벨 구간은 상기 제1 구간의 4배 시간을 갖는 구간으로 정의되는 제2 구간으로 설정되고, 상기 개시 신호는 상기 제1 클럭 신호가 제1 레벨에서 상기 제1 레벨보다 작은 레벨을 갖는 제2 레벨로 천이되는 시점에서 활성화되는 발광 제어 구동부.

청구항 5

제 3 항에 있어서,

상기 발광 제어 신호들은 각각 상기 제1 구간의 3 배 시간으로 정의되는 제3 구간 동안 상기 제2 전압 레벨을 갖고, 상기 발광 제어 신호들은 순차적으로 상기 제1 구간만큼 시프트되어 출력되는 발광 제어 구동부.

청구항 6

제 2 항에 있어서,

상기 제1 신호 처리부는 제1 내지 제3 트랜지스터들을 포함하고,

상기 제1 트랜지스터의 게이트 단자는 상기 제2 서브 제어 신호를 제공받고, 소스 단자는 상기 제1 서브 제어 신호를 제공받고,

상기 제2 트랜지스터의 게이트 단자는 상기 제1 트랜지스터의 드레인 단자에 연결되고, 드레인 단자는 상기 제2 서브 제어 신호를 제공받고,

상기 제3 트랜지스터의 게이트 단자는 상기 제2 서브 제어 신호를 제공받고, 소스 단자는 상기 제2 트랜지스터의 소스 단자에 연결되고, 드레인 단자는 상기 제1 전압을 제공받고,

상기 제1 신호는 서로 연결된 상기 제2 및 상기 제3 트랜지스터들의 상기 소스 단자들을 통해 출력되고, 상기 제2 신호는 상기 제1 트랜지스터의 상기 드레인 단자를 통해 출력되는 발광 제어 구동부.

청구항 7

제 6 항에 있어서,

상기 제2 신호 처리부는 제4 내지 제7 트랜지스터들과 제1 및 제2 커패시터들을 포함하고,

상기 제4 트랜지스터의 게이트 단자는 상기 제3 서브 제어 신호를 제공받고, 드레인 단자는 제1 노드 및 상기 제1 트랜지스터의 상기 드레인 단자에 연결되고,

상기 제1 커패시터의 제1 전극은 상기 제3 서브 제어 신호를 제공받고, 제2 전극은 상기 제4 트랜지스터의 상기 드레인 단자에 연결되고,

상기 제5 트랜지스터의 게이트 단자는 상기 제3 트랜지스터의 상기 소스 단자 및 제2 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 상기 제4 트랜지스터의 소스 단자에 연결되고,

상기 제6 트랜지스터의 게이트 단자는 상기 제2 노드에 연결되고, 드레인 단자는 상기 제3 서브 제어 신호를 제공받고,

상기 제2 커패시터의 제1 전극은 상기 제6 트랜지스터의 상기 게이트 단자에 연결되고, 제2 전극은 상기 제6 트랜지스터의 소스 단자에 연결되고,

상기 제7 트랜지스터의 게이트 단자는 상기 제3 서브 제어 신호를 제공받고, 소스 단자는 제3 노드에 연결되고, 드레인 단자는 상기 제6 트랜지스터의 상기 소스 단자에 연결되며,

상기 제3 신호는 상기 제3 노드에 제공되고, 상기 제4 신호는 상기 제1 노드에 제공되는 발광 제어 구동부.

청구항 8

제 7 항에 있어서,

상기 제3 신호 처리부는 제8 내지 제10 트랜지스터들 및 제3 커패시터를 포함하고,

상기 제8 트랜지스터의 게이트 단자는 상기 제1 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 상기 제3 노드에 연결되고,

상기 제3 커패시터의 제1 전극은 상기 제2 전압을 제공받고, 제2 전극은 상기 제3 노드에 연결되고,

상기 제9 트랜지스터의 게이트 단자는 상기 제3 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 대응하는 발광 제어 라인에 연결되고,

상기 제10 트랜지스터의 게이트 단자는 상기 제1 노드에 연결되고, 상기 소스 단자는 상기 대응하는 발광 제어 라인에 연결되고, 드레인 단자는 상기 제1 전압을 제공받고,

상기 제9 트랜지스터의 상기 드레인 단자 및 상기 제10 트랜지스터의 상기 소스 단자는 다음 스테이지의 제1 신호처리부의 제1 트랜지스터의 소스 단자에 연결되는 발광 제어 구동부.

청구항 9

대응하는 주사 라인들, 대응하는 데이터 라인들, 및 대응하는 발광 제어 라인들에 연결된 복수의 화소들을 포함하는 표시 패널;

상기 주사 라인들을 통해 주사 신호들을 상기 화소들에 순차적으로 제공하는 주사 구동부;

상기 데이터 라인들을 통해 데이터 전압들을 상기 화소들에 제공하는 데이터 구동; 및

상기 발광 제어 라인들을 통해 순차적으로 발광제어 신호들을 상기 화소들에 제공하는 복수의 스테이지들을 포함하는 발광 제어 구동부를 포함하고,

상기 각각의 스테이지는,

제1 전압을 제공받고, 제1 서브 제어 신호, 및 제2 서브 제어 신호에 응답하여 제1 신호 및 제2 신호를 생성하는 제1 신호 처리부;

상기 제1 전압보다 낮은 레벨을 갖는 제2 전압을 제공받고, 제3 서브 제어 신호, 상기 제1 신호, 및 상기 제2 신호에 응답하여 제3 신호 및 제4 신호를 생성하는 제2 신호 처리부; 및

상기 제1 전압 및 상기 제2 전압을 제공받고, 상기 제3 신호 및 상기 제4 신호에 응답하여 상기 발광 제어 신호를 생성하는 제3 신호 처리부를 포함하고,

상기 각각의 스테이지의 상기 제1 신호 처리부는 이전 단 스테이지로부터 출력되는 상기 발광 제어 신호를 상기 제1 서브 제어 신호로서 제공받고, 첫 번째 스테이지의 상기 제1 신호 처리부는 상기 제1 서브 제어 신호로서 개시 신호를 제공받는 유기발광 표시장치.

청구항 10

제 9 항에 있어서,

홀수 번째 스테이지를 각각의 상기 제1 신호 처리부는 상기 제2 서브 제어 신호로서 제1 클럭 신호를 제공받고, 상기 제2 신호 처리부는 상기 제3 서브 제어 신호로서 제2 클럭 신호를 제공받고,

짝수 번째 스테이지를 각각의 상기 제1 신호 처리부는 상기 제2 서브 제어 신호로서 상기 제2 클럭 신호를 제공받고, 상기 제2 신호 처리부는 상기 제3 서브 제어 신호로서 상기 제1 클럭 신호를 제공받는 유기발광 표시장치.

청구항 11

제 10 항에 있어서,

상기 제1 및 상기 제2 클럭 신호는 동일한 주파수를 갖고, 상기 제2 클럭 신호는 상기 제1 클럭 신호의 주기의 반주기 구간으로 정의되는 제1 구간만큼 상기 제1 클럭 신호가 시프트된 신호이고,

상기 개시 신호의 활성화 레벨 구간은 상기 제1 구간의 4배 시간을 갖는 구간으로 정의되는 제2 구간으로 설정되고, 상기 개시 신호는 제1 클럭 신호가 제1 레벨에서 상기 제1 레벨보다 작은 레벨을 갖는 제2 레벨로 친이되는 시점에서 활성화되는 유기발광 표시장치.

청구항 12

제 11 항에 있어서,

상기 제1 신호 처리부는 제1 내지 제3 트랜지스터들을 포함하고,

상기 제1 트랜지스터의 게이트 단자는 상기 제2 서브 제어 신호를 제공받고, 소스 단자는 상기 제1 서브 제어 신호를 제공받고,

상기 제2 트랜지스터의 게이트 단자는 상기 제1 트랜지스터의 드레인 단자에 연결되고, 드레인 단자는 상기 제2 서브 제어 신호를 제공받고,

상기 제3 트랜지스터의 게이트 단자는 상기 제2 서브 제어 신호를 제공받고, 소스 단자는 상기 제2 트랜지스터의 소스 단자에 연결되고, 드레인 단자는 상기 제1 전압을 제공받고,

상기 제1 신호는 서로 연결된 상기 제2 및 제3 트랜지스터들의 상기 소스 단자들을 통해 출력되고, 상기 제2 신호는 상기 제1 트랜지스터의 상기 드레인 단자를 통해 출력되는 유기발광 표시장치.

청구항 13

제 12 항에 있어서,

상기 제2 신호 처리부는 제4 내지 제7 트랜지스터들과 제1 및 제2 커패시터들을 포함하고,

상기 제4 트랜지스터의 게이트 단자는 상기 제3 서브 제어 신호를 제공받고, 드레인 단자는 제1 노드 및 상기 제1 트랜지스터의 상기 드레인 단자에 연결되고,

상기 제1 커패시터의 제1 전극은 상기 제3 서브 제어 신호를 제공받고, 제2 전극은 상기 제4 트랜지스터의 상기 드레인 단자에 연결되고,

상기 제5 트랜지스터의 게이트 단자는 상기 제3 트랜지스터의 상기 소스 단자 및 제2 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 상기 제4 트랜지스터의 소스 단자에 연결되고,

상기 제6 트랜지스터의 게이트 단자는 상기 제2 노드에 연결되고, 드레인 단자는 상기 제3 서브 제어 신호를 제공받고,

상기 제2 커패시터의 제1 전극은 상기 제6 트랜지스터의 상기 게이트 단자에 연결되고, 제2 전극은 상기 제6 트랜지스터의 소스 단자에 연결되고,

상기 제7 트랜지스터의 게이트 단자는 상기 제3 서브 제어 신호를 제공받고, 소스 단자는 제3 노드에 연결되고, 드레인 단자는 상기 제6 트랜지스터의 상기 소스 단자에 연결되며,

상기 제3 신호는 상기 제3 노드에 제공되고, 상기 제4 신호는 상기 제1 노드에 제공되는 유기발광 표시장치.

청구항 14

제 13 항에 있어서,

상기 제3 신호 처리부는 제8 내지 제10 트랜지스터들 및 제3 커패시터를 포함하고,

상기 제8 트랜지스터의 게이트 단자는 상기 제1 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 상기 제3 노드에 연결되고,

상기 제3 커패시터의 제1 전극은 상기 제2 전압을 제공받고, 제2 전극은 상기 제3 노드에 연결되고,

상기 제9 트랜지스터의 게이트 단자는 상기 제3 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 대응하는 발광 제어 라인에 연결되고,

상기 제10 트랜지스터의 게이트 단자는 상기 제1 노드에 연결되고, 상기 소스 단자는 상기 대응하는 발광 제어 라인에 연결되고, 드레인 단자는 상기 제1 전압을 제공받고,

상기 제9 트랜지스터의 상기 드레인 단자 및 상기 제10 트랜지스터의 상기 소스 단자는 다음 스테이지의 제1 신호처리부의 제1 트랜지스터의 소스 단자에 연결되는 유기발광 표시장치.

청구항 15

발광 제어 라인들을 통해 순차적으로 발광제어 신호들을 출력하는 복수의 스테이지들을 포함하고,

상기 각각의 스테이지는,

제1 방향 제어 신호 및 제2 방향 제어 신호에 응답하여 제1 입력 신호 및 제2 입력 신호 중 어느 하나를 제1 서브 제어 신호로서 출력하는 양방향 구동부;

제1 전압을 제공받고, 상기 제1 서브 제어 신호, 및 제2 서브 제어 신호에 응답하여 제1 신호 및 제2 신호를 생성하는 제1 신호 처리부;

상기 제1 전압보다 낮은 레벨을 갖는 제2 전압을 제공받고, 제3 서브 제어 신호, 상기 제1 신호, 및 상기 제2 신호에 응답하여 제3 신호 및 제4 신호를 생성하는 제2 신호 처리부; 및

상기 제1 전압 및 상기 제2 전압을 제공받고, 상기 제3 신호 및 상기 제4 신호에 응답하여 상기 발광 제어 신호를 생성하는 제3 신호 처리부를 포함하고,

상기 각각의 양방향 구동부는 이전단 스테이지로부터 출력되는 상기 발광 제어 신호를 상기 제1 입력 신호로 제공받고 다음 단 스테이지로부터 출력되는 상기 발광 제어 신호를 상기 제2 입력 신호로 제공받고, 첫 번째 스테이지의 상기 양방향 구동부는 상기 제1 입력 신호로서 개시 신호를 제공받고, 마지막 스테이지의 상기 양방향 구동부는 상기 제2 입력 신호로서 상기 개시 신호를 제공받는 발광 제어 구동부.

청구항 16

제 15 항에 있어서,

상기 각각의 양방향 구동부는 활성화된 상기 제1 방향 제어 신호에 응답하여 상기 제1 입력 신호를 상기 제1 신호 처리부에 제공하고, 활성화된 상기 제2 방향 제어 신호에 응답하여 상기 제2 입력 신호를 상기 제1 신호 처리부에 제공하는 발광 제어 구동부.

청구항 17

제 15 항에 있어서,

홀수 번째 스테이지들 각각의 상기 제1 신호 처리부는 상기 제2 서브 제어 신호로서 제1 클럭 신호를 제공받고, 상기 제2 신호 처리부는 상기 제3 서브 제어 신호로서 제2 클럭 신호를 제공받고,

짝수 번째 스테이지들 각각의 상기 제1 신호 처리부는 상기 제2 서브 제어 신호로서 상기 제2 클럭 신호를 제공받고, 상기 제2 신호 처리부는 상기 제3 서브 제어 신호로서 상기 제1 클럭 신호를 제공받는 발광 제어 구동부.

청구항 18

제 17 항에 있어서,

상기 제1 및 상기 제2 클럭 신호는 동일한 주파수를 갖고, 상기 제2 클럭 신호는 상기 제1 클럭 신호의 주기의 반주기 구간으로 정의되는 제1 구간만큼 상기 제1 클럭 신호가 시프트된 신호이고,

상기 개시 신호의 활성화 레벨 구간은 상기 제1 구간의 4배 시간을 갖는 구간으로 정의되는 제2 구간으로 설정되고, 상기 개시 신호는 상기 제1 클럭 신호가 제1 레벨에서 상기 제1 레벨보다 작은 레벨을 갖는 제2 레벨로 천이되는 시점에서 활성화되는 발광 제어 구동부.

청구항 19

제 17 항에 있어서,

상기 제1 신호 처리부는 제1 내지 제3 트랜지스터들을 포함하고,

상기 제1 트랜지스터의 게이트 단자는 상기 제2 서브 제어 신호를 제공받고, 소스 단자는 상기 제1 서브 제어 신호를 제공받고,

상기 제2 트랜지스터의 게이트 단자는 상기 제1 트랜지스터의 드레인 단자에 연결되고, 드레인 단자는 상기 제2 서브 제어 신호를 제공받고,

상기 제3 트랜지스터의 게이트 단자는 상기 제2 서브 제어 신호를 제공받고, 소스 단자는 상기 제2 트랜지스터의 소스 단자에 연결되고, 드레인 단자는 상기 제1 전압을 제공받고,

상기 제1 신호는 서로 연결된 상기 제2 및 상기 제3 트랜지스터들의 상기 소스 단자들을 통해 출력되고, 상기 제2 신호는 상기 제1 트랜지스터의 상기 드레인 단자를 통해 출력되는 발광 제어 구동부.

청구항 20

제 19 항에 있어서,

상기 제2 신호 처리부는 제4 내지 제7 트랜지스터들과 제1 및 제2 커패시터들을 포함하고,

상기 제4 트랜지스터의 게이트 단자는 상기 제3 서브 제어 신호를 제공받고, 드레인 단자는 제1 노드 및 상기 제1 트랜지스터의 상기 드레인 단자에 연결되고,

상기 제1 커패시터의 제1 전극은 상기 제3 서브 제어 신호를 제공받고, 제2 전극은 상기 제4 트랜지스터의 상기 드레인 단자에 연결되고,

상기 제5 트랜지스터의 게이트 단자는 상기 제3 트랜지스터의 상기 소스 단자 및 제2 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 상기 제4 트랜지스터의 소스 단자에 연결되고,

상기 제6 트랜지스터의 게이트 단자는 상기 제2 노드에 연결되고, 드레인 단자는 상기 제3 서브 제어 신호를 제

공받고,

상기 제2 커패시터의 제1 전극은 상기 제6 트랜지스터의 상기 게이트 단자에 연결되고, 제2 전극은 상기 제6 트랜지스터의 소스 단자에 연결되고,

상기 제7 트랜지스터의 게이트 단자는 상기 제3 서브 제어 신호를 제공받고, 소스 단자는 제3 노드에 연결되고, 드레인 단자는 상기 제6 트랜지스터의 상기 소스 단자에 연결되며,

상기 제3 신호는 상기 제3 노드에 제공되고, 상기 제4 신호는 상기 제1 노드에 제공되는 발광 제어 구동부.

청구항 21

제 20 항에 있어서,

상기 제3 신호 처리부는 제8 내지 제10 트랜지스터들 및 제3 커패시터를 포함하고,

상기 제8 트랜지스터의 게이트 단자는 상기 제1 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 상기 제3 노드에 연결되고,

상기 제3 커패시터의 제1 전극은 상기 제2 전압을 제공받고, 제2 전극은 상기 제3 노드에 연결되고,

상기 제9 트랜지스터의 게이트 단자는 상기 제3 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 대응하는 발광 제어 라인에 연결되고,

상기 제10 트랜지스터의 게이트 단자는 상기 제1 노드에 연결되고, 상기 소스 단자는 상기 대응하는 발광 제어 라인에 연결되고, 드레인 단자는 상기 제1 전압을 제공받고,

상기 제9 트랜지스터의 상기 드레인 단자 및 상기 제10 트랜지스터의 상기 소스 단자는 다음 스테이지의 제1 신호처리부의 제1 트랜지스터의 소스 단자에 연결되는 발광 제어 구동부.

청구항 22

제 16 항에 있어서,

상기 각각의 양방향 구동부는 제11 트랜지스터 및 제12 트랜지스터를 포함하고,

상기 제11 트랜지스터의 게이트 단자는 상기 제1 방향 제어 신호를 제공받고, 소스 단자는 상기 제1 입력 신호를 제공받고,

상기 제12 트랜지스터의 게이트 단자는 상기 제2 방향 제어 신호를 제공받고, 소스 단자는 상기 제2 입력 신호를 제공받고, 드레인 단자는 상기 제11 트랜지스터의 드레인 단자에 연결되고,

상기 제11 및 상기 제12 트랜지스터들의 드레인 단자들을 통해 상기 제1 신호 처리부로 상기 제1 서브 제어 신호가 출력되는 발광 제어 구동부.

청구항 23

발광 제어 라인들을 통해 순차적으로 발광제어 신호들을 출력하는 복수의 스테이지들을 포함하고,

상기 각각의 스테이지는,

제1 방향 제어 신호 및 제2 방향 제어 신호에 응답하여 제1 입력 신호 및 제2 입력 신호 중 어느 하나를 제1 서브 제어 신호로서 출력하는 양방향 구동부;

제1 전압을 제공받고, 상기 제1 서브 제어 신호, 및 제2 서브 제어 신호에 응답하여 제1 신호 및 제2 신호를 생성하는 제1 신호 처리부;

상기 제1 전압보다 낮은 레벨을 갖는 제2 전압을 제공받고, 제3 서브 제어 신호, 상기 제1 신호, 및 상기 제2 신호에 응답하여 제3 신호, 제4 신호, 및 캐리 신호를 생성하는 제2 신호 처리부; 및

상기 제1 전압 및 상기 제2 전압을 제공받고, 상기 제3 신호 및 상기 제4 신호에 응답하여 상기 발광 제어 신호를 생성하는 제3 신호 처리부를 포함하고,

상기 각각의 양방향 구동부는 이전단 스테이지로부터 출력되는 상기 캐리 신호를 상기 제1 입력 신호로 제공받

고 다음 단 스테이지로부터 출력되는 상기 캐리 신호를 상기 제2 입력 신호로 제공받고, 첫 번째 스테이지의 상기 양방향 구동부는 상기 제1 입력 신호로서 개시 신호를 제공받고, 마지막 스테이지의 상기 양방향 구동부는 상기 제2 입력 신호로서 상기 개시 신호를 제공받는 발광 제어 구동부.

청구항 24

제 23 항에 있어서,

상기 각각의 양방향 구동부는 활성화된 상기 제1 방향 제어 신호에 응답하여 상기 제1 입력 신호를 상기 제1 신호 처리부에 제공하고, 활성화된 상기 제2 방향 제어 신호에 응답하여 상기 제2 입력 신호를 상기 제1 신호 처리부에 제공하는 발광 제어 구동부.

청구항 25

제 23 항에 있어서,

홀수 번째 스테이지를 각각의 상기 제1 신호 처리부는 상기 제2 서브 제어 신호로서 제1 클럭 신호를 제공받고, 상기 제2 신호 처리부는 상기 제3 서브 제어 신호로서 제2 클럭 신호를 제공받고,

짝수 번째 스테이지를 각각의 상기 제1 신호 처리부는 상기 제2 서브 제어 신호로서 상기 제2 클럭 신호를 제공받고, 상기 제2 신호 처리부는 상기 제3 서브 제어 신호로서 상기 제1 클럭 신호를 제공받는 유기발광 표시장치.

청구항 26

제 25 항에 있어서,

상기 제1 및 상기 제2 클럭 신호는 동일한 주파수를 갖고, 상기 제2 클럭 신호는 상기 제1 클럭 신호의 주기의 반주기 구간으로 정의되는 제1 구간만큼 상기 제1 클럭 신호가 시프트된 신호이고,

상기 개시 신호의 활성화 레벨 구간은 상기 제1 구간의 4배 시간을 갖는 구간으로 정의되는 제2 구간으로 설정되고, 상기 개시 신호는 상기 제1 클럭 신호가 제1 레벨에서 상기 제1 레벨보다 작은 레벨을 갖는 제2 레벨로 천이되는 시점에서 활성화되는 유기발광 표시장치.

청구항 27

제 25 항에 있어서,

상기 제1 신호 처리부는 제1 내지 제3 트랜지스터들을 포함하고,

상기 제1 트랜지스터의 게이트 단자는 상기 제2 서브 제어 신호를 제공받고, 소스 단자는 상기 제1 서브 제어 신호를 제공받고,

상기 제2 트랜지스터의 상기 게이트 단자는 상기 제1 트랜지스터의 드레인 단자에 연결되고, 드레인 단자는 상기 제2 서브 제어 신호를 제공받고,

상기 제3 트랜지스터의 게이트 단자는 상기 제2 서브 제어 신호를 제공받고, 소스 단자는 상기 제2 트랜지스터의 소스 단자에 연결되고, 드레인 단자는 상기 제1 전압을 제공받고,

상기 제1 신호는 서로 연결된 상기 제2 및 상기 제3 트랜지스터들의 상기 소스 단자들을 통해 출력되고, 상기 제2 신호는 상기 제1 트랜지스터의 상기 드레인 단자를 통해 출력되는 유기발광 표시장치.

청구항 28

제 27 항에 있어서,

상기 제2 신호 처리부는 제4 내지 제7 트랜지스터들, 제1 및 제2 커패시터들, 및 제13 및 제14 트랜지스터들을 포함하고,

상기 제4 트랜지스터의 게이트 단자는 상기 제3 서브 제어 신호를 제공받고, 드레인 단자는 제1 노드 및 상기 제1 트랜지스터의 상기 드레인 단자에 연결되고,

상기 제1 커패시터의 제1 전극은 제4 노드에 연결되고, 제2 전극은 상기 제4 트랜지스터의 상기 드레인 단자에

연결되고,

상기 제5 트랜지스터의 게이트 단자는 상기 제3 트랜지스터의 상기 소스 단자 및 제2 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 상기 제4 트랜지스터의 소스 단자에 연결되고,

상기 제6 트랜지스터의 게이트 단자는 상기 제2 노드에 연결되고, 드레인 단자는 상기 제3 서브 제어 신호를 제공받고,

상기 제2 커패시터의 제1 전극은 상기 제6 트랜지스터의 상기 게이트 단자에 연결되고, 제2 전극은 상기 제6 트랜지스터의 소스 단자에 연결되고,

상기 제7 트랜지스터의 게이트 단자는 상기 제3 서브 제어 신호를 제공받고, 소스 단자는 제3 노드에 연결되고, 드레인 단자는 상기 제6 트랜지스터의 상기 소스 단자에 연결되고,

상기 제13 트랜지스터의 게이트 단자는 상기 제2 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 상기 제4 노드에 연결되고,

상기 제14 트랜지스터의 게이트 단자는 상기 제1 커패시터의 상기 제2 전극에 연결되고, 소스 단자는 상기 제4 노드에 연결되고, 드레인 단자는 상기 제1 클럭 신호를 제공받고,

상기 제3 신호는 상기 제3 노드에 제공되고, 상기 제4 신호는 상기 제1 노드에 제공되고, 상기 제4 노드의 전압은 상기 케리 신호로 출력되는 발광 제어 구동부.

청구항 29

제 28 항에 있어서,

상기 제3 신호 처리부는 제8 내지 제10 트랜지스터들 및 제3 커패시터를 포함하고,

상기 제8 트랜지스터의 게이트 단자는 상기 제1 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 상기 제3 노드에 연결되고,

상기 제3 커패시터의 제1 전극은 상기 제2 전압을 제공받고, 제2 전극은 상기 제3 노드에 연결되고,

상기 제9 트랜지스터의 게이트 단자는 상기 제3 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 대응하는 발광 제어 라인에 연결되고,

상기 제10 트랜지스터의 게이트 단자는 상기 제1 노드에 연결되고, 상기 소스 단자는 상기 대응하는 발광 제어 라인에 연결되고, 드레인 단자는 상기 제1 전압을 제공받고,

상기 제9 트랜지스터의 상기 드레인 단자 및 상기 제10 트랜지스터의 상기 소스 단자는 다음 스테이지의 제1 신호처리부의 제1 트랜지스터의 소스 단자에 연결되는 유기발광 표시장치.

청구항 30

제 24 항에 있어서,

상기 각각의 양방향 구동부는 제11 트랜지스터 및 제12 트랜지스터를 포함하고,

상기 제11 트랜지스터의 게이트 단자는 상기 제1 방향 제어 신호를 제공받고, 소스 단자는 상기 제1 입력 신호를 제공받고,

상기 제12 트랜지스터의 게이트 단자는 상기 제2 방향 제어 신호를 제공받고, 소스 단자는 상기 제2 입력 신호를 제공받고, 드레인 단자는 상기 제11 트랜지스터의 드레인 단자에 연결되고,

상기 제11 및 상기 제12 트랜지스터들의 드레인 단자들을 통해 상기 제1 신호 처리부로 상기 제1 서브 제어 신호가 출력되는 발광 제어 구동부.

명세서

기술 분야

[0001] 본 발명은 발광 제어 구동부 및 그것을 포함하는 유기발광 표시장치에 관한 것으로, 더욱 상세하게는 구성이 간

소화된 발광 제어 구동부 및 그것을 포함하는 유기발광 표시장치에 관한 것이다.

배경기술

[0002] 최근 액정 표시 장치(Liquid Crystal Display), 유기 발광 표시장치(Organic Light Emitting Display), 전기 습윤 표시 장치(Electro Wetting Display Device), 플라즈마 표시 장치(Plasma Display Panel: PDP) 및 전기 영동 표시장치(Electrophoretic Display Device) 등 다양한 표시장치가 개발되고 있다.

[0003] 표시장치 중 유기발광 표시 장치는 전자와 정공의 재결합에 의해 광을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시한다. 이러한 유기발광 표시장치는 빠른 응답속도를 갖고 소비 전력이 낮은 장점이 있다.

[0004] 일반적인 유기발광 표시장치는 영상을 표시하는 복수의 화소들, 화소들에 주사 신호들을 순차적으로 공급하는 주사 구동부, 화소들에 데이터 전압들을 공급하는 데이터 구동부, 화소들에 발광 제어 신호들을 공급하는 발광 제어 구동부를 포함한다.

[0005] 화소들은 주사신호들에 응답하여 데이터 전압들을 공급받는다. 화소들은 데이터 전압들에 대응하는 소정 휙도의 빛을 생성함으로써 소정의 영상을 표시한다. 화소들의 발광시간은 발광 제어 신호들에 의해 제어된다. 발광 제어 구동부는 초기화 제어신호들에 응답하여 초기화되고, 발광 제어 신호들에 응답하여 발광 제어신호들을 생성한다. 최근 발광 제어 구동부의 구성을 간소화할 수 있는 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 구성이 간소화된 발광 제어 구동부 및 그것을 포함하는 유기발광 표시장치를 제공하는데 있다.

과제의 해결 수단

[0007] 본 발명의 일 실시 예에 따른 발광 제어 구동부는 발광 제어 라인들을 통해 순차적으로 발광제어 신호들을 출력하는 복수의 스테이지들을 포함하고, 상기 각각의 스테이지는, 제1 전압을 제공받고, 제1 서브 제어 신호, 및 제2 서브 제어 신호에 응답하여 제1 신호 및 제2 신호를 생성하는 제1 신호 처리부, 상기 제1 전압보다 낮은 레벨을 갖는 제2 전압을 제공받고, 제3 서브 제어 신호, 상기 제1 신호, 및 상기 제2 신호에 응답하여 제3 신호 및 제4 신호를 생성하는 제2 신호 처리부, 및 상기 제1 전압 및 상기 제2 전압을 제공받고, 상기 제3 신호 및 상기 제4 신호에 응답하여 상기 발광 제어 신호를 생성하는 제3 신호 처리부를 포함하고, 상기 각각의 스테이지의 상기 제1 신호 처리부는 이전 단 스테이지로부터 출력되는 상기 발광 제어 신호를 상기 제1 서브 제어 신호로서 제공받고, 첫 번째 스테이지의 상기 제1 신호 처리부는 상기 제1 서브 제어 신호로서 개시 신호를 제공받는다.

[0008] 홀수 번째 스테이지들 각각의 상기 제1 신호 처리부는 상기 제2 서브 제어 신호로서 제1 클럭 신호를 제공받고, 상기 제2 신호 처리부는 상기 제3 서브 제어 신호로서 제2 클럭 신호를 제공받고, 짝수 번째 스테이지들 각각의 상기 제1 신호 처리부는 상기 제2 서브 제어 신호로서 상기 제2 클럭 신호를 제공받고, 상기 제2 신호 처리부는 상기 제3 서브 제어 신호로서 상기 제1 클럭 신호를 제공받는다.

[0009] 상기 제1 및 상기 제2 클럭 신호는 동일한 주파수를 갖고, 상기 제2 클럭 신호는 상기 제1 클럭 신호의 주기의 반주기 구간으로 정의되는 제1 구간만큼 상기 제1 클럭 신호가 시프트된 신호이다.

[0010] 상기 개시 신호의 활성화 레벨 구간은 상기 제1 구간의 4배 시간을 갖는 구간으로 정의되는 제2 구간으로 설정되고, 상기 개시 신호는 상기 제1 클럭 신호가 제1 레벨에서 상기 제1 레벨보다 작은 레벨을 갖는 제2 레벨로 천이되는 시점에서 활성화된다.

[0011] 상기 발광 제어 신호들은 각각 상기 제1 구간의 3 배 시간으로 정의되는 제3 구간 동안 상기 제2 전압 레벨을 갖고, 상기 발광 제어 신호들은 순차적으로 상기 제1 구간만큼 시프트되어 출력된다.

[0012] 상기 제1 신호 처리부는 제1 내지 제3 트랜지스터들을 포함하고, 상기 제1 트랜지스터의 게이트 단자는 상기 제2 서브 제어 신호를 제공받고, 소스 단자는 상기 제1 서브 제어 신호를 제공받고, 상기 제2 트랜지스터의 게이트 단자는 상기 제1 트랜지스터의 드레인 단자에 연결되고, 드레인 단자는 상기 제2 서브 제어 신호를 제공받고, 상기 제3 트랜지스터의 게이트 단자는 상기 제2 서브 제어 신호를 제공받고, 소스 단자는 상기 제2 트랜지스터의 드레인 단자에 연결되고, 드레인 단자는 상기 제1 전압을 제공받고, 상기 제1 신호는 서로 연결된

상기 제2 및 상기 제3 트랜지스터들의 상기 소스 단자들을 통해 출력되고, 상기 제2 신호는 상기 제1 트랜지스터의 상기 드레인 단자를 통해 출력된다.

[0013] 상기 제2 신호 처리부는 제4 내지 제7 트랜지스터들과 제1 및 제2 커패시터들을 포함하고, 상기 제4 트랜지스터의 게이트 단자는 상기 제3 서브 제어 신호를 제공받고, 드레인 단자는 제1 노드 및 상기 제1 트랜지스터의 상기 드레인 단자에 연결되고, 상기 제1 커패시터의 제1 전극은 상기 제3 서브 제어 신호를 제공받고, 제2 전극은 상기 제4 트랜지스터의 상기 드레인 단자에 연결되고, 상기 제5 트랜지스터의 게이트 단자는 상기 제3 트랜지스터의 상기 소스 단자 및 제2 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 상기 제4 트랜지스터의 소스 단자에 연결되고, 상기 제6 트랜지스터의 게이트 단자는 상기 제2 노드에 연결되고, 드레인 단자는 상기 제3 서브 제어 신호를 제공받고, 상기 제2 커패시터의 제1 전극은 상기 제6 트랜지스터의 상기 게이트 단자에 연결되고, 제2 전극은 상기 제6 트랜지스터의 소스 단자에 연결되고, 상기 제7 트랜지스터의 게이트 단자는 상기 제3 서브 제어 신호를 제공받고, 소스 단자는 제3 노드에 연결되고, 드레인 단자는 상기 제6 트랜지스터의 상기 소스 단자에 연결되며, 상기 제3 신호는 상기 제3 노드에 제공되고, 상기 제4 신호는 상기 제1 노드에 제공된다.

[0014] 상기 제3 신호 처리부는 제8 내지 제10 트랜지스터들 및 제3 커패시터를 포함하고, 상기 제8 트랜지스터의 게이트 단자는 상기 제1 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 상기 제3 노드에 연결되고, 상기 제3 커패시터의 제1 전극은 상기 제2 전압을 제공받고, 제2 전극은 상기 제3 노드에 연결되고, 상기 제9 트랜지스터의 게이트 단자는 상기 제3 노드에 연결되고, 소스 단자는 상기 제2 전압을 제공받고, 드레인 단자는 대응하는 발광 제어 라인에 연결되고, 상기 제10 트랜지스터의 게이트 단자는 상기 제1 노드에 연결되고, 상기 소스 단자는 상기 대응하는 발광 제어 라인에 연결되고, 드레인 단자는 상기 제1 전압을 제공받고, 상기 제9 트랜지스터의 상기 드레인 단자 및 상기 제10 트랜지스터의 상기 소스 단자는 다음 스테이지의 제1 신호처리부의 제1 트랜지스터의 소스 단자에 연결된다.

[0015] 본 발명의 일 실시 예에 따른 유기발광 표시장치는 대응하는 주사 라인들, 대응하는 데이터 라인들, 및 대응하는 발광 제어 라인들에 연결된 복수의 화소들을 포함하는 표시 패널, 상기 주사 라인들을 통해 주사 신호들을 상기 화소들에 순차적으로 제공하는 주사 구동부, 상기 데이터 라인들을 통해 데이터 전압들을 상기 화소들에 제공하는 데이터 구동, 및 상기 발광 제어 라인들을 통해 순차적으로 발광제어 신호들을 상기 화소들에 제공하는 복수의 스테이지들을 포함하는 발광 제어 구동부를 포함하고, 상기 각각의 스테이지는, 제1 전압을 제공받고, 제1 서브 제어 신호, 및 제2 서브 제어 신호에 응답하여 제1 신호 및 제2 신호를 생성하는 제1 신호 처리부, 상기 제1 전압보다 낮은 레벨을 갖는 제2 전압을 제공받고, 제3 서브 제어 신호, 상기 제1 신호, 및 상기 제2 신호에 응답하여 제3 신호 및 제4 신호를 생성하는 제2 신호 처리부, 및 상기 제1 전압 및 상기 제2 전압을 제공받고, 상기 제3 신호 및 상기 제4 신호에 응답하여 상기 발광 제어 신호를 생성하는 제3 신호 처리부를 포함하고, 상기 각각의 스테이지의 상기 제1 신호 처리부는 이전 단 스테이지로부터 출력되는 상기 발광 제어 신호를 상기 제1 서브 제어 신호로서 제공받고, 첫 번째 스테이지의 상기 제1 신호 처리부는 상기 제1 서브 제어 신호로서 개시 신호를 제공받는다.

[0016] 본 발명의 일 실시 예에 따른 발광 제어 구동부는 발광 제어 라인들을 통해 순차적으로 발광제어 신호들을 출력하는 복수의 스테이지들을 포함하고, 상기 각각의 스테이지는, 제1 방향 제어 신호 및 제2 방향 제어 신호에 응답하여 제1 입력 신호 및 제2 입력 신호 중 어느 하나를 제1 서브 제어 신호로서 출력하는 양방향 구동부, 제1 전압을 제공받고, 상기 제1 서브 제어 신호, 및 제2 서브 제어 신호에 응답하여 제1 신호 및 제2 신호를 생성하는 제1 신호 처리부, 상기 제1 전압보다 낮은 레벨을 갖는 제2 전압을 제공받고, 제3 서브 제어 신호, 상기 제1 신호, 및 상기 제2 신호에 응답하여 제3 신호 및 제4 신호를 생성하는 제2 신호 처리부, 및 상기 제1 전압 및 상기 제2 전압을 제공받고, 상기 제3 신호 및 상기 제4 신호에 응답하여 상기 발광 제어 신호를 생성하는 제3 신호 처리부를 포함하고, 상기 각각의 양방향 구동부는 이전단 스테이지로부터 출력되는 상기 발광 제어 신호를 상기 제1 입력 신호로 제공받고 다음 단 스테이지로부터 출력되는 상기 발광 제어 신호를 상기 제2 입력 신호로 제공받고, 첫 번째 스테이지의 상기 양방향 구동부는 상기 제1 입력 신호로서 개시 신호를 제공받고, 마지막 스테이지의 상기 양방향 구동부는 상기 제2 입력 신호로서 상기 개시 신호를 제공받는다.

[0017] 본 발명의 일 실시 예에 따른 발광 제어 구동부는 발광 제어 라인들을 통해 순차적으로 발광제어 신호들을 출력하는 복수의 스테이지들을 포함하고, 상기 각각의 스테이지는, 제1 방향 제어 신호 및 제2 방향 제어 신호에 응답하여 제1 입력 신호 및 제2 입력 신호 중 어느 하나를 제1 서브 제어 신호로서 출력하는 양방향 구동부, 제1 전압을 제공받고, 상기 제1 서브 제어 신호, 및 제2 서브 제어 신호에 응답하여 제1 신호 및 제2 신호를 생성하는 제1 신호 처리부, 상기 제1 전압보다 낮은 레벨을 갖는 제2 전압을 제공받고, 제3 서브 제어 신호, 상기 제1

신호, 및 상기 제2 신호에 응답하여 제3 신호, 제4 신호, 및 캐리 신호를 생성하는 제2 신호 처리부, 및 상기 제1 전압 및 상기 제2 전압을 제공받고, 상기 제3 신호 및 상기 제4 신호에 응답하여 상기 발광 제어 신호를 생성하는 제3 신호 처리부를 포함하고, 상기 각각의 양방향 구동부는 이전단 스테이지로부터 출력되는 상기 캐리 신호를 상기 제1 입력 신호로 제공받고 다음 단 스테이지로부터 출력되는 상기 캐리 신호를 상기 제2 입력 신호로 제공받고, 첫 번째 스테이지의 상기 양방향 구동부는 상기 제1 입력 신호로서 개시 신호를 제공받고, 마지막 스테이지의 상기 양방향 구동부는 상기 제2 입력 신호로서 상기 개시 신호를 제공받는다.

발명의 효과

[0018] 본 발명의 유기발광 표시장치의 발광 제어구동부는 간소화된 구성을 갖는다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 실시 예에 따른 유기발광 표시 장치의 블록도이다.

도 2는 도 1에 도시된 임의의 한 화소의 등가 회로도이다.

도 3은 도 1에 도시된 발광 제어 구동부의 구성을 보여주는 블록도이다.

도 4는 도 3에 도시된 스테이지의 상세 회로도이다.

도 5는 도 4에 도시된 제1 스테이지의 동작을 설명하기 위한 타이밍도이다.

도 6 및 도 7은 본 발명의 제2 실시 예에 따른 유기 발광 표시장치의 발광 제어 구동부의 스테이지의 상세 회로도이다.

도 8은 본 발명의 제3 실시 예에 따른 유기 발광 표시장치의 발광 제어 구동부의 스테이지의 상세 회로도이다.

도 9는 도 8에 도시된 제1 스테이지의 동작을 설명하기 위한 타이밍도이다.

도 10은 도 8에 도시된 제2 스테이지의 동작을 설명하기 위한 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명의 이점 및 특징들은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 상세히 설명되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있다.

[0021] 이하의 설명에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 도면에서 본 발명과 관계없는 부분은 본 발명의 설명을 명확하게 하기 위해 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호로 도시하였다.

[0022] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 보다 상세하게 설명한다.

[0023] 도 1은 본 발명의 제1 실시 예에 따른 유기발광 표시 장치의 블록도이다.

[0024] 도 1을 참조하면, 본 발명의 제1 실시 예에 따른 유기발광 표시장치(100)는 표시 패널(110), 타이밍 컨트롤러(120), 주사 구동부(130), 데이터 구동부(140), 및 발광 제어 구동부(150)를 포함한다.

[0025] 표시 패널(110)은 매트릭스 형태로 배열된 복수의 화소들(PX1~PXnm)을 포함한다. 화소들(PX1~PXnm)은 행 방향으로 연장된 복수의 주사 라인들(S1~Sn) 및 주사라인들(S1~Sn)과 교차하는 복수의 데이터 라인들(D1~Dm)에 연결된다. 또한, 화소들(PX1~PXnm)은 주사 라인들(S1~Sn)과 평행하게 연장된 복수의 발광 제어라인들(E1~En)에 연결된다.

[0026] 주사 라인들(S1~Sn)은 주사 구동부(130)에 연결되어 주사 신호들을 수신한다. 데이터 라인들(D1~Dm)은 데이터 구동부(140)에 연결되어 데이터 전압들을 수신한다. 발광 제어 라인들(E1~En)은 발광 제어 구동부(150)에 연결되어 발광 제어 신호들을 수신한다. n 및 m은 0보다 큰 정수이다.

[0027] 타이밍 컨트롤러(120)는 외부(예를 들어, 시스템 보드)로부터 영상 신호들(R,G,B) 및 제어 신호들을 수신한다. 제어 신호들은 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), 및 메인 클럭 신호(MCLK) 등을 포함할 수 있다.

- [0028] 타이밍 컨트롤러(120)는 데이터 구동부(140)와의 인터페이스 사양에 맞도록 영상 신호들(R,G,B)의 데이터 포맷을 변환한다. 타이밍 컨트롤러(120)는 데이터 포맷이 변환된 영상 신호들(R',G',B')을 데이터 구동부(140)로 제공한다.
- [0029] 타이밍 컨트롤러(120)는 외부로부터 제공된 제어 신호들에 응답하여 제1 제어신호(CONT1), 제2 제어신호(CONT2), 및 제3 제어신호(CONT3)를 생성한다. 제1 제어신호(CONT1)는 주사 구동부(130)의 동작 타이밍을 제어하기 위한 제어신호이다. 제2 제어신호(CONT2)는 데이터 구동부(140)의 동작 타이밍을 제어하기 위한 제어신호이다. 제3 제어신호(CONT3)는 발광 제어 구동부(150)의 동작 타이밍을 제어하기 위한 제어신호이다. 타이밍 컨트롤러(120)는 제1 제어신호(CONT1)를 주사 구동부(130)에 제공하고, 제2 제어신호(CONT2)를 데이터 구동부(140)에 제공하고, 제3 제어신호(CONT3)를 발광 제어 구동부(150)에 제공한다.
- [0030] 주사 구동부(130)는 제1 제어 신호(CONT1)에 응답하여 복수의 주사 신호들을 생성한다. 주사 신호들은 주사 라인들(S1~Sn)을 통해 화소들(PX11~PXnm)에 행 단위로 그리고 순차적으로 인가된다. 그 결과 화소들(PX11~PXnm)은 행 단위로 그리고 순차적으로 선택될 수 있다.
- [0031] 데이터 구동부(140)는 제2 제어 신호(CONT2)에 응답하여 영상 신호들(R',G',B')에 대응되는 데이터 전압들을 생성한다. 데이터 전압들은 대응하는 데이터 라인들(D1~Dm)을 통해 화소들(PX11~PXnm)에 제공된다.
- [0032] 발광 제어 구동부(150)를 제어하기 위한 제3 제어 신호(CONT3)는 복수의 서브 제어 신호들을 포함한다. 서브 제어 신호들은 개시 신호(FLM), 제1 클럭 신호(CLK1), 및 제2 클럭 신호(CLK2)를 포함할 수 있다.
- [0033] 발광 제어 구동부(150)에는 제1 전압(VGL) 및 제1 전압(VGL)보다 높은 레벨을 갖는 제2 전압(VGH)이 제공된다. 발광 제어 구동부(150)는 제3 제어 신호(CONT3)에 응답하여 발광 제어 신호들을 생성한다. 구체적으로, 발광 제어 구동부(150)는 개시 신호(FLM), 제1 클럭 신호(CLK1), 제2 클럭 신호(CLK2), 제1 전압(VGL), 및 제2 전압(VGH)을 이용하여 발광 제어 신호들을 생성한다. 이러한 동작은 이하 상세히 설명될 것이다. 발광 제어 신호들은 발광 제어 라인들(E1~En)을 통해 화소들(PX11~PXnm)에 제공된다.
- [0034] 화소들(PX11~PXnm)은 제1 발광 전압(ELVDD) 및 제2 발광 전압(ELVSS)을 제공받는다. 화소들(PX11~PXnm)은 각각 대응하는 주사 라인들(S1~Sn)을 통해 제공받은 주사 신호들에 응답하여 대응하는 데이터 라인들(D1~Dn)을 통해 데이터 전압들을 제공받는다. 화소들(PX11~PXnm)은 각각 대응하는 발광 제어 라인들(E1~En)을 통해 발광 제어 신호들을 제공받는다. 각각의 화소(PX11~PXnm)는 제1 발광 전압(ELVDD) 및 제2 발광 전압(ELVSS)을 이용하여 제공받은 데이터 전압에 대응하는 휘도로 발광된다. 이러한 동작은 이하 상세히 설명될 것이다. 각각의 화소(PX11~PXnm)의 발광시간은 발광 제어 신호들에 의해 제어될 수 있다.
- [0035] 본 발명의 발광 제어 구동부(150)는 개시 신호(FLM), 제1 클럭 신호(CLK1), 제2 클럭 신호(CLK2), 제1 전압(VGL), 및 제2 전압(VGH)만을 이용하여 발광 제어 신호들을 생성할 수 있다. 즉, 발광 제어 구동부(150)에는 초기화되기 위한 별도의 제어 신호들이 요구되지 않는다. 따라서, 발광 제어 구동부(150)의 구성이 간소화 될 수 있다.
- [0036] 도 2는 도 1에 도시된 임의의 한 화소의 등가 회로도이다.
- [0037] 도 1에 도시된 화소들(PX11~PXnm)은 동일한 구성을 갖고 동일하게 동작되므로, 도 2에는 하나의 화소의 등가 회로도만 도시하였다. 따라서, 이하 하나의 화소의 동작에 대하여 설명한다.
- [0038] 도 2를 참조하면, 화소(Pij)는 유기 발광 다이오드(organic light emitting diode)(OLED), 구동 트랜지스터(T1), 커패시터(Cst), 스위칭 트랜지스터(T2) 및 발광 제어 트랜지스터(T3)를 포함한다. 구동 트랜지스터(T1)의 소스 단자는 제1 발광 전압(ELVDD)을 제공받고, 드레인 단자는 발광 제어 트랜지스터(T3)의 소스 단자에 연결된다. 구동 트랜지스터(T1)의 게이트 단자는 스위칭 트랜지스터(T2)의 드레인 단자에 연결된다. 스위칭 트랜지스터(T2)의 게이트 단자는 대응하는 주사 라인(Si)에 연결되고, 소스 단자는 대응하는 데이터 라인(Dj)에 연결된다.
- [0039] 스위칭 트랜지스터(T2)는 주사 라인(Si)을 통해 제공받은 주사 신호에 응답하여 턴 온된다. 턴 온된 스위칭 트랜지스터(T2)는 데이터 라인(Dj)을 통해 제공 받은 데이터 전압을 구동 트랜지스터(T3)의 게이트 단자에 제공한다.
- [0040] 커패시터(Cst)의 제1 전극은 구동 트랜지스터(T1)의 소스 단자에 연결되고, 제2 전극은 구동 트랜지스터(T1)의 게이트 단자에 연결된다. 커패시터(Cst)는 구동 트랜지스터(T1)의 게이트 단자에 인가되는 데이터 전압을 충전

하고 스위칭 트랜지스터(T2)가 턴 오프된 뒤에도 이를 유지한다.

[0041] 발광 제어 트랜지스터(T3)의 게이트 단자는 대응하는 발광 제어 라인(Ei)에 연결되고, 드레인 단자는 유기 발광 다이오드(OLED)의 애노드 전극에 연결된다. 발광 제어 트랜지스터(T3)는 발광 제어 라인(Ei)을 통해 제공된 발광 제어 신호에 응답하여 턴 온된다. 턴 온된 발광 제어 트랜지스터(T3)는 구동 트랜지스터(T1)에 흐르는 전류(I_{OLED})를 유기 발광 다이오드(OLED)에 제공하는 역할을 한다.

[0042] 유기 발광 다이오드(OLED)는 캐소드 전극으로 제2 발광 전압(ELVSS)을 인가 받는다. 유기 발광 다이오드(OLED)는 발광제어 트랜지스터(T3)를 통해 구동 트랜지스터(T1)가 공급하는 전류(I_{OLED})량에 따라 세기를 달리하여 발광 한다.

[0043] 도 3은 도 1에 도시된 발광 제어 구동부의 구성을 보여주는 블록도이다.

[0044] 도 3을 참조하면, 발광 제어 구동부(150)는 서로 종속적으로 연결되어 발광 제어 신호들을 순차적으로 출력하는 복수의 스테이지들(STAGE1~STAGEn)을 포함한다. 스테이지들(STAGE1~STAGEn)은 각각 대응하는 발광 제어 라인들(E1~En)에 연결되어 발광 제어 신호들을 순차적으로 출력한다. 발광 제어 신호들은 소정의 구간 동안 서로 오버랩되어 출력된다.

[0045] 스테이지들(STAGE1~STAGEn)은 각각 제1 전압(VGL) 및 제1 전압(VGL)보다 높은 레벨을 갖는 제2 전압(VGH)을 제공받는다. 또한, 스테이지들은(STAGE1~STAGEn)은 각각 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)을 제공받는다.

[0046] 이하, 발광 제어 라인들(E1~En)을 통해 출력되는 발광 제어 신호들은 제1 내지 제n 발광 제어 신호들로 정의한다.

[0047] 스테이지들(STAGE1~STAGEn) 중 제1 스테이지(STAGE1)는 개시 신호(FLM)을 제공받아 구동된다. 구체적으로 제1 스테이지(STAGE1)는 제1 전압(VGL) 및 제2 전압(VGH)을 제공받고, 개시 신호(FLM), 제1 클럭 신호(CLK1), 및 제2 클럭 신호(CLK2)에 응답하여 제1 발광 제어 신호를 생성한다. 제1 발광 제어 신호는 제1 발광 제어 라인(E1)을 통해 대응하는 행 단위에 배열된 화소들에 제공된다.

[0048] 제1 스테이지(STAGE1)를 제외한 스테이지들(STAGE2~STAGEn)은 각각 서로 종속적으로 연결되어 순차적으로 구동된다. 구체적으로, 현 재단의 스테이지는 이전단 스테이지의 출력단에 연결되고, 이전단 스테이지에서 출력되는 발광 제어 신호를 제공받는다. 현재 단 스테이지는 이전단 스테이지로부터 제공받은 발광 제어 신호에 응답하여 구동된다.

[0049] 예를 들어, 제2 스테이지(STAGE2)는 이전 단 스테이지인 제1 스테이지(STAGE1)로부터 출력되는 제1 발광 제어 신호를 제공받는다. 제2 스테이지(STAGE2)는 제1 발광 제어 신호에 응답하여 구동된다. 구체적으로, 제2 스테이지(STAGE2)는 제1 전압(VGL) 및 제2 전압(VGH)을 제공받고, 제1 발광 제어 신호, 제1 클럭 신호(CLK1), 및 제2 클럭 신호(CLK2)에 응답하여 제2 발광 제어 신호를 생성한다. 제2 발광 제어 신호는 제2 발광 제어 라인(E2)을 통해 대응하는 행 단위에 배열된 화소들에 제공된다. 기타 스테이지들(STAGE3~STAGEn) 역시 동일하게 동작하므로, 이하, 기타 스테이지들(STAGE3~STAGEn)의 동작 설명은 생략된다.

[0050] 도 4는 도 3에 도시된 스테이지의 상세 회로도이다.

[0051] 도 4에는 제1 스테이지(STAGE1) 및 제2 스테이지(STAGE2)의 회로도가 도시되었으나, 실질적으로 스테이지들(STAGE3~STAGEn)은 동일한 구성을 갖고 동일하게 동작한다. 따라서, 이하 제1 스테이지(STAGE1)의 구성과 동작이 상세히 설명되고, 제2 스테이지(STAGE2) 및 기타 스테이지들(STAGE3~STAGEn)의 구성과 동작은 간략히 설명될 것이다.

[0052] 도 4를 참조하면, 스테이지들(STAGE1~STAGEn)은 각각 제1 신호 처리부(151), 제2 신호 처리부(152), 및 제3 신호 처리부(153)를 포함한다.

[0053] 스테이지들(STAGE1~STAGEn) 각각의 제1 신호 처리부(151)에 제공되는 제어 신호는 제1 서브 제어 신호 및 제2 서브 제어 신호로 정의될 수 있다.

[0054] 구체적으로, 각각의 스테이지(STAGE1~STAGEn)의 제1 신호 처리부(151)는 이전 단 스테이지로부터 출력되는 발광 제어 신호를 제1 서브 제어 신호로서 제공받을 수 있다. 제1 스테이지(STAGE1)의 제1 신호 처리부(151)는 제1 서브 제어 신호로서 개시 신호(FLM)를 제공받을 수 있다.

- [0055] 또한, 홀수 번째 스테이지들(STAGE1, STAGE3, ..., STAGEn-1) 각각의 제1 신호 처리부(151)는 제2 서브 제어 신호로서 제1 클럭 신호(CLK1)를 제공받을 수 있다. 짝수 번째 스테이지들(STAGE2, STAGE4, ..., STAGEn) 각각의 제1 신호 처리부(151)는 제2 서브 제어 신호로서 제2 클럭 신호(CLK2)를 제공받을 수 있다.
- [0056] 따라서 제1 신호 처리부(151)는 제1 전압(VGL)을 제공받고, 제1 서브 제어 신호, 및 제2 서브 제어 신호에 응답하여 제1 신호(CS1) 및 제2 신호(CS2)를 생성할 수 있다. 제1 신호(CS1) 및 제2 신호(CS2)는 제2 신호 처리부(152)에 제공된다.
- [0057] 제1 스테이지(STAGE1)를 예로 들어 설명하면, 제1 스테이지(STAGE1)의 제1 신호 처리부(151)는 제1 전압(VGL)을 제공받고, 개시 신호(FLM) 및 제1 클럭 신호(CLK1)에 응답하여 제1 신호(CS1) 및 제2 신호(CS2)를 생성한다. 제1 신호 처리부(151)는 제1 신호(CS1) 및 제2 신호(CS2)를 제2 신호 처리부(152)에 제공한다.
- [0058] 제1 신호 처리부(151)는 제1 내지 제3 트랜지스터들(M1~M3)을 포함한다. 제1 내지 제3 트랜지스터들(M1~M3)은 PMOS 트랜지스터로 구성될 수 있다.
- [0059] 제1 트랜지스터(M1)의 소스 단자는 개시 신호(FLM)를 제공받고, 게이트 단자는 제1 클럭 신호(CLK1)를 제공받고, 드레인 단자는 제2 트랜지스터(M2)의 게이트 단자에 연결된다.
- [0060] 제2 트랜지스터(M2)의 게이트 단자는 제1 트랜지스터(M1)의 드레인 단자에 연결되고, 소스 단자는 제3 트랜지스터(M3)의 소스 단자에 연결되고, 드레인 단자는 제1 클럭 신호(CLK1)를 제공받는다.
- [0061] 제3 트랜지스터(M3)의 게이트 단자는 제1 클럭 신호(CLK1)를 제공받고, 제2 트랜지스터(M2)의 드레인 단자에 연결된다. 제3 트랜지스터(M3)의 소스 단자는 제2 트랜지스터(M2)의 소스 단자에 연결되고, 드레인 단자는 제1 전압(VGL)을 제공받는다.
- [0062] 제1 신호(CS1)은 서로 연결된 제2 및 제3 트랜지스터들(M2, M3)의 소스 단자들을 통해 출력된다. 제2 신호(CS2)는 제1 트랜지스터(M1)의 드레인 단자를 통해 출력된다.
- [0063] 스테이지들(STAGE1~STAGEn) 각각의 제2 신호 처리부(152)에 제공되는 제어 신호는 제3 서브 제어 신호로 정의될 수 있다.
- [0064] 구체적으로 홀수 번째 스테이지들(STAGE1, STAGE3, ..., STAGEn-1) 각각의 제2 신호 처리부(152)는 제3 서브 제어 신호로서 제2 클럭 신호(CLK2)를 제공받을 수 있다. 짝수 번째 스테이지들(STAGE2, STAGE4, ..., STAGEn) 각각의 제2 신호 처리부(152)는 제3 서브 제어 신호로서 제1 클럭 신호(CLK1)를 제공받을 수 있다.
- [0065] 제2 신호 처리부(152)는 제2 전압(VGH)을 제공받고, 제2 서브 제어 신호, 제1 신호(CS1), 및 제2 신호(CS3)에 응답하여 제3 신호(CS3) 및 제4 신호(CS4)를 생성할 수 있다. 제3 신호(CS3) 및 제4 신호(CS4)는 제2 신호 처리부(152)에 제공된다.
- [0066] 제1 스테이지(STAGE1)를 예로 들어 설명하면, 제1 스테이지(STAGE1)의 제2 신호 처리부(152)는 제2 전압(VGH)을 제공받고, 제2 클럭 신호(CLK2)와 제1 신호 처리부(151)로부터 제공받은 제1 신호(CS1) 및 제2 신호(CS2)에 응답하여 제3 신호(CS3) 및 제4 신호(CS4)를 생성한다. 제2 신호 처리부(152)는 제3 신호(CS3) 및 제4 신호(CS4)를 제3 신호 처리부(153)에 제공한다.
- [0067] 제2 신호처리부(152)는 제4 내지 제7 트랜지스터들(M4~M7)과 제1 및 제2 커패시터들(C1, C2)을 포함한다. 제4 내지 제7 트랜지스터들(M4~M7)은 PMOS 트랜지스터로 구성될 수 있다.
- [0068] 제4 트랜지스터(M4)의 게이트 단자는 제2 클럭 신호(CLK2)를 제공받고, 드레인 단자는 제1 노드(N1) 및 제2 트랜지스터(M2)의 게이트 단자에 연결되고, 소스 단자는 제5 트랜지스터(M5)의 드레인 단자에 연결된다.
- [0069] 제1 커패시터(C1)의 제1 전극은 제2 클럭 신호(CLK2)를 제공받고, 제2 전극은 제4 트랜지스터(M4)의 드레인 단자 및 제1 노드(N1)에 연결된다.
- [0070] 제5 트랜지스터(M5)의 게이트 단자는 제3 트랜지스터(M3)의 소스 단자 및 제2 노드(N2)에 연결되고, 소스 단자는 제2 전압(VGH)을 제공받고, 드레인 단자는 제4 트랜지스터(M4)의 소스 단자에 연결된다.
- [0071] 제6 트랜지스터(M6)의 게이트 단자는 제2 노드(N2)에 연결되고, 소스 단자는 제7 트랜지스터(M7)의 드레인 단자에 연결되고, 드레인 단자는 제2 클럭 신호(CLK2)를 제공받는다.
- [0072] 제2 커패시터(C2)의 제1 전극은 제6 트랜지스터(M6)의 게이트 단자에 연결되고, 제2 전극은 제6 트랜지스터(M6)의 게이트 단자에 연결되고, 제2 노드(N2)에 연결된다.

6)의 소스 단자에 연결된다.

[0073] 제7 트랜지스터(M7)의 게이트 단자는 제2 클럭 신호(CLK2)를 제공받고, 소스 단자는 제3 노드(N3)에 연결되고, 드레인 단자는 제6 트랜지스터(M6)의 소스 단자에 연결된다.

[0074] 제3 신호(CS3)은 제3 노드(N3)에 제공된다. 제4 신호(CS4)는 제1 노드(N1)에 제공된다.

[0075] 제1 스테이지(STAGE1)의 제3 신호 처리부(153)는 제1 전압(VGL) 및 제2 전압(VGH)을 제공받고, 제2 신호 처리부(152)로부터 제공받은 제3 신호(CS3) 및 제4 신호(CS4)에 응답하여 제1 발광 제어 신호를 생성한다. 제1 발광 제어 신호는 제1 발광 제어라인(E1)을 통해 화소들에 제공된다. 제1 발광 제어 신호는 제2 스테이지(STAGE2)의 제1 신호 처리부(151)에 제공된다.

[0076] 제3 신호 처리부(153)는 제8 내지 제10 트랜지스터들(M8~M10) 및 제3 커패시터(C3)를 포함한다. 제8 내지 제10 트랜지스터들(M8~M10)은 PMOS트랜지스터들로 구성될 수 있다.

[0077] 제8 트랜지스터(M8)의 게이트 단자는 제1 노드(N1)에 연결되고, 소스 단자는 제2 전압(VGH)을 제공받고, 드레인 단자는 제3 노드(N3)에 연결된다.

[0078] 제3 커패시터(C3)의 제1 전극은 제2 전압(VGH)을 제공받고, 제2 전극은 제3 노드(N3)에 연결된다.

[0079] 제9 트랜지스터(M9)의 게이트 단자는 제3 노드(N3)에 연결되고, 소스 단자는 제2 전압(VGH)을 제공받고, 드레인 단자는 제1 발광 제어라인(E1)에 연결된다.

[0080] 제10 트랜지스터(M10)의 게이트 단자는 제1 노드(N1)에 연결되고, 소스 단자는 제1 발광 제어라인(E1)에 연결되고, 드레인 단자는 제1 전압(VGL)을 제공받는다.

[0081] 제9 트랜지스터(M9)의 드레인 단자 및 제10 트랜지스터(M10)의 소스 단자는 제2 스테이지(STAGE2)의 제1 신호처리부(151)의 제1 트랜지스터(M1)의 소스 단자에 연결된다.

[0082] 개시 신호(FLM), 제1 클럭 신호(CLK1), 및 제2 클럭 신호(CLK2)에 의한 트랜지스터들(M1~M10)의 구체적인 동작은 이하, 도 5에서 상세히 설명된다.

[0083] 도 5는 도 4에 도시된 제1 스테이지의 동작을 설명하기 위한 타이밍도이다.

[0084] 도 5를 참조하면, 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 동일한 주파수를 갖는다. 즉, 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 동일한 제1 주기(T1)를 갖는다. 제2 클럭 신호(CLK2)는 제1 클럭 신호(CLK1)의 제1 주기(T1)의 반주기 만큼 제1 클럭 신호(CLK1)가 시프트된 신호이다. 제1 클럭(CLK1)으로부터 제2 클럭(CLK2)이 시프트된 구간은 제1 구간(1H)으로 정의될 수 있다.

[0085] 개시 신호(FLM)는 제1 스테이지(STAGE1)에만 제공되며, 개시 신호(FLM)의 하이 레벨 구간은 제2 구간(4H)으로 정의될 수 있다. 제2 구간(4H)은 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)의 주기의 두 배 구간으로 설정될 수 있다. 즉, 제2 구간(4H)은 1 구간(1H)의 4배 시간을 갖는 구간으로 설정될 수 있다.

[0086] 개시 신호(FLM)는 제1 클럭 신호(CLK1)가 하이 레벨에서 로우 레벨로 천이될 때 로우 레벨에서 하이 레벨로 천이될 수 있다. 앞서 설명한 바와 같이, 개시 신호(FLM)는 로우 레벨에서 하이 레벨로 천이된 후 제2 구간(4H) 동안 하이 레벨을 유지한다. 즉, 개시 신호(FLM)는 제1 클럭 신호(CLK1)가 하이 레벨에서 로우 레벨로 천이될 때 활성화되고, 활성화된 구간은 제2 구간(4H) 동안 유지된다.

[0087] 이하, 각 신호의 하이 레벨은 제1 레벨로 정의되고, 하이 레벨보다 낮은 로우 레벨은 제2 레벨로 정의된다. 또한, 제1 전압(VGL)은 제2 레벨을 가질 수 있고, 제2 전압(VGH)은 제1 레벨을 가질 수 있다.

[0088] 제1 시간(t1)에서 개시 신호(FLM) 및 제1 클럭 신호(CLK1)는 제2 레벨을 갖고, 제2 클럭 신호(CLK2)는 제1 레벨을 갖는다.

[0089] 제2 레벨을 갖는 제1 클럭 신호(CLK1)는 제1 트랜지스터(M1)의 게이트 및 제3 트랜지스터(M3)의 게이트에 제공된다. 따라서, 제1 트랜지스터(M1) 및 제3 트랜지스터(M3)는 턴 온된다.

[0090] 턴 온된 제1 트랜지스터(M1)를 통해 제2 레벨을 갖는 개시 신호(FLM)는 제2 트랜지스터(M2)의 게이트 및 제1 노드(N1)에 제공된다. 따라서, 제2 트랜지스터(M2)는 턴 온 되고, 제1 노드(N1)의 전압은 제2 레벨을 갖는다.

[0091] 턴 온된 제2 트랜지스터(M2)를 통해 제2 레벨을 갖는 제1 클럭 신호(CLK1)와 턴 온된 제3 트랜지스터(M3)를 통해 제1 전압(VGL)이 제2 노드(N2)에 제공된다. 따라서, 제2 노드의 전압은 제2 레벨을 갖는다.

- [0092] 제1 레벨을 갖는 제2 클럭 신호(CLK2)는 제4 트랜지스터(M4) 및 제7 트랜지스터(M7)에 제공된다. 따라서, 제4 및 제7 트랜지스터들(M4,M7)은 턴 오프된다.
- [0093] 제1 노드(N1)의 전압이 제2 레벨을 가지므로, 제8 트랜지스터(M8)는 턴 온된다. 턴 온된 제8 트랜지스터(M8)를 통해 제2 전압(VGH)이 제3 노드(N3)에 제공된다. 따라서, 제3 노드(N3)의 전압은 제1 레벨을 갖는다. 제3 커패시터(C3)에는 제2 전압(VGH)이 충전된다. 즉, 제3 커패시터(C3)에는 제1 레벨을 갖는 전압이 충전된다. 제3 노드(N3)의 전압은 제1 레벨을 가지므로 제9 트랜지스터(M9)는 턴 오프된다.
- [0094] 제1 노드(N1)의 전압은 제2 레벨을 가지므로, 제10 트랜지스터(M10)는 턴 온된다. 턴 온된 제10 트랜지스터(M10)에 의해 제1 전압(VGL)이 제1 발광 제어라인(E1)에 제공된다. 따라서 제1 발광 제어 신호는 제2 레벨을 갖는다.
- [0095] 제2 시간(t2)에서 개시 신호(FLM)는 제2 레벨을 갖고, 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)는 제1 레벨을 갖는다. 제1 레벨을 갖는 제1 클럭 신호(CLK1)에 의해 제1 트랜지스터(M1) 및 제3 트랜지스터(M3)는 턴 오프된다.
- [0096] 제1 노드(N1)의 전압은 제2 레벨로 유지되므로 제2 트랜지스터(M2)는 턴 온된다. 턴 온된 제2 트랜지스터(M2)를 통해 제1 레벨을 갖는 제1 클럭 신호(CLK1)가 제2 노드(N2)에 제공된다. 따라서, 제2 노드(N2)의 전압은 제1 레벨을 갖는다.
- [0097] 제1 노드(N1)의 전압은 제2 레벨을 가지므로, 제8 트랜지스터(M8) 및 제10 트랜지스터(M10)는 턴 온된다. 턴 온된 제8 트랜지스터(M8)를 통해 제2 전압(VGH)이 제3 노드(N3)에 제공되므로 제3 노드(N3)의 전압은 제1 레벨을 유지한다.
- [0098] 제3 노드(N3)의 전압이 제1 레벨을 갖고, 제1 노드(N1)의 전압이 제2 레벨을 가지므로, 제9 트랜지스터(M9)는 턴 오프되고, 제10 트랜지스터(M10)는 턴 온된다. 따라서, 제1 발광 제어 신호는 제2 레벨을 유지한다.
- [0099] 제3 시간(t3)에서 제2 클럭 신호(CLK2)는 제1 레벨에서 제2 레벨로 천이한 후 제2 레벨에서 제1 레벨로 다시 천이한다. 따라서, 제1 노드(N1)의 전위는 제1 커패시터(C1)의 커플링(coupling)에 의해 제2 클럭 신호(CLK2)의 전위 변화량만큼 부트 스트랩(Boot Strap)된다. 즉, 제2 시간(t2)에서 제2 레벨의 전압을 갖는 제1 노드(N1)는 제1 커패시터(C1)의 커플링(coupling)에 의해 제2 클럭 신호(CLK2)의 제2 레벨 구간에서 제2 레벨보다 낮은 전압 레벨을 갖는 제3 레벨의 전압을 갖는다. 일반적인 PMOS 트랜지스터들은 보다 더 낮은 전압레벨을 인가받을수록 좋은 구동특성을 갖는다. 제2 클럭 신호(CLK2)의 제2 레벨 구간에서 제1 노드(N1)의 전압은 제2 레벨보다 낮은 제3 레벨을 가지므로, 제8 및 제10 트랜지스터(M8,M9)의 구동 특성은 향상될 수 있다. 제1 발광 제어 신호는 제2 레벨을 유지한다.
- [0100] 제4 시간(t4)에서 개시 신호(FLM) 및 제2 클럭 신호(CLK2)는 제1 레벨을 갖고, 제1 클럭 신호(CLK1)는 제2 레벨을 갖는다.
- [0101] 제2 레벨을 갖는 제1 클럭 신호(CLK1)에 의해 제1 트랜지스터(M1)는 턴 온되고, 제1 레벨을 갖는 개시 신호(FLM)는 제1 노드(N1)에 제공된다. 제1 노드(N1)의 전압은 제1 레벨을 갖는다. 제1 노드(N1)의 전압이 제1 레벨을 가지므로, 제2 트랜지스터(M2) 및 제10 트랜지스터(M10)는 턴 오프된다.
- [0102] 제2 레벨을 갖는 제1 클럭 신호(CLK1)에 의해 제3 트랜지스터(M3)는 턴 온되고, 제1 전압(VGL)은 제2 노드(N2)에 제공된다. 따라서, 제2 노드(N2)의 전압은 제2 레벨을 갖는다.
- [0103] 제1 레벨을 갖는 제2 클럭 신호(CLK2)에 의해 제7 트랜지스터(M7)는 턴 오프된다. 제1 노드(N1)의 전압은 제1 레벨을 가지므로, 제8 트랜지스터(M8)는 턴 오프된다. 제3 노드(N3)의 전압은 제3 커패시터(C3)에 의해 제1 레벨을 유지한다. 제3 노드(N3)의 전압은 제1 레벨을 유지하므로, 제9 트랜지스터(M9)는 턴 오프된다. 따라서, 제1 발광 제어 신호는 제2 레벨을 유지한다.
- [0104] 제5 시간(t5)에서 개시 신호(FLM) 및 제1 클럭 신호(CLK1)는 제1 레벨을 갖고, 제2 클럭 신호(CLK2)는 제2 레벨을 갖는다.
- [0105] 제1 레벨을 갖는 제1 클럭 신호(CLK1)에 의해 제1 트랜지스터(M1) 및 제3 트랜지스터(M3)는 턴 오프된다. 제1 노드(N1)의 전압은 제1 레벨을 유지하므로 제2 트랜지스터(M2), 제8 트랜지스터(M8), 및 제10 트랜지스터(M10)는 턴 오프된다.
- [0106] 제2 레벨을 갖는 제2 클럭 신호(CLK2)에 의해 제4 트랜지스터(M4) 및 제7 트랜지스터(M7)가 턴 온된다. 또한,

제2 노드(M2)의 전압은 제2 레벨을 가지므로, 제5 트랜지스터(M5) 및 제6 트랜지스터(M6)는 턴 온된다.

[0107] 앞서 설명한 부트 스트랩과 같이, 제2 노드(N2)의 전위는 제2 커패시터(C2)의 커플링에 의해 제2 클럭 신호(CLK2)의 전위 변화량만큼 부트 스트랩(Boot Strap)된다. 즉, 제2 클럭 신호(CLK2)의 제2 레벨 구간에서 제2 노드(N2)의 전압은 제2 레벨보다 낮은 제3 레벨을 갖는다.

[0108] 턴 온된 제6 및 제7 트랜지스터들(M6,M7)을 통해 제2 레벨을 갖는 제2 클럭 신호(CLK2)가 제3 노드(N3)에 제공된다. 따라서, 제5 시간(t5)에서 제3 노드(N3)의 전압은 제2 레벨을 갖는다. 제3 노드(N3)의 전압이 제2 레벨을 가지므로, 제9 트랜지스터(M9)는 턴 온된다.

[0109] 제9 트랜지스터(M9)가 턴 온되고, 제10 트랜지스터(M10)가 턴 오프되므로, 제1 발광 제어 신호는 제1 레벨을 갖는다.

[0110] 제6 시간(t6)에서 개시 신호(FLM) 및 제1 클럭 신호(CLK1)는 제2 레벨을 갖고, 제2 클럭 신호(CLK2)는 제1 레벨을 갖는다. 앞서 설명한 제1 시간(t6)의 동작을 참조하면, 제6 시간(t6)에서 제1 발광 제어 신호는 제2 레벨을 갖는다.

[0111] 제1 발광 제어 신호가 제1 레벨을 갖는 구간은 제3 구간(H3)으로 정의될 수 있다. 제3 구간(H3)은 제1 구간(H1)의 3배 시간을 갖는 구간으로 설정될 수 있다.

[0112] 제1 발광 제어 신호는 제2 스테이지(STGAE2)와 제1 발광 제어 라인(E1)을 통해 화소들에 제공된다. 제2 스테이지(STGAE2)는 제1 발광 제어 신호, 제1 클럭 신호(CLK1), 및 제2 클럭 신호(CLK2)에 응답하여 제2 발광 제어 신호를 생성한다.

[0113] 제2 발광 제어 신호는 제1 발광 제어 신호보다 제1 구간(H1)만큼 시프트되어 출력된다. 즉, 스테이지들(STAGE1~STAGEn)에서 출력되는 발광 제어 신호들은 순차적으로 제1 구간(H1)만큼 시프트되어 출력된다. 구체적으로 현재단 스테이지에서 출력되는 발광 제어 신호는 이전단 스테이지에서 출력되는 발광 제어 신호를 제1 구간(H1)만큼 시프트한 신호이다.

[0114] 결과적으로, 본 발명의 제1 실시 예에 따른 유기발광 표시장치의 발광 제어 구동부(150)는 제1 전압(VGL) 및 제2 전압(VGH)을 제공받고, 개시 신호(FLM), 제1 클럭 신호(CLK1), 및 제2 클럭 신호(CLK2)에 응답하여 발광 제어 신호들을 생성할 수 있다. 따라서, 발광 제어 구동부(150)의 구성이 간소화 될 수 있다.

[0115] 도 6 및 도 7은 본 발명의 제2 실시 예에 따른 유기 발광 표시장치의 발광 제어 구동부의 스테이지의 상세 회로도이다.

[0116] 도 6에는 제1 스테이지(STAGE1) 및 제2 스테이지(STAGE2)의 회로도가 도시되었으며, 도 7에는 제n-1스테이지(STAGEn-1) 및 제n 스테이지(STAGEn)가 도시되었다. 그러나, 실질적으로 복수의 스테이지들(STAGE1~STAGEn)은 동일한 구성을 갖고 동일하게 동작한다. 도 6 및 도 7에 도시된 스테이지들은 양 방향 구동부를 포함하는 것을 제외하면 도 4에 도시된 스테이지들과 동일하게 동작한다. 따라서, 이하, 도 4에 도시된 스테이지들과 다른 구성만이 설명될 것이다.

[0117] 도 6 및 도 7을 참조하면, 스테이지들(STAGE1~STAGEn) 각각의 양방향 구동부(154)는 제1 방향 제어신호(BI_CTL) 및 제2 방향 제어 신호(BI_CTLB)를 제공받는다. 각각의 양방향 구동부(154)는 제1 방향 제어신호(BI_CTL) 및 제2 방향 제어 신호(BI_CTLB)에 응답하여 제1 입력 신호 및 제2 입력 신호 중 어느 하나를 제1 서브 제어 신호로서 출력한다.

[0118] 구체적으로 현재단 스테이지의 양방향 구동부(154)는 이전단 스테이지로부터 출력되는 발광 제어 신호를 제1 입력 신호로 제공받고 다음 단 스테이지로부터 출력되는 발광 제어 신호를 제2 입력 신호로 제공받는다. 또한, 제1 스테이지(STAGE1)의 양방향 구동부(154)는 제1 입력 신호로서 개시 신호(FLM)를 제공받고, 제n 스테이지의 양방향 구동부(154)는 제2 입력 신호로서 개시 신호(FLM)를 제공받는다.

[0119] 예를 들어, 제1 스테이지(STAGE1)에서 출력되는 제1 발광 제어 신호는 이전 단 스테이지가 없으므로 다음 단 스테이지인 제2 스테이지(STAGE2)에 제공된다. 제2 스테이지(STAGE1)에서 출력되는 제2 발광 제어 신호는 다음 단 스테이지인 제3 스테이지(STAGE3)와 이전 단 스테이지인 제1 스테이지(STAGE1)에 제공된다. 제n 스테이지(STAGEn)에서 출력되는 제n 발광 제어 신호는 다음 단 스테이지가 없으므로 이전 단 스테이지인 제n-1 스테이지(STAGEn-1)에 제공된다. 제n-1 스테이지(STAGEn-1)에서 출력되는 제n-1 발광 제어신호는 다음 단 스테이지인 제n 스테이지(STAGEn)와 이전단 스테이지인 제n-2 스테이지(STAGEn-2)에 제공된다.

- [0120] 양방향 구동부들(154)은 각각 제11 트랜지스터(M11) 및 제12 트랜지스터(M12)를 포함한다.
- [0121] 제11 트랜지스터(M11)의 게이트 단자는 제1 방향 제어신호(BI_CTL)를 제공받고, 소스 단자는 제1 입력 신호를 제공받는다. 제12 트랜지스터(M12)의 게이트 단자는 제2 방향 제어신호(BI_CTLB)를 제공받고, 소스 단자는 제2 입력 신호를 제공받는다. 제11 및 제12 트랜지스터들(M11,M12)의 드레인 단자들은 제1 신호 처리부(151)의 제1 트랜지스터(M1)의 소스 단자에 연결된다.
- [0122] 제1 스테이지(STAGE1)의 경우, 제1 스테이지(STAGE1)의 양방향 구동부(154)의 제11 트랜지스터(M11)의 게이트 단자는 제1 방향 제어신호(BI_CTL)를 제공받고, 소스 단자는 개시 신호(FLM)를 제공받는다. 제12 트랜지스터(M12)의 게이트 단자는 제2 방향 제어신호(BI_CTLB)를 제공받고, 소스 단자는 제2 스테이지(STAGE2)로부터 출력되는 제2 발광 제어 신호를 제공받는다. 제11 및 제12 트랜지스터들(M11,M12)의 드레인 단자들은 제1 트랜지스터(M1)의 소스 단자에 연결된다.
- [0123] 제n 스테이지(STAGEn)의 경우, 제n 스테이지(STAGEn)의 양방향 구동부(154)의 제11 트랜지스터(M11)의 게이트 단자는 제1 방향 제어신호(BI_CTL)를 제공받고, 소스 단자는 제n-1 스테이지(STAGEn-1)로부터 출력되는 제n-1 발광 제어 신호를 제공받는다. 제12 트랜지스터(M12)의 게이트 단자는 제2 방향 제어신호(BI_CTLB)를 제공받고, 소스 단자는 개시 신호(FLM)를 제공받는다. 제11 및 제12 트랜지스터들(M11,M12)의 드레인 단자들은 제1 트랜지스터(M1)의 소스 단자에 연결된다.
- [0124] 기타 스테이지들(STAGE2~STAGEn-1) 각각의 양방향 구동부(154)의 제11 트랜지스터(M11)의 게이트 단자는 제1 방향 제어신호(BI_CTL)를 제공받고, 소스 단자는 이전단 스테이지로부터 출력되는 발광 제어 신호를 제공받는다. 제12 트랜지스터(M12)의 게이트 단자는 제2 방향 제어신호(BI_CTLB)를 제공받고, 소스 단자는 다음단 스테이지로부터 출력되는 발광 제어 신호를 제공받는다. 제11 및 제12 트랜지스터들(M11,M12)의 드레인 단자들은 제1 트랜지스터(M1)의 소스 단자에 연결된다.
- [0125] 제1 방향 제어신호(BI_CTL)와 제2 방향 제어신호(BI_CTLB)는 서로 다른 레벨을 갖는다. 예를 들어 제1 방향 제어신호(BI_CTL)가 제1 레벨(또는, 하이 레벨)을 가질 경우 제2 방향 제어신호(BI_CTLB)는 제1 레벨보다 낮을 레벨을 갖는 제2 레벨(또는 로우 레벨)을 가질 수 있다.
- [0126] 제1 방향 제어신호(BI_CTL)가 제2 레벨일 경우, 스테이지들(STAGE1~STAGEn)각각의 양방향 구동부(154)의 제11 트랜지스터(M11)는 턴 온되고, 제12 트랜지스터(M12)는 턴 오프 된다. 따라서 개시 신호(FLM)는 제1 스테이지(STAGE1)의 양방향 구동부(154)에 제공된다. 또한, 제1 스테이지(STAGE1)에서 출력되는 제2 발광 제어 신호는 제2 스테이지(STAGE2)에 제공된다. 즉, 제2 실시 예에 따른 발광 제어 구동부의 스테이지들(STAGE1~STAGEn)은 도 4에 도시된 스테이지들과 동일하게 동작한다. 스테이지들(STAGE1~STAGEn)에서 출력되는 발광 제어 신호들은 제1 발광 제어 신호부터 순차적으로 화소들에 제공된다. 따라서, 상부에서 하부 방향으로 화소들이 구동될 수 있다.
- [0127] 제2 방향 제어신호(BI_CTLB)가 제2 레벨일 경우, 스테이지들(STAGE1~STAGEn) 각각의 양방향 구동부(154)의 제11 트랜지스터(M11)는 턴 오프되고, 제12 트랜지스터(M12)는 턴 온된다. 따라서 개시 신호(FLM)는 제n 스테이지(STAGEn)의 양방향 구동부(154)에 제공된다. 또한, 제n 스테이지(STAGEn)에서 출력되는 제n 발광 제어 신호는 제n-1 스테이지(STAGEn-1)에 제공된다. 이러한 동작에 의해 스테이지들(STAGE1~STAGEn)에서 출력되는 발광 제어 신호들은 제n 발광 제어 신호부터 순차적으로 화소들에 제공된다. 따라서, 화소들은 하부에서 상부 방향으로 구동될 수 있다.
- [0128] 양방향으로 구동될 수 있는 본 발명의 제2 실시 예에 따른 유기발광 표시 장치의 발광 제어 구동부는 제1 전압(VGL) 및 제2 전압(VGH)을 제공받고, 개시 신호(FLM), 제1 클럭 신호(CLK1), 및 제2 클럭 신호(CLK2)에 응답하여 발광 제어 신호들을 생성할 수 있다. 따라서, 발광 제어 구동부의 구성이 간소화될 수 있다.
- [0129] 도 8은 본 발명의 제3 실시 예에 따른 유기 발광 표시장치의 발광 제어 구동부의 스테이지의 상세 회로도이다.
- [0130] 도 8에는 발광 제어 구동부의 제1 스테이지(STAGE1) 및 제2 스테이지(STAGE2)의 회로도가 도시되었다. 그러나, 실질적으로 발광 제어 구동부의 복수의 스테이지들(STAGE1~STAGEn)은 동일한 구성을 갖고 동일하게 동작한다. 따라서, 이하 제1 스테이지(STAGE1)의 구성이 상세히 설명되고, 기타 스테이지들(STAGE2~STAGEn)의 구성은 간략히 설명될 것이다.
- [0131] 도 8에 도시된 스테이지들은 제2 신호 처리부의 구성이 다른 것을 제외하면 도 6 및 도 7에 도시된 스테이지들과 동일하게 동작한다. 따라서, 이하, 도 6 및 도 7에 도시된 스테이지들과 다른 구성만이 설명될 것이다.

- [0132] 도 8을 참조하면, 스테이지들(STAGE1~STAGEn) 각각의 양방향 구동부(154)는 이전단 스테이지로부터 출력되는 캐리 신호(CA)를 제1 입력 신호로 제공받고 다음 단 스테이지로부터 출력되는 캐리 신호(CA)를 제2 입력 신호로 제공받는다. 또한 제1 스테이지(STAGE1)의 양방향 구동부(154)는 제1 입력 신호로서 개시 신호(FLM)를 제공받고, 제n 스테이지(STAGEn)의 양방향 구동부(154)는 제2 입력 신호로서 개시 신호(FLM)를 제공받는다.
- [0133] 캐리 신호(CA)는 스테이지들(STAGE1~STAGEn) 각각의 제2 신호 처리부(152)로부터 출력된다. 캐리 신호(CA)를 출력하기 위해 스테이지들(STAGE1~STAGEn) 각각의 제2 신호 처리부(152)는 제4 내지 제7 트랜지스터들(M4~M7), 제1 및 제2 커패시터들(C1,C2), 및 제13 및 제14 트랜지스터들(M13,M14)을 포함한다. 제1 커패시터(C1), 제13 트랜지스터(M13), 및 제14 트랜지스터(M14)의 연결 구성을 제외한 제2 신호 처리부(152)의 구성은 도 4에 도시된 제2 신호 처리부(152)의 구성과 실질적으로 동일하다. 따라서, 이하, 제1 스테이지(STAGE1)의 제2 신호처리부(152)의 제1 커패시터(C1), 제13 트랜지스터(M13), 및 제14 트랜지스터(M14)의 연결구성이 설명된다.
- [0134] 제13 트랜지스터(M13)의 게이트 단자는 제5 트랜지스터(M5)의 게이트 및 제2 노드(N2)에 연결되고, 소스 단자는 제2 전압(VGH)을 제공받고, 드레인 단자는 제4 노드(N4)에 연결된다.
- [0135] 제14 트랜지스터(M14)의 게이트 단자는 제4 트랜지스터(M4)의 게이트 단자에 연결되고, 소스 단자는 제4 노드(N4)에 연결되고, 드레인 단자는 제2 클럭 신호(CLK2)를 제공받는다.
- [0136] 제1 커패시터(C1)의 제1 전극은 제4 트랜지스터(M4)의 게이트 단자 및 제14 트랜지스터(M14)의 게이트 단자에 연결되고, 제2 전극은 제4 노드(N4)에 연결된다.
- [0137] 제4 노드(N4)에서 출력되는 신호는 캐리 신호(CA)로 정의되며 다음 스테이지인 제2 스테이지(STAGE2)의 양방향 구동부(154)에 제공된다.
- [0138] 스테이지들(STAGE1~STAGEn) 각각의 캐리 신호(CA)는 이전단 스테이지 및 다음 단 스테이지의 양방향 구동부들(154)에 제공된다. 예를 들어, 제1 스테이지(STAGE1)에서 출력되는 캐리 신호(CA)는 이전 단 스테이지가 없으므로 다음단 스테이지인 제2 스테이지(STAGE2)의 양방향 구동부(154)에 제공된다. 제2 스테이지(STAGE1)에서 출력되는 캐리 신호(CA)는 다음 단 스테이지인 제3 스테이지(STAGE3)와 이전 단 스테이지인 제1 스테이지(STAGE1)의 양방향 구동부들(154)에 각각 제공된다.
- [0139] 제n 스테이지(STAGEn)에서 출력되는 캐리 신호(CA)는 다음단 스테이지가 없으므로 이전단 스테이지인 제n-1 스테이지(STAGEn-1)의 양방향 구동부(154)에 제공된다. 제n-1 스테이지(STAGEn-1)에서 출력되는 캐리 신호(CA)는 다음단 스테이지인 제n 스테이지(STAGEn)와 이전단 스테이지인 제n-2 스테이지(STAGEn-2)의 양방향 구동부들(154)에 각각 제공된다.
- [0140] 즉, 도 8에 도시된 스테이지들은 도 6 및 도 7에 도시된 스테이지들과 같이 발광 제어 신호들을 이전 단 및 다음단 스테이지에 제공하지 않고, 캐리 신호를 이전단 및 다음단 스테이지들에 제공한다. 따라서 스테이지들은 발광 제어 신호가 아닌 캐리 신호를 이용하여 구동될 수 있다.
- [0141] 제13 및 제14 트랜지스터들(M13,M14)의 구동에 따른 제1 스테이지(STGAE1)의 캐리 신호(CA)의 출력은 이하, 도 9에서 상세히 설명될 것이다. 또한, 제1 스테이지(STAGE1)로부터 캐리 신호(CA)를 입력받아 구동되는 제2 스테이지(STAGE)의 동작은 이하, 도 10에서 상세히 설명될 것이다.
- [0142] 도 9는 도 8에 도시된 제1 스테이지의 동작을 설명하기 위한 타이밍도이다.
- [0143] 도면에 도시하지 않았으나, 제1 방향 제어 신호(BI_CTL)는 제2 레벨이고 제2 방향 제어 신호(BT_CTLB)는 제1 레벨을 갖는다. 즉 스테이지들(STAGE1~STAGEn)은 상부에서 하부 방향으로 구동된다.
- [0144] 캐리 신호(CA)로서 출력되는 제4 노드(N4)의 전압이 추가된 것을 제외하면, 도 9에 도시된 각 신호들의 파형은 도 5에 도시된 신호들의 파형과 동일하다. 즉, 도 8에 도시된 제1 스테이지(STAGE1)는 캐리 신호(CA)를 출력하는 동작을 제외하면 도 4에 도시된 제1 스테이지(STAGE1)와 실질적으로 동일하게 동작한다. 따라서 이하, 제4 노드(N4)의 전압 레벨의 변화에 대해서만 설명한다.
- [0145] 제1 노드(N1)가 제1 레벨을 갖는 구간(N1_H)을 제외한 구간에서 제1 노드(N1)는 제2 레벨 및 제3 레벨을 갖는다. 제1 노드(N1)가 제2 레벨 및 제3 레벨을일 경우, 제14 트랜지스터(M14)는 턴 온된다. 즉, 제1 노드(N1)가 제1 레벨을 갖는 구간(N1_H)을 제외한 구간에서 제2 클럭 신호(CLK2)는 제4 노드(N4)에 제공된다. 따라서 제4 노드(N4)는 제1 노드(N1)가 제1 레벨을 갖는 구간(N1_H)을 제외한 구간에서 제2 클럭 신호(CLK2)와 동일한 파형을 갖는다.

- [0146] 제1 노드(N1)의 전압이 제1 레벨을 가질 경우 제14 트랜지스터(M14)는 턴 오프된다. 제1 노드(N1)의 전압이 제2 레벨에서 제1 레벨로 변환될 경우 제2 노드(N2)의 전압은 제1 레벨에서 제2 레벨로 변환된다. 제2 노드(N2)의 전압이 제2 레벨을 가질 경우 제13 트랜지스터(M13)는 턴 온된다. 턴 온된 제13 트랜지스터(M13)를 통해 제2 전압(VGH)이 제4 노드(N4)에 제공된다. 따라서 제4 노드(N4)의 전압은 제1 레벨을 갖는다. 제13 트랜지스터(M13)가 턴 온되는 동안 제4 노드(N4)의 전압은 제1 레벨을 유지한다. 즉, 제2 노드(N2)의 전압이 제2 레벨을 갖는 구간(N2_L) 동안 제4 노드(N4)의 전압은 제1 레벨을 유지한다.
- [0147] 제14 트랜지스터(M14)가 없을 경우, 제2 클럭 신호(CLK2)는 제1 커패시터(C1)에 지속적으로 제공된다. 따라서, 제1 커패시터(C1)는 제1 레벨과 제2 레벨의 전압을 반복적으로 충전한다. 제1 커패시터(C1)가 제1 레벨과 제2 레벨의 전압을 반복적으로 충전할 경우, 제1 커패시터(C1)의 로드로 인해 제2 클럭 신호(CLK2)의 지연이 발생할 수 있다. 즉, 정상적인 제2 클럭 신호(CLK2)가 제2 신호 처리부(152)에 제공되지 않을 수 있다.
- [0148] 제14 트랜지스터(M14)는 제1 노드(N1)의 전압이 제1 레벨을 가질 경우 턴 오프된다. 제14 트랜지스터(M14)가 턴 오프될 동안 제2 클럭 신호(CLK2)는 제3 커패시터(C3)의 영향을 받지 않으므로 제2 클럭 신호(CLK2)의 신호 지연이 방지될 수 있다.
- [0149] 제13 트랜지스터(M13)는 제14 트랜지스터(M14)가 오프될 경우 제4 노드(N4)를 일정한 레벨로 유지시켜준다. 즉, 제14 트랜지스터(M14)가 오프될 경우, 제13 트랜지스터(M13)는 턴 온되어 제4 노드(N4)의 전압을 제1 레벨로 유지시킨다.
- [0150] 본 발명의 제3 실시 예에 따른 유기발광 표시 장치의 발광 제어 구동부는 개시 신호(FLM), 캐리 신호(CA), 제1 클럭 신호(CLK1), 제2 클럭 신호(CLK2), 제2 전압(VGH), 및 제2 전압(VGH)만을 이용하여 발광 제어 신호들을 생성할 수 있다. 즉, 발광 제어 구동부(150)에는 초기화되기 위한 별도의 제어 신호들이 요구되지 않는다. 따라서, 발광 제어 구동부(150)의 구성이 간소화될 수 있다.
- [0151] 도 10은 도 8에 도시된 제2 스테이지의 동작을 설명하기 위한 타이밍도이다.
- [0152] 도 10을 참조하면, 제1 스테이지(STAGE1)의 제4 노드(N4)의 전압 레벨은 제2 스테이지(STAGE2)에 캐리 신호(CA)로서 제공된다. 제1 시간(t1)에서 캐리 신호(CA) 및 제2 클럭 신호(CLK2)는 제2 레벨을 갖고, 제1 클럭 신호(CLK1)는 제1 레벨을 갖는다.
- [0153] 제2 레벨을 갖는 제2 클럭 신호(CLK2)는 제1 트랜지스터(M1)의 게이트 및 제3 트랜지스터(M3)의 게이트에 제공된다. 따라서, 제1 트랜지스터(M1) 및 제3 트랜지스터(M3)는 턴 온된다.
- [0154] 턴 온된 제1 트랜지스터(M1)를 통해 제2 레벨을 갖는 캐리 신호(CA)는 제2 트랜지스터(M2)의 게이트 및 제1 노드(N1)에 제공된다. 따라서, 제2 트랜지스터(M2)는 턴 온되고, 제1 노드(N1)의 전압은 제2 레벨을 갖는다.
- [0155] 턴 온된 제2 트랜지스터(M2)를 통해 제2 레벨을 갖는 제2 클럭 신호(CLK2)와 턴 온된 제3 트랜지스터(M3)를 통해 제1 전압(VGL)이 제2 노드(N2)에 제공된다. 따라서, 제2 노드(N2)의 전압은 제2 레벨을 갖는다.
- [0156] 제1 레벨을 갖는 제1 클럭 신호(CLK1)는 제4 트랜지스터(M4) 및 제7 트랜지스터(M7)에 제공된다. 따라서, 제4 및 제7 트랜지스터들(M4,M7)은 턴 오프된다.
- [0157] 제1 노드(N1)가 제2 레벨을 가지므로, 제8 트랜지스터(M8)는 턴 온된다. 턴온된 제8 트랜지스터(M8)를 통해 제2 전압(VGH)이 제3 노드(N3)에 제공된다. 따라서, 제3 노드(N3)는 제1 레벨을 갖는다. 제3 노드(N3)는 제1 레벨을 가지므로 제9 트랜지스터(M9)는 턴 오프된다.
- [0158] 제1 노드(N1)는 제2 레벨을 가지므로, 제10 트랜지스터(M10)는 턴 온된다. 턴 온된 제10 트랜지스터(M10)에 의해 제1 전압(VGL)이 제1 발광 제어라인(E1)에 제공된다. 따라서 제1 발광 제어 신호는 제2 레벨을 갖는다.
- [0159] 제2 시간(t2)에서 캐리 신호(CA), 제1 클럭 신호(CLK1), 및 제2 클럭 신호(CLK2)는 제1 레벨을 갖는다. 제1 레벨을 갖는 제2 클럭 신호(CLK2)에 의해 제1 트랜지스터(M1) 및 제3 트랜지스터(M3)는 턴 오프된다.
- [0160] 제1 노드(N1)는 제2 레벨로 유지되므로 제2 트랜지스터(M2)는 턴 온된다. 턴 온된 제2 트랜지스터(M2)를 통해 제1 레벨을 갖는 제1 클럭 신호(CLK1)가 제2 노드(N2)에 제공된다. 따라서, 제2 노드(N2)의 전압은 제1 레벨을 갖는다.
- [0161] 제1 노드(N1)는 제2 레벨을 가지므로, 제8 트랜지스터(M8) 및 제10 트랜지스터(M10)는 턴 온된다. 따라서, 턴 온된 제8 트랜지스터(M8)를 통해 제2 전압(VGH)이 제3 노드(N3)에 제공되므로 제3 노드(N3)는 제1 레벨을 유지

한다.

- [0162] 제3 노드(N3)가 제1 레벨을 갖고, 제1 노드(N1)가 제2 레벨을 가지므로, 제9 트랜지스터(M9)는 턴 오프되고, 제10 트랜지스터(M10)는 턴 온된다. 따라서, 제1 발광 제어 신호는 제2 레벨을 유지한다.
- [0163] 제3 시간(t3)에서 제1 커패시터(C1)의 커플링에 의해 제1 노드(N1)의 전위가 변화되는 동작은 앞서 도 5를 참조하여 상세히 설명되었으므로, 설명을 생략한다.
- [0164] 제4 시간(t4)에서 캐리 신호(CA) 및 제1 클럭 신호(CLK1)는 제1 레벨을 갖고, 제2 클럭 신호(CLK2)는 제2 레벨을 갖는다.
- [0165] 제2 레벨을 갖는 제2 클럭 신호(CLK2)에 의해 제1 트랜지스터(M1)는 턴 온되고, 제1 레벨을 갖는 캐리 신호(CA)는 제1 노드(N1)에 제공된다. 제1 노드(N1)의 전압은 제1 레벨을 갖는다. 제1 노드(N1)가 제1 레벨을 가지므로, 제2 트랜지스터(M2) 및 제10 트랜지스터(M10)는 턴 오프된다.
- [0166] 제2 레벨을 갖는 제2 클럭 신호(CLK2)에 의해 제3 트랜지스터(M3)는 턴 온되고, 제1 전압(VGL)은 제2 노드(N2)에 제공된다. 따라서, 제2 노드(N2)의 전압은 제2 레벨을 갖는다.
- [0167] 제1 레벨을 갖는 제1 클럭 신호(CLK1)에 의해 제7 트랜지스터(M7)는 턴 오프된다. 제1 노드(N1)의 전압은 제1 레벨을 가지므로, 제8 트랜지스터(M8)는 턴 오프된다. 제3 노드(N3)의 전압은 제3 커패시터(C3)에 의해 제1 레벨을 유지한다. 제3 노드(N3)의 전압은 제1 레벨을 유지하므로, 제9 트랜지스터(M9)는 턴 오프된다. 그 결과, 제1 발광 제어 신호는 제2 레벨을 유지한다.
- [0168] 제5 시간(t5)에서 캐리 신호(CA) 및 제2 클럭 신호(CLK2)는 제1 레벨을 갖고, 제1 클럭 신호(CLK1)는 제1 레벨을 갖는다.
- [0169] 제1 레벨을 갖는 제2 클럭 신호(CLK2)에 의해 제1 트랜지스터(M1) 및 제3 트랜지스터(M3)는 턴 오프된다. 제1 노드(N1)의 전압은 제1 레벨을 유지하므로 제2 트랜지스터(M2), 제8 트랜지스터(M8), 및 제10 트랜지스터(M10)는 턴 오프된다.
- [0170] 제2 레벨을 갖는 제1 클럭 신호(CLK1)에 의해 제4 트랜지스터(M4) 및 제7 트랜지스터(M7)가 턴 온된다. 또한, 제2 노드(N2)의 전압은 제2 레벨을 가지므로, 제5 트랜지스터(M5) 및 제6 트랜지스터(M6)는 턴 온된다.
- [0171] 턴 온된 제6 트랜지스터(M6) 및 제7 트랜지스터(M7)를 통해 제2 레벨을 갖는 제2 클럭 신호(CLK2)가 제3 노드(N3)에 제공된다. 따라서, 제5 시간(t5)에서 제3 노드(N3)의 전압은 제2 레벨을 갖는다. 제3 노드(N3)의 전압이 제2 레벨을 가지므로 제9 트랜지스터(M9)는 턴 온된다. 제9 트랜지스터(M9)가 턴 온되고, 제10 트랜지스터(M10)가 턴 오프되므로, 제1 발광 제어 신호는 제1 레벨을 갖는다.
- [0172] 제6 시간(t6)에서 캐리 신호(CA) 및 제2 클럭 신호(CLK2)는 제2 레벨을 갖고, 제1 클럭 신호(CLK1)는 제1 레벨을 갖는다. 앞서 설명한 제1 시간(t1)의 동작을 참조하면, 제6 시간(t6)에서 제1 발광 제어 신호는 제2 레벨을 갖는다.
- [0173] 이러한 동작에 의해 현재 단 스테이지는 제1 클럭 신호(CLK1), 제2 클럭 신호(CLK2), 및 이전 단 스테이지로부터 제공된 캐리 신호(CA)에 응답하여 발광 제어 신호를 생성한다. 또한, 스테이지들(STAGE1~STAGEn)에서 출력되는 발광 제어 신호들은 순차적으로 제1 구간(H1)만큼 시프트되어 출력된다.
- [0174] 이상 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시 예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

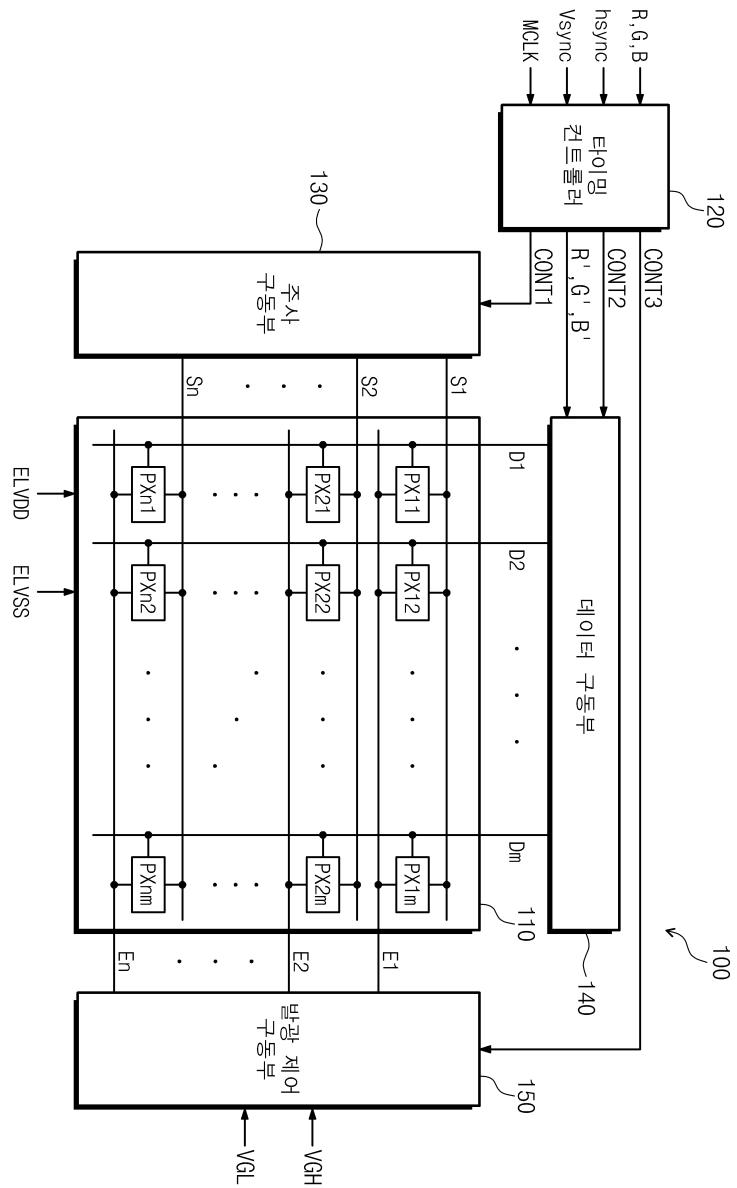
- | | |
|----------------|----------------|
| 100: 유기발광 표시장치 | 110: 표시 패널 |
| 120: 타이밍 컨트롤러 | 130: 주사 구동부 |
| 140: 데이터 구동부 | 150: 발광 제어 구동부 |
| 151: 제1 신호 처리부 | 152: 제2 신호 처리부 |

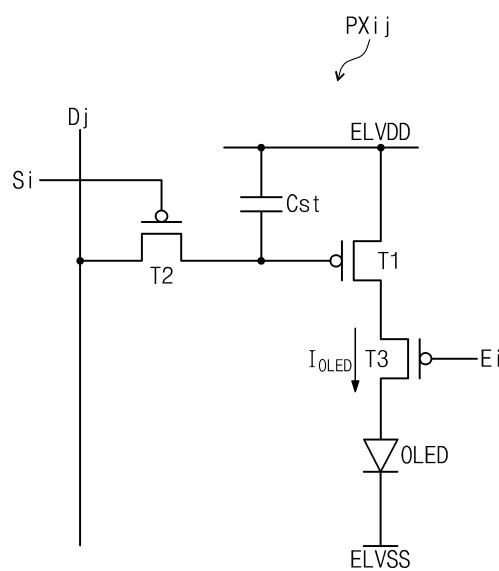
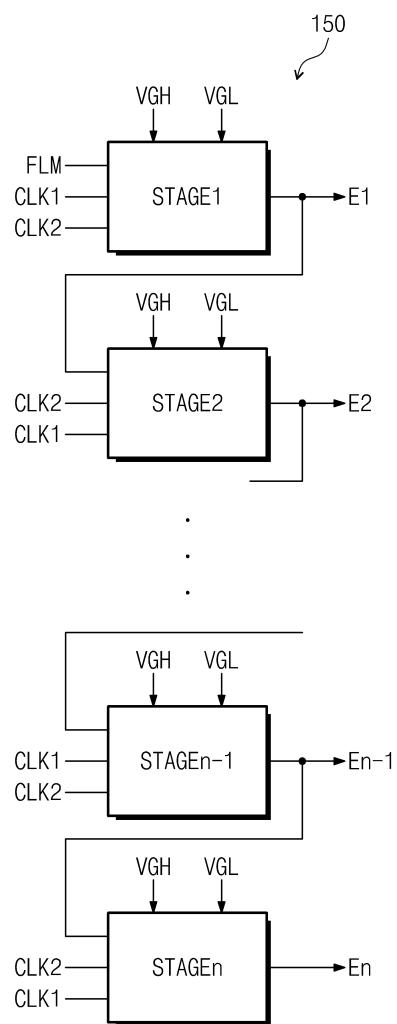
153: 제3 신호 처리부

154: 양방향 구동부

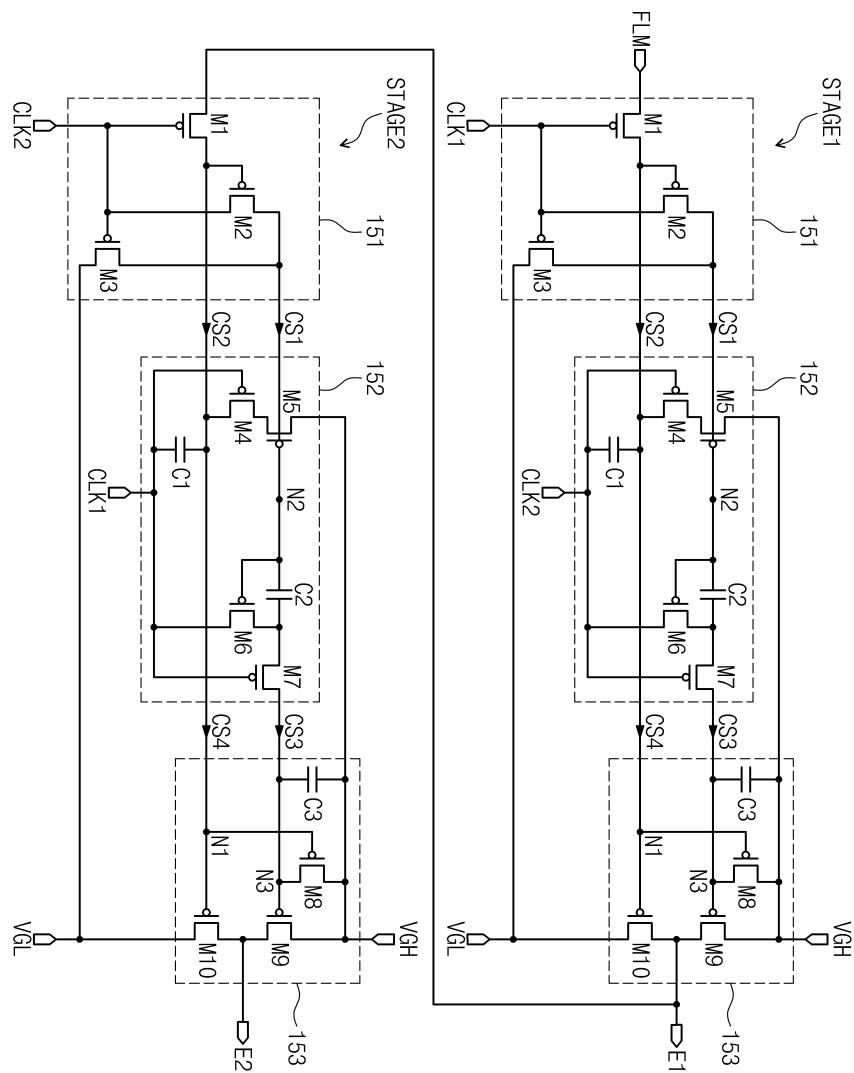
도면

도면1

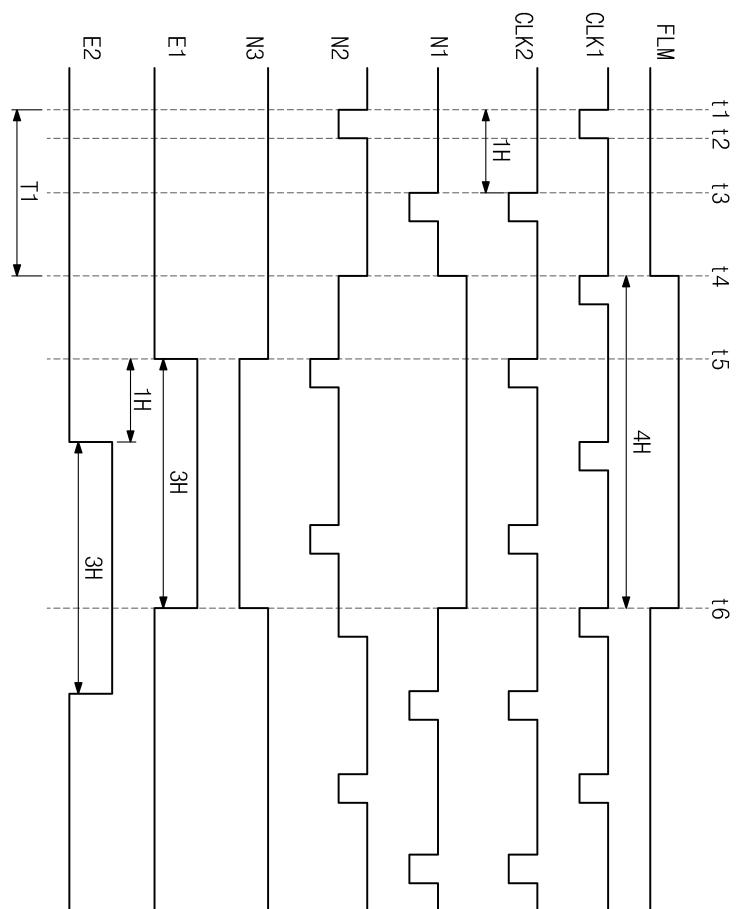


도면2**도면3**

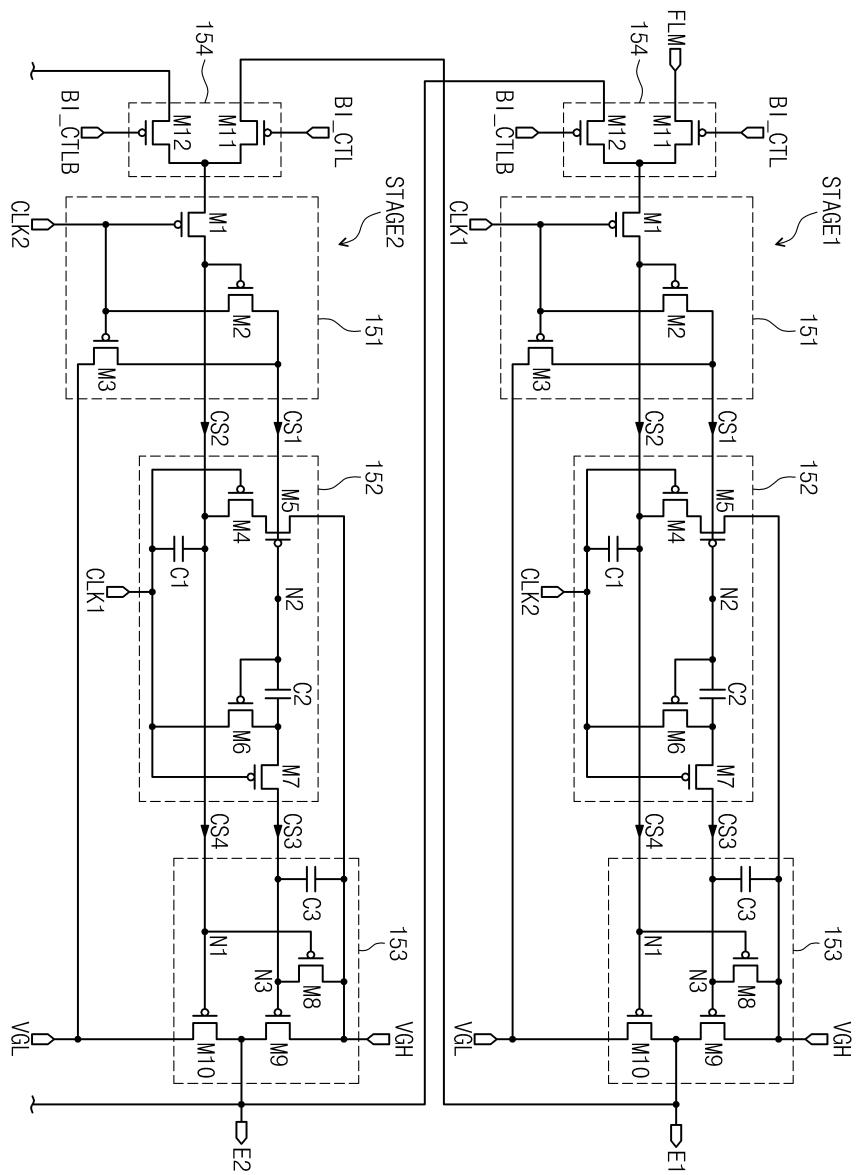
도면4



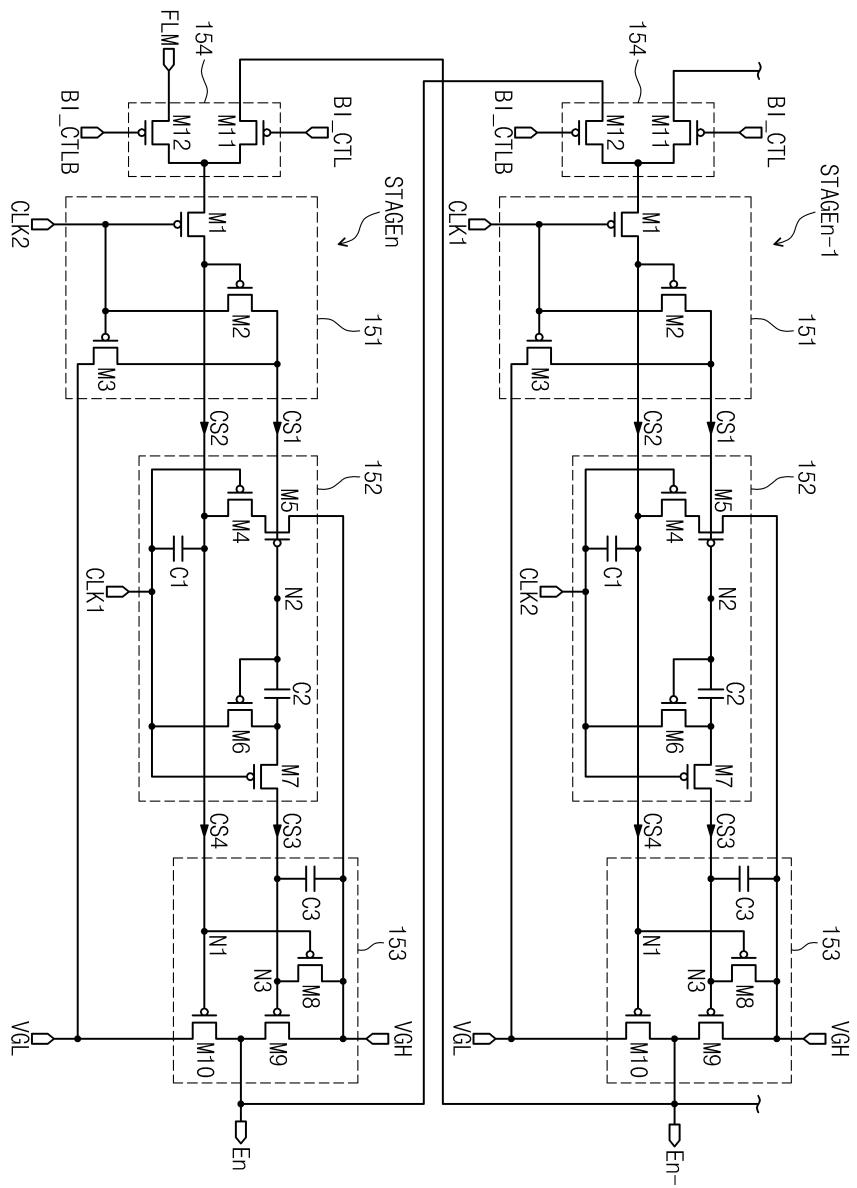
도면5



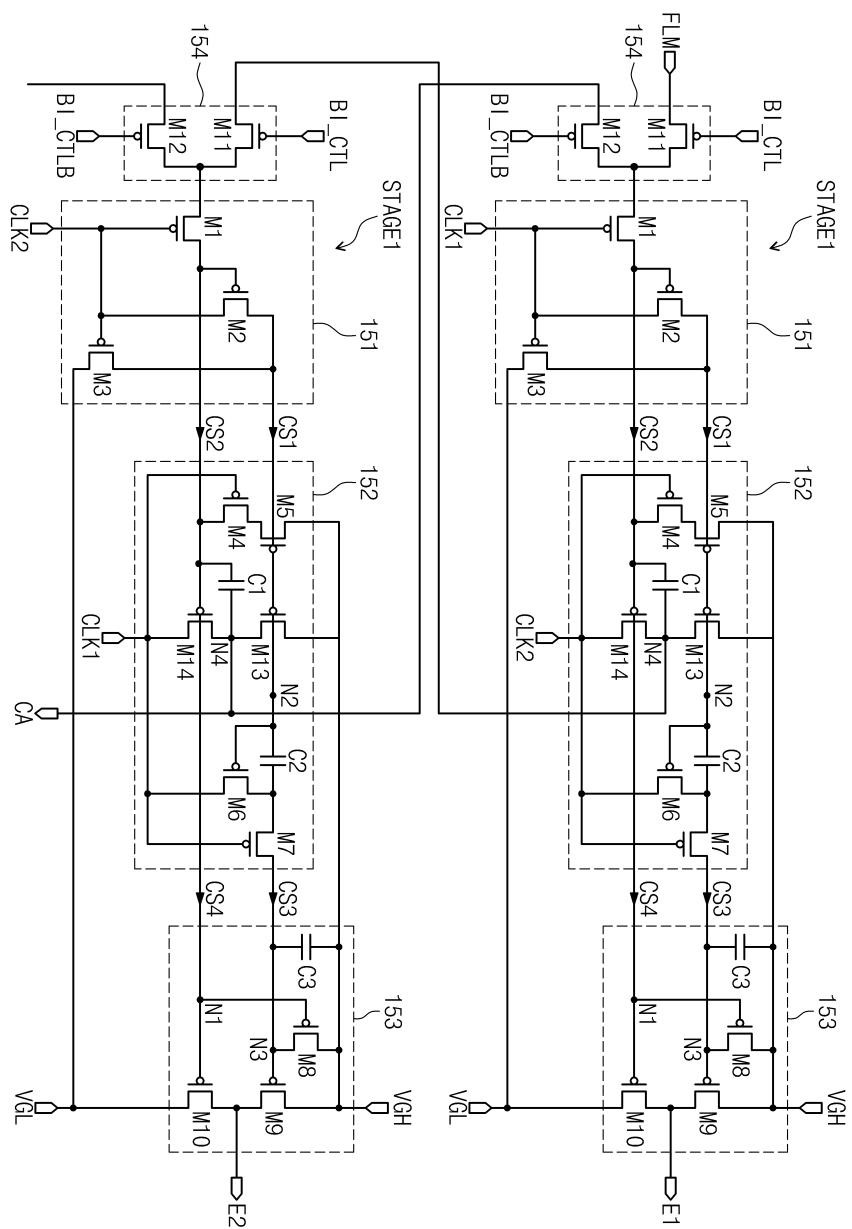
도면6



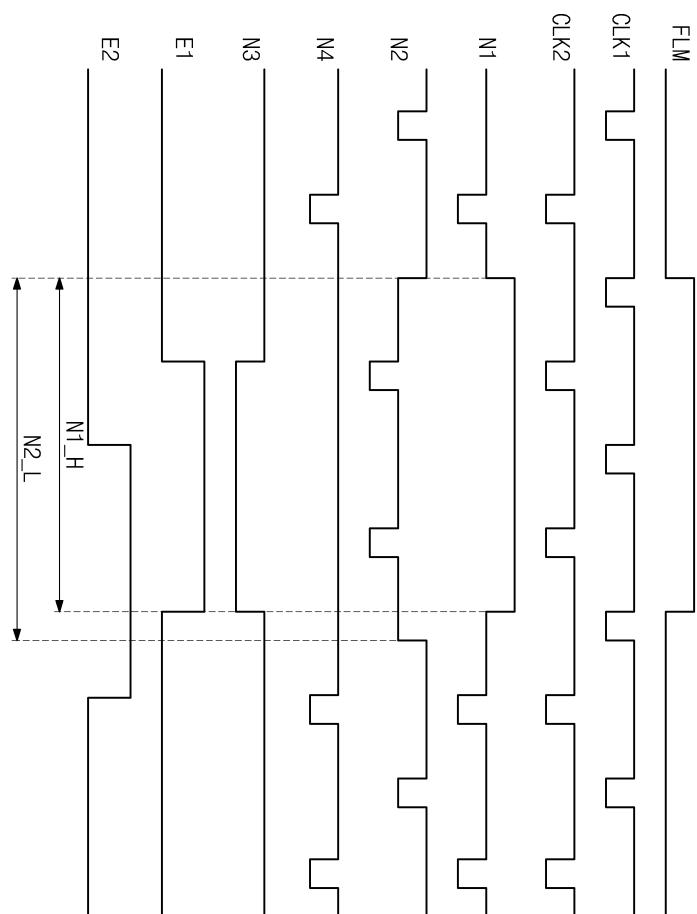
도면7



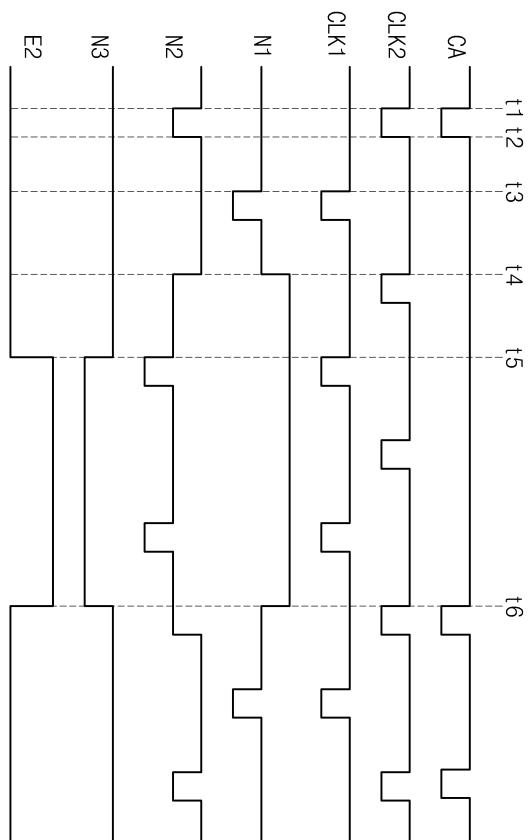
도면8



도면9



도면10



专利名称(译)	发射控制驱动器和包括该发射控制驱动器的有机发光显示装置		
公开(公告)号	KR1020140025149A	公开(公告)日	2014-03-04
申请号	KR1020120091442	申请日	2012-08-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JANG HWAN SOO 장환수		
发明人	장환수		
IPC分类号	G09G3/30		
其他公开文献	KR101975581B1		
外部链接	Espacenet		

摘要(译)

发射控制驱动器的每一级可以包括第一信号处理器，该第一信号处理器被配置为响应于第一电压，第一子控制信号和第二子控制信号以及低于第一电压的电平来生成第一信号和第二信号。第二信号处理器，被配置为响应于第二电压，第三子控制信号，第一信号和第二信号以及第一电压和第二电压而产生第三信号和第四信号；第三信号处理器，被配置为响应于第三信号和第四信号而产生排放控制信号，其中第一信号处理器输出从前一级输出的排放控制信号。第一级的第一信号处理器，将起始信号作为控制信号提供。专利出版物10-2014-0025149

