



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0025730
(43) 공개일자 2013년03월12일

(51) 국제특허분류(Int. Cl.)

H01L 51/50 (2006.01) H01L 51/56 (2006.01)

(21) 출원번호 10-2011-0089227

(22) 출원일자 2011년09월02일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

고삼민

대전광역시 중구 오류로 20, 1105호 (오류동, 웨리움)

김영주

경기도 고양시 일산서구 일산로 487, 1806동 801호 (일산동, 후곡마을)

(74) 대리인

박영복, 김용인

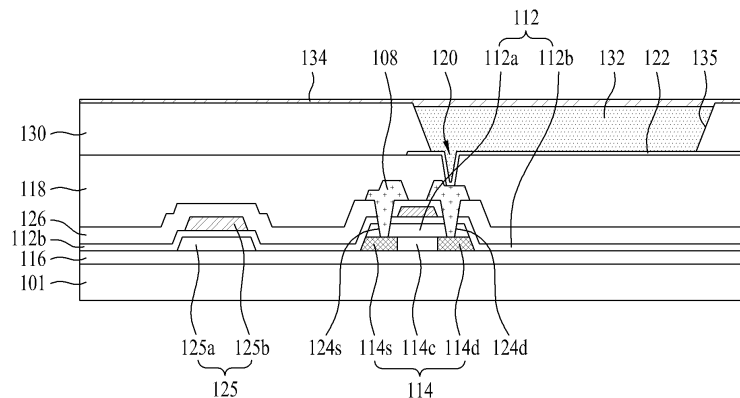
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기 전계 발광 표시 패널 및 그의 제조 방법

(57) 요약

본 발명은 스토리지 커패시터의 용량을 증가시키면서 개구율을 확보할 수 있는 유기 전계 발광 표시 패널 및 그의 제조 방법에 관한 것으로, 본 발명에 따른 유기 전계 발광 표시 패널은 기판 상에 형성된 버퍼막 및 액티브층과, 상기 액티브층 상에 제1 두께의 제1 게이트 절연막과, 제2 두께의 제2 게이트 절연막을 포함하는 게이트 절연막과, 상기 제1 및 제2 게이트 절연막을 사이에 두고 상기 액티브층과 중첩되는 게이트 전극과, 상기 게이트 전극 상에 형성된 층간 절연막과, 상기 액티브층의 소스 영역과 드레인 영역이 노출되도록 상기 제1 및 제2 게이트 절연막과, 층간 절연막을 관통하도록 형성된 소스 콘택홀 및 드레인 콘택홀과, 상기 소스 및 드레인 콘택홀 각각에 상기 액티브층의 소스 영역 및 드레인 영역 각각과 접속되도록 형성된 소스 및 드레인 전극과, 상기 드레인 전극과 접속된 제1 전극과, 상기 제1 전극 상에 형성된 유기 공통층과, 상기 제1 전극과 마주보도록 형성된 제2 전극을 포함하는 유기 전계 발광 소자와, 상기 제2 게이트 절연막을 사이에 두고 스토리지 상부 전극과 스토리지 하부 전극이 중첩되어 형성된 스토리지 커패시터를 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

기관 상에 형성된 버퍼막 및 액티브층과;

상기 액티브층 상에 제1 두께의 제1 게이트 절연막과, 제2 두께의 제2 게이트 절연막을 포함하는 게이트 절연막과;

상기 제1 및 제2 게이트 절연막을 사이에 두고 상기 액티브층과 중첩되는 게이트 전극과;

상기 게이트 전극 상에 형성된 층간 절연막과;

상기 액티브층의 소스 영역과 드레인 영역이 노출되도록 상기 제1 및 제2 게이트 절연막과, 층간 절연막을 관통하도록 형성된 소스 콘택홀 및 드레인 콘택홀과;

상기 소스 및 드레인 콘택홀 각각에 상기 액티브층의 소스 영역 및 드레인 영역 각각과 접속되도록 형성된 소스 및 드레인 전극과;

상기 드레인 전극과 접속된 제1 전극과, 상기 제1 전극 상에 형성된 유기 공통층과, 상기 제1 전극과 마주보도록 형성된 제2 전극을 포함하는 유기 전계 발광 소자와;

상기 제2 게이트 절연막을 사이에 두고 스토리지 상부 전극과 스토리지 하부 전극이 중첩되어 형성된 스토리지 커패시터를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 2

제1항에 있어서,

상기 제2 게이트 절연막은 상기 제1 게이트 절연막보다 두께가 두꺼운 것을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 3

제1항에 있어서,

상기 제1 게이트 절연막은 상기 게이트 전극이 형성된 영역에만 형성되고, 제2 게이트 절연막은 기관 전면에도 포되어 형성된 것을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 4

제1항에 있어서,

상기 버퍼막 및 액티브층, 상기 제1 및 제2 게이트 절연막은 동일 공정에서 형성된 것을 특징으로 하는 유기 전계 발광 표시 패널.

청구항 5

기관 상에 버퍼막 및 액티브층, 제1 두께의 제1 게이트 절연막과, 제2 두께의 제2 게이트 절연막을 포함하는 게이트 절연막과, 스토리지 하부 전극을 형성하는 단계와;

상기 제1 및 제2 게이트 절연막을 사이에 두고 상기 액티브층과 중첩되도록 게이트 전극을 형성하고, 상기 제2 게이트 절연막을 사이에 두고 상기 스토리지 하부 중첩되도록 스토리지 상부 전극을 형성하는 단계와;

상기 게이트 전극과 상기 스토리지 상부 전극이 형성된 기관 상에 층간 절연막을 형성하고, 상기 제1 및 제2 게이트 절연막, 층간 절연막을 관통하는 소스 및 드레인 콘택홀을 형성하는 단계와;

상기 소스 및 드레인 콘택홀 각각에 소스 및 드레인 전극을 형성하는 단계와;

상기 드레인 전극과 접속된 제1 전극을 형성하는 단계와;

상기 제1 전극 상에 유기 공통층과, 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광

표시 패널의 제조 방법.

청구항 6

제5항에 있어서,

기관 상에 버퍼막 및 액티브층, 제1 두께의 제1 게이트 절연막과, 제2 두께의 제2 게이트 절연막을 포함하는 게이트 절연막과, 스토리지 하부 전극을 형성하는 단계는

상기 기관 상에 버퍼막, 액티브층, 상기 제1 두께의 제1 게이트 절연막을 형성하는 단계와;

상기 제1 게이트 절연막 상에 제1 포토레지스트 패턴과, 상기 제1 포토레지스트 패턴보다 얇은 제2 포토레지스트를 형성하는 단계와;

상기 제1 및 제2 포토레지스트 패턴을 이용한 식각 공정으로 상기 액티브층과 제1 게이트 절연막이 패턴닝됨으로써 스토리지 하부 전극을 형성하는 단계와;

상기 제1 및 제2 포토레지스트 패턴을 애싱 공정으로 상기 제1 포토레지스트 패턴을 얇게하고, 상기 제2 포토레지스트 패턴을 제거하는 단계와;

상기 제1 포토레지스트 패턴을 이용한 식각 공정으로 노출된 상기 제1 게이트 절연막을 제거한 뒤, 상기 스토리지 하부 전극에 불순물을 도핑하여 전도성을 갖게 하는 단계와;

상기 남은 제1 포토레지스트를 제거한 뒤, 상기 제2 두께의 제2 게이트 절연막을 전면 도포하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 7

제6항에 있어서,

상기 액티브층 상에는 상기 제1 및 제2 게이트 절연막을 형성하고, 상기 스토리지 하부 전극 상에는 상기 제2 게이트 절연막을 형성하는 것을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 8

제6항에 있어서,

상기 제2 게이트 절연막은 상기 제1 게이트 절연막보다 두께가 두꺼운 것을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

청구항 9

제5항에 있어서,

상기 버퍼막 및 액티브층, 상기 제1 및 제2 게이트 절연막은 동일 공정에서 형성된 것을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기 전계 발광 표시 패널 및 그의 제조 방법에 관한 것으로, 특히 스토리지 커패시터의 용량을 증가시키면서 개구율을 확보할 수 있는 유기 전계 발광 표시 패널 및 그의 제조 방법에 관한 것이다.

배경기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 발광층의 발광량을 제어하여 영상을 표시하는 유기 전계 발광 표시 장치 등이 각광받고 있다. 유기 전계 발광 표시 장치(Organic Light Emitting Device: OLED)는 전극 사이의 얇은 발광층을 이용한 자발광 소자로 종이와 같이 박막화가 가능하다는 장점을 갖고 있다. 이러한, 유기 전계 발광 표시 장치(OLED)는 능동형 매트릭스 OLED(PMOLED)와 수동형 매트릭스 OLED(AMOLED)로 나뉘지게 된다.

[0003] 이때, 액티브 매트릭스 OLED(AMOLED)는 3색(R, G, B) 서브 화소로 구성된 화소들이 매트릭스 형태로 배열되어 화상을 표시하게 된다. 각 서브 화소는 유기 전계 발광 소자와, 그 유기 전계 발광 소자를 구동하는 셀 구동부를 포함한다. 셀 구동부는 스캔 신호를 공급하는 게이트 라인과, 비디오 데이터 신호를 공급하는 데이터 라인과, 공통 전원 신호를 공급하는 공통 전원 라인 사이에 접속된 적어도 2개의 박막 트랜지스터와 스토리지 캐패시터로 구성되어 유기 전계 발광 소자의 양극을 구동한다.

[0004] 한편, 표시 장치의 고해상도를 실현시키기 위해서는 단위면적당 화소 영역의 수를 늘려야 하며, 이는 곧 하나의 화소 영역의 크기가 작아짐을 의미한다. 하나의 화소 영역의 크기가 작아지는 경우, 이를 구성하는 구성 요소의 크기가 작아짐으로써 스토리지 커패시터의 면적이 작아지게 되며, 이는 곧 스토리지 용량의 저하를 의미하게 된다. 이에 따라, 스토리지 전극의 면적을 증가시켜 스토리지 용량을 증가시키지만, 스토리지 전극의 면적이 증가함에 따라 실제 화소 영역이 작아지게 되어 개구율이 감소되는 문제가 발생된다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기 문제점을 해결하기 위해 창안된 것으로서, 스토리지 커패시터의 용량을 증가시키면서 개구율을 확보할 수 있는 유기 전계 발광 표시 패널 및 그의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 이를 위하여, 본 발명에 따른 유기 전계 발광 표시 패널은 기판 상에 형성된 버퍼막 및 액티브층과, 상기 액티브층 상에 제1 두께의 제1 게이트 절연막과, 제2 두께의 제2 게이트 절연막을 포함하는 게이트 절연막과, 상기 제1 및 제2 게이트 절연막을 사이에 두고 상기 액티브층과 중첩되는 게이트 전극과, 상기 게이트 전극 상에 형성된 층간 절연막과, 상기 액티브층의 소스 영역과 드레인 영역이 노출되도록 상기 제1 및 제2 게이트 절연막과, 층간 절연막을 관통하도록 형성된 소스 콘택홀 및 드레인 콘택홀과, 상기 소스 및 드레인 콘택홀 각각에 상기 액티브층의 소스 영역 및 드레인 영역 각각과 접속되도록 형성된 소스 및 드레인 전극과, 상기 드레인 전극과 접속된 제1 전극과, 상기 제1 전극 상에 형성된 유기 공통층과, 상기 제1 전극과 마주보도록 형성된 제2 전극을 포함하는 유기 전계 발광 소자와, 상기 제2 게이트 절연막을 사이에 두고 스토리지 상부 전극과 스토리지 하부 전극이 중첩되어 형성된 스토리지 커패시터를 포함하는 것을 특징으로 한다.

[0007] 여기서, 상기 제2 게이트 절연막은 상기 제1 게이트 절연막보다 두께가 두꺼운 것을 특징으로 한다.

[0008] 그리고, 상기 제1 게이트 절연막은 상기 게이트 전극이 형성된 영역에만 형성되고, 제2 게이트 절연막은 기판 전면에 도포되어 형성된 것을 특징으로 한다.

[0009] 또한, 상기 버퍼막 및 액티브층, 상기 제1 및 제2 게이트 절연막은 동일 공정에서 형성된 것을 특징으로 한다.

[0010] 본 발명에 따른 유기 전계 발광 표시 패널의 제조 방법은 기판 상에 버퍼막 및 액티브층, 제1 두께의 제1 게이트 절연막과, 제2 두께의 제2 게이트 절연막을 포함하는 게이트 절연막과, 스토리지 하부 전극을 형성하는 단계와, 상기 제1 및 제2 게이트 절연막을 사이에 두고 상기 액티브층과 중첩되도록 게이트 전극을 형성하고, 상기 제2 게이트 절연막을 사이에 두고 상기 스토리지 하부 중첩되도록 스토리지 상부 전극을 형성하는 단계와, 상기 게이트 전극과 상기 스토리지 상부 전극이 형성된 기판 상에 층간 절연막을 형성하고, 상기 제1 및 제2 게이트 절연막, 층간 절연막을 관통하는 소스 및 드레인 콘택홀을 형성하는 단계와, 상기 소스 및 드레인 콘택홀 각각에 소스 및 드레인 전극을 형성하는 단계와, 상기 드레인 전극과 접속된 제1 전극을 형성하는 단계와, 상기 제1 전극 상에 유기 공통층과, 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0011] 여기서, 기판 상에 버퍼막 및 액티브층, 제1 두께의 제1 게이트 절연막과, 제2 두께의 제2 게이트 절연막을 포함하는 게이트 절연막과, 스토리지 하부 전극을 형성하는 단계는 상기 기판 상에 버퍼막, 액티브층, 상기 제1 두께의 제1 게이트 절연막을 형성하는 단계와, 상기 제1 게이트 절연막 상에 제1 포토레지스트 패턴과, 상기 제1 포토레지스트 패턴보다 얇은 제2 포토레지스트를 형성하는 단계와, 상기 제1 및 제2 포토레지스트 패턴을 이용한 식각 공정으로 상기 액티브층과 제1 게이트 절연막이 패터닝됨으로써 스토리지 하부 전극을 형성하는 단계와, 상기 제1 및 제2 포토레지스트 패턴을 애싱 공정으로 상기 제1 포토레지스트 패턴을 얇게하고, 상기 제2 포토레지스트 패턴을 제거하는 단계와, 상기 제1 포토레지스트 패턴을 이용한 식각 공정으로 노출된 상기 제1 게이트 절연막을 제거한 뒤, 상기 스토리지 하부 전극에 불순물을 도핑하여 전도성을 갖게 하는 단계와, 상기 남은 제1 포토레지스트를 제거한 뒤, 상기 제2 두께의 제2 게이트 절연막을 전면 도포하는 단계를 포함하는 것을

특징으로 한다.

[0012] 그리고, 상기 액티브층 상에는 상기 제1 및 제2 게이트 절연막을 형성하고, 상기 스토리지 하부 전극 상에는 상기 제2 게이트 절연막을 형성하는 것을 특징으로 한다.

[0013] 또한, 상기 제2 게이트 절연막은 상기 제1 게이트 절연막보다 두께가 두꺼운 것을 특징으로 한다.

[0014] 그리고, 상기 버퍼막 및 액티브층, 상기 제1 및 제2 게이트 절연막은 동일 공정에서 형성된 것을 특징으로 한다.

발명의 효과

[0015] 본 발명의 유기 전계 발광 표시 패널은 액티브층과 게이트 전극 사이에는 제1 및 제2 게이트 절연막을 형성하고, 스토리지 하부 전극과 스토리지 상부 전극 사이에는 제2 게이트 절연막만을 형성한다.

[0016] 이에 따라, 게이트 전극과 액티브층 사이의 간격은 멀리 떨어지게 하여 박막 트랜지스터의 소자 특성은 향상시키고, 스토리지 하부 전극과 스토리지 상부 전극 사이의 간격은 가깝게 하여 스토리지 커패시터 용량을 증가시킨다.

[0017] 이와 같이, 스토리지 커패시터 용량을 증가시킴으로써 스토리지 상부 및 하부 전극의 면적을 줄일 수 있어 그에 따른 개구율을 확보할 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명에 따른 유기 전계 발광 표시 패널의 한 화소에 대한 등가 회로도이다.

도 2는 도 1에 도시된 유기 전계 발광 표시 패널의 한 화소에 대한 수직 단면도이다.

도 3a 내지 도 3g는 도 2에 도시된 본 발명의 실시 예에 따른 유기 전계 발광 표시 패널의 제조 방법을 나타낸 단면도들이다.

도 4a 내지 도 4f는 도 3a에 도시된 게이트 절연막을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다. 본 발명의 구성 및 그에 따른 작용 효과는 이하의 상세한 설명을 통해 명확하게 이해될 것이다. 본 발명의 상세한 설명에 앞서, 동일한 구성 요소에 대해서는 다른 도면 상에 표시되더라도 가능한 동일한 부호로 표시하며, 공지된 구성에 대해서는 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 구체적인 설명은 생략하기로 함에 유의한다.

[0020] 이하, 본 발명의 바람직한 실시 예를 도 1 내지 도 4f를 참조하여 상세히 설명하기로 한다.

[0021] 도 1은 본 발명에 따른 유기 전계 발광 표시 패널의 한 화소에 대한 등가 회로도이고, 도 2는 도 1에 도시된 유기 전계 발광 표시 패널의 한 화소에 대한 수직 단면도이다.

[0022] 도 1에 도시된 바와 같이 본 발명의 실시 예에 따른 유기 전계 발광 표시 패널의 한 화소는 게이트 라인(GL), 데이터 라인(DL) 및 전원 라인(PL)과 접속된 셀 구동부(200)와, 셀 구동부(200)와 그라운드(GND) 사이에 접속된 유기 전계 발광 소자(OLED)를 포함한다.

[0023] 셀 구동부(200)는 게이트 라인(GL) 및 데이터 라인(DL)과 접속된 스위치 박막 트랜지스터(TS)와, 스위치 박막 트랜지스터(TS) 및 전원 라인(PL)과 유기 전계 발광 소자의 제1 전극(122) 사이에 접속된 구동 박막 트랜지스터(TD)와, 전원 라인(PL)과 스위치 박막 트랜지스터(TS)의 드레인 전극(110) 사이에 접속된 스토리지 커패시터(C)를 구비한다.

[0024] 스위치 박막 트랜지스터(TS)의 게이트 전극은 게이트 라인(GL)과 접속되고 소스 전극은 데이터 라인(DL)과 접속되며 드레인 전극은 구동 박막 트랜지스터(TD)의 게이트 전극 및 스토리지 캐패시터(C)와 접속된다. 구동 박막 트랜지스터(TD)의 소스 전극은 전원 라인(PL)과 접속되고 드레인 전극은 OLED 셀의 양극 역할을 하는 화소 전극과 접속된다. 스토리지 캐패시터(C)는 전원 라인(PL)과 구동 박막 트랜지스터(TD)의 게이트 전극 사이에 접속된다.

[0025] 스위치 박막 트랜지스터(TS)는 게이트 라인(GL)에 스캔 펄스가 공급되면 턴-온되어 데이터 라인(DL)에 공급된

데이터 신호를 스토리지 캐패시터(C) 및 구동 박막 트랜지스터(TD)의 게이트 전극으로 공급한다. 구동 박막 트랜지스터(TD)는 게이트 전극으로 공급되는 데이터 신호에 응답하여 전원 라인(PL)으로부터 유기 전계 발광 소자로 공급되는 전류(I)를 제어함으로써 유기 전계 발광 소자의 발광량을 조절하게 된다. 그리고, 스위치 박막 트랜지스터(TS)가 턴-오프되더라도 스토리지 캐패시터(C)에 충전된 전압에 의해 구동 박막 트랜지스터(TD)는 다음 프레임의 데이터 신호가 공급될 때까지 일정한 전류(I)를 공급하여 유기 전계 발광 소자가 발광을 유지하게 한다.

[0026] 구동 박막 트랜지스터는 도 3에 도시된 바와 같이 기판(101) 상에 버퍼막(116), 액티브층(114)이 형성되며, 게이트 전극(106)은 액티브층(114)의 채널 영역(114C)과 제1 및 제2 게이트 절연막(112a, 112b)을 사이에 두고 중첩되게 형성된다. 소스 전극(108) 및 드레인 전극(110)은 게이트 전극(106)과 층간 절연막(126)을 사이에 두고 절연되게 형성된다. 소스 전극(108) 및 드레인 전극(110)은 층간 절연막(126), 제1 및 제2 게이트 절연막(112a, 112b)을 관통하는 소스 콘택홀(124S) 및 드레인 콘택홀(124D) 각각을 통해 n+ 불순물이 주입된 액티브층(114)의 소스 영역(114S) 및 드레인 영역(114D) 각각과 접속된다. 또한, 액티브층(114)은 오프 전류를 감소시키기 위해 채널 영역(114C)과 소스 및 드레인 영역(114S, 114D) 사이에 n- 불순물이 주입된 엘디디(Light Dropped Drain; LDD) 영역(미도시) 더 구비하기도 한다. 또한, 기판(101) 상에 형성된 구동 박막 트랜지스터(TD) 상에는 유기 절연 물질로 형성된 유기 보호막(118)이 형성된다. 또는, 구동 박막 트랜지스터(TD) 상의 보호막은 무기 절연 물질로 형성된 무기 보호막과 유기 절연 물질로 형성된 유기 보호막으로 두 층으로 형성될 수 있다.

[0027] 유기 전계 발광 소자(OLED)는 구동 박막 트랜지스터(TD)의 드레인 전극(110)과 접속된 제1 전극(122)과, 제1 전극(122)을 노출시키는 배크홀(135)이 형성된 배크 절연막(130)과, 제1 전극(122) 상에 형성된 유기 공통층(132)과, 제1 전극과 마주보며 형성된 제2 전극(134)이 구비된다. 이러한, 유기 전계 발광 소자(OLED)는 제1 전극(122)과 제2 전극(134) 사이에 전압을 인가하면 제1 전극(122)으로부터 정공(hole)이 제2 전극(134)으로부터 전자(electron)가 주입되어 제3 공통층(150c)(발광층)에서 재결합하여 이로 인해 엑시톤(exciton)이 생성되며, 이 엑시톤이 기저상태로 떨어지면서 빛이 배면(Bottom)으로 방출하게 된다.

[0028] 제1 전극(122)은 양극(Anode)으로 TCO(Transparent Conductive Oxide; 이하, TCO)와 같은 투명 도전 전극으로 ITO(Indium Tin Oxide; 이하, ITO), IZO(Indium Zinc Oxide; 이하, IZO) 등으로 형성된다. 이러한 제1 전극(122)은 투명 도전 전극으로 형성됨으로써 발광층으로부터 생성된 광이 제1 전극(122)을 통해 배면 발광을 할 수 있다. 그리고, 제2 전극(134)은 음극(Cathode)으로 알루미늄(Al)과 같이 반사성 금속 재질로 형성된다. 도 2에 도시된 바와 같이 본 발명은 배면 발광을 할 수 있지만, 제1 및 제2 전극(122, 134)의 재질에 따라 배면, 전면, 양면 발광을 할 수 있다.

[0029] 유기 공통층(132)은 제1 전극(122) 상에 정공 주입층(Hole Injection Layer; HIL), 정공 수송층(Hole Transport Layer; HTL), 발광층(Emitting Layer; EML), 전자 수송층(Electron Transport Layer; ETL), 전자 주입층(Electron Injection Layer; EIL)이 순차적으로 적층된 구조를 가진다.

[0030] 스토리지 커패시터(125)는 p+ 또는 n+ 불순물이 도핑된 스토리지 하부 전극(125a)과 스토리지 상부 전극(125b)이 제2 게이트 절연막(112b)을 사이에 두고 중첩되어 형성된다. 스토리지 커패시터(125)는 제1 전극(122)에 충전된 데이터 신호를 다음 데이터 신호가 충전될 때까지 안정적으로 유지되게 한다.

[0031] 게이트 절연막(112)은 제1 두께를 가지는 제1 게이트 절연막(112a)과, 제1 두께보다 얇은 제2 두께를 가지는 제2 게이트 절연막(112b)을 포함한다. 이때, 제1 및 제2 게이트 절연막(112a, 112b)은 게이트 전극(106)과 액티브층(114) 사이에 형성되며, 제2 게이트 절연막(112b)은 스토리지 상부 전극(125b)과 스토리지 하부 전극(125a) 사이에 형성된다. 제1 게이트 절연막(112a)은 게이트 전극(106)이 형성된 영역에만 형성되고, 제2 게이트 절연막(112b)은 기판(101) 전면에 도포되어 형성된다. 이와 같이, 액티브층(114)과 게이트 전극(106) 사이에 형성된 게이트 절연막(112)은 두 층으로 형성되어 두께가 형성되며, 스토리지 상부 전극(125b)과 스토리지 하부 전극(125a) 사이에 형성된 게이트 절연막(112)은 한 층으로 얇게 형성된다. 이와 같이, 스토리지 커패시터 영역에 형성된 게이트 절연막(112)을 얇게 형성함으로써 스토리지 상/하부 전극(125a, 125b)의 면적을 줄일 수 있어 개구율을 확보할 수 있다.

[0032] 구체적으로, 커패시터(C)는 하기와 같은 [수학식 1]을 가지며, 유전율(ϵ_r) 및 전극의 면적(A)에 비례하며, 게이트 절연막의 두께(t)에 반비례하는 관계식을 갖는다. 즉, 게이트 절연막의 두께(t)가 얇을수록 커패시터(C) 값이 증가되며, 게이트 절연막의 두께(t)가 두꺼울수록 커패시터(C) 값이 감소되는 것과 같은 게이트 절연막(t)과 커패시터(C)는 반비례 관계를 가진다.

[0033] 한편, [수학식 1]에서 ϵ_r 은 유전율(Relative Dielectric Constant)을 의미하며, ϵ_0 은 진공의 유전율을 의미하며, A는 면적(cm^2)을 의미하고, t는 게이트 절연막의 두께를 의미한다.

수학식 1

$$\frac{\epsilon_r \cdot \epsilon_0 \cdot A}{t} = C$$

[0034]

[0035] 이에 따라, 스토리지 커패시터 영역에는 게이트 절연막(112)의 두께를 얇게 형성함으로써 커패시터 용량을 늘리면서 스토리지 상/하부 전극(125a, 125b)의 면적(A)은 줄일 수 있다. 이와 같이, 스토리지 상/하부 전극(125a, 125b)이 면적(A)이 줄어들게 됨으로써 그에 따른 개구율을 확보할 수 있다.

[0036] 이때, 제1 및 제2 게이트 절연막(112a, 112b)을 포함하는 게이트 절연막(112)과 액티브층(114)은 동일 공정에서 하나의 마스크로 형성된다. 따라서, 공정 추가 없이 스토리지 상/하부 전극(125a, 125b)의 면적을 줄일 수 있다.

[0037] 도 3a 내지 도 3g는 도 2에 도시된 본 발명의 실시 예에 따른 유기 전계 발광 표시 패널의 제조 방법을 나타낸 단면도들이다.

[0038] 도 3a를 참조하면, 기판(101) 상에 버퍼막(116)이 형성되고, 그 위에 액티브층(114), 제1 두께를 가지는 제1 게이트 절연막(112a)과, 제2 두께를 가지는 제2 게이트 절연막(112b)을 포함하는 게이트 절연막(112)과, 스토리지 하부 전극(125a)이 형성된다. 이를, 도 4a 내지 도 4f를 결부하여 설명하기로 한다.

[0039] 구체적으로, 버퍼막(116)은 도 4a에 도시된 바와 같이 기판(100) 상에 산화 실리콘(SiO_2) 등과 같은 무기 절연 물질이 CVD, PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 전면 증착되어 형성된다. 액티브층(224)은 버퍼막(116) 상에 아몰퍼스-실리콘을 증착한 후 아몰퍼스 실리콘 박막 내에 존재하는 수소 원자를 제거하기 위한 탈수소화(Dehydrogenation) 공정을 진행한다. 이후, 아몰퍼스-실리콘을 레이저로 결정화하여 폴리-실리콘이 되게 하여 액티브층(114)이 형성된다.

[0040] 이러한, 액티브층(114) 상에 제1 두께의 무기 절연 물질이 CVD, PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 전면 증착됨으로써 제1 게이트 절연막(212)이 형성된다.

[0041] 그리고, 도 4b에 도시된 바와 같이 제1 게이트 절연막(212) 위에 포토레지스트가 도포된 다음, 슬릿 마스크 또는 하프톤 마스크를 이용한 포토리소그래피 공정으로 포토레지스트가 노광 및 현상됨으로써 단차를 갖는 포토레지스트 패턴이 형성된다.

[0042] 구체적으로, 하프톤 마스크(170)는 도 4b에 도시된 바와 같이 기판 상에 차단층(172)이 형성된 차단 영역(S1)과, 기판 상에 반투과층(174)이 형성된 반투과 영역(S2)과, 기판만 존재하는 투과 영역(S3)을 구비한다.

[0043] 차단 영역(S1)은 게이트 전극(106)이 형성되어질 영역에 위치하여 자외선을 차단함으로써 현상 후 도 4b와 같이 제1 포토레지스트 패턴(220a)을 남게 한다. 반투과 영역(S2)은 스토리지 커패시터(125)가 형성될 영역에 반투과층(174)이 적층되어 광투과율을 조절하여 현상 후 도 4b와 같이 제1 포토레지스트 패턴(220a)보다 얇은 제2 포토레지스트 패턴(220b)을 남게 한다. 그리고, 투과 영역(S3)은 자외선을 모두 투과시킴으로써 현상 후 도 4b와 같이 포토레지스트를 제거되게 한다.

[0044] 도 4c에 도시된 바와 같이 서로 다른 두께의 제1 및 제2 포토레지스트 패턴(220a, 220b)을 이용한 식각 공정으로 제1 게이트 절연막(212), 액티브층(224)이 패터닝됨으로써 스토리지 하부 전극(125a)이 형성된다.

[0045] 이어서, 도 4d와 같이 산소(O_2) 플라즈마를 이용한 애싱 공정으로 제1 및 제2 포토레지스트 패턴(220a, 220b)을 애싱함으로써 제1 포토레지스트 패턴(220a)은 얇아지게 하고, 제2 포토레지스트 패턴(220b)은 제거되게 한다.

[0046] 이후, 도 4e와 같이 애싱된 제1 포토레지스트 패턴(220a)을 이용한 식각 공정으로 노출된 제1 게이트 절연막

(112a)이 제거된다. 이에 따라, 스토리지 커패시터가 형성되어질 영역에는 액티브층(114)만 남게 되며, 게이트 전극(106)이 형성되어질 영역에는 액티브층(114)과 제1 게이트 절연막(112a)이 남게 된다. 이때, 노출된 스토리지 하부 전극(125a)에 n+ 또는 p+ 불순물을 도핑하여 도전성을 갖게 하며, 제1 게이트 절연막(112a) 상에 남은 제1 포토레지스트 패턴(220a)이 스트립 공정으로 제거된다.

[0047] 그런 다음, 도 4f와 같이 제1 절연막(112a)의 두께보다 얇은 제2 두께의 제2 게이트 절연막(112b)을 전면 도포하여 스토리지 커패시터(125) 영역에는 제1 게이트 절연막(112a)만 형성되며, 게이트 전극(106)이 형성되어질 영역에는 제1 및 제2 게이트 절연막(112a, 112b)이 형성된다.

[0048] 도 3b를 참조하면, 액티브층(114)이 형성된 버퍼막(116) 상에 게이트 절연막(112)이 형성되고, 그 위에 게이트 전극(106)과 스토리지 상부 전극(125b)이 형성되며, 액티브층(114)의 채널 영역(114C)을 사이에 두고 마주보는 소스 영역(114S) 및 드레인 영역(114D)이 형성된다.

[0049] 구체적으로, 제2 게이트 절연막(112b) 위에 게이트 금속층이 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 게이트 금속층으로는 폴리브덴(Mo), 알루미늄(Al), 크롬(Cr) 등과 이들의 합금이 단일층 또는 복층 구조로 적층되어 이용된다. 그 다음 제2 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 게이트 금속층이 패터닝됨으로써 게이트 전극(106)과 스토리지 상부 전극(125b)이 형성된다.

[0050] 이때, 게이트 전극(106)은 제1 및 제2 게이트 절연막(112a, 112b)을 사이에 두고 액티브층(114)과 중첩되며, 스토리지 상부 전극(125b)은 제2 게이트 절연막(112b)을 사이에 두고 스토리지 하부 전극(125a)과 중첩된다.

[0051] 그리고, 게이트 전극(106)을 마스크로 이용하여 게이트 전극(106)과 비중첩된 액티브층(114)에 n+ 불순물을 도핑함으로써 n+ 불순물이 도핑된 액티브층의 소스 영역(114S) 및 드레인 영역(114D)이 형성된다.

[0052] 도 3c를 참조하면, 게이트 전극(106)이 형성된 게이트 절연막(112) 상에 층간 절연막(126)이 형성되고, 제1 및 제2 게이트 절연막(112a, 112b)과, 층간 절연막(126)을 관통하는 소스 및 드레인 콘택홀(124S, 124D)이 형성된다.

[0053] 구체적으로, 층간 절연막(126)은 게이트 전극(106)이 형성된 게이트 절연막(112) 상에 산화 실리콘, 질화 실리콘 등과 같이 무기 절연 물질이 PECVD 또는 CVD 등의 증착 방법으로 전면 증착되어 형성된다. 이어서, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 제1 및 제2 게이트 절연막(112a, 112b), 층간 절연막(126)을 관통하는 소스 및 드레인 콘택홀(124S, 124D)이 형성된다. 소스 및 드레인 콘택홀(124S, 124D)은 소스 및 드레인 영역(114S, 114D, 214S, 214D)을 노출시킨다.

[0054] 도 3d를 참조하면, 층간 절연막(126)이 형성된 기판(101) 상에 소스 및 드레인 전극(108, 110)이 형성된다.

[0055] 구체적으로, 층간 절연막(126) 상에 스퍼터링 등의 증착 방법으로 소스 및 드레인 금속층을 형성한 뒤, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 소스 및 드레인 금속층을 패터닝함으로써 소스 전극(108) 및 드레인 전극(110)이 형성된다. 소스 전극(108) 및 드레인 전극(110)은 소스 및 드레인 콘택홀(124S, 124D) 각각을 통해 액티브층(114)의 소스 영역 및 드레인 영역(114S, 114D)과 각각 접속된다.

[0056] 도 3e를 참조하면, 소스 및 드레인 전극(108, 110)이 형성된 기판(101) 상에 화소 콘택홀(120)을 포함하는 보호막(118)이 형성된다.

[0057] 구체적으로, 소스 및 드레인 전극(108, 110)이 형성된 기판(101) 상에 PECVD 또는 CVD 방법으로 보호막(118)이 형성된다. 보호막(118)으로는 무기 절연 물질 또는 유기 절연 물질로 형성될 수 있으며, 무기 절연 물질 및 유기 절연 물질로 이루어지도록 두 층으로 형성될 수 있다. 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 보호막(118)이 패터닝됨으로써 보호막(118)을 관통하는 화소 콘택홀(120)이 형성된다. 이러한, 화소 콘택홀(120)은 드레인 전극(110)을 노출시킨다.

[0058] 도 3f를 참조하면, 구동 박막 트랜지스터(TD)의 드레인 전극(110)과 직접 접촉된 유기 전계 발광 소자의 제1 전극(122)이 형성된다.

[0059] 구체적으로, 보호막(118) 상에 스퍼터링 등의 증착 방법으로 TCO(Transparent Conductive Oxide; 이하, TCO)와, ITO(Indium Tin Oxide; 이하, ITO), IZO(Indium Zinc Oxide; 이하, IZO) 등과 같은 투명 도전 전극층을 형성한 뒤, 제6 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 투명 도전 전극층을 패터닝함으로써 제1 전극(122)이 형성된다.

[0060] 도 3g를 참조하면, 제1 전극(122)이 형성된 기판(101) 상에 बैं크홀(135)을 가지는 बैं크 절연막(130)이

형성된다.

[0061] 구체적으로, 제1 전극(122)이 형성된 기판(101) 상에 스핀리스 또는 스핀 코팅 등의 코팅 방법을 통해 아크릴계 수지와 같은 유기 절연 물질이 전면 형성된다. 그런 다음, 제7 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 유기 절연 물질이 패터닝됨으로써 뱅크홀(135)을 포함하는 뱅크 절연막(130)을 관통하는 제1 전극(122)이 노출된다.

[0062] 도 3h를 참조하면, 제1 전극(122) 상에 유기 공통층(132), 제2 전극(134)이 형성된다.

[0063] 구체적으로, 뱅크홀(135) 내에 새도우 마스크를 이용하여 정공 주입층(Hole Injection Layer;HIL), 정공 수송층(Hole Transport Layer;HTL), 발광층(Emitting Layer;EML), 전자 수송층(Electron Transport Layer;ETL), 전자 주입층(Electron Injection Layer;EIL)이 순차적으로 적층하여 유기 공통층(132)을 형성한다. 이후, 유기 공통층(132)이 형성된 기판(101) 상에 알루미늄(Al) 등과 같은 반사성이 높은 제2 전극(134)이 전면 증착된다.

[0064] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

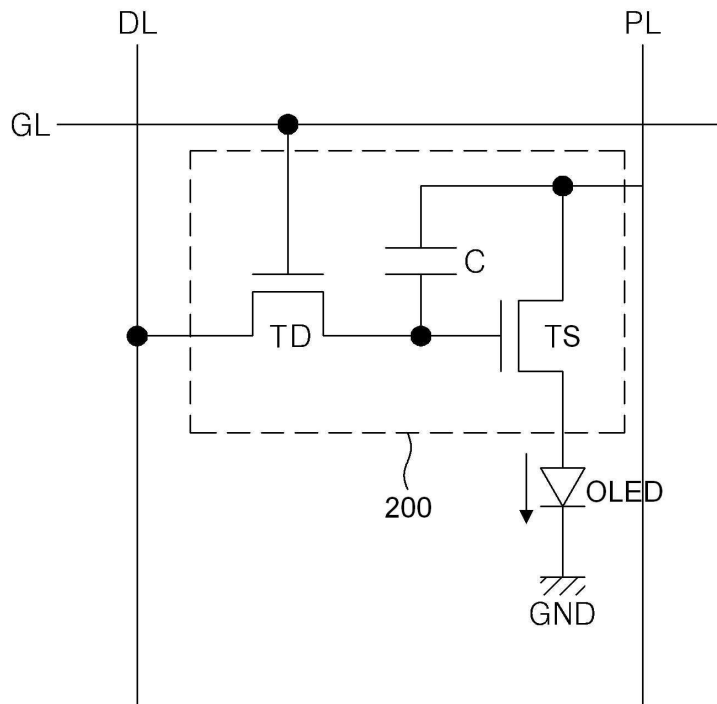
부호의 설명

[0065]

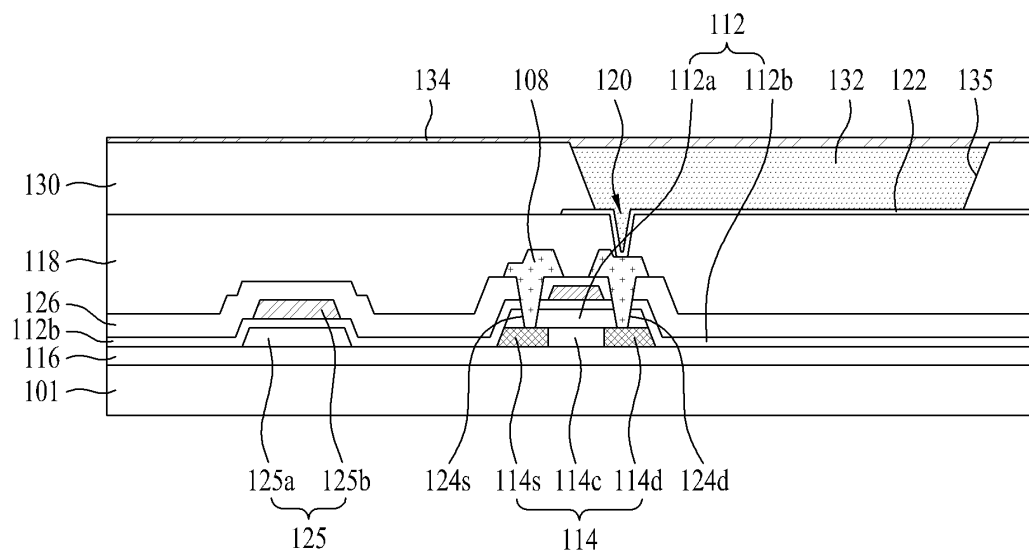
101 : 기판	108 : 소스 전극
110: 드레인 전극	112a; 제1 게이트 절연막
112b : 제2 게이트 절연막	114: 액티브층
116 : 버퍼막	120 : 화소 컨택홀
122 : 제1 전극	124S : 소스 컨택홀
124D : 드레인 컨택홀	126 : 층간 절연막
130 : 뱅크 절연막	132 : 유기 공통층
134 : 제2 전극	

도면

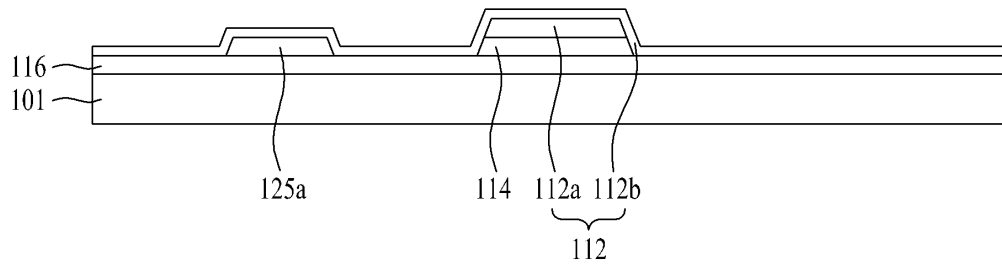
도면1



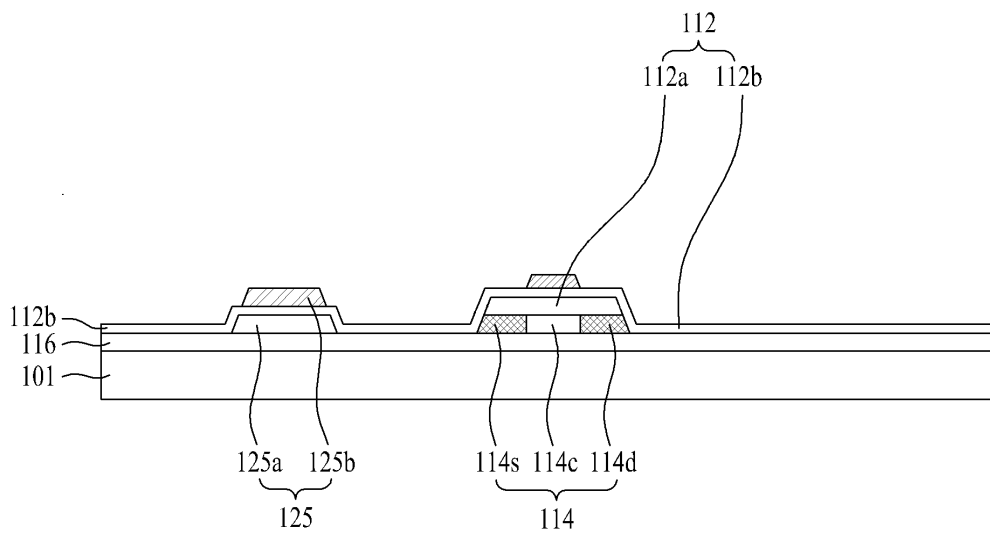
도면2



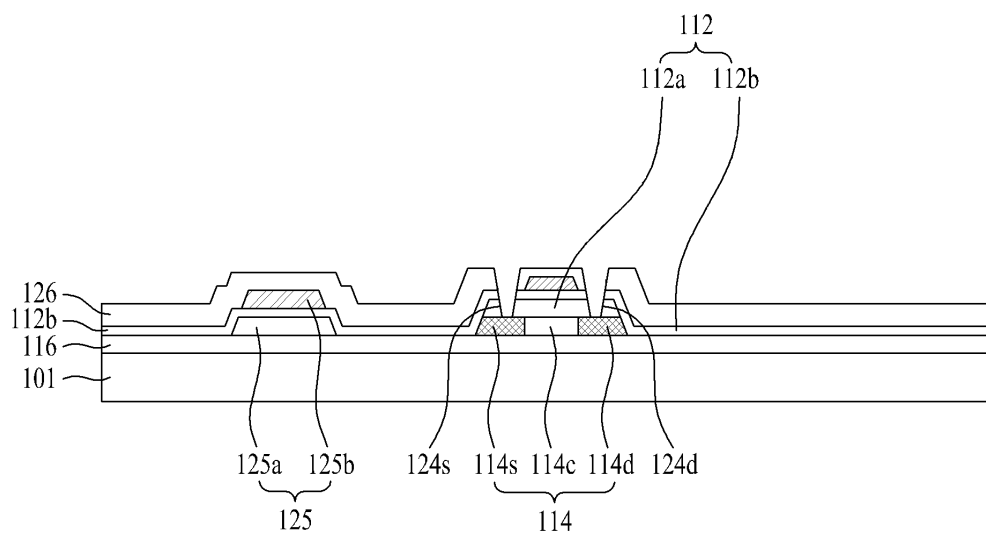
도면3a



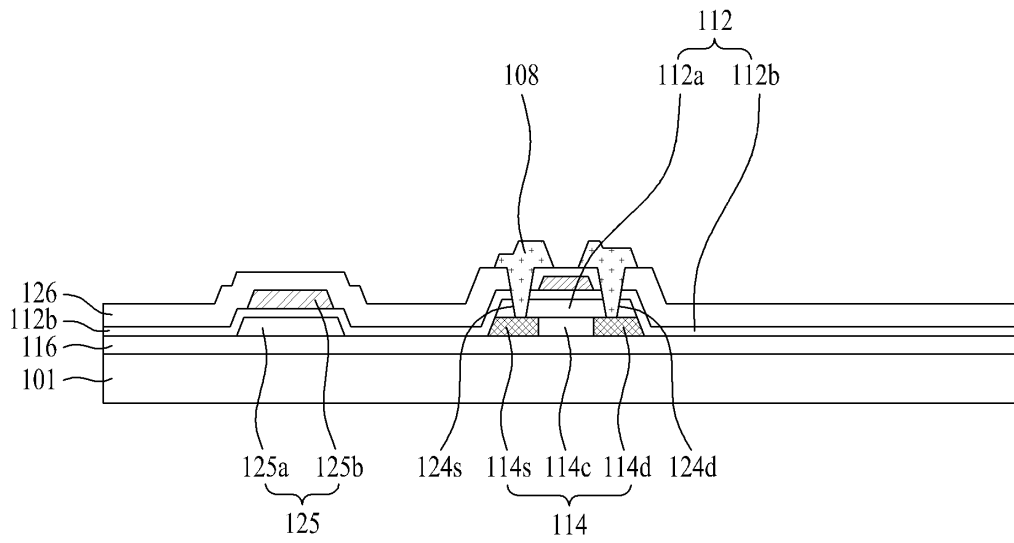
도면3b



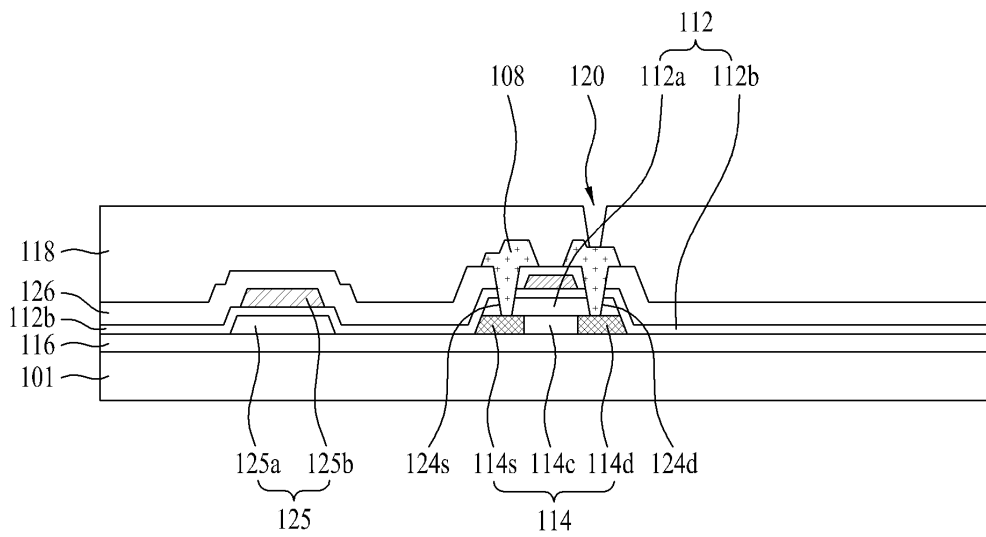
도면3c



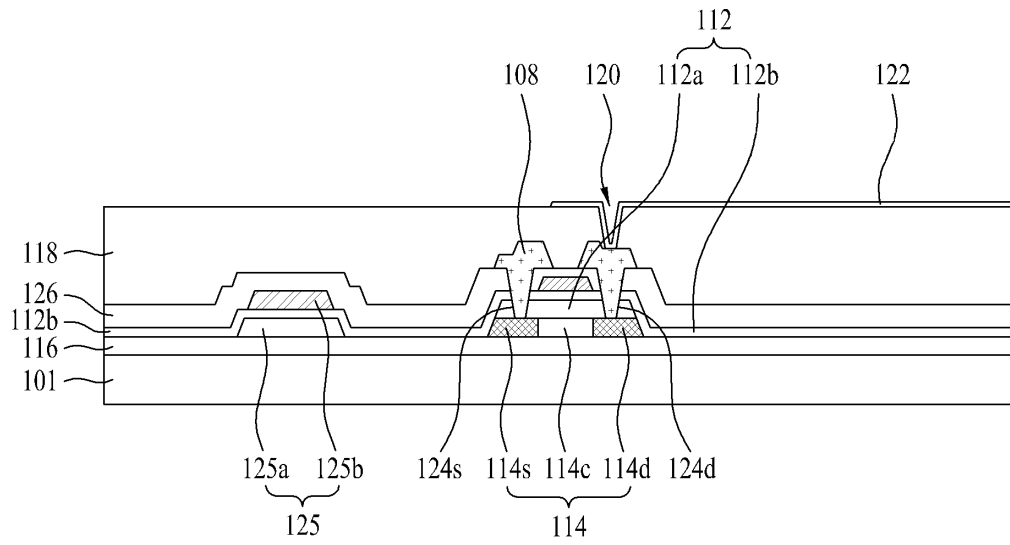
도면3d



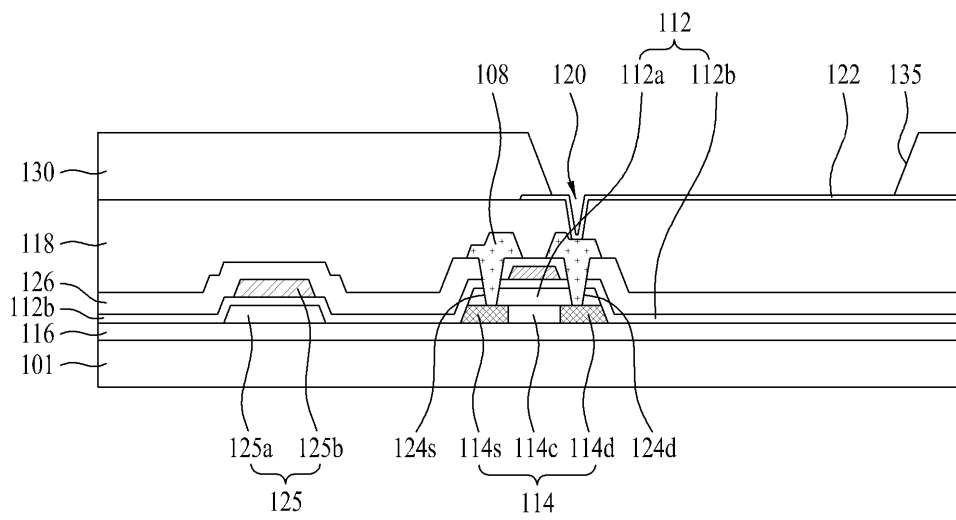
도면3e



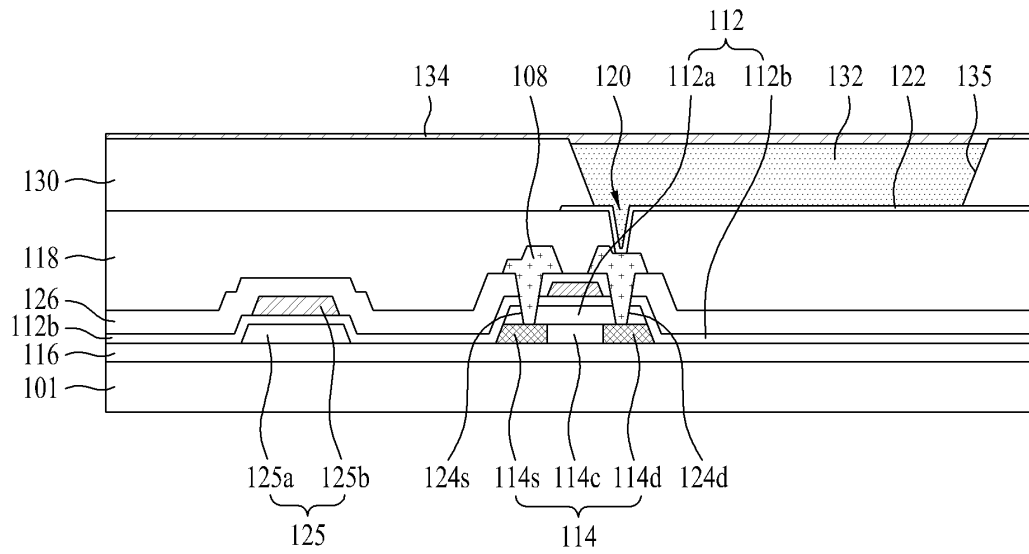
도면3f



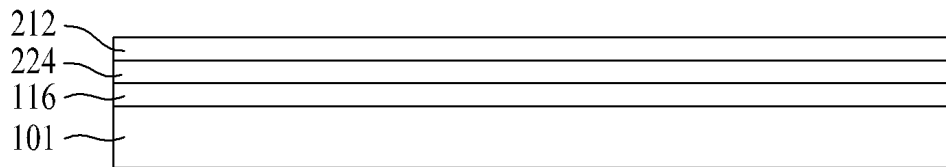
도면3g



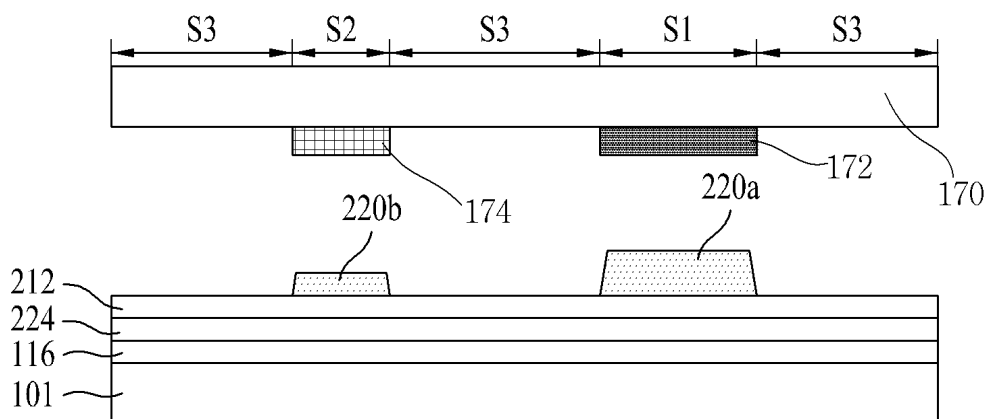
도면3h



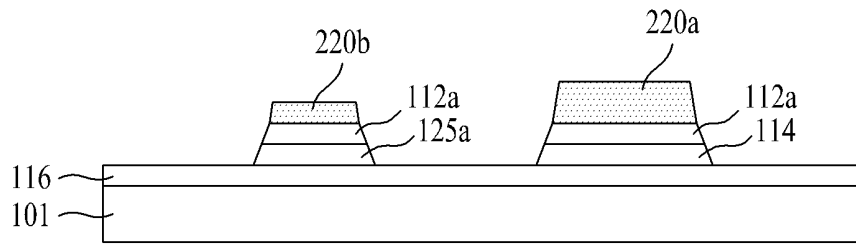
도면4a



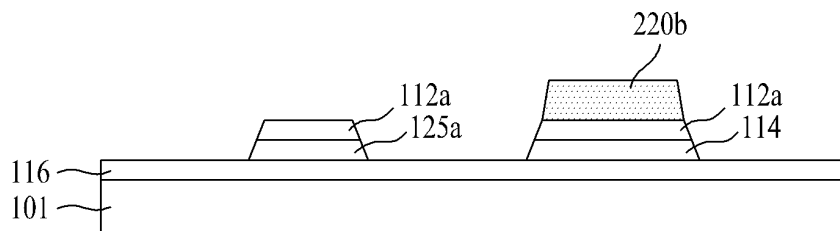
도면4b



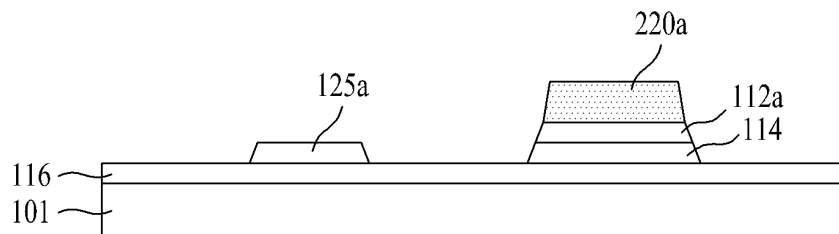
도면4c



도면4d



도면4e



도면4f

