



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2016년02월11일  
(11) 등록번호 10-1593369  
(24) 등록일자 2016년02월02일

- (51) 국제특허분류(Int. Cl.)  
G09G 3/32 (2016.01) HO1L 27/32 (2006.01)
- (52) CPC특허분류(Coo. Cl.)  
G09G 3/3233 (2013.01)  
G09G 3/3266 (2013.01)
- (21) 출원번호 10-2015-0071593(분할)
- (22) 출원일자 2015년05월22일  
심사청구일자 2015년06월04일
- (65) 공개번호 10-2015-0065634
- (43) 공개일자 2015년06월15일
- (62) 원출원 특허 10-2008-0105642  
원출원일자 2008년10월28일  
심사청구일자 2013년10월01일
- (30) 우선권주장 JP-P-2007-291471 2007년11월09일 일본(JP)
- (56) 선행기술조사문헌 JP2005070614 A  
JP2005084119 A  
JP2003243657 A  
JP2007213042 A

- (73) 특허권자  
소니 주식회사  
일본국 도쿄도 미나토쿠 코난 1-7-1
- (72) 발명자  
야마모토 테츠로  
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
끼 가이샤 나이  
우치노 카쓰히데  
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
끼 가이샤 나이  
카토 마사카즈  
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 가부시  
끼 가이샤 나이
- (74) 대리인  
장수길, 이중희

전체 청구항 수 : 총 12 항

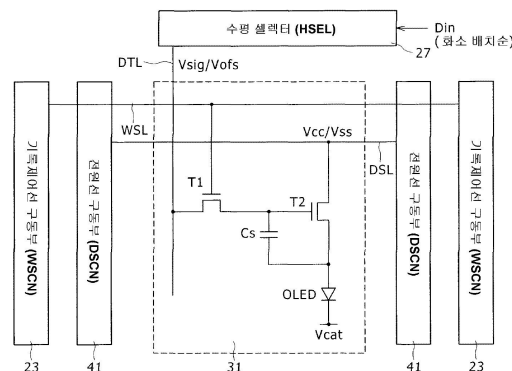
심사관 : 조기덕

(54) 발명의 명칭 전계발광 표시 패널, 표시 장치 및 전자기기

(57) 요약

EL표시 패널은, 액티브 매트릭스 구동방식에 의해 발광 상태가 제어되는 EL표시 소자를 매트릭스 모양으로 배치한 화소 어레이부와, 각 기록 제어선을 화소 어레이부의 양측에서 구동하는 제1 및 제2 기록 제어선 구동부와, 수평 라인의 방향을 따라 배선된 전원선을 화소 어레이부의 양측에서 구동하는 제1 및 제2 전원선 구동부를 갖고, 제1 및 제2 전원선 구동부는 각각, 제1 기록 제어선 구동부와 화소 어레이부의 사이, 및 제2 기록 제어선 구동부와 화소 어레이부의 사이에 배치된다.

대표도



- (52) CPC특허분류(Coo. Cl.)  
**H01L 27/3244** (2013.01)  
G09G 2300/0819 (2013.01)  
G09G 2300/0842 (2013.01)  
G09G 2300/0866 (2013.01)  
G09G 2320/0223 (2013.01)  
G09G 2320/043 (2013.01)
-

**특허청구의 범위**

**청구항 1**

화소 회로가 매트릭스 모양으로 배치되어 이루어지는 화소 어레이부와, 상기 화소 어레이부를 구동하는 구동부를 갖고,

상기 각 화소 회로는, 샘플링 트랜지스터, 구동 트랜지스터, 저장 용량 및 발광소자를 포함하며,

상기 구동부는, 기록 제어선에 소정의 신호를 공급함으로써 상기 각 화소 회로에 있어서의 상기 샘플링 트랜지스터의 도통 또는 비도통을 제어하는 기록 제어선 구동부를 가지고,

상기 구동부는, 상기 각 화소 회로에 있어서,

도통 상태가 된 상기 샘플링 트랜지스터를 통해 신호선으로부터 영상 신호가 상기 화소 회로 내에 공급되고 있는 상태에서, 상기 구동 트랜지스터를 통해 전류를 상기 저장 용량에 흘려 보내는 제1 보정 동작, 및

상기 제1 보정 동작 후, 상기 구동 트랜지스터를 통해, 상기 저장 용량의 유지 전압에 대응하는 구동 전류를 상기 발광 소자에 흘리는 발광 동작을 실시하도록 구성되어 있고,

상기 제1 보정 동작의 기간은, 신호선의 전위가 영상 신호의 신호 전위로 인가되고 있는 상태로, 상기 기록 제어선 구동부가 상기 샘플링 트랜지스터를 비도통 상태에서부터 도통 상태로 제어함으로써 개시하도록 구동되며,

상기 기록 제어선 구동부는, 상기 화소 어레이의 양측에 배치된 제1 기록 제어 회로와 제2 기록 제어 회로를 가지고,

상기 제1 기록 제어 회로와 상기 제2 기록 제어 회로는, 각 행의 화소 회로에 접속된 상기 기록 제어선의 일단과 타단에 각각 접속되어 있는, 표시 장치.

**청구항 2**

제1항에 있어서,

상기 화소의 상기 구동 트랜지스터에 대한 소정의 전원 전압의 공급을 제어하는 전원 구동부를 더 구비하는, 표시 장치.

**청구항 3**

제2항에 있어서,

상기 전원 구동부는, 상기 화소 어레이의 양측에 배치된 제1 전원 구동 회로와 제2 전원 구동 회로를 가지고,

상기 제1 전원 구동 회로와 상기 제2 전원 구동 회로는, 각 행의 화소 회로에 접속된 전원선의 일단과 타단에 각각 접속되어 있는, 표시 장치.

**청구항 4**

제1항에 있어서,

상기 제1 보정 동작은,

도통 상태가 된 상기 샘플링 트랜지스터를 통해 신호선으로부터 상기 영상 신호가 상기 구동 트랜지스터의 게이트에 공급되고 있는 상태로, 상기 구동 트랜지스터를 통해 전류를 상기 저장 용량에 흘려 넣음으로써, 상기 저장 용량에, 상기 영상 신호에 근거하는 전압을 상기 구동 트랜지스터의 구동 능력을 반영시킨 상태로 유지시키는 동작인, 표시 장치.

**청구항 5**

제2항에 있어서,

상기 구동부는, 상기 각 화소 회로에 있어서,

상기 제1 보정 동작에 앞서, 상기 저장 용량이 상기 구동 트랜지스터의 임계값 전압을 넘는 전압을 유지하도록, 오프셋 전압을 상기 저장 용량의 일단에 인가하는, 표시 장치.

**청구항 6**

제5항에 있어서,

상기 구동부는, 상기 각 화소 회로에 있어서,

상기 오프셋 전압을 상기 저장 용량의 일단에 인가한 후, 상기 발광 소자의 발광 기간에 앞서, 상기 구동 트랜지스터를 통한 전류를 상기 저장 용량에 흘려 넣고, 상기 구동 트랜지스터의 게이트와 소스 사이의 전위차를 감소시키는 제2 보정 동작을 행하도록 구성되며,

상기 제2 보정 기간의 개시는, 상기 전원 구동부가, 상기 구동 트랜지스터로의 전류공급을 개시하는 타이밍으로 규정되는, 표시 장치.

**청구항 7**

제6항에 있어서,

상기 제2 보정 동작은,

상기 구동 트랜지스터를 통한 전류를 상기 저장 용량에 흘려 넣음으로써, 상기 구동 트랜지스터의 게이트와 소스 사이의 전위차를 감소시키고, 상기 저장 용량에, 상기 구동 트랜지스터의 임계값 전압에 대응하는 전압을 유지시키는 동작인, 표시 장치.

**청구항 8**

제5항에 있어서,

상기 각 화소 회로는, 상기 오프셋 전압을 상기 저장 용량에 설정하기 위한 오프셋 트랜지스터를 더 포함하고,

상기 구동부는, 오프셋 제어선에 소정의 신호를 공급함으로써, 상기 화소 회로의 상기 오프셋 트랜지스터의 도통 또는 비도통을 제어하기 위한 오프셋 선 구동부를 더 가지고,

상기 오프셋 선 구동부는, 상기 화소 어레이의 양측에 배치된 제1 오프셋 제어 회로와 제2 오프셋 제어 회로를 가지며,

상기 제1 오프셋 제어 회로와 상기 제2 오프셋 제어 회로는 각 행의 화소 회로에 접속된 상기 오프셋 제어선의 일단 및 타단에 각각 접속되어 있는, 표시 장치.

**청구항 9**

제1항에 있어서,

상기 제1 전원 구동 회로와 상기 제2 전원 구동 회로는, 각각, 상기 제1 기록 제어선 구동 회로와 상기 제2 기록 제어선 구동 회로에 대해서, 상기 화소 어레이부측에 배치되어 있는, 표시 장치.

**청구항 10**

제8항에 있어서,

상기 제1 기록 제어선 구동 회로와 상기 제2 기록 제어선 구동 회로는, 각각, 상기 제1 오프셋 제어 회로와 상기 제2 오프셋 제어 회로에 대해서 보다 상기 화소 어레이부측에 배치되어 있는, 표시 장치.

**청구항 11**

제1항에 있어서,

상기 제1 보정 동작의 기간의 종료와 상기 발광 동작의 개시는, 상기 기록 제어선 구동부가 상기 샘플링 트랜지스터를 도통 상태로부터 비도통 상태로 전환하는 타이밍으로 규정되는, 표시 장치.

**청구항 12**

제2항에 있어서,

상기 화소 어레이부의 양측에 있어서, 상기 기록 제어선 구동부는, 상기 전원 구동부에 대해 보다 상기 화소 어레이부측에 배치되어 있는, 표시 장치.

**명세서**

**기술분야**

[0001] 본 발명은 2007년 11월 9일에 일본 특허청에 출원된 일본 특허 JP 2007-291471에 관련된 주제를 포함하고, 그 모든 내용은 여기에 참조에 의해 인용된다.

[0002] 본 명세서에서 설명하는 발명은 액티브 매트릭스 구동방식으로 구동 제어되는 전계발광(electroluminescent: EL) 표시 패널의 패널구조에 관한 것이다. 또한, 본 명세서에서 제안하는 발명은, 해당 EL표시 패널을 탑재하는 전자기기로서의 측면도 있다.

**배경기술**

[0003] 도 1에, 액티브 매트릭스 구동형 유기EL패널의 일반적인 회로 블록 구성을 나타낸다. 도 1에 나타낸 바와 같이, 유기EL패널(1)은, 화소 어레이부(3)와, 그 구동회로인 기록 제어선 구동부(5) 및 수평 셀렉터(7)로 구성된다. 이 때, 화소 어레이부(3)에는, 신호선 DTL과 기록 제어선 WSL과의 각 교점에 화소회로(9)가 배치된다.

[0004] 유기EL소자는 전류발광소자다. 이 때문에, 유기EL패널에서는, 각 화소에 대응하는 유기EL소자에 흐르는 전류량의 제어에 의해 계조를 제어하는 구동방식이 채용된다. 도 2에, 이 종류의 화소회로(9) 중 가장 단순한 회로 구성의 하나를 나타낸다. 이 화소회로(9)는, 샘플링 트랜지스터 T1, 구동 트랜지스터 T2 및 저장용량 Cs로 구성된다.

[0005] 샘플링 트랜지스터 T1은, 대응 화소의 계조에 대응하는 신호 전압 Vsig의 저장용량 Cs에의 기록을 제어하는 박막 트랜지스터다. 구동 트랜지스터 T2는, 저장용량 Cs에 유지된 신호 전압 Vsig에 따라 정해지는 게이트·소스 간 전압 Vgs에 근거하여 구동전류 Ids를 유기EL소자 OLED에 공급하는 박막 트랜지스터다. 도 2의 경우, 샘플링 트랜지스터 T1은 N채널형 박막 트랜지스터로 구성되고, 구동 트랜지스터 T2는 P채널형 박막 트랜지스터로 구성된다.

[0006] 도 2의 경우, 구동 트랜지스터 T2의 소스 전극은, 고정 전위(전원전위 Vcc)가 인가되는 전원선에 접속되고, 항상 포화 영역에서 동작한다. 즉, 구동 트랜지스터 T2는, 신호 전압 Vsig에 따른 크기의 구동전류를 유기EL소자 OLED에 공급하는 정전류원으로서 동작한다. 이 때, 구동전류 Ids는 다음 식으로 주어진다.

[0007] 
$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 / 2$$

[0008] 위 식에서,  $\mu$ 는 구동 트랜지스터 T2의 다수 캐리어의 이동도,  $V_{th}$ 는 구동 트랜지스터 T2의 임계값전압,  $k$ 는  $(W/L) \cdot C_{ox}$ 로 주어지는 계수이고, 여기에서,  $W$ 는 채널 폭,  $L$ 은 채널 길이,  $C_{ox}$ 는 단위면적당 게이트 용량이다.

[0009] 이 때, 이 구성의 화소회로의 경우, 도 3에 나타내는 유기EL소자의 I-V특성의 시간에 따른 변화에 따라, 구동 트랜지스터 T2의 드레인 전압이 변화되는 특성이 있는 것이 알려져 있다. 그러나, 게이트·소스 간 전압 Vgs는 일정하게 유지되므로, 유기EL소자에 공급되는 전류량에는 변화가 없고, 발광 휘도를 일정하게 유지할 수 있다.

[0010] 이하에, 액티브 매트릭스 구동방식을 채용하는 유기EL패널 디스플레이에 관한 문헌을 예시한다.

[0011] 일본국 공개특허공보 특개 2003-255856호

[0012] 일본국 공개특허공보 특개 2003-271095호

[0013] 일본국 공개특허공보 특개 2004-133240호

[0014] 일본국 공개특허공보 특개 2004-029791호

[0015] 일본국 공개특허공보 특개 2004-093682호

**발명의 내용**

**해결하려는 과제**

- [0016] 박막 프로세스의 종류에 따라서는 도 2에 나타내는 회로 구성을 채용할 수 없는 경우가 있다. 즉, 현재의 박막 프로세스에서는, P채널형 박막 트랜지스터를 채용할 수 없는 경우가 있다. 이러한 경우, 구동 트랜지스터 T2를 N채널형 박막 트랜지스터로 대체한다.
- [0017] 도 4에, 이 종류의 화소회로의 구성을 나타낸다. 이 경우, 구동 트랜지스터 T2의 소스 전극은, 유기EL소자 OLED의 양극(애노드)단자에 접속되게 된다. 그런데, 이 화소회로의 경우에는, 유기EL소자의 I-V특성의 시간에 따른 변화로 인해 게이트·소스간 전압  $V_{gs}$ 가 변동하는 문제가 있다. 이 게이트·소스간 전압  $V_{gs}$ 의 변동은, 구동전류량을 변화시키고, 발광 휘도를 변화시켜버린다.
- [0018] 또, 각 화소회로를 구성하는 구동 트랜지스터 T2의 임계값 및 이동도는, 화소마다 다르다. 이 구동 트랜지스터 T2의 임계값나 이동도의 차이는, 구동전류값의 편차로 나타나, 발광 휘도가 화소마다 변화된다.
- [0019] 따라서, 도 4에 나타내는 화소회로를 채용할 경우에는, 시간에 따른 변화에 상관없이 안정한 발광 특성을 얻을 수 있는 구동방법의 확립이 요구된다. 동시에, 제조 비용이 저렴한 EL표시 패널의 실현이 요구된다.

**과제의 해결 수단**

- [0020] 이에 따라, 발명자들은, 액티브 매트릭스 구동방식에 의해 발광 상태가 제어되는 EL표시 소자를 매트릭스 모양으로 배치한 화소 어레이부와, 각 기록 제어선을 화소 어레이부의 양측에서 구동하는 제1 및 제2 기록 제어선 구동부와, 수평 라인의 방향을 따라 배선된 전원선을 화소 어레이부의 양측에서 구동하는 제1 및 제2 전원선 구동부를 갖는 EL표시 패널을 제안한다.
- [0021] 제1 및 제2 전원선 구동부는 각각, 제1 기록 제어선 구동부와 화소 어레이부의 사이, 및 제2 기록 제어선 구동부와 화소 어레이부의 사이에 배치되는 것이 바람직하다.
- [0022] 이 때, 제1 및 제2 전원선 구동부를 구성하는 최종 출력단에 위치하는 출력 버퍼 회로는, 박막 트랜지스터의 채널 길이의 방향이 신호선과 평행하도록 형성되는 것이 바람직하다.
- [0023] 또한 제1 및 제2 전원선 구동부를 구성하는 최종 출력단에 위치하는 출력 버퍼 회로는, 박막 트랜지스터의 채널 폭이 하나의 화소의 신호선 방향의 길이보다 크게 형성되는 것이 바람직하다.
- [0024] 이들 배치 구조의 채용에 의해 화소 피치에 대하여 버퍼 회로를 구성하는 트랜지스터 사이즈를 확대할 수 있다. 또한 전원선과 트랜지스터의 주전극과의 배선 거리를 짧게 할 수도 있다. 따라서, 버퍼 회로의 저항값은 작아지고, 전원선 전위의 파형의 일그러짐이나 저항을 작게 할 수 있다.
- [0025] 또한, 화소 어레이부 내의 기록 제어선과 전원선은 저저항 배선인 것이 바람직하다. 예를 들면 알루미늄, 구리, 금, 또는 이들 금속의 합금인 것이 바람직하다. 저저항 배선의 채용에 의해, 전원선 전위의 파형의 일그러짐이나 저항을 작게 할 수 있다.
- [0026] 또한 발명자들은 전술한 구성의 EL표시 패널을 탑재한 전자기기를 제안한다.
- [0027] 전자기기는, 전술한 구성의 EL표시 패널과, 시스템 전체의 동작을 제어하는 시스템 제어부와, 시스템 제어부에 대한 조작 입력을 접수하는 조작 입력부로 구성한다.

**발명의 효과**

- [0028] 본 발명자들이 제안하는 발명의 일 실시예에 따르면, 각 화소영역의 EL발광소자에 전류를 공급하는 전원선을, 화소 어레이부의 양측에 배치된 전원선 구동부에 의해 동시에 구동할 수 있다. 이에 따라 화소 어레이부의 사이즈가 대형화하고 전원선의 구동시간이 단축될 경우에도, 기록 제어선의 파형의 일그러짐을 작게 할 수 있고, 셰이딩의 발생을 효과적으로 억제할 수 있다.
- [0029] 또한 이들 한 쌍의 전원선 구동부를 기록 제어선 구동부에서도 화소 어레이부측에 배치함으로써, 전원선 구동부의 출력단으로부터 연장되는 전원선의 배선 길이를, 전원선 구동부를 기록 제어선 구동부의 외측에 배치하는 경우에 비해서 짧게 할 수 있다.
- [0030] 또한 전원선 구동부를 기록 제어선 구동부의 내측에 배치함으로써 전원선이 다른 구동부의 배선과 입체적으로 교차하는 횟수를 저감할 수 있다. 보통, 교차 부분의 배선에는, 프로세스의 관계로 상대적으로 저항값이 높은

배선이 사용된다. 이 때문에, 입체 교차 부분의 감소는, 전원선 구동부의 부하의 저감에 효과적이다.

[0031] 이에 따라 백색 표시시에서의 전원선에 있어서의 전압 강하를 작게 할 수 있다. 이것은 백색 표시시와 흑색 표시시 사이에서 전압 강하차가 축소되는 것을 의미한다. 따라서, 크로스 토크뿐만 아니라 셰이딩이 없는 균일한 화질을 얻을 수 있다.

**도면의 간단한 설명**

- [0032] 도 1은 유기EL패널의 블록 구성을 설명하는 도다.
- 도 2는 화소회로와 구동회로와의 접속 관계를 설명하는 도다.
- 도 3은 유기EL소자의 I-V특성의 시간에 따른 변화를 설명하는 도다.
- 도 4는 기타의 화소회로예를 도시한 도면이다.
- 도 5는 유기EL패널의 외관 구성예를 도시한 도면이다.
- 도 6은 유기EL패널의 시스템 구성예를 도시한 도면이다.
- 도 7은 화소회로와 구동회로와의 접속 관계를 설명하는 도다.
- 도 8은 일 실시예에 관련되는 화소회로의 구성예를 도시한 도면이다.
- 도 9a 및 9b는 기록선의 위치 관계에 따라 발생하는 전위변화의 차이를 설명하는 도다.
- 도 10은 기록 제어선 구동부와 전원선 구동부의 내부 구성을 도시한 도면이다.
- 도 11은 도 10의 파선영역의 단면구조를 설명하는 도다.
- 도 12a, 12b, 12c, 12d, 12e는 실시예에 관련되는 구동동작예를 도시한 도면이다.
- 도 13은 화소회로의 동작 상태를 설명하는 도다.
- 도 14는 화소회로의 동작 상태를 설명하는 도다.
- 도 15는 화소회로의 동작 상태를 설명하는 도다.
- 도 16은 화소회로의 동작 상태를 설명하는 도다.
- 도 17은 소스 전위의 시간에 따른 변화를 도시한 도면이다.
- 도 18은 화소회로의 동작 상태를 설명하는 도다.
- 도 19는 이동도의 차이에 의한 시간에 따른 변화의 차이를 도시한 도면이다.
- 도 20은 화소회로의 동작 상태를 설명하는 도다.
- 도 21은 실시예에 관련되는 유기EL패널의 다른 구성예를 도시한 도면이다.
- 도 22는 화소회로와 구동회로와의 접속 관계를 설명하는 도다.
- 도 23은 실시예에 관련되는 화소회로의 구성예를 도시한 도면이다.
- 도 24는 기록 제어선 구동부와 전원선 구동부의 내부 구성을 도시한 도면이다.
- 도 25는 표시 화상예를 도시한 도면이다.
- 도 26은 표시 화상예를 도시한 도면이다.
- 도 27은 출력 버퍼 회로의 회로 구성예를 도시한 도면이다.
- 도 28은 출력 버퍼 회로의 최종단을 구성하는 인버터 회로에 채용하는 가로 배치 패턴예를 도시한 도면이다.
- 도 29는 출력 버퍼 회로의 최종단을 구성하는 인버터 회로에 채용하는 세로 배치 패턴예를 도시한 도면이다.
- 도 30은 화소회로와 구동회로와의 다른 접속 관계를 도시한 도면이다.
- 도 31a, 31b, 31c, 31d, 31e는 화소회로의 구동동작예를 도시한 도면이다.

- 도 32는 화소회로의 동작 상태를 설명하는 도다.
- 도 33은 화소회로의 동작 상태를 설명하는 도다.
- 도 34는 화소회로의 동작 상태를 설명하는 도다.
- 도 35는 화소회로의 동작 상태를 설명하는 도다.
- 도 36은 화소회로의 동작 상태를 설명하는 도다.
- 도 37은 화소회로의 동작 상태를 설명하는 도다.
- 도 38은 화소회로의 동작 상태를 설명하는 도다.
- 도 39는 전자기기의 개념 구성예를 도시한 도면이다.
- 도 40은 전자기기 상품예를 도시한 도면이다.
- 도 41a 및 41b는 전자기기 상품예를 도시한 도면이다.
- 도 42는 전자기기 상품예를 도시한 도면이다.
- 도 43a 및 43b는 전자기기 상품예를 도시한 도면이다.
- 도 44는 전자기기 상품예를 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0033] 이하, 발명을 액티브 매트릭스 구동형 유기EL패널에 적용할 경우에 관하여 설명한다.
- [0034] 이 때, 본 명세서에서 특별히 도시 또는 기재되지 않는 부분에는, 해당 기술분야의 주지 또는 공지 기술을 적용한다. 또 이하에 설명하는 실시예는, 발명의 하나의 실시예이며, 이것들에 한정되는 것은 아니다.
- [0035] (A) 외관 구성
- [0036] 또한, 본 명세서에서는, 화소 어레이부와 구동회로를 같은 반도체프로세스를 사용해서 같은 기판 위에 형성한 표시 패널뿐만 아니라, 예를 들면 특정 용도대상 IC로서 제조된 구동회로를 화소 어레이부가 형성된 기판 위에 설치한 것도 유기EL패널이라고 부른다.
- [0037] 도 5에, 유기EL패널의 외관 구성예를 게시한다. 유기EL패널(11)은 지지 기판(13) 중 화소 어레이부의 형성 영역에 대향부(15)를 부착한 구조로 되어 있다.
- [0038] 대향부(15)는, 유리, 플라스틱필름, 기타 투명 부재를 기본재료로 하고, 그 표면에 유기EL층이나 보호막 등을 적층한 구조로 되어 있다.
- [0039] 이 때, 유기EL패널(11)에는, 외부에서 지지 기판(13)에 신호 등을 입출력하기 위한 FPC(플렉시블 프린트 서킷)(17)가 배치된다.
- [0040] (B) 실시예 1
- [0041] (B-1) 시스템 구성
- [0042] 이하에서는, 구동 트랜지스터 T2의 특성 편차를 방지하고, 화소회로를 구성하는 데 필요한 소자수가 적은 유기EL패널(11)의 시스템 구성예를 게시한다. 이 때, 본 실시예에서는, 화면 사이즈가 큰 유기EL패널을 상정한다.
- [0043] 도 6에, 유기EL패널(11)의 시스템 구성예를 게시한다. 도 6에 나타내는 유기EL패널(11)은, 화소 어레이부(21)와, 그 구동회로인 기록 제어선 구동부(23), 전원선 구동부(25), 수평 셀렉터(27), 타이밍 제너레이터(29)로 구성된다.
- [0044] 화소 어레이부(21)는 신호선 DTL과 기록 제어선 WSL과의 각 교점 위치에 서브 화소를 배치한 매트릭스 구조로 되어 있다. 이 때, 서브 화소는 1화소를 구성하는 화소구조의 최소단위다. 예를 들면 화이트 유닛으로서의 1화소는 유기EL재료가 다른 3개의 서브 화소(R, G, B)로 구성된다.
- [0045] 도 7에, 서브 화소에 대응하는 화소회로(31)와 각 구동회로와의 접속 관계를 나타낸다. 도 8에, 실시예 1에서 제안하는 화소회로(31)의 내부 구성을 나타낸다. 도 8에 나타내는 화소회로는, 2개의 N채널형 박막 트랜지스터

T1, T2와 1개의 저장용량 Cs로 구성된다.

- [0046] 이 회로 구성의 경우에도, 기록 제어선 구동부(23)는, 기록 제어선 WSL을 통해서 샘플링 트랜지스터 T1을 개폐 제어하여, 신호선 전위의 저장용량 Cs에의 기록을 제어하는 데에 사용된다. 이 때, 기록 제어선 구동부(23)는, 수직 해상도 수만크의 출력단 수를 갖는 시프트 레지스터로 구성된다.
- [0047] 본 실시예의 경우, 동일 펄스로 동작하는 2개의 기록 제어선 구동부(23)를 화소 어레이부(21)의 양측에 배치하고, 1개의 기록 제어선 WSL을 화소 어레이부(21)의 양측에서 동시에 구동하는 방식을 채용한다.
- [0048] 유기EL패널(11)의 화면 사이즈가 클 경우, 도 9a, 9b에 나타낸 바와 같이, 기록 제어선 구동부(23)에서 먼 위치에서의 기록 제어선 WSL의 전위변화(도 9b)는, 기록 제어선 구동부(23)에 가까운 위치에서의 기록 제어선 WSL의 전위변화(도 9a)보다 일그러지기 쉽다. 또한 이 파형의 일그러짐에 기인하는 기록 시간차는, 정상적인 신호 전위의 기록 동작을 곤란하게 하고, 셰이딩을 발생시키는 원인이 된다.
- [0049] 한편, 화소 어레이부(21)의 양측에 기록 제어선 구동부(23)를 2개 배치할 경우에는, 개개의 기록 제어선 구동부(23)가 구동하는 범위가 반감하고, 기록 제어선 WSL의 전위변화의 지연이나 일그러짐을 최소화할 수 있다.
- [0050] 이 때, 실시예 1의 경우에는, 기록 제어선 구동부(23)는 전원선 구동부(25)보다 화소 어레이부(21)에 가깝게 배치한다.
- [0051] 전원선 구동부(25)는, 전원선 DSL을 통해서 구동 트랜지스터 T2의 한쪽의 주전극에 접속되는 전원선 DSL을 2값적으로 제어하여, 다른 구동회로와의 연동 동작에 의해 화소회로 내의 동작을 제어하는 데에 사용된다. 여기에서의 동작에는, 유기EL소자의 발광·비발광뿐만 아니라, 특성 편차의 보정동작도 포함된다. 본 실시예의 경우, 특성 편차의 보정은, 구동 트랜지스터 T2의 임계값의 편차나 이동도의 편차에 근거하는 유니포머티의 열화의 보정을 의미한다.
- [0052] 본 실시예의 경우, 마찬가지로 2개인 전원선 구동부(25)도 준비한다. 2개의 전원선 구동부(25)를 화소 어레이부(21)의 양측에 배치하고, 1개의 전원선 DSL을 화소 어레이부(21)의 양측에서 동시에 구동한다. 유기EL패널(11)의 화면 사이즈가 클 경우, 전원선 구동부(25)에서 먼 위치의 전원선 DSL의 전위변화가 일그러지기 쉬워, 정상적인 타이밍 제어가 어려워지기 때문이다.
- [0053] 한편, 화소 어레이부(21)의 양측에 전원선 구동부(25)를 2개 배치할 경우에는, 개개의 전원선 구동부(25)가 구동하는 범위가 반감하고, 전원선 DSL의 전위변화의 지연이나 일그러짐을 최소화할 수 있다.
- [0054] 이 때, 실시예 1의 경우에는, 전원선 구동부(25)는, 기록 제어선 구동부(23)의 외측에 배치한다.
- [0055] 참고로, 기록 제어선 구동부(23)와 전원선 구동부(25)의 회로 구성의 일례를 도 10에 나타낸다. 도 10에 나타낸 바와 같이, 기록 제어선 구동부(23)와 전원선 구동부(25)의 기본구성은 같다.
- [0056] 즉, 기록 제어선 구동부(23)는, 시프트 레지스터부(231), 파형 조정 회로(233), 출력 버퍼 회로(235)로 구성된다. 한편, 전원선 구동부(25)는, 시프트 레지스터부(251), 파형 조정 회로(253), 출력 버퍼 회로(255)로 구성된다.
- [0057] 도 10에서 칠한 패턴은 각 부를 구동하기 위한 전원배선이다. 「Vh」로 나타내는 전원배선은, 시프트 레지스터부(231, 251)와 파형 조정 회로(233, 253)에 「H레벨」의 전원전위를 공급하는 배선이다. 한편, 「V1」로 나타내는 전원배선은, 시프트 레지스터부(231, 251)와 파형 조정 회로(233, 253)에 「L레벨」의 전원전위를 공급하는 배선이다.
- [0058] 「Vcc\_\*(단, \*은, ws 또는 ds)」로 나타내는 전원배선은, 파형 조정 회로(233, 253)와 출력 버퍼 회로(235, 255)에 「H레벨」의 전원전위를 공급하는 배선이다. 한편, 「Vss\_\*(단, \*은, ws 또는 ds)」로 나타내는 전원배선은, 파형 조정 회로(233, 253)와 출력 버퍼 회로(235, 255)에 「L레벨」의 전원전위를 공급하는 배선이다.
- [0059] 여기에서, 시프트 레지스터부(231 및 251)는, 클록펄스 CK에 근거하여 샘플링 펄스 SP를 순차 다음 단계 전송하는 동작을 실행하는 플립플롭 단으로 구성된다. 플립플롭 단의 1단이 수평 라인의 일단에 대응한다.
- [0060] 파형 조정 회로(233 및 253)는, 시간축 방향의 펄스 폭 및 펄스 높이를 조정하는 회로다.
- [0061] 출력 버퍼 회로(235 및 255)는, 각각 기록 제어선 WSL과 전원선 DSL을 각각 대응하는 2값의 전원전위로 구동하는 회로 디바이스다. 구체적으로는, 인버터 회로를 1단 이상 직렬로 접속한 회로로 구성된다.
- [0062] 이 때, 전원배선은, 모두 수평 라인에 대하여 수직으로 배선된다. 한편, 전원선 구동부(25)가 구동하는 전원선

D S L 은, 모두 수평 라인에 대하여 평행하도록 배선된다.

- [0063] 따라서, 도 11에 나타난 바와 같이, 전원선 D S L 은 기록 제어선 구동부(23) 내의 전원배선과 입체적으로 교차하는 배선구조를 갖고 있다.
- [0064] 전원용 배선은, 기본적으로 알루미늄으로 배선된다. 그러나, 알루미늄은 막 두께가 두꺼워진다. 따라서, 입체적인 교차 부분에서는, 일반적으로 막 두께가 얇아도 되는 몰리브덴 등의 금속재료가 사용된다.
- [0065] 결과적으로, 도 6에 나타내는 유기EL패널(11)의 경우에는, 전원선 D S L 이 알루미늄과 몰리브덴의 혼합 배선으로 형성된다.
- [0066] 이 때, 도 6에 나타내는 구조의 유기EL패널(11)의 경우, 1개의 전원선 D S L 에 대해서 화소 어레이부(21)의 좌우에 2개씩 총 4군데에 입체 교차가 형성된다.
- [0067] 수평 셀렉터(27)는, 신호선 D T L 에 화소 데이터 Din에 따른 신호 전위 Vsig 또는 임계값 보정용 오프셋 전압 Vofs를 인가하는 데에 사용된다. 수평 셀렉터(27)는, 수평해상도 수만개의 출력단 수를 갖는 시프트 레지스터와, 각 출력단에 대응하는 래치회로와, D/A변환 회로로 구성된다.
- [0068] 타이밍 제너레이터(29)는, 기록 제어선 W S L , 전원선 D S L , 신호선 D T L 의 구동에 필요한 타이밍 펄스를 생성하는 회로 디바이스다.
- [0069] (B-2) 구동동작예
- [0070] 도 12a, 12b, 12c, 12d, 12e에, 도 8에 나타내는 화소회로의 구동동작예를 게시한다. 이와 관련하여 도 12a 내지 12e에서는, 전원선 D S L 에 인가하는 2종류의 전원전위 중 고전위(발광 전위)쪽을 Vcc로 나타내고, 저전위(비발광 전위)쪽을 Vss로 나타낸다.
- [0071] 우선, 발광 상태에 있어서의 화소회로 내의 동작 상태를 도 13에 나타낸다. 이 때, 샘플링 트랜지스터 T1은 오프 상태다. 한편, 구동 트랜지스터 T2는 포화 영역에서 동작하고, 게이트·소스간 전압 Vgs에 따라 정해지는 전류 Ids가 흐른다(도 12a 내지 12e(t1)).
- [0072] 다음에 비발광 상태의 동작 상태를 설명한다. 이 때, 전원선 D S L 의 전위가 고전위 Vcc에서 저전위 Vss로 전환된다(도 12a 내지 12e(t2)). 이 때, 저전위 Vss가 유기EL소자의 임계값 Vth1과 캐소드 전위 Vcath의 합보다 작을 때, 즉  $Vss < Vth1 + Vcath$  이면 유기EL소자는 소등한다.
- [0073] 이 때, 구동 트랜지스터 T2의 소스 전위 Vs는 전원선 D S L 의 전위와 같아진다. 즉, 유기EL소자의 애노드 전극은 저전위 Vss에 충전된다. 도 14에, 화소회로 내의 동작 상태를 나타낸다. 도 14에 파선으로 나타난 바와 같이, 이 때, 저장용량 Cs에 유지되어 있던 전하는 전원선 D S L 에 인출된다.
- [0074] 이 후, 신호선 D T L 의 전위가 임계값 보정용 오프셋 전위 Vofs로 이동한 상태에서, 기록 제어선 W S L 이 고전위로 변화되면, 온 동작한 샘플링 트랜지스터 T1을 통해서 구동 트랜지스터 T2의 게이트 전위가 오프셋 전위 Vofs로 변화된다(도 12a 내지 12e(t3)).
- [0075] 도 15에, 이 경우에 있어서의 화소회로 내의 동작 상태를 나타낸다. 이 때, 구동 트랜지스터 T2의 게이트·소스간 전압 Vgs는 Vofs-Vss로 주어진다. 이 전압은, 구동 트랜지스터 T2의 임계값전압 Vth보다 커지도록 설정된다.  $Vofs - Vss > Vth$  를 만족시키지 않으면 임계값 보정동작을 실행할 수 있지 않기 때문이다.
- [0076] 다음에 전원선 D S L 의 전원전위가 다시 고전위 Vcc로 전환된다(도 12a 내지 12e(t4)). 전원선 D S L 의 전원전위가 고전위 Vcc로 변화됨으로써 유기EL소자 OLED의 애노드 전위 Vel이 구동 트랜지스터 T2의 소스 전위 Vs가 된다.
- [0077] 도 16에는, 유기EL소자 OLED를 등가회로로 나타낸다. 즉, 도 16에는, 유기EL소자 OLED를 다이오드와 기생 용량 Cel로 나타낸다. 이 때,  $Vel \leq Vcat + Vth1$  의 관계를 만족시키는 한(단, 유기EL 소자의 리크 전류는 구동 트랜지스터 T2에 흐르는 구동전류 Ids보다 상당히 작은 것으로 생각된다), 구동 트랜지스터 T2에 흐르는 구동전류 Ids는, 저장용량 Cs와 기생 용량 Cel을 충전하는 데에 사용된다.
- [0078] 결과적으로, 유기EL소자 OLED의 애노드 전위 Vel은, 도 17에 나타난 바와 같이, 시간의 경과와 함께 상승한다. 즉, 구동 트랜지스터 T2의 게이트 전위는 오프셋 전위 Vofs로 고정된 상태에서, 구동 트랜지스터 T2의 소스 전위 Vs가 상승을 시작한다. 이 동작이 임계값 보정동작이다.
- [0079] 구동 트랜지스터 T2의 게이트·소스간 전압 Vgs는 임계값전압 Vth에 수렴한다. 이 때,  $Vel = Vofs - Vth \leq$

$V_{cat} + V_{thel}$ 을 만족시키고 있다.

- [0080] 임계값 보정기간이 종료되면, 샘플링 트랜지스터 T1이 다시 오프 제어된다(도 12a 내지 12e(t5)).
- [0081] 이 후, 신호선 DTL의 전위가 신호 전위  $V_{sig}$ 로 이동하는 데에 필요한 타이밍 이후에, 샘플링 트랜지스터 T1은 다시 온 상태로 제어된다(도 12a 내지 12e(t6)). 도 18에, 이 경우에 있어서의 화소회로 내의 동작 상태를 나타낸다. 신호 전위  $V_{sig}$ 는, 대응 화소의 게조값에 따라 주어지는 전위다.
- [0082] 이 때, 구동 트랜지스터 T2의 게이트 전위  $V_g$ 는, 신호 전위  $V_{sig}$ 에 이동한다. 한편, 구동 트랜지스터 T2의 소스 전위  $V_s$ 는, 전원선 DSL로부터 저장용량  $C_s$ 에 흘러들어 오는 전류에 의해 시간과 함께 상승한다.
- [0083] 이 때, 구동 트랜지스터 T2의 소스 전위  $V_s$ 가 유기EL소자의 임계값전압  $V_{thel}$ 과 캐소드 전압  $V_{cat}$ 의 합을 초과하지 않으면(유기EL소자의 리크 전류가 구동 트랜지스터 T2에 흐르는 전류보다 상당히 작으면), 구동 트랜지스터 T2에 의해 공급되는 구동전류  $I_{ds}$ 는, 저장용량  $C_s$ 와 기생 용량  $C_{el}$ 을 충전하는 데에 사용된다.
- [0084] 이 때, 구동 트랜지스터 T2의 임계값 보정동작은 이미 완료되었기 때문에, 구동 트랜지스터 T2가 흘리는 구동전류  $I_{ds}$ 는, 구동 트랜지스터 T2의 이동도  $\mu$ 를 반영한 값이 된다. 구체적으로는, 이동도  $\mu$ 가 큰 구동 트랜지스터일수록 큰 구동전류  $I_{ds}$ 가 흐르고, 소스 전위  $V_s$ 의 상승도 빨라진다. 반대로 이동도  $\mu$ 가 작은 구동 트랜지스터일수록 작은 구동전류  $I_{ds}$ 가 흐르고, 소스 전위  $V_s$ 의 상승은 느려진다(도 19).
- [0085] 결과적으로, 저장용량  $C_s$ 의 유지 전압은, 구동 트랜지스터 T2의 이동도  $\mu$ 에 따라 보정된다. 즉, 구동 트랜지스터 T2의 게이트·소스간 전압  $V_{gs}$ 는 이동도  $\mu$ 를 보정한 전압으로 변화된다.
- [0086] 마지막으로, 샘플링 트랜지스터 T1이 오프 제어되어서 신호 전위의 기록이 종료되면, 유기EL소자 OLED의 발광기간이 시작한다(도 12a 내지 12e(t7)). 도 20에, 이 경우에 있어서의 화소회로 내의 동작 상태를 나타낸다. 이 때, 구동 트랜지스터 T2의 게이트·소스간 전압  $V_{gs}$ 는 일정하다. 따라서, 구동 트랜지스터 T2는 일정한 전류  $I_{ds}$ '을 유기EL소자에 공급한다.
- [0087] 이에 따라, 유기EL소자의 애노드 전위  $V_{el}$ 은, 유기EL소자에 전류  $I_{ds}$ '을 흘러보내는 전위  $V_x$ 까지 상승한다. 이에 따라 유기EL소자에 의한 발광이 개시된다.
- [0088] 본 실시예에서 제안하는 구동회로의 경우에도, 발광 시간이 길어지면, 유기EL 소자 OLED의 I-V특성이 변화된다.
- [0089] 즉, 구동 트랜지스터 T2의 소스 전위  $V_s$ 도 변화된다. 그러나, 구동 트랜지스터 T2의 게이트·소스간 전압  $V_{gs}$ 는, 저장용량  $C_s$ 에 의해 일정하게 유지되므로 유기EL소자 OLED에 흐르는 전류량은 변화되지 않는다. 이렇게, 본 실시예에서 제안하는 화소회로와 구동방식을 채용하면, 유기EL소자 OLED의 I-V특성의 변화에 상관없이, 신호 전위  $V_{sig}$ 에 따른 구동전류  $I_{ds}$ 를 항상 계속해서 흘러보낼 수 있다. 이에 따라 유기EL소자 OLED의 발광 휘도를 신호 전위  $V_{sig}$ 에 따른 휘도로 계속해서 유지할 수 있다.
- [0090] (B-3) 요약
- [0091] 상기와 같이, 본 실시예에서 설명한 화소회로와 구동방식의 채용에 의해, 구동 트랜지스터 T2를 N채널형 박막 트랜지스터로 구성할 경우에도, 화소마다 휘도 편차가 없는 유기EL패널을 실현할 수 있다.
- [0092] 또한 본 실시예의 경우, 화소 어레이부(21)의 양측에 기록 제어선 구동부(23) 및 전원선 구동부(25)를 각각 배치하여, 각 기록 제어선 WSL 및 전원선 DSL을 양측에서 동시에 구동 제어할 수 있다.
- [0093] 따라서, 화소 어레이부(21)의 사이즈가 대형화해서 전원선 DSL의 구동시간이 단축될 경우에도, 기록 제어선 WSL의 파형의 일그러짐을 작게 할 수 있고, 셰이딩의 발생을 효과적으로 억제할 수 있다.
- [0095] \*또한 전원선 DSL을 화면의 한쪽으로부터 구동할 경우에는 화면의 양단에서의 전압차가 커질 수밖에 없지만, 화면의 양측에서 구동함으로써 전원선 DSL상에서의 전압차를 작게 할 수 있다. 특히, 유기EL소자는 전류구동 소자이기 때문에, 전원선 DSL의 전압차는 구동전류(발광 휘도)의 차이로 직결된다. 따라서, 전압차를 줄임으로써, 백색 표시시에 있어서의 전압 강하의 영향(즉, 크로스 토크)을 작게 할 수 있다.
- [0096] 이상과 같이, 본 실시예의 채용에 의해, N채널형 박막 트랜지스터만을 사용하면서도, 시간에 따른 변화에 의존하지 않고 안정한 발광 특성을 얻을 수 있고, 또한, 동시에 화면 내의 표시 품질의 저하가 지각되기 어려운 유기EL패널을 실현할 수 있다.
- [0097] (C) 실시예 2

- [0098] (C-1) 시스템 구성
- [0099] 이하에는, 화면 사이즈가 큰 유기EL패널의 표시 품질을 더욱 높일 수 있는 패널구조에 관하여 설명한다.
- [0100] 도 21에, 유기EL패널(11)의 시스템 구성예를 제시한다. 이 때, 도 21에는, 도 6과의 대응부분에 동일한 부호를 부착해서 나타낸다. 도 21에 나타낸 바와 같이, 기본적인 시스템 구성은 동일하다. 즉, 도 21에 나타내는 유기EL패널(11)도, 화소 어레이부(21)와, 그 구동회로인 기록 제어선 구동부(23), 전원선 구동부(41), 수평 셀렉터(27), 타이밍 제너레이터(29)로 구성된다.
- [0101] 차이는 기록 제어선 구동부(23)과 전원선 구동부(41)의 패널 내의 위치 관계에 있다.
- [0102] 우선, 본 실시예에서는, 전원선 구동부(41)과 기록 제어선 구동부(23)의 위치 관계를 변화시킨다. 즉, 전원선 구동부(41)를 기록 제어선 구동부(23)보다 화소 어레이부측에 배치한다.
- [0103] 또한 본 실시예에서는, 전원선 구동부(41)를 구성하는 출력 버퍼 회로를 대형화하고, 버퍼 부분의 저항값을 저감한다.
- [0104] 도 22에, 서브 화소에 대응하는 화소회로(31)와 각 구동회로와의 접속 관계를 나타낸다. 또 도 23에 화소회로(31)의 내부 구성을 나타낸다.
- [0105] 또한 도 24에, 기록 제어선 구동부(23)과 전원선 구동부(41)의 배선 관계를 나타낸다. 도 24에 나타낸 바와 같이, 이번에는, 기록 제어선 구동부(23)가 구동제어하는 기록 제어선 WSL이 혼합 배선이 되고, 기록 제어선 WSL은 전원선 구동부(41)에 구동전원을 공급하는 전원배선의 부분에서 입체 교차한다.
- [0106] 한편, 전원선 DSL은 실시예 1보다 구동전원과의 입체 교차의 횟수가 적어지므로, 저저항 금속만으로 구성할 수 있다. 본 실시예의 경우, 전원선 DSL은 알루미늄으로 구성한다.
- [0107] 또한, 구동부의 위치 관계를 변화시키기 때문에, 전원선 DSL의 배선 길이는, 실시예 1보다 짧아져 있다. 따라서, 전원선 DSL의 배선 저항은 실시예 1보다 작아진다. 따라서, 본 실시예에서 제안하는 패널구조의 경우, 실시예 1보다 크로스 토크나 셰이딩이 시인될 가능성을 저하시킬 수 있다.
- [0108] 한편, 실시예 2의 경우에는, 기록 제어선 WSL의 저항값이 본 실시예 1의 경우보다 높아진다. 결과적으로, 수평 라인상에서의 기록 시간차의 최대값은 실시예 1보다 확대된다.
- [0109] 그러나, 기록 시간차의 차이로 인한 셰이딩은, 휘도차가 20% 정도가 되지 않으면 시인되지 않는다. 따라서, 기록 제어선 구동부(23)를 전원선 구동부(41)의 외측에 배치해도, 기록 시간차의 문제는 양측 구동에 의해 억제할 수 있다.
- [0110] 반면, 전원선 DSL의 전압 강하로 인한 크로스 토크는, 휘도차가 1% 정도라도 시인되어버린다. 따라서, 실시예 2와 같이 전원선 DSL의 배선 저항을 작게 할 수 있는 것의 기술적인 효과는 크다.
- [0111] 각 화소회로 내의 구동 트랜지스터 T2는 포화 영역에서 동작한다. 이 때문에, 배선 저항이 낮더라도, 얼리 효과의 영향은 여전히 존재한다.
- [0112] 따라서, 도 25에 나타내는 종류의 화상이 유기EL패널(11)에 입력될 경우, 백색 표시 라인의 전원 라인의 전압 강하와 블랙 윈도우 표시 라인의 전원 라인의 전압 강하의 사이에 전위차가 발생해버린다.
- [0113] 전위차가 휘도차의 1% 이상이 되면, 크로스 토크가 시인되어버린다.
- [0114] 크로스 토크의 발생은 표시 라인(수평 라인)의 전원전압 강하량의 차분에 의존한다. 즉, 크로스 토크의 발생은, 전원선 DSL의 부분뿐만 아니라, 출력 버퍼 회로(257)의 출력 저항값에도 크게 영향을 받는다.
- [0115] 예를 들면, 전원선 DSL의 배선 저항이 작아도 출력 버퍼 회로(257)의 출력 저항값이 크면, 블랙 윈도우의 표시시에, 도 26에 나타낸 바와 같이, 백색 표시 라인의 휘도가 그 전압 강하에 의해 어두워져, 크로스 토크로서 시인되어버린다.
- [0116] 따라서, 본 실시예에서는, 출력 버퍼 회로(257)의 출력 저항값을 저감한 전원선 구동부(41)를 제안한다.
- [0117] 일례로서 도 27에, 전원선 구동부(41)를 구성하는 출력 버퍼 회로(257)의 등가회로를 나타낸다. 도 27에 나타낸 바와 같이, 출력 버퍼 회로(257)는, CMOS인버터 회로의 2단 접속으로 구성되어 있는 것으로 한다.
- [0118] 도 28에, 출력 버퍼 회로(257)의 최종 단을 구성하는 CMOS인버터 회로의 평면구조를 나타낸다.

- [0119] 도면 중, 파선으로 둘러싸인 영역이 P채널형 박막 트랜지스터와 N채널형 박막 트랜지스터에 각각 대응한다. 도면에 나타난 바와 같이, P채널형 박막 트랜지스터의 사이즈는, N채널형 박막 트랜지스터의 사이즈보다 커지도록 형성한다. 구체적으로는, 1.5배 이상, 바람직하게는 10배 정도로 형성한다. 이것은, 전원배선 Vcc로부터의 배선 저항을 작게 하기 위해서다.
- [0120] 단, P채널형 박막 트랜지스터의 사이즈의 확대는, 사실상, 화소 피치의 제한을 받는다. 게다가, 해상도가 높아질수록 화소 피치는 작아진다. 따라서, 한정된 배치 내에서, P채널형 박막 트랜지스터의 사이즈를 확대하는 연구가 필요하다.
- [0121] 일반적으로, 출력 버퍼 회로(257)의 출력 저항을 작게 하기 위해서는, P채널형 박막 트랜지스터의 채널 폭을 크게 할 필요가 있다.
- [0122] 따라서, 최후 단의 CMOS 인버터 회로를 도 28에 나타난 바와 같이, 가로 배치로 형성한다. 즉, P채널형 박막 트랜지스터의 채널 길이의 방향이 신호선과 평행하도록(수평 라인 방향과 직교하도록) 형성한다. 이 때, 바람직하게는, 채널 폭이 1화소의 신호선 방향의 길이보다 커지도록 형성한다. 이 구조의 채용에 의해, 많은 전류를 흘려보낼 수 있고, 그만큼, 출력 저항을 작게 할 수 있다.
- [0123] 또한 이 가로 배치는, 도 29에 나타내는 세로 배치에 비해 채널과 전원배선 Vcc와의 거리를 짧게 할 수 있는 이점도 있다. 여기에서의 거리는, 전원배선 Vcc와 도 28 및 도 29에 나타내는 A점까지의 길이로 주어진다.
- [0124] 분명히, 가로 배치 쪽이, 전원배선 Vcc와 채널 사이의 길이를 짧게 할 수 있다.
- [0125] (C-2) 요약
- [0126] 이상에서 설명한 바와 같이, 본 실시예에서는, 전원선 구동부(41)를 기록 제어선 구동부(23)보다 화소 어레이부(21)에 가깝게 형성함으로써 전원선 DSL의 배선 길이의 단축화와 배선구조의 간략화(입체 교차의 삭감)를 실현할 수 있고, 배선 저항을 줄일 수 있다.
- [0127] 또한, 전원선 구동부(41)의 출력 버퍼 회로(257)의 최종 단을 구성하는 인버터 회로의 P채널형 박막 트랜지스터의 채널 방향이 신호선 DTL과 평행하도록 형성함(가로 배치를 채용함)으로써, 출력 버퍼 회로(257) 내의 배선 저항을 작게 할 수 있다.
- [0128] 결과적으로, 전원선 DSL의 배선 저항을, 출력 버퍼 회로(257)의 출력단을 포함해서 전체적으로 작게 할 수 있다. 따라서, 열리 효과의 영향을 고려해도, 전원선 DSL 상에 있어서의 전원전압 강하의 차이를 실시예 1보다 작게 할 수 있고, 크로스 토크가 더 시인되기 어려운 유기EL패널(11)을 실현할 수 있다.
- [0129] 즉, 원리적으로 고화질을 기대할 수 있는 유기EL패널(11)을 실현할 수 있다.
- [0130] 게다가, 출력 버퍼 회로(257)의 채널 방향을 신호선의 방향과 평행하도록 형성하고 있다. 따라서, 유기EL패널(11)의 프레임이 더욱 좁힐 수 있다.
- [0131] (D) 다른 실시예
- [0132] (D-1) 전원선 DSL의 배선 재료
- [0133] 전술한 실시예 2의 경우에는, 전원선 DSL이 알루미늄으로 형성될 경우에 관하여 설명했다.
- [0134] 그러나, 실시예 2의 전원선 DSL에는, 알루미늄, 구리, 금, 이것들의 합금을 사용해도 된다. 이들 배선 재료의 배선 저항값은, 모두 폴리브덴보다 낮게 할 수 있다. 따라서, 전원선 DSL의 저저항화에 유리하다.
- [0135] (D-2) 기타 화소회로에
- [0136] 전술한 실시예의 경우에는, 화소회로(31)가 2개의 박막 트랜지스터로 구성될 경우에 관하여 설명했다. 따라서, 임계값 보정용 기준전압(이하, 「오프셋 전압」이라고 한다) Vofs는 신호선 DTL을 통해서 인가하는 구동방식을 채용했다.
- [0137] 그러나 오프셋 전압 Vofs의 인가 타이밍의 제어 전용 트랜지스터를 배치해도 좋다.
- [0138] 도 30에, 변형예에 대응하는 화소회로(51)의 구성예를 제시한다. 화소회로(51)의 경우, 제2 샘플링 트랜지스터 T3를 배치한다. 제2 샘플링 트랜지스터 T3의 한쪽의 주전극은 구동 트랜지스터 T2의 게이트 전극과 접속된다. 다른 쪽의 주전극은 오프셋 전압 Vofs가 고정적으로 공급되는 오프셋 선 OFSL에 접속된다.

- [0139] 이 때, 제2 샘플링 트랜지스터 T3의 온오프 제어는, 오프셋 선 구동부(53)에 의해 제어된다.
- [0140] 본 예의 경우, 신호선 DTL에는, 각 화소에 대응하는 신호 전위 Vsig만이 인가된다. 이 때, 도 30에 나타내는 오프셋 선 구동부(53)와 기록 제어선 구동부(23)와의 위치 관계는 교체되어도 된다.
- [0141] 도 31a, 31b, 31c, 31d, 31e에, 도 30에서 설명한 화소회로의 구동동작예를 게시한다. 이 때 도 31a 내지 31e에서는, 전원선 DSL에 인가하는 2종류의 전원전위 중 고전위(발광 전위)쪽을 Vcc로 나타내고, 저전위(비발광 전위)쪽을 Vss로 나타내고 있다.
- [0142] 우선, 발광 상태에 있어서의 화소회로 내의 동작 상태를 도 32에 나타낸다. 이 때, 샘플링 트랜지스터 T1은 오프 상태다. 한편, 구동 트랜지스터 T2는 포화 영역에서 동작하고, 게이트·소스간 전압 Vgs에 따라 정해지는 전류 Ids가 흐른다(도 31a 내지 31e(t1)).
- [0143] 다음에 비발광 상태의 동작 상태를 설명한다. 이 때, 전원선 DSL의 전위가 고전위 Vcc에서 저전위 Vss로 전환된다(도 31a 내지 31e(t2)). 이 때, 저전위 Vss가 유기EL소자의 임계값 Vth1과 캐소드 전위 Vcath와의 합보다 작을 때, 즉  $V_{ss} < V_{th1} + V_{cath}$ 이면 유기EL소자 OLED는 소등한다.
- [0144] 이 때, 구동 트랜지스터 T2의 소스 전위 Vs는 전원선 DSL의 전위와 같아진다. 즉, 유기EL소자의 애노드 전극은 저전위 Vss로 충전된다. 도 33에, 화소회로 내의 동작 상태를 나타낸다. 도 33에 파선으로 나타낸 바와 같이, 이 때, 저장용량 Cs에 유지되어 있던 전하는 전원선 DSL에 인출된다.
- [0145] 이 후, 오프셋 선 구동부(53)에 의해, 제2 샘플링 트랜지스터 T3이 온 제어된다. 이에 따라 구동 트랜지스터 T2의 게이트 전위는 오프셋 전위 Vofs로 변화된다(도 31a 내지 31e(t3)).
- [0146] 도 34에, 이 경우에 있어서의 화소회로 내의 동작 상태를 나타낸다. 이 때, 구동 트랜지스터 T2의 게이트·소스간 전압 Vgs는 Vofs-Vss로 주어진다. 이 전압은, 구동 트랜지스터 T2의 임계값전압 Vth보다 커지도록 설정된다.  $V_{ofs} - V_{ss} > V_{th}$ 를 만족시키지 않으면 임계값 보정동작을 실행할 수 없게 때문이다.
- [0147] 다음에 전원선 DSL의 전원전위가 다시 고전위 Vcc로 변화된다(도 31a 내지 31e(t4)). 전원선 DSL의 전원 전위가 고전위 Vcc로 변화됨으로써, 유기EL소자 OLED의 애노드 전위가 구동 트랜지스터 T2의 소스 전위 Vs로 주어진다.
- [0148] 도 35에서는, 유기EL소자 OLED를 증가회로로 나타낸다. 즉, 다이오드와 기생 용량 Cel로 나타낸다. 이 때,  $V_{el} \leq V_{cat} + V_{th1}$ 의 관계를 만족시키는 한(단, 유기EL 소자의 리크 전류는 구동 트랜지스터 T2에 흐르는 구동전류 Ids보다 상당히 작다고 생각된다), 구동 트랜지스터 T2에 흐르는 구동전류 Ids는, 저장용량 Cs와 기생 용량 Cel을 충전하는 데에 사용된다.
- [0149] 결과적으로, 유기EL소자 OLED의 애노드 전압 Vel은, 시간의 경과와 함께 상승한다. 즉, 구동 트랜지스터 T2의 게이트 전위는 오프셋 전위 Vofs로 고정된 상태에서, 구동 트랜지스터 T2의 소스 전위 Vs가 상승을 시작한다.
- [0150] 결국, 구동 트랜지스터 T2의 게이트·소스간 전압 Vgs는 임계값전압 Vth에 수렴한다. 이 때,  $V_{el} = V_{ofs} - V_{th} \leq V_{cat} + V_{th1}$ 을 만족시키고 있다.
- [0151] 임계값 보정기간이 종료되면, 제2 샘플링 트랜지스터 T3이 다시 오프 제어된다(도 31a 내지 31e(t5)). 도 36에, 이 경우에 있어서의 화소회로 내의 동작 상태를 나타낸다.
- [0152] 이 후, 신호선 DTL의 전위가 신호 전위 Vsig에 이동하는 데에 필요한 타이밍 이후에, 제1 샘플링 트랜지스터 T1이 온 상태에 제어된다(도 31a 내지 31e(t6)). 도 37에, 이 경우에 있어서의 화소회로 내의 동작 상태를 나타낸다. 신호 전위 Vsig는, 대응 화소의 계조값에 따라 주어지는 전위다.
- [0153] 이 때, 구동 트랜지스터 T2의 게이트 전위 Vg는, 신호 전위 Vsig로 이동한다. 한편, 구동 트랜지스터 T2의 소스 전위 Vs는, 전원선 DSL로부터 저장용량 Cs에 흘러들어 오는 전류에 의해 시간과 함께 상승한다.
- [0154] 이 때, 구동 트랜지스터 T2의 소스 전위 Vs가 유기EL소자의 임계값전압 Vth1과 캐소드 전압 Vcat의 합을 초과하지 않으면(유기EL소자의 리크 전류가 구동 트랜지스터 T2에 흐르는 전류보다 상당히 작으면), 구동 트랜지스터 T2에 의해 공급되는 구동전류 Ids는, 저장용량 Cs와 기생 용량 Cel을 충전하는 데에 사용된다.
- [0155] 이 때, 구동 트랜지스터 T2의 임계값 보정동작은 이미 완료되었으므로, 구동 트랜지스터 T2가 흘리는 구동전류 Ids는, 구동 트랜지스터 T2의 이동도  $\mu$ 를 반영한 값이 된다. 구체적으로는, 이동도  $\mu$ 가 큰 구동 트랜지스터일 수록 큰 구동전류 Ids가 흐르고, 소스 전위 Vs의 상승도 빨라진다. 반대로 이동도  $\mu$ 가 작은 구동 트랜지스터

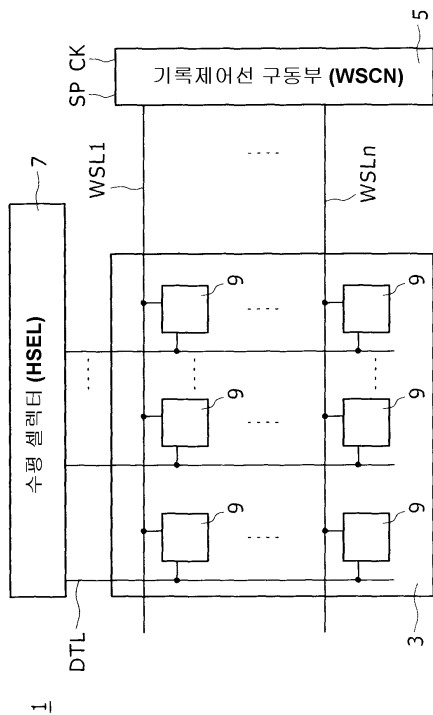
일수록 작은 구동전류  $I_{ds}$ 가 흐르고, 소스 전위  $V_s$ 의 상승은 느려진다.

- [0156] 결과적으로, 저장용량  $C_s$ 의 유지 전압은, 구동 트랜지스터 T2의 이동도  $\mu$ 에 따라 보정된다. 즉, 구동 트랜지스터 T2의 게이트·소스간 전압  $V_{gs}$ 는, 이동도  $\mu$ 를 보정한 전압에 변화된다.
- [0157] 마지막으로, 제1 샘플링 트랜지스터 T1이 오프 제어되어서 신호 전위의 기록이 종료되면, 유기EL소자 OLED의 발광 기간이 시작된다(도 31a 내지 31e(t7)). 도 38에, 이 경우에 있어서의 화소회로 내의 동작 상태를 나타낸다. 또한, 구동 트랜지스터 T2의 게이트·소스간 전압  $V_{gs}$ 는 일정하다. 따라서, 구동 트랜지스터 T2는 일정한 전류  $I_{ds}$ '을 유기EL소자에 공급한다.
- [0158] 이에 따라, 유기EL소자의 애노드 전위  $V_{el}$ 은, 유기EL소자에 전류  $I_{ds}$ '을 흘려보내는 전위  $V_x$ 까지 상승한다. 이에 따라 유기EL소자에 의한 발광이 개시된다.
- [0159] 그런데, 본 실시예에서 제안하는 구동회로의 경우에도, 발광 시간이 길어지면, 유기EL 소자 OLED의 I-V특성이 변화된다.
- [0160] 즉, 구동 트랜지스터 T2의 소스 전위  $V_s$ 도 변화된다. 그러나, 구동 트랜지스터 T2의 게이트·소스간 전압  $V_{gs}$ 는, 저장용량  $C_s$ 에 의해 일정하게 유지되므로 유기 EL소자 OLED에 흐르는 전류량은 변화되지 않는다. 이렇게, 본 실시예에서 제안하는 화소회로와 구동방식을 채용하면, 유기EL소자 OLED의 I-V특성의 변화에 상관없이, 신호 전위  $V_{sig}$ 에 따른 구동전류  $I_{ds}$ 를 항상 계속해서 흘려보낼 수 있다. 이에 따라 유기EL소자 OLED의 발광 휘도를 신호 전위  $V_{sig}$ 에 따른 휘도로 계속해서 유지할 수 있다.
- [0161] (D-3) 제품예
- [0162] (a) 전자기기
- [0163] 상기 설명에서는, 유기EL패널을 예로 본 발명을 설명했다. 그러나 전술한 유기EL패널은, 각종 전자기기에 설치한 상품형태여도 유효된다. 이하, 다른 전자기기에의 설치예를 게시한다.
- [0164] 도 39에, 전자기기(61)의 개념 구성예를 게시한다. 전자기기(61)는, 전술한 유기EL패널(63), 시스템 제어부(65) 및 조작 입력부(67)로 구성된다. 시스템 제어부(65)에서 실행되는 처리 내용은, 전자기기(61)의 상품형태에 따라 다르다. 또한 조작 입력부(67)는, 시스템 제어부(65)에 대한 조작 입력을 접수하는 디바이스다. 조작 입력부(67)에는, 예를 들면 스위치, 버튼, 기타 기계식 인터페이스, 그래픽 인터페이스 등을 사용할 수 있다.
- [0165] 이 때, 전자기기(61)는, 기기 내에서 생성되는 또는 외부에서 입력되는 화상이나 영상을 표시하는 기능을 탑재하고 있으면, 특정한 분야의 기기에는 한정되지 않는다.
- [0166] 도 40에, 그 밖의 전자기기가 텔레비전 수상기인 경우의 외관예를 게시한다. 텔레비전 수상기(71)의 케이싱 정면에는, 프런트 패널(73) 및 필터 유리(75) 등으로 구성되는 표시 화면(77)이 배치된다. 표시 화면(77)의 부분이, 실시예에서 설명한 유기EL패널에 대응한다.
- [0167] 이 종류의 전자기기(61)에는, 예를 들면 디지털 카메라가 상정된다. 도 41a 및 41b에, 디지털 카메라(81)의 외관예를 게시한다. 도 41a가 정면측(피사체측)의 외관예이며, 도 41b가 배면측(촬영자측)의 외관예다.
- [0168] 디지털 카메라(81)는, 보호 커버(83), 촬상 렌즈부(85), 표시 화면(87), 컨트롤 스위치(89) 및 셔터 버튼(91)으로 구성된다. 이 중, 표시 화면(87)의 부분이, 실시예에서 설명한 유기EL패널에 대응한다.
- [0169] 이 종류의 전자기기(61)에는, 예를 들면 비디오 카메라가 상정된다. 도 42에, 비디오 카메라(101)의 외관예를 게시한다.
- [0170] 비디오 카메라(101)는, 본체(103)의 전방에 피사체를 촬상하는 촬상 렌즈(105), 촬상 스타트/스톱 스위치(107) 및 표시 화면(109)으로 구성된다. 이 중, 표시 화면(109)의 부분이, 실시예에서 설명한 유기EL패널에 대응한다.
- [0171] 이 종류의 전자기기(61)에는, 예를 들면 휴대 단말장치가 상정된다. 도 43에, 휴대 단말장치로서의 휴대전화기(111)의 외관예를 게시한다. 도 43에 나타내는 휴대전화기(111)는 접이식이며, 도 43a가 케이싱을 연 상태의 외관예이며, 도 43b가 케이싱을 접은 상태의 외관예다.
- [0172] 휴대전화기(111)는, 상측 케이싱(113), 하측 케이싱(115), 연결부(본 예에서는 힌지부)(117), 표시 화면(119), 보조 표시 화면(121), 픽처 라이트(123) 및 촬상 렌즈(125)로 구성된다. 이 중, 표시 화면(119) 및 보조 표시 화면(121)의 부분이, 실시예에서 설명한 유기EL패널에 대응한다.

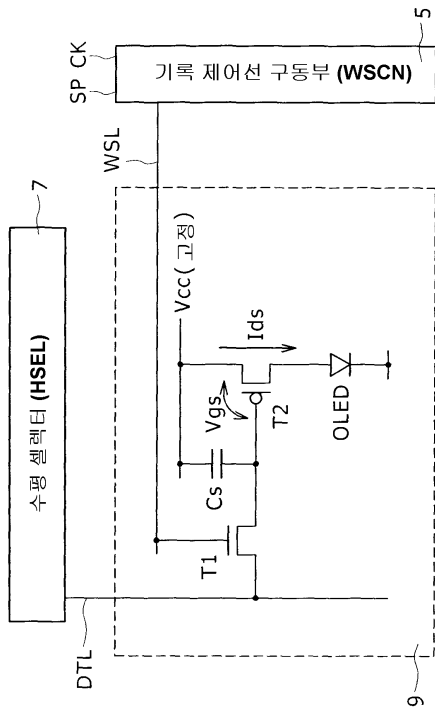
- [0173] 이 종류의 전자기기(61)에는, 예를 들면 컴퓨터가 상정된다. 도 44에, 노트북 컴퓨터(131)의 외관예를 제시한다.
- [0174] 노트북 컴퓨터(131)는, 하측 케이싱(133), 상측 케이싱(135), 키보드(137) 및 표시 화면(139)으로 구성된다. 이 중, 표시 화면(139)의 부분이, 실시예에서 설명한 유기EL패널에 대응한다.
- [0175] 이들 예 외에, 전자기기(61)에는, 오디오 재생장치, 게임기, 전자서적, 전자사전 등이 상정된다.
- [0176] (D-4) 기타 표시 디바이스 예
- [0177] 상기의 실시예에 있어서는, 발명을 유기EL패널에 적용할 경우에 관하여 설명했다.
- [0178] 그러나 전술한 구동기술은, 그 외의 EL표시장치에도 적용할 수 있다. 예를 들면 LED를 배열하는 표시장치, 기타 다이오드 구조를 갖는 발광소자를 화면 위에 배열한 표시장치에 대하여도 적용할 수 있다. 예를 들면 무기EL패널에도 적용할 수 있다.
- [0179] (D-5) 기타
- [0180] 전술한 실시예에는, 발명의 취지의 범위 내에서 여러 가지 변형예를 생각해 볼 수 있다. 또한 본 명세서의 기재에 근거하여 창작 또는 조합되는 각종 변형예 및 응용예도 고려해 볼 수 있다.

**도면**

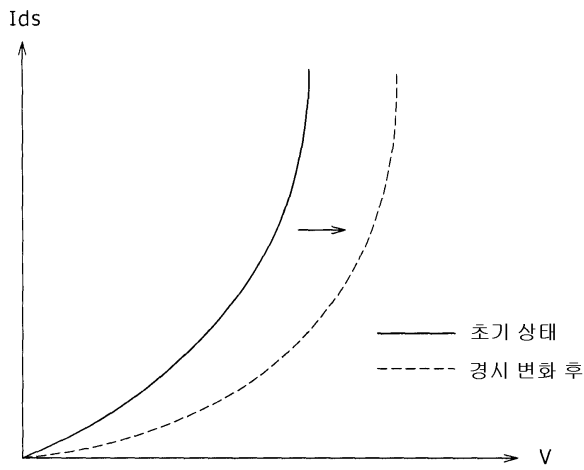
**도면1**



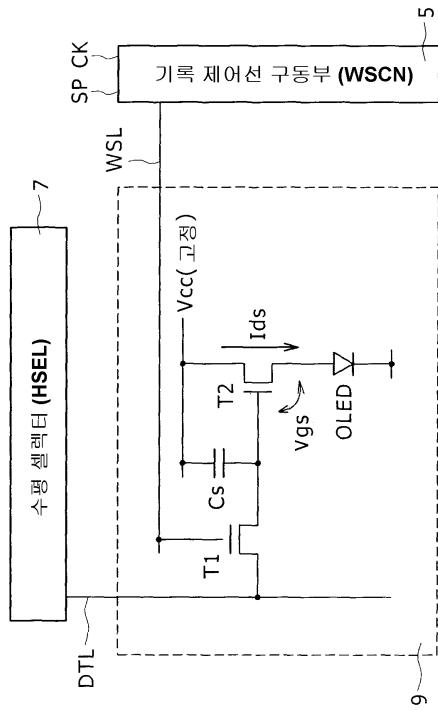
도면2



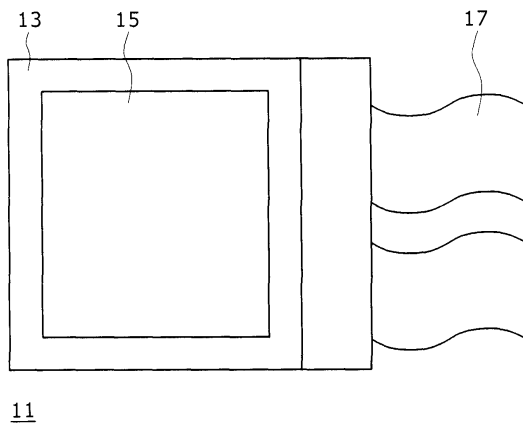
도면3



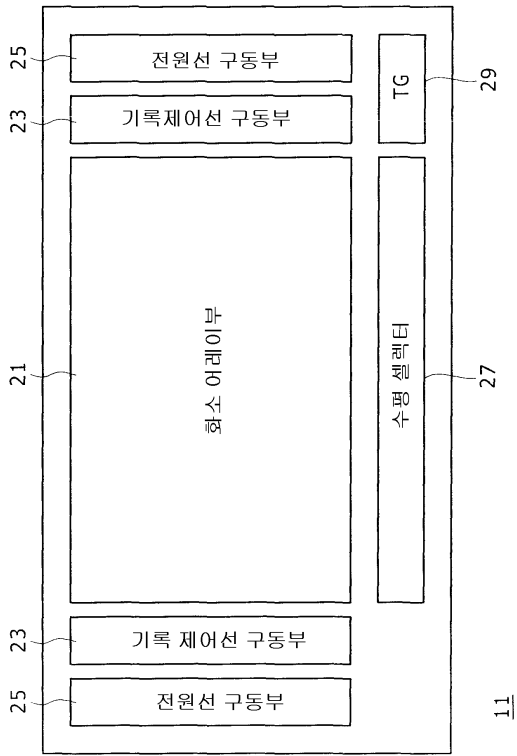
도면4



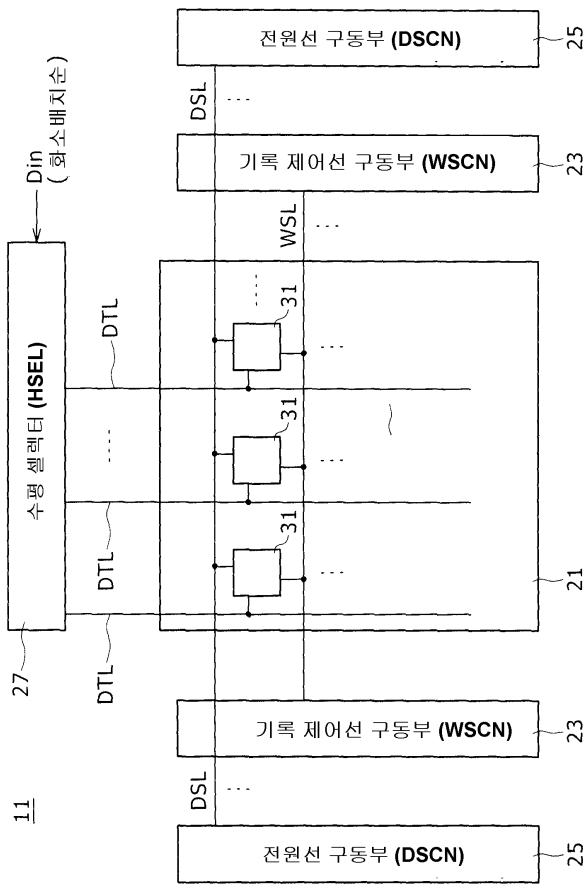
도면5



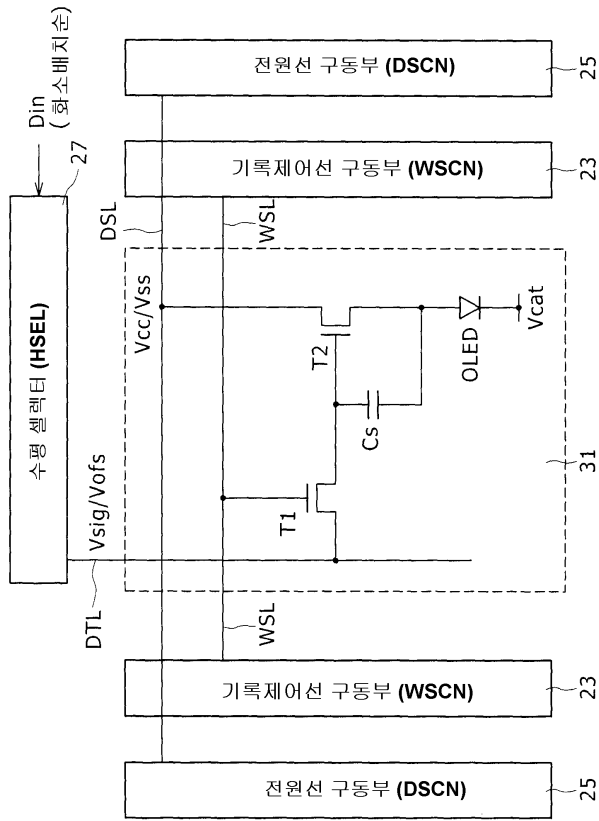
도면6



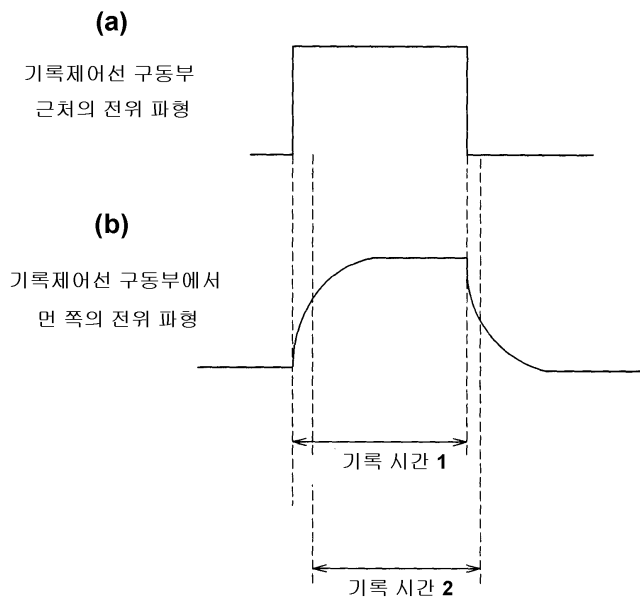
도면7



도면8



도면9



도면10

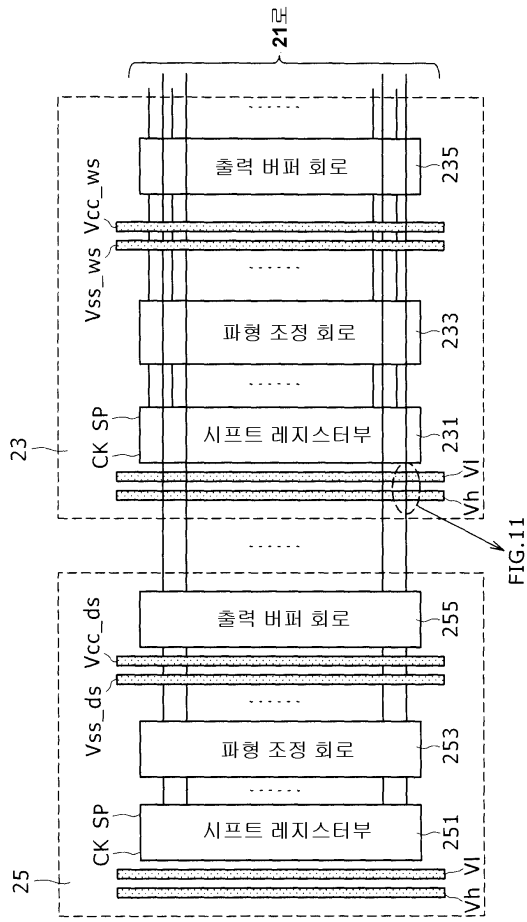
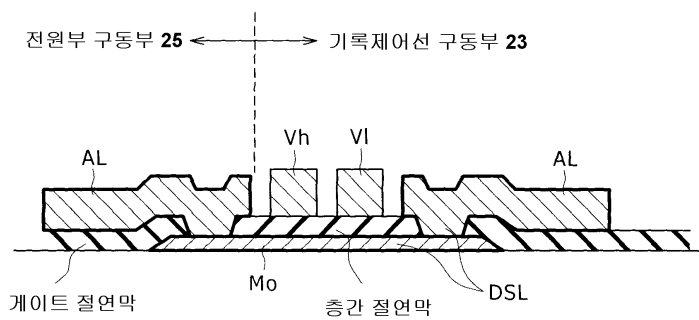
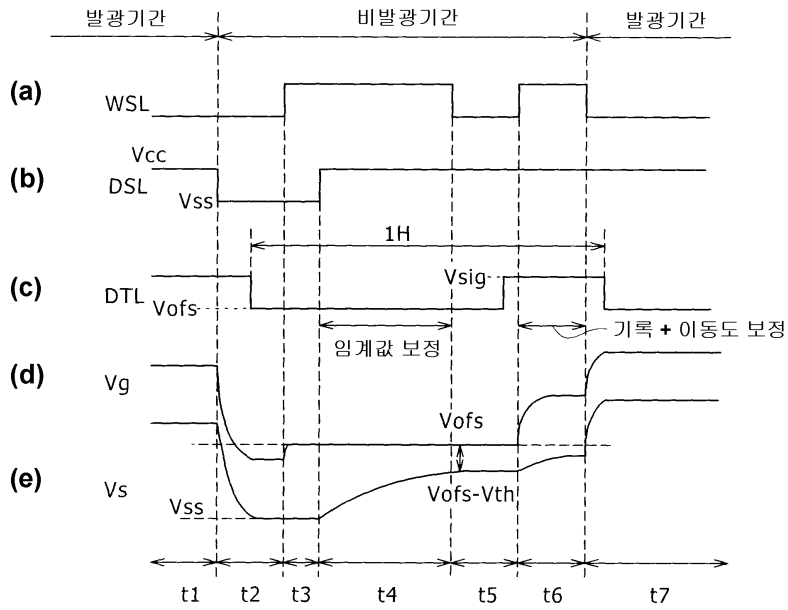


FIG.11

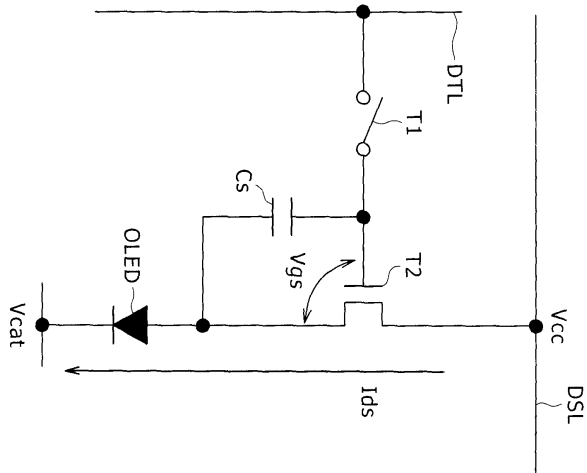
도면11



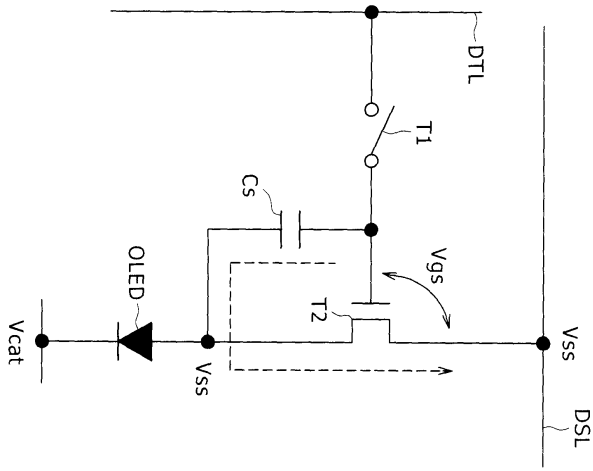
도면12



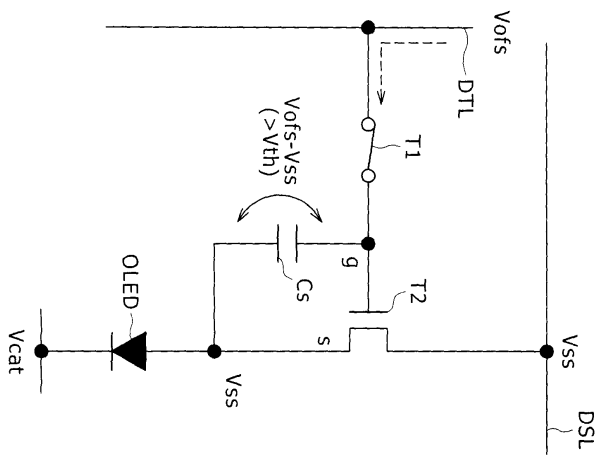
도면13



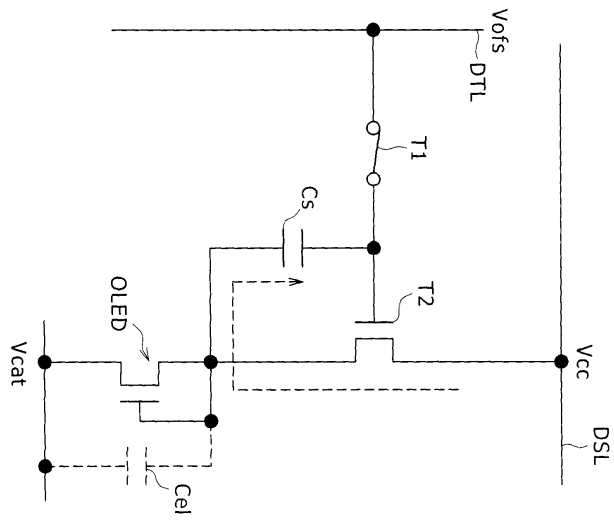
도면14



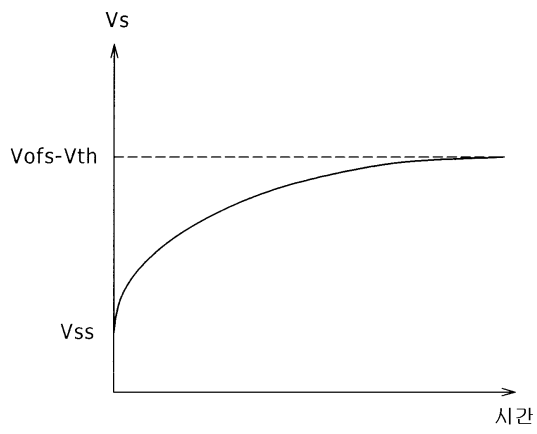
도면15



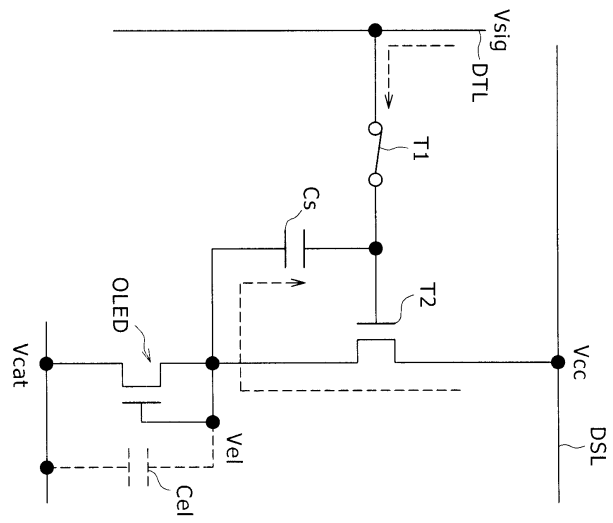
도면16



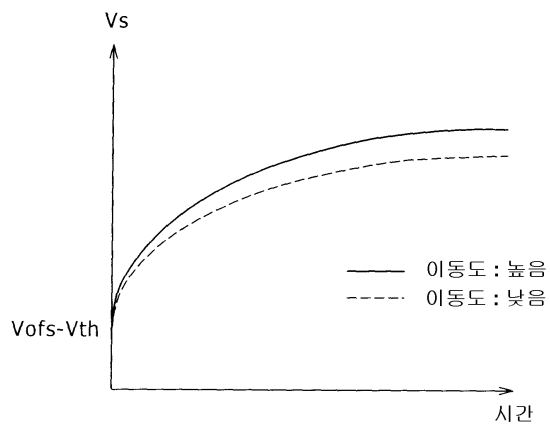
도면17



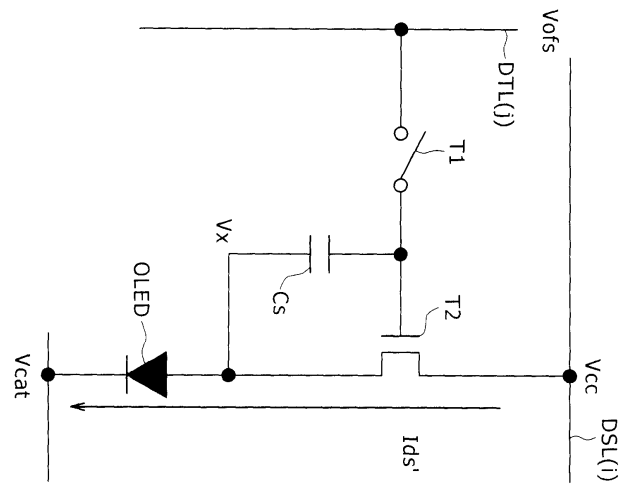
도면18



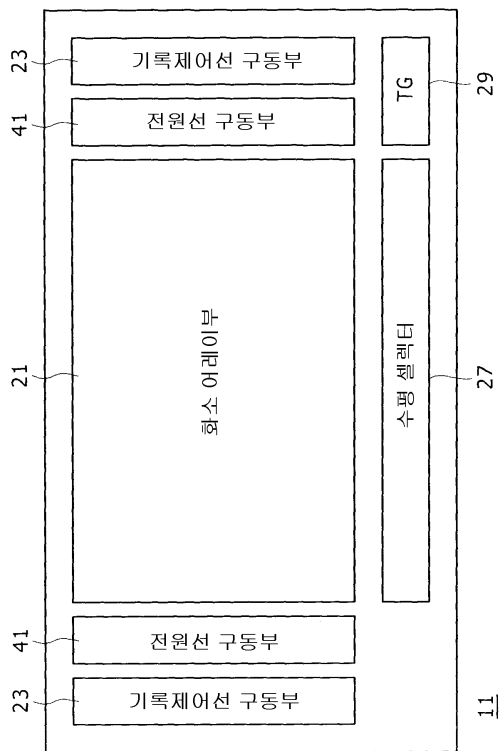
도면19



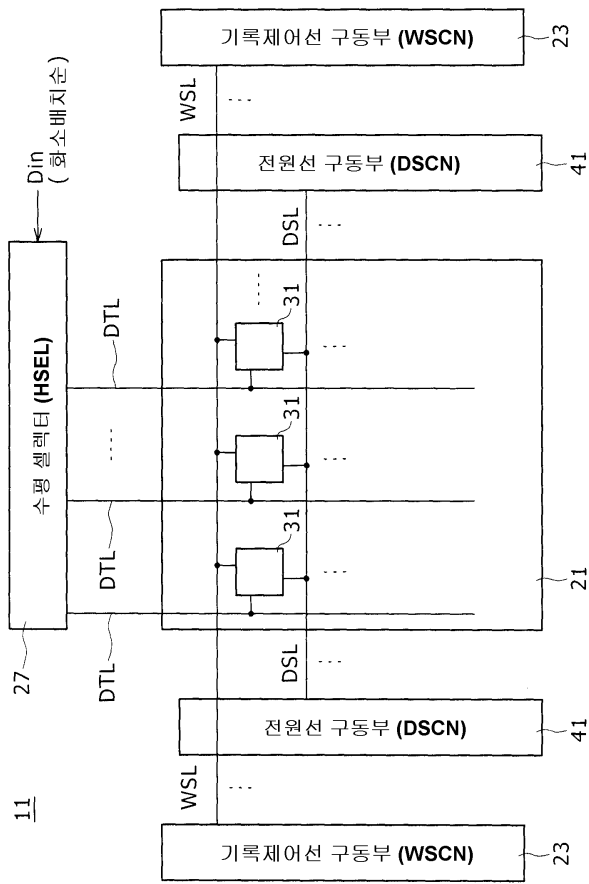
도면20



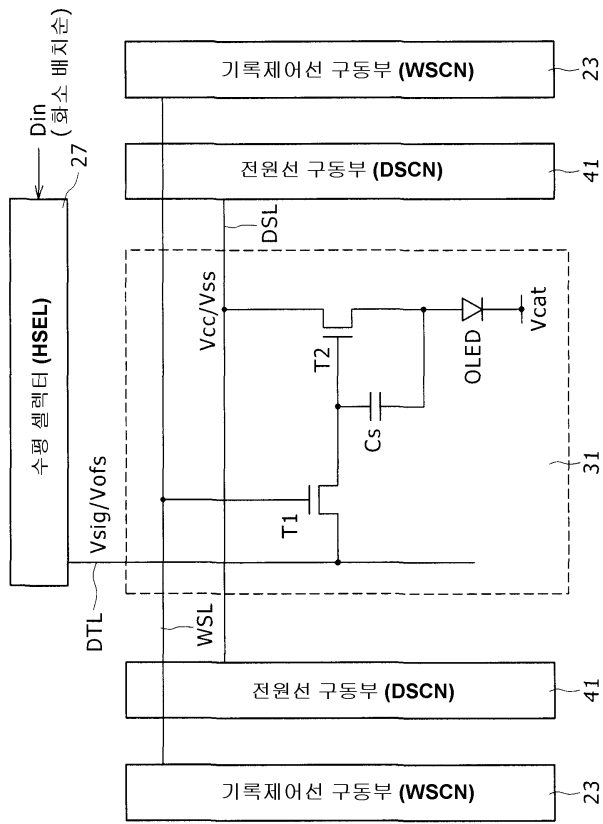
도면21



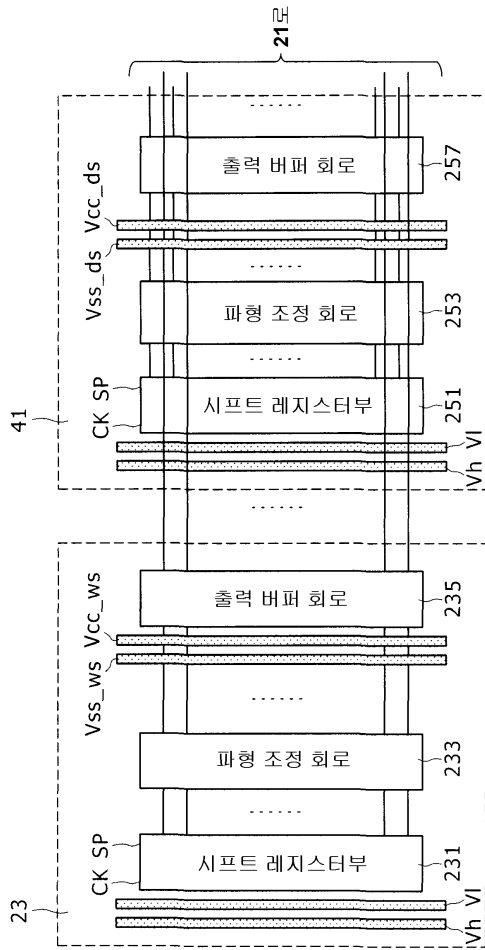
도면22



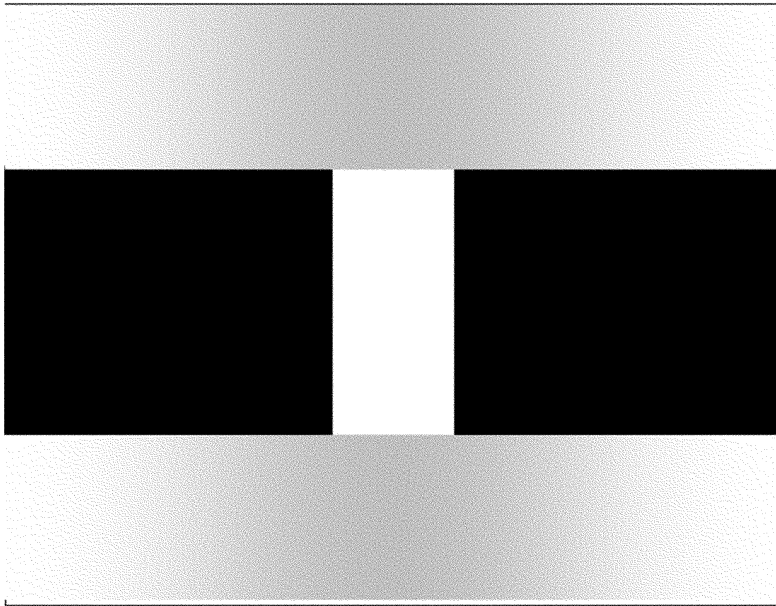
도면23



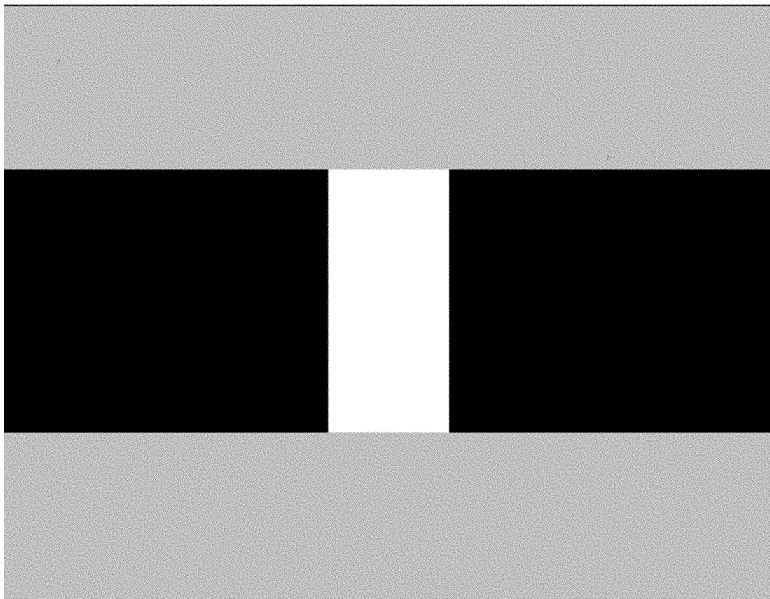
도면24



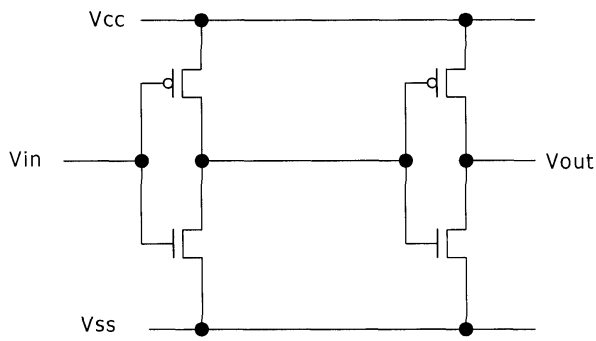
도면25



도면26

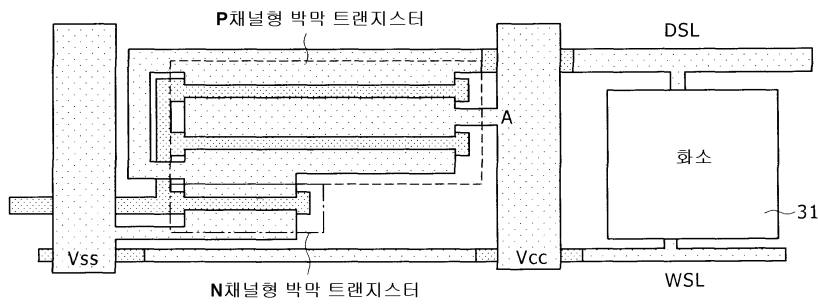


도면27

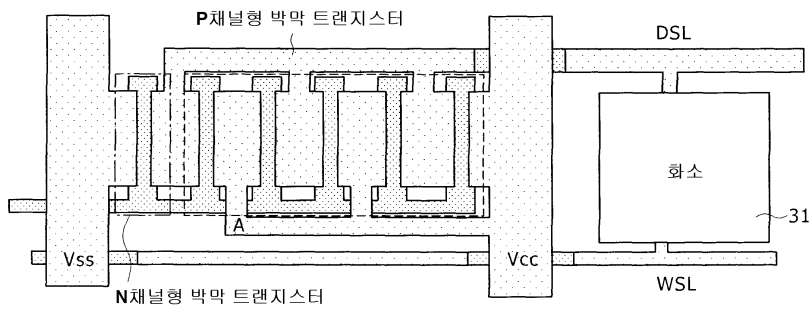


257

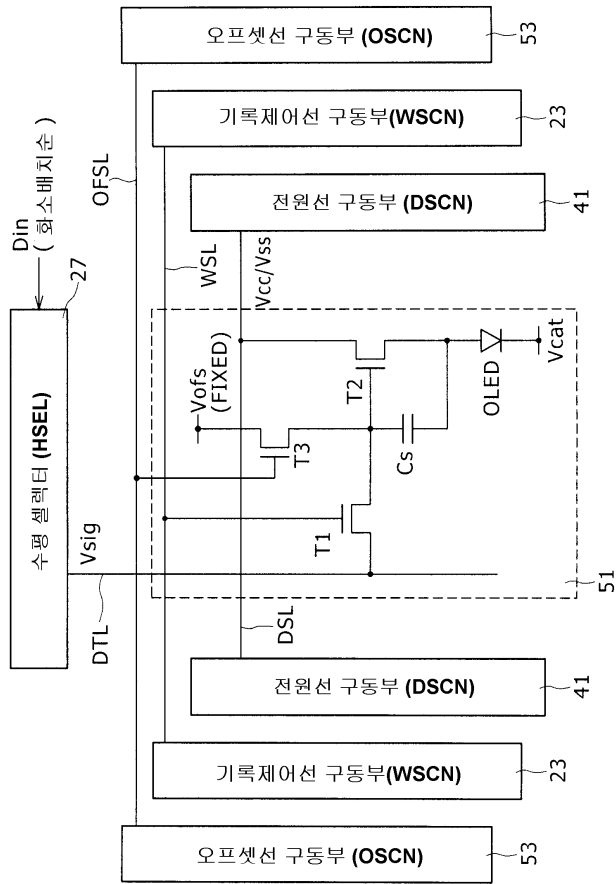
도면28



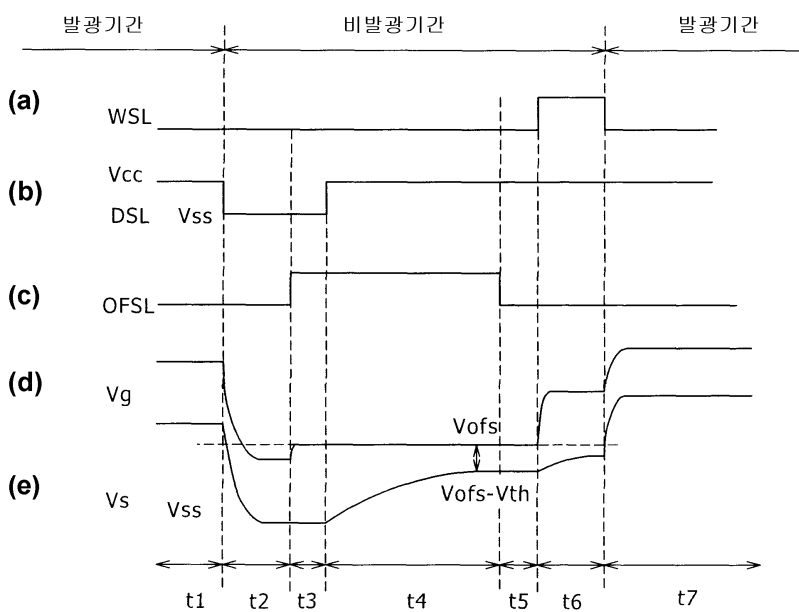
도면29



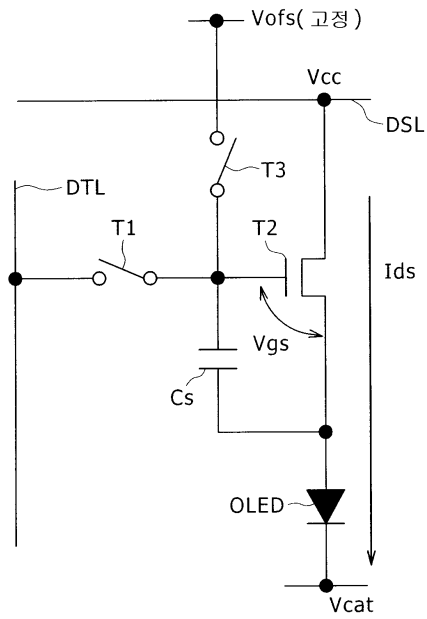
도면30



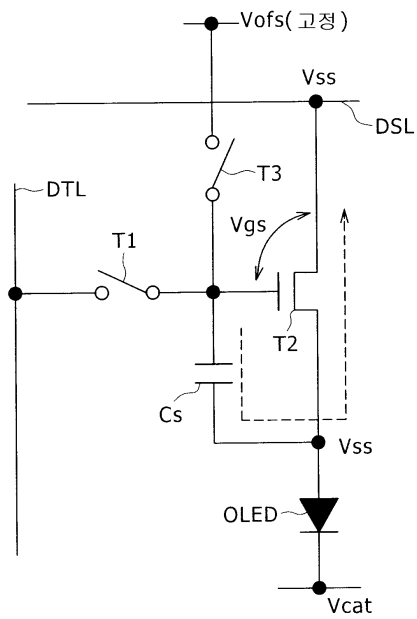
도면31



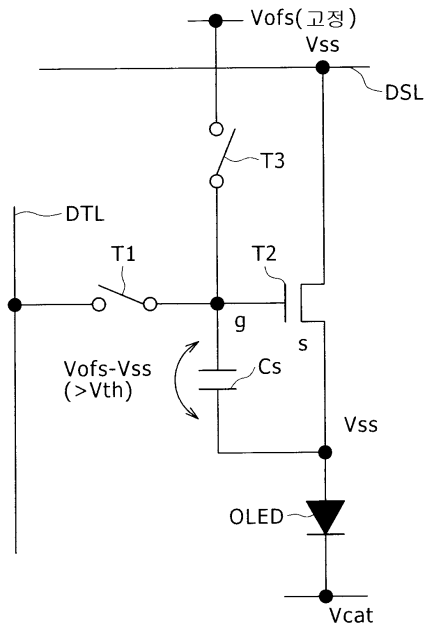
도면32



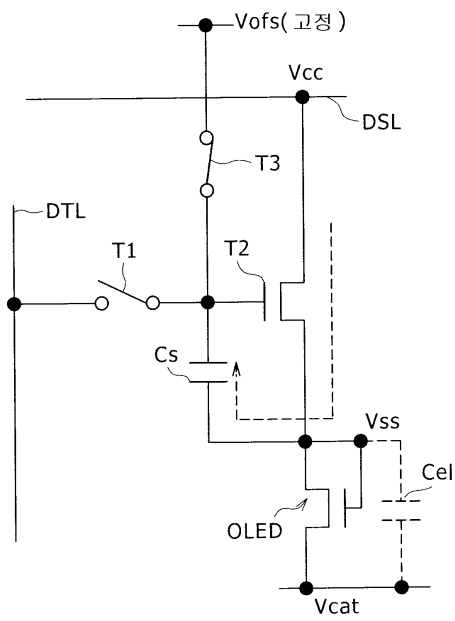
도면33



도면34

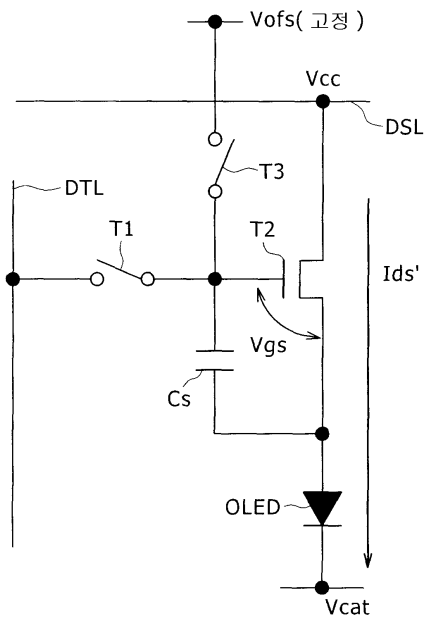


도면35



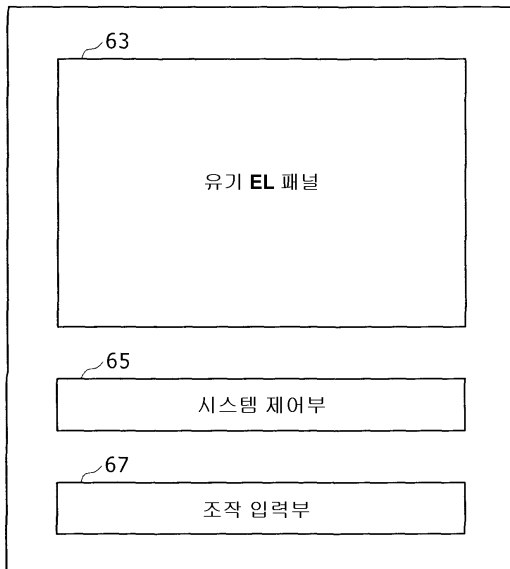


도면38

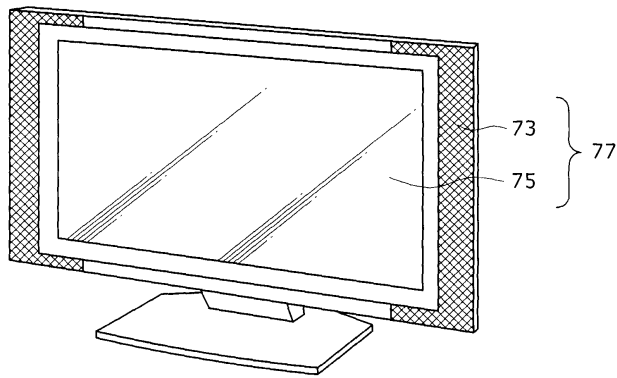


도면39

61

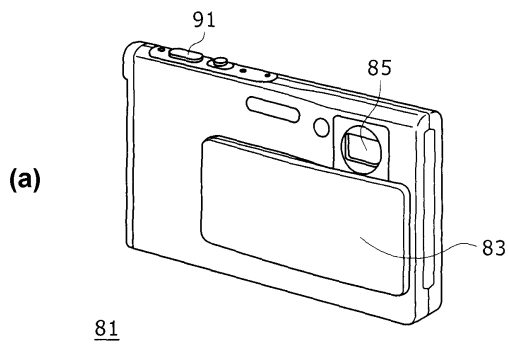


도면40

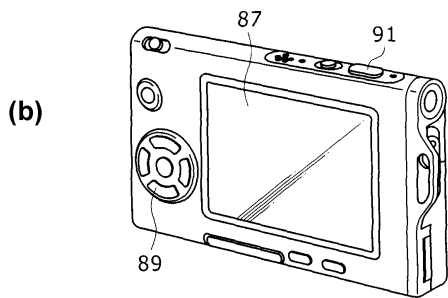


71

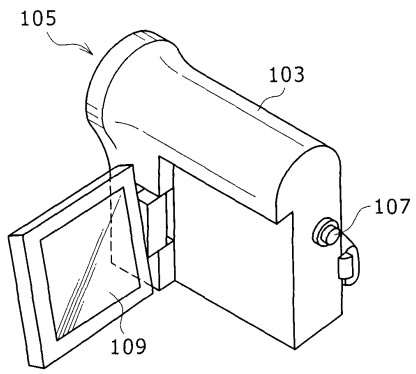
도면41



81

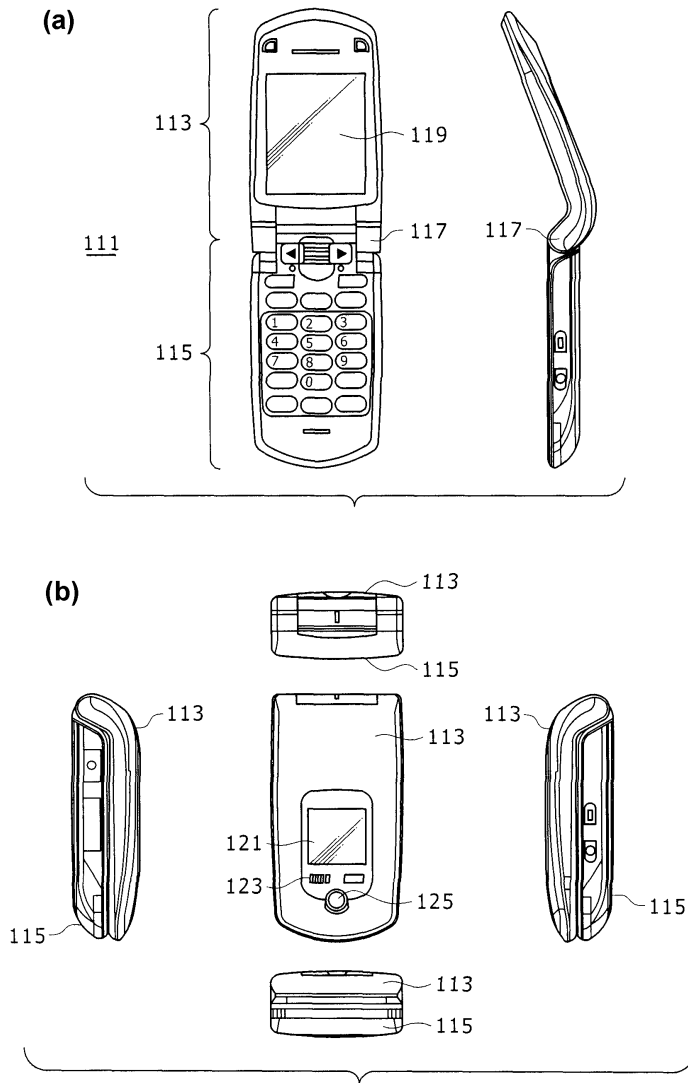


도면42

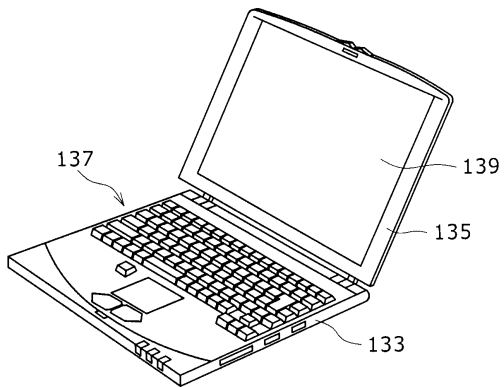


101

도면43



도면44



131

专利名称(译)	标题：电致发光显示板，显示装置和电子设备		
公开(公告)号	<a href="#">KR101593369B1</a>	公开(公告)日	2016-02-11
申请号	KR1020150071593	申请日	2015-05-22
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	YAMAMOTO TETSURO 야마모토테츠로 UCHINO KATSUHIDE 우치노카쓰히데 KATO MASAKAZU 카토마사카즈		
发明人	야마모토테츠로 우치노카쓰히데 카토마사카즈		
IPC分类号	G09G3/32 H01L27/32		
CPC分类号	G09G5/18 G09G3/3233 G09G3/3266 G09G3/3696 G09G2300/0819 G09G2300/0842 G09G2300/0866 G09G2310/0281 G09G2310/0291 G09G2320/0223 G09G2320/043		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2007291471 2007-11-09 JP		
其他公开文献	KR1020150065634A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

EL显示板包括像素阵列部分，其中发光状态由有源矩阵驱动方法控制的EL显示元件以矩阵形式排列，第一和第二写控制线用于驱动像素阵列部分两侧的每个写控制线。第一和第二电源线驱动器，用于驱动在像素阵列部分两侧沿水平线方向布线的电源线，其中第一和第二电源线驱动器分别连接到第一写控制线驱动器在像素阵列单元之间，以及在第二记录控制线驱动单元和像素阵列单元之间。

