



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0054732
(43) 공개일자 2020년05월20일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(52) CPC특허분류
H01L 27/32 (2013.01)
H01L 51/50 (2013.01)
(21) 출원번호 10-2018-0138402
(22) 출원일자 2018년11월12일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최진술
경기도 파주시 월롱면 엘지로 245
송병찬
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)
(74) 대리인
특허법인(유한)유일하이스트

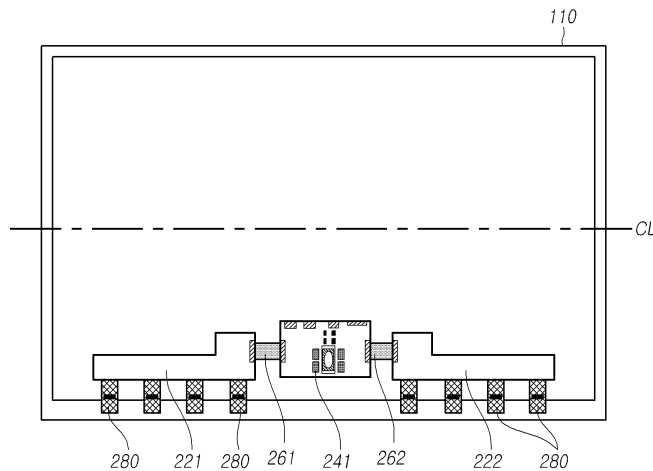
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 유기발광표시장치

(57) 요약

본 발명의 실시예들은, 표시패널, 표시패널과 제1방향으로 연결되며, 일영역에 제1메모리가 배치되는 제1소스인쇄회로기판, 표시패널과 상기 제1방향으로 연결되는 제2소스인쇄회로기판 및 제1소스인쇄회로기판과 제2소스인쇄회로기판 사이에 배치되며, 제1소스인쇄회로기판 및 제2소스인쇄회로기판과 각각 연결되는 컨트롤인쇄회로기판을 포함하되, 컨트롤인쇄회로기판과 제1소스인쇄회로기판이 연결된 방향과 컨트롤인쇄회로기판과 제2소스인쇄회로기판이 연결된 방향은 제1방향과 상이한 제2방향인 유기발광표시장치를 제공하는 것이다.

대표도 - 도6



(52) CPC특허분류
H05K 2201/10128 (2013.01)

(72) 발명자
김창인
경기도 과주시 월릉면 엘지로 245

박용규

경기도 과주시 월릉면 엘지로 245

명세서

청구범위

청구항 1

표시패널;

상기 표시패널과 제1방향으로 연결되며, 일영역에 제1메모리가 배치되는 제1소스인쇄회로기판;

상기 표시패널과 상기 제1방향으로 연결되는 제2소스인쇄회로기판; 및

상기 제1소스인쇄회로기판과 상기 제2소스인쇄회로기판 사이에 배치되며, 상기 제1소스인쇄회로기판 및 상기 제2소스인쇄회로기판과 각각 연결되는 컨트롤인쇄회로기판을 포함하되,

상기 컨트롤인쇄회로기판과 상기 제1소스인쇄회로기판이 연결된 방향과 상기 컨트롤인쇄회로기판과 상기 제2소스인쇄회로기판이 연결된 방향은 상기 제1방향과 상이한 제2방향인 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 컨트롤 인쇄회로기판은 상기 제1소스인쇄회로기판 및 상기 제2소스인쇄회로기판과 각각 마주보는 양측면에 배치되는 제1컨넥터 및 제2컨넥터를 포함하며,

상기 제1컨넥터 및 상기 제2컨넥터는 각각 상기 제1소스인쇄회로기판 및 상기 제2소스인쇄회로기판과 연결케이블을 통해 상기 제2방향으로 연결되는 유기발광표시장치.

청구항 3

제2항에 있어서,

상기 제1소스인쇄회로기판은 상기 컨트롤인쇄회로기판과 마주보는 면에 배치되는 제3컨넥터를 포함하며, 상기 제1컨넥터는 상기 제3컨넥터와 연결되는 유기발광표시장치.

청구항 4

제2항에 있어서,

상기 제2소스인쇄회로기판은 상기 컨트롤인쇄회로기판과 마주보는 면에 배치되는 제4컨넥터를 포함하며, 상기 제2컨넥터는 상기 제4컨넥터와 연결되는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 제1방향 및 상기 제2방향은 서로 수직인 방향인 유기발광표시장치.

청구항 6

제1항에 있어서,

상기 제1소스인쇄회로기판은 제1메모리와 제1신호선이 배치되는 제1영역과, 데이터드라이버와 연결되고 제2신호

선이 배치되는 제2영역을 포함하는 유기발광표시장치.

청구항 7

제6항에 있어서,

상기 제1소스인쇄회로기판은 상기 제1영역과 상기 제2영역 사이에 접지패턴이 배치되는 표시장치.

청구항 8

제7항에 있어서,

상기 제1소스인쇄회로기판과 상기 제2소스인쇄회로기판은 복수의 레이어를 포함하되, 상기 접지패턴은 상기 복수의 레이어 중 적어도 제1레이어 및 제2레이어에 일체로 형성되는 표시장치.

청구항 9

제6항에 있어서,

상기 제1영역은 상기 제2영역에 대응하는 제1면과 상기 컨트롤인쇄회로기판에 대응하는 제2면을 포함하되,

상기 제1면은 상기 제2영역에 접하는 표시장치.

청구항 10

제6항에 있어서,

상기 제1메모리는 상기 제1면과 대응하는 면에 제어신호를 공급받는 제어신호입력단이 배치되고 상기 제2면과 대응하는 면에 데이터신호가 입출력되는 데이터입출력단이 배치되는 표시장치.

청구항 11

제6항에 있어서,

상기 제1메모리는 상기 제1면과 대응하는 면의 반대면에 제어신호를 공급받는 제어신호입력단이 배치되고 상기 제2면에 대응하는 면에 데이터신호가 입출력되는 데이터입출력단이 배치되는 표시장치.

청구항 12

제1항에 있어서,

상기 컨트롤인쇄회로기판은 상기 제1소스인쇄회로기판과 상기 제2소스인쇄회로기판과 각각 체결되어 연결되는 표시장치.

청구항 13

제6항에 있어서,

상기 연성케이블은 제1연성케이블과 제2연성케이블을 포함하고, 상기 제1연성케이블은 상기 제1메모리와 상기 타이밍컨트롤러 간에 신호를 전송하고, 상기 제2연성케이블은 상기 데이터드라이버와 상기 타이밍컨트롤러 간에 신호를 전송하는 표시장치.

청구항 14

제1항에 있어서,

상기 표시패널은 제1방향으로 진행하는 복수의 데이터라인과 제2방향으로 진행하는 복수의 게이트라인이 배치되고, 상기 제2방향으로 인접한 2개의 화소는 동일한 데이터선에 연결되고 서로 다른 게이트라인에 연결되는 표시장치.

청구항 15

제6항에 있어서,

상기 데이터드라이버는 제1드라이브 IC와 제2드라이브 IC를 포함하고 상기 제1드라이브 IC는 상기 제1소스인쇄회로기판에 연결된 제1필름상에 배치되고, 상기 제2드라이브 IC는 상기 제2소스인쇄회로기판에 연결된 제2필름상에 배치되는 유기발광표시장치.

청구항 16

제1항에 있어서,

상기 타이밍 컨트롤러는 상기 컨트롤인쇄회로기판 상에서 상기 제1소스인쇄회로기판과 상기 제2소스인쇄회로기판과 거리가 동일한 위치에 배치되는 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있으며, 액정표시장치(LCD: Liquid Crystal Display Device), 플라즈마표시장치(Plasma Display Device), 유기발광표시장치(OLED: Organic Light Emitting Display Device) 등과 같은 여러 가지 타입의 평판표시장치가 나타났다.

[0003] 유기발광표시장치는 자발광소자인 유기발광다이오드를 이용하여 영상을 표시하기 때문에 박형화가 용이하며, 시야각, 명암비 등이 우수한 장점이 있다. 또한, 유기발광표시장치는 매우 얇게 구현될 수 있다.

[0004] 하지만, 유기발광표시장치는 구동신호 및 구동전압을 공급하는 회로부가 배치되고 회로부는 유기발광표시장치의 하부에 배치될 수 있다. 회로부는 컨트롤인쇄회로기판, 복수의 소스인쇄회로기판을 포함할 수 있는데, 컨트롤인쇄회로기판과 소스인쇄회로기판, 소스인쇄회로기판들 간에는 연성케이블을 통해 연결될 수 있는데 연성케이블의 길이가 길면 전달되는 신호가 왜곡될 우려가 있다.

[0005] 또한, 회로부는 유기발광표시장치의 후면에 위치할 수 있다. 또한, 유기발광표시장치의 후면에 회로부를 커버하는 커버실드가 배치될 수 있다.

[0006] 유기발광표시장치는 회로부와 커버실드 등에 의해 후면의 두께가 두꺼워질 수 있어 얇게 구현된 유기발광표시장치의 장점이 줄어들게 되는 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예들의 목적은 신호왜곡을 줄일 수 있는 유기발광표시장치를 제공하는 것이다.

[0008] 또한, 본 발명의 실시예들의 다른 목적은 후면의 두께가 얇은 유기발광표시장치를 제공하는 것이다.

과제의 해결 수단

[0009] 일측면에서 본 발명의 실시예들은, 표시패널, 표시패널과 제1방향으로 연결되며, 일영역에 제1메모리가 배치되는 제1소스인쇄회로기판, 표시패널과 제1방향으로 연결되는 제2소스인쇄회로기판 및 제1소스인쇄회로기판과 제2소스인쇄회로기판 사이에 배치되며, 제1소스인쇄회로기판 및 상기 제2소스인쇄회로기판과 각각 연결되는 컨트롤인쇄회로기판을 포함하되, 컨트롤인쇄회로기판과 제1소스인쇄회로기판이 연결된 방향과 컨트롤인쇄회로기판과 제2소스인쇄회로기판이 연결된 방향은 제1방향과 상이한 제2방향인 유기발광표시장치를 제공할 수 있다.

발명의 효과

[0010] 본 발명의 실시예들에 의하면, 신호왜곡을 줄일 수 있는 유기발광표시장치를 제공할 수 있다.
 [0011] 본 발명의 실시예들에 의하면, 후면의 두께가 얇은 유기발광표시장치를 제공할 수 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 실시예들에 의한 유기발광표시장치를 나타내는 구조도이다.
 도 2는 도 1에 도시된 표시패널에서 인접한 4개의 화소의 배치를 나타내는 회로도이다.
 도 3은 도 1에 도시된 화소의 일 실시예를 나타내는 회로도이다.
 도 4는 도 1에 도시된 유기발광표시장치의 후면의 일 실시예를 나타내는 평면도이다.
 도 5는 도 4에 도시된 유기발광표시장치의 측면도이다.
 도 6은 도 1에 도시된 유기발광표시장치의 후면의 다른 일 실시예를 나타내는 평면도이다.
 도 7은 도 6에 도시된 유기발광표시장치의 측면도이다.
 도 8은 도 6에 도시된 제1소스인쇄회로기판, 제2소스인쇄회로기판 및 컨트롤인쇄회로기판의 배치관계의 제1실시예를 나타내는 평면도이다.
 도 9는 도 8에 도시된 제1소스인쇄회로기판과 연성케이블을 확대한 평면도이다.
 도 10은 도 6에 도시된 제1소스인쇄회로기판, 제2소스인쇄회로기판 및 컨트롤인쇄회로기판의 배치관계의 제2실시예를 나타내는 평면도이다.
 도 11은 도 8에 도시된 제1소스인쇄회로기판과 연성케이블을 확대한 평면도이다.
 도 12는 도 6에 도시된 제1소스인쇄회로기판, 제2소스인쇄회로기판 및 컨트롤인쇄회로기판의 배치관계의 제3실시예를 나타내는 평면도이다.
 도 13은 도 12에 도시된 제1소스인쇄회로기판과 연성케이블을 확대한 평면도이다.
 도 14는 도 6에 도시된 제1소스인쇄회로기판, 제2소스인쇄회로기판 및 컨트롤인쇄회로기판의 배치관계의 제4실시예를 나타내는 평면도이다.
 도 15는 도 14에 도시된 제1소스인쇄회로기판과 연성케이블을 확대한 평면도이다.
 도 16은 도 8에 도시된 제1인쇄회로기판의 A-A'의 단면의 일 실시예를 나타내는 단면도이다.
 도 17은 도 6에 도시된 제1소스인쇄회로기판과 컨트롤인쇄회로기판이 슬롯 형태로 연결된 것을 나타내는 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 참조하여 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다. 한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 수 있다.
 [0014] 또한, 본 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본

질, 차례, 순서 또는 개수 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.

- [0016] 도 1은 본 발명의 실시예들에 의한 유기발광표시장치를 나타내는 구조도이다.
- [0017] 도 1을 참조하면, 유기발광표시장치(100)는 표시패널(110), 데이터드라이버(120), 게이트드라이버(130), 타이밍 컨트롤러(140)를 포함할 수 있다.
- [0018] 표시패널(110)은 제1방향으로 배치된 복수의 데이터라인(DL1, ..., DLm)과 제2방향으로 배치된 복수의 게이트라인(GL1, ..., GLn)을 포함할 수 있다. 복수의 데이터라인(DL1, ..., DLm)과 복수의 게이트라인(GL1, ..., GLn)은 직교하는 것으로 도시되어 있지만, 이에 한정되는 것은 아니다. 표시패널(110)은 복수의 게이트 라인(GL1, ..., GLn)과 복수의 데이터라인(DL1, ..., DLm)이 교차하는 영역에 대응하여 형성되는 복수의 화소(101)를 포함할 수 있다. 복수의 화소(101)는 유기발광다이오드(미도시)와, 유기발광다이오드에 구동전류를 공급하는 화소회로(미도시)를 포함할 수 있다. 화소회로는 게이트라인(GL1, ..., GLn)과 데이터라인(DL1, ..., DLm)에 연결되어 유기발광다이오드에 구동전류를 공급할 수 있다. 유기발광다이오드는 구동전류의 크기에 대응하여 방출하는 빛의 휘도가 결정될 수 있다. 여기서, 표시패널(110)에 배치되는 배선은 복수의 데이터라인(DL1, ..., DLm)과 복수의 게이트라인(GL1, ..., GLn)에 한정되는 것은 아니다.
- [0019] 데이터드라이버(120)는 데이터신호를 복수의 데이터라인(DL1, ..., DLm)에 인가할 수 있다. 데이터신호는 계조에 대응할 수 있고, 대응하는 계조에 따라 데이터신호의 전압레벨이 결정될 수 있다. 데이터신호의 전압을 데이터 전압이라 칭할 수 있다. 또한, 데이터드라이버(120)는 화소(101)로부터 열화정보를 센싱할 수 있다. 데이터드라이버(120)가 화소(101)로부터 센싱하는 정보는 이에 한정되는 것은 아니다.
- [0020] 여기서, 데이터드라이버(120)의 수는 한 개인 것으로 도시되어 있지만, 이에 한정되는 것은 아니며 표시패널(110)의 크기, 해상도에 대응하여 두개 이상일 수 있다. 또한, 데이터드라이버(120)는 집적회로(Integrated circuit)로 구현될 수 있다. 데이터드라이버(120)이 집적회로 형태로 구현된 것을 드라이브 IC라고 칭할 수 있다.
- [0021] 게이트드라이버(130)는 게이트신호를 복수의 게이트라인(GL1, ..., GLn)에 인가할 수 있다. 게이트신호가 인가된 복수의 게이트라인(GL1, ..., GLn)에 대응하는 화소(101)는 데이터신호를 전달받을 수 있다. 또한, 게이트드라이버(130)는 센싱신호를 화소(101)로 전달할 수 있다. 게이트드라이버(130)에서 출력된 센싱신호를 전달받은 화소(101)는 데이터드라이버(120)에서 출력된 센싱전압을 전달받을 수 있다. 여기서, 게이트드라이버(130)의 수는 한 개인 것으로 도시되어 있지만, 이에 한정되는 것은 아니며, 적어도 두 개일 수 있다. 또한, 게이트드라이버(130)는 표시패널(110)의 양측에 배치되고 하나의 게이트드라이버(130)는 복수의 게이트라인(GL1, ..., GLn) 중 홀수번째 게이트라인에 연결되고 다른 하나의 게이트드라이버(130)는 복수의 게이트라인(GL1, ..., GLn) 중 짝수번째 게이트라인에 연결될 수 있다. 하지만, 이에 한정되는 것은 아니다. 게이트드라이버(130)는 집적회로로 구현될 수 있다.
- [0022] 타이밍컨트롤러(140)는 데이터드라이버(120)와 게이트드라이버(130)를 제어할 수 있다. 또한, 타이밍컨트롤러(140)는 데이터신호에 대응하는 영상데이터를 데이터드라이버(120)로 전달할 수 있다. 영상데이터는 디지털신호일 수 있다. 타이밍컨트롤러(140)는 영상신호를 보정하여 데이터드라이버(120)에 전달할 수 있다. 타이밍컨트롤러(140)의 동작은 이에 한정되는 것은 아니다. 타이밍컨트롤러(140)는 집적회로로 구현될 수 있다.
- [0024] 도 2는 도 1에 도시된 표시패널에서 인접한 4개의 화소의 배치를 나타내는 회로도이다.
- [0025] 도 2를 참조하면, 표시패널(100)은 나란하게 배치된 2개의 제1데이터라인(DL1) 및 제2데이터라인(DL2)이 제1방향으로 연장되고, 제1게이트라인(GL1) 내지 제4게이트라인(GL4)은 나란하게 배치되며 제2방향으로 연장된다. 또한, 제1게이트라인(GL1) 내지 제4게이트라인(GL4) 중 제2게이트라인(GL2)과 제3게이트라인(GL3)은 서로 인접하게 배치될 수 있다. 제2게이트라인(GL2)과 제3게이트라인(GL3)이 인접하다는 것은 제2게이트라인(GL2)과 제3게이트라인(GL3) 사이에 화소가 배치되지 않게 되어 있는 것을 의미할 수 있다. 하지만, 이에 한정되는 것은 아니다.

- [0026] 제1화소(101a)의 스위칭트랜지스터(Sta1)는 제1데이터라인(DL1)과 제1게이트라인(GL1)에 연결될 수 있다. 제2화소(101b)의 스위칭트랜지스터(Stb1)는 제1데이터라인(DL1)과 제2게이트라인(GL2)에 연결될 수 있다. 제3화소(101c)의 스위칭트랜지스터(Stc1)는 제2데이터라인(DL2)과 제1게이트라인(GL1)에 연결될 수 있다. 제4화소(101d)의 스위칭트랜지스터(Std1)는 제2데이터라인(DL2)과 제2게이트라인(GL2)에 연결될 수 있다.
- [0027] 제5화소(102a)의 스위칭트랜지스터(Sta2)는 제1데이터라인(DL1)과 제3게이트라인(GL3)에 연결될 수 있다. 제6화소(102b)의 스위칭트랜지스터(Stb2)는 제1데이터라인(DL1)과 제4게이트라인(GL4)에 연결될 수 있다. 제7화소(102c)의 스위칭트랜지스터(Stc2)는 제2데이터라인(DL2)과 제3게이트라인(GL3)에 연결될 수 있다. 제8화소(102d)의 스위칭트랜지스터(Std2)는 제2데이터라인(DL2)과 제4게이트라인(GL4)에 연결될 수 있다.
- [0028] 여기서의 표시패널(110)에 4*2로 배열되어 있는 복수의 화소를 포함하고 있는 것으로 도시되어 있지만, 이는 설명을 위한 예시적인 것으로 이에 한정되는 것은 아니다.
- [0029] 상기와 같이 화소들이 배치되어 있는 표시패널(110)은 예를 들어 제1화소(101a)와 제2화소(101b)가 서로 다른 시간에 데이터신호를 공급받되 1수평기간(Hsync)동안 데이터라인(D1, D2)에 데이터신호를 두번 전송하고 제1게이트라인(GL1)과 제2게이트라인(GL2)에 순차적으로 제1게이트신호와 제2게이트신호를 인가함으로써 화소들에 데이터신호가 공급되도록 할 수 있다. 이러한 방식으로 표시패널(110)을 구동하는 것을 더블레이트 드라이브(Double rate driving: 이하 DRD)방식이라고 칭할 수 있다.
- [0030] 유기발광표시장치(100)의 구동에서 DRD는 방식을 이용하게 되면, 데이터라인들(D1, ..., Dn)의 수를 줄일 수 있어 데이터신호를 출력하는 채널의 수가 작은 데이터드라이버(120)를 채용할 수 있다. 이로 인해, 표시패널(110)에 채용된 데이터드라이버(120)는 해상도에 비해 데이터신호를 출력하는 채널의 수가 작을 수 있다. 또한, 데이터드라이버(120)가 복수의 드라이브 IC를 채용한 경우 드라이브 IC의 수를 절감할 수 있다. 여기서의 하나의 데이터라인에 두개의 화소가 데이터신호를 공급받는 것을 도시되어 있지만, 이에 한정되는 것은 아니며 하나의 데이터라인을 통해 네개의 화소가 데이터신호를 공급받는 것도 가능하다.
- [0032] 도 3은 도 1에 도시된 화소의 일 실시예를 나타내는 회로도이다.
- [0033] 도 3을 참조하면, 화소(101)는 유기발광다이오드(OLED)와 유기발광다이오드(OLED)를 구동하는 화소회로를 포함할 수 있다. 화소회로는 제1트랜지스터(M1), 제2트랜지스터(M2), 제3트랜지스터(M3) 및 캐패시터(Cst)를 포함할 수 있다.
- [0034] 제1트랜지스터(M1)는 고전위전압(EVDD)이 전달되는 제1전원라인(VL1)에 제1전극이 연결되고 제1노드(N1)에 게이트전극이 연결되며 제2노드(N2)에 제2전극이 연결될 수 있다. 제1트랜지스터(M1)는 제1노드(N1)에 전달되는 전압에 대응하여 제2노드(N2)에 전류가 흐르도록 할 수 있다. 제1트랜지스터(M1)의 제1전극은 드레인전극이고, 제2전극은 소스전극일 수 있다. 하지만, 이에 한정되는 것은 아니다.
- [0035] 제2노드(N2)로 흐르는 전류는 하기의 수학적 식 1에 대응할 수 있다.

수학적 식 1

[0036]
$$I_d = k(V_{gs} - V_{th})^2$$

- [0037] 여기서, I_d 는 제2노드(N2)에 흐르는 전류의 양을 의미하고, k 는 트랜지스터의 전하이동도를 의미하며, V_{gs} 는 제1트랜지스터(M1)의 게이트전극과 소스전극의 전압차이를 의미하며, V_{th} 는 제1트랜지스터(M1)의 문턱전압을 의미한다.
- [0038] 따라서, 전하이동도와 문턱전압의 편차에 따라 전류의 양이 달라지게 되기 때문에 전하이동도와 문턱전압의 편차에 대응하여 데이터신호를 보정함으로써 화질이 저하되는 것을 방지할 수 있다. 또한, 전하이동도는 온도에 의해 달라질 수 있다. 제1트랜지스터(M1)를 구동트랜지스터라고 칭할 수 있다.
- [0039] 제2트랜지스터(M2)는 데이터라인(DL)에 제1전극이 연결되고 게이트라인(GL)에 게이트전극이 연결되며 제1노드(N1)에 제2전극이 연결될 수 있다. 따라서, 제2트랜지스터(M2)는 게이트라인(GL)을 통해 전달되는 게이트신호에 대응하여 제1노드(N1)에 데이터신호에 대응하는 데이터전압(V_{data})이 전달되게 할 수 있다. 제2트랜지스터

(M2)의 제1전극은 드레인전극이고, 제2전극은 소스전극일 수 있다. 하지만, 이에 한정되는 것은 아니다. 여기서, 제2트랜지스터(M2)는 도 2의 스위칭 트랜지스터(Sta1 내지 Stb2)에 대응할 수 있다.

- [0040] 제3트랜지스터(M3)는 제2노드(N2)에 제1전극이 연결되고 센싱제어라인(Sense)에 게이트전극이 연결되며 제2전원라인(VL2)에 제2전극이 연결될 수 있다. 제3트랜지스터(M3)는 센싱제어라인(Sense)을 통해 전달되는 센싱제어 신호에 대응하여 제2노드(N2)의 전압을 제2전원라인(VL2)으로 전달할 수 있다. 제3트랜지스터(M3)의 제1전극은 드레인전극이고, 제2전극은 소스전극일 수 있다. 하지만, 이에 한정되는 것은 아니다.
- [0041] 캐패시터(Cst)는 제1전극이 제1노드(N1)에 연결되고 제2전극이 제2노드(N2)에 연결될 수 있다. 캐패시터(Cst)는 제1트랜지스터(M1)의 게이트전극의 전압과 소스전극의 전압을 일정하게 유지할 수 있다.
- [0042] 유기발광다이오드(OLED)는 애노드전극이 제2노드(N2)에 연결되고 캐소드전극이 저전위전압(EVSS)에 연결될 수 있다. 여기서, 저전위전압(EVSS)은 접지일 수 있다. 하지만, 이에 한정되는 것은 아니다. 저전위전압(EVSS)은 저전원라인을 통해 공급받을 수 있다. 유기발광다이오드(OLED)는 애노드 전극에서 캐소드전극으로 전류가 흐르게 되면 전류의 양에 대응하여 빛을 발광할 수 있다. 유기발광다이오드(OLED)는 적색, 녹색, 청색, 백색 중 어느 하나의 색을 발광할 수 있다. 하지만, 이에 한정되는 것은 아니다.
- [0043] 유기발광표시장치(100)에 채용된 화소(101)의 회로는 이에 한정되는 것은 아니다.
- [0045] 도 4는 도 1에 도시된 유기발광표시장치의 후면의 일 실시예를 나타내는 평면도이고, 도 5는 도 4에 도시된 유기발광표시장치의 측면도이다.
- [0046] 도 4 및 도 5를 참조하면, 유기발광표시장치(100)는 표시패널(110)의 후면에 컨트롤인쇄회로기판(141)과 제1 내지 제4소스인쇄회로기판(121 내지 124)이 배치될 수 있다. 여기서, 소스인쇄회로기판(121 내지 124)의 수는 네 개 인것으로 도시되어 있지만, 이에 한정되는 것은 아니다.
- [0047] 컨트롤인쇄회로기판(141)은 연성케이블(161,162)을 이용하여 제1 및 제2소스인쇄회로기판(121,122)과 연결될 수 있다. 연성케이블(161,162)은 컨트롤인쇄회로기판(141)에 배치되어 있는 제1컨넥터(171) 및 제2컨넥터(172)와 제1 및 제2소스인쇄회로기판(121,122)에 각각 배치되어 있는 제3컨넥터(173) 및 제4컨넥터(173)를 통해 연결될 수 있다. 또한, 제1소스인쇄회로기판(121)과 제2소스인쇄회로기판(122)은 각각 연성케이블(163,164)을 이용하여 제3소스인쇄회로기판(123)과 제4소스인쇄회로기판(124)에 연결될 수 있다. 연성케이블(161 내지 164)은 FFC(Flexible flat cable) 또는 FPC(Flexible printed circuit)일 수 있다. 하지만, 이에 한정되는 것은 아니다.
- [0048] 그리고, 유기발광표시장치(100)는 드라이브 IC(미도시)가 배치되어 있는 복수의 필름(180)을 포함할 수 있다. 각 복수의 필름(180)은 일단이 제1소스인쇄회로기판(121) 내지 제4소스인쇄회로기판(124) 중 어느 하나에 연결되고 타단은 표시패널(110)에 연결될 수 있다. 필름(180)에는 배선이 배치되어 배선을 통해 드라이브 IC(281)가 표시패널(110)로 진호를 송수신하고 드라이브 IC(281)가 제1 내지 제4 인쇄회로기판(121 내지 124)에 배치되어 있는 배선들과 신호를 송수신할 수 있다.
- [0049] 상기와 같이 구성된 유기발광표시장치(100)는 컨트롤인쇄회로기판(141)의 자체 크기와 연성케이블(161,162)의 길이에 의해 컨트롤인쇄회로기판(141)이 표시패널(110) 후면의 중심라인(CL)에 근접하게 위치하게 될 수 있다. 따라서, 도 5에 도시되어 있는 것과 같이 유기발광표시장치(100)의 후면을 보호하는 케이스(110a)가 중심라인(CL)까지 간격(d1)에 대응하여 돌출될 수 있다.
- [0051] 도 6은 도 1에 도시된 유기발광표시장치의 후면의 다른 일 실시예를 나타내는 평면도이고, 도 7은 도 6에 도시된 유기발광표시장치의 측면도이다.
- [0052] 도 6 및 도 7을 참조하면, 유기발광표시장치(100)는 표시패널(110), 표시패널(110)의 후면에 배치되는 컨트롤인쇄회로기판(241)과 제1 및 제2소스인쇄회로기판(221,222)을 포함할 수 있다. 컨트롤인쇄회로기판(241)은 제1 및 제2소스인쇄회로기판(221,222) 사이에 배치될 수 있다. 또한, 컨트롤인쇄회로기판(241)은 제1 및 제2소스인쇄회로기판(221,222)과 각각 연결될 수 있다. 제1 및 제2소스인쇄회로기판(221,222)은 표시패널(110)과 각각 제1방향으로 연결될 수 있다. 그리고, 컨트롤인쇄회로기판(241)은 제1 및 제2소스인쇄회로기판(221,222)과 각각 제2방향으로 연결될 수 있다. 제1방향과 제2방향은 서로 상이한 방향일 수 있다. 제1방향은 표시패널(110)에

수직인 방향이고 제2방향은 표시패널(110)에 수평인 방향일 수 있다. 여기서, 소스인쇄회로기판(221,222)의 수는 2개 인것으로 도시되어 있지만, 이에 한정되는 것은 아니다. 또한, 컨트롤인쇄회로기판(241)은 제1소스인쇄회로기판(221) 또는 제2소스인쇄회로기판(222)은 서로 마주보는 면에 대응하여 연결될 수 있다.

[0053] 컨트롤인쇄회로기판(241)은 연성케이블(261,262)을 이용하여 제1 및 제2소스인쇄회로기판(221,222)과 각각 연결될 수 있다. 연성케이블(261,262)은 컨트롤인쇄회로기판(241)에 배치되어 있는 제1컨넥터(271)와 제1소스인쇄회로기판(221)에 배치되어 있는 제3컨넥터(273) 및 컨트롤인쇄회로기판(241)에 배치되어 있는 제2컨넥터(272)와 제2소스인쇄회로기판(222)에 배치되어 있는 제4컨넥터(274)를 통해 연결될 수 있다. 제1컨넥터(271)와 제3컨넥터(273)는 서로 마주보는 면에 배치되고 제2컨넥터(272)와 제4컨넥터(274)는 서로 마주보는 면에 배치될 수 있다. 이로 인해, 연성케이블(261,262)의 길이를 최소화시킬 수 있다. 컨트롤인쇄회로기판(241)과 제1소스인쇄회로기판(221) 또는 컨트롤인쇄회로기판(241)과 제2소스인쇄회로기판(222)을 연결하는 방법은 이에 한정되는 것은 아니다. 연성케이블(261,262)은 FFC(Flexible flat cable) 또는 FPC(Flexible printed circuit)일 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0054] 그리고, 유기발광표시장치(100)는 각각 드라이브 IC가 배치되어 있는 복수의 필름(280)을 포함할 수 있다. 복수의 필름(280) 각각은 일단이 제1소스인쇄회로기판(221) 또는 제2소스인쇄회로기판(222)에 연결되고 타단은 표시패널(110)에 연결될 수 있다. 각각의 필름(280)에는 배선이 배치되어 배선을 통해 드라이브 IC(281)가 표시패널(110)로 신호를 송수신하고 드라이브 IC(281)가 제1 또는 제2인쇄회로기판(221,222)에 배치되어 있는 배선들과 신호를 송수신할 수 있다. 또한, 필름(280)에 전원라인이 배치될 수 있다.

[0055] 컨트롤인쇄회로기판(241)과 제1소스인쇄회로기판(221) 또는 컨트롤인쇄회로기판(241)과 제2소스인쇄회로기판(222)을 연결하는 연성케이블(261,262)은 컨트롤인쇄회로기판(241)과 제1소스인쇄회로기판(221) 사이와 컨트롤인쇄회로기판(241)과 제2소스인쇄회로기판(222) 사이에 배치될 수 있다. 이로 인해, 연성케이블(261,262)은 컨트롤인쇄회로기판(241)이 제1소스인쇄회로기판(221) 또는 제2소스인쇄회로기판(222)과 서로 마주 보는 면을 연결되게 함으로써 연성케이블(261,262)의 길이를 짧게 구현할 수 있다. 연성케이블(261,262)의 길이가 짧게 구현되면 연성케이블(261,262)이 전달하는 신호가 왜곡되는 것을 최소화시킬 수 있다.

[0056] 컨트롤인쇄회로기판(241)이 제1소스인쇄회로기판(221)과 제2 소스인쇄회로기판(222)의 사이에 배치됨으로써, 컨트롤인쇄회로기판(241)은 표시패널(110)의 중심라인(CL)에 근접하지 않게 될 수 있다. 따라서, 도 7에 도시되어 있는 것과 같이 유기발광표시장치(100)의 후면의 케이스(110b)와 중심라인(CL)까지의 간격(d2)은 도 5의 길이(d1) 보다 길게 구현될 수 있다. 이로 인해 유기발광표시장치(100)는 도 5에 도시된 유기발광표시장치 보다 후면의 두꺼운 부분의 상하 폭이 줄어들 수 있어 후면에 튀어나온 부분의 크기를 줄일 수 있다. 따라서, 유기발광표시장치의 후면의 두께를 얇게 구현할 수 있다.

[0058] 도 8은 도 6에 도시된 제1소스인쇄회로기판, 제2소스인쇄회로기판 및 컨트롤인쇄회로기판의 배치관계의 제1실시예를 나타내는 평면도이고, 도 9는 도 8에 도시된 제1소스인쇄회로기판과 연성케이블을 확대한 평면도이다. 또한, 도 10은 도 6에 도시된 제1소스인쇄회로기판, 제2소스인쇄회로기판 및 컨트롤인쇄회로기판의 배치관계의 제2실시예를 나타내는 평면도이고, 도 11은 도 8에 도시된 제1소스인쇄회로기판과 연성케이블을 확대한 평면도이다.

[0059] 도 8 내지 도 11을 참조하면, 제1소스인쇄회로기판(221)은 제1메모리(250)와 제1신호선(230)이 배치되는 제1영역(221a)과, 드라이브 IC(281)가 배치되어 있는 필름(121)과 연결되는 제2신호선(270)이 배치되는 제2영역(221b)을 포함할 수 있다. 그리고, 제2소스인쇄회로기판(222)는 제1소스인쇄회로기판(221)과 동일한 형태로 배치될 수 있다. 하지만, 이에 한정되는 것은 아니다. 또한, 제1메모리(250)는 제1소스인쇄회로기판(221)에 배치되어 있는 것으로 도시되어 있지만 이에 한정되는 것은 아니며 제2소스인쇄회로기판(222)에 배치되어 있을 수 있다.

[0060] 제1소스인쇄회로기판(221)과 제2소스인쇄회로기판(222)은 제1영역(221a)에 의해 제2방향의 폭이 일정하지 않게 될 수 있다. 여기서, 제1영역(221a)과 제2영역(221b)의 폭의 합은 컨트롤인쇄회로기판(241)의 폭과 동일할 수 있다. 하지만, 이에 한정되는 것은 아니다. 여기서, 제1영역(221a)과 제2영역(221b)은 각각 사각형의 형태인 것으로 도시되어 있지만, 이에 한정되는 것은 아니다. 또한, 제1영역(221a)은 제2영역(221b)에 대응하는 제1면(301a)과 컨트롤인쇄회로기판(241)에 대응하는 제2면(302a)을 포함할 수 있다. 제1면(301a)은 가상의 라인으로 제1면(301a)의 전체는 제2영역(221b)에 접할 수 있다.

- [0061] 제1영역(221a)에는 제1메모리(250)와, 제1메모리(250)에 신호를 전송하거나 제1메모리(250)로부터 신호를 전송하는 제1신호선(230)이 배치될 수 있다. 제1메모리(250)는 전원이 오프되더라도 저장되어 있는 데이터가 리셋되지 않도록 할 수 있다. 제1메모리(250)는 NAND 플래시 메모리일 수 있다. NAND 플래시 메모리는 전원이 오프되더라도 데이터를 보존할 수 있는 비휘발성 메모리이다. 제1메모리(250)는 표시패널(110)의 구동트랜지스터의 문턱전압, 전자이동도, 카메라 보상 데이터, 기준값 등에 대한 정보를 저장하고 유기발광표시장치(100)가 턴온되면 제2메모리(150)로 저장된 데이터를 제공할 수 있다. 구동트랜지스터는 도 3의 제1트랜지스터(M1)일 수 있다. 제1메모리(250)는 표시패널(110)의 특성값을 저장하고 있는데, 제1메모리(250)을 교체하게 되면 표시패널(110)의 정확한 특성값을 이용하지 못하거나 제1메모리(250)에 저장된 데이터를 백업받아야 하는 문제가 발생할 수 있다. 제1메모리(250)가 제1소스인쇄회로기판(221) 또는 제2소스인쇄회로기판(222)에 배치되어 있으면, 고장으로 인해 컨트롤인쇄회로기판(241)을 교체하더라도 제1메모리(250)을 교체할 필요가 없어 상기의 문제점이 발생하지 않게 된다.
- [0062] 제1메모리(250)는 제1영역(221a)의 제1면(301a)과 대응하는 면에 제어신호를 공급받는 제어신호입력단(251)가 배치되고 제2면(302a)과 대응하는 면에 데이터신호가 입출력되는 데이터입출력단(252)가 배치될 수 있다. 제1면(301a)과 대응하는 면은 제1메모리(250)의 면 중 제1면(301a)과 평행하면서 가장 인접한 면일 수 있고, 제2면(302a)과 대응하는 면은 제2면(302a)과 평행하면서 가장 인접한 면일 수 있다. 제어신호입력단(251)는 제1신호선(230) 중 제어신호선(230a)이 연결될 수 있다. 제어신호선(230a)은 타이밍컨트롤러(140)로부터 제1메모리 리드(Nand_read_en) 명령어를 포함하는 신호, 제1메모리_쓰기(Nand_write_en) 명령어를 포함하는 신호를 전달하는 신호선을 포함할 수 있다. 제어신호선(230a)에 의해 전달되는 명령어를 포함하는 신호는 이에 한정되는 것은 아니다. 제1메모리(250)는 제어신호선(230a)으로부터 전달받은 신호에 포함된 명령어에 대응하여 동작할 수 있다. 제어신호선(230a)을 통해 전달되는 신호는 타이밍컨트롤러(140)에서 제1메모리(250)의 방향으로 전달되는 단방향 신호들이다.
- [0063] 데이터입출력단(252)는 제1신호선(230) 중 데이터신호선(230b)이 연결될 수 있다. 데이터입출력단(252)는 데이터신호선(230b)은 제어신호선(230a)을 통해 전달되는 명령에 의해 제1메모리(250)에 저장된 데이터가 출력되어 제2메모리(150)로 전달되도록 하거나 제2메모리(150)에 저장된 데이터를 전달받아 제1메모리(250)에 저장되게 할 수 있다.
- [0064] 제2영역(221b)은 드라이브 IC(281)가 실장된 필름(280)과, 드라이브 IC(281)에 신호를 공급하고 드라이브 IC(281)로부터 출력된 신호를 전달하는 제2신호선(270)이 배치될 수 있다. 하지만, 이에 한정되는 것은 아니며, 전원을 공급하는 전원선이 배치될 수 있다. 제2신호선(270)은 제2방향으로 연장된 제1배선(270a)을 포함할 수 있다. 또한, 제2신호선(270)은 드라이브 IC(281)가 실장된 필름(280)에 배치되어 있는 배선과 연결되기 위해 제1방향으로 연장되며 제1배선과 연결된 제2배선(270b)을 포함할 수 있다.
- [0065] 컨트롤인쇄회로기판(241)은 타이밍컨트롤러(140)와, 제2메모리(150)와, 파워블럭(160)이 배치될 수 있다. 타이밍컨트롤러(140)는 프로토콜에 대응하여 고속으로 신호를 전송할 수 있고 동작 중에 제2메모리(150)로부터 데이터를 공급받을 수 있다. 제2메모리(150)는 고속으로 데이터를 처리하는 타이밍컨트롤러(140)에 데이터를 공급하기 때문에 타이밍컨트롤러(140)에 인접하게 배치될 수 있다.
- [0066] 타이밍컨트롤러(140)은 컨트롤인쇄회로기판(241) 상에서 제1소스인쇄회로기판(221)까지의 거리와 제2소스인쇄회로기판(222)까지의 거리가 동일한 위치에 배치될 수 있다. 또한, 타이밍컨트롤러(140)는 컨트롤인쇄회로기판(241)의 중앙에 배치될 수 있다. 타이밍컨트롤러(140)는 제1소스인쇄회로기판(221)과 제2소스인쇄회로기판(222)으로 전송되는 신호가 전송되는 시간이 다르면 표시패널(110)에서 표시되는 영상에 왜곡이 발생될 우려가 있다. 하지만, 타이밍컨트롤러(140)이 컨트롤인쇄회로기판(241)에 배치되는 위치를 조절함으로써 전송되는 시간 차이가 발생되지 않도록 할 수 있다.
- [0067] 제2메모리(150)는 네개의 DDR(Double data rate synchronous dynamic random-access of memory)를 포함할 수 있다. DDR은 타이밍컨트롤러(140)로 저장된 데이터를 공급하고 타이밍컨트롤러(140)에서 연산된 데이터를 저장하고 NAND 플래시 메모리로 공급할 수 있다.
- [0068] 파워블럭(160)은 PMIC(Power management integrated circuit), 감마회로, 벡부스터 컨버터(Buck booster converter)를 포함할 수 있다. 하지만, 이에 한정되는 것은 아니다. 제2메모리(150)는 타이밍컨트롤러(140)와 인접하여 배치될 수 있다. 제2메모리(150)는 네개의 DDR(Double data rate synchronous dynamic random-access of memory)를 포함할 수 있다. 하지만, 이에 한정되는 것은 아니다.

- [0069] 그리고, 제1영역(221a)과 제2영역(221b)의 사이에 접지패턴(GND)이 배치될 수 있다. 접지패턴(GND)은 제1영역(221a)과 제2영역(221b)을 전기적으로 차폐하여 제1영역(221a)에 배치된 제1신호선(230)과 제2영역(221b)에 배치된 제2신호선(270)에 전달되는 신호들간의 간섭을 최소화할 수 있다. 접지패턴(GND)의 길이는 제1면(301a)의 길이에 대응할 수 있다.
- [0070] 제1소스인쇄회로기판(221)과 제2소스인쇄회로기판(222)은 각각 하나의 연성케이블(261,262)을 통해 컨트롤인쇄회로기판(241)과 연결될 수 있다. 하지만, 이에 한정되는 것은 아니다. 컨트롤인쇄회로기판(241), 제1소스인쇄회로기판(221) 및 제2소스인쇄회로기판(222)에는 각각 컨넥터(271,272,273,274)가 배치될 수 있다.
- [0071] 연성케이블(261,262)은 도 9 및 도 10에 도시되어 있는 것과 같이 일단은 컨트롤인쇄회로기판(241)에 배치되어 있는 제1컨넥터(271) 또는 제2컨넥터(272)에 연결되고 타단은 제1소스인쇄회로기판(221) 또는 제2소스인쇄회로기판(222)에 각각 배치되어 있는 제3컨넥터(273) 또는 제4컨넥터(274)에 연결될 수 있다. 또한, 연성케이블(261,262)은 도 10 및 도 11에 도시되어 있는 것과 같이 제1연성케이블(261a,262a)과 제2연성케이블(262b,262b)을 포함할 수 있다. 제1연성케이블(261a,262a)은 제1메모리(250)와 타이밍컨트롤러(140) 간에 전송되는 신호가 전달되고, 제2연성케이블(262b,262b)은 제1드라이브 IC(281)와 타이밍컨트롤러(140) 간에 전송되는 신호가 전달될 수 있다. 하지만, 이에 한정되는 것은 아니다. 제1메모리(250)가 제1소스인쇄회로기판(221)에만 배치되어 있는 경우 컨트롤인쇄회로기판(241)과 제2소스인쇄회로기판(222)을 연결하는 제1연성케이블(262a)은 신호가 전달되지 않을 수 있다. 또한, 제1연성케이블(262a)이 배치되지 않을 수 있다. 연성케이블(261,262)이 제1연성케이블(261a,262a)과 제2연성케이블(262b,262b)을 포함하게 되면, 제1메모리(250)와 타이밍컨트롤러(140) 간에 전달되는 신호와 제1 및 제2소스인쇄회로기판(222)의 드라이브 IC(281)와 타이밍컨트롤러(140) 간에 전달되는 신호가 분리됨으로써 신호 간섭이 줄어들게 할 수 있다.
- [0073] 도 12는 도 6에 도시된 제1소스인쇄회로기판, 제2소스인쇄회로기판 및 컨트롤인쇄회로기판의 배치관계의 제3실시예를 나타내는 평면도이고, 도 13은 도 12에 도시된 제1소스인쇄회로기판과 연성케이블을 확대한 평면도이다. 또한, 도 14는 도 6에 도시된 제1소스인쇄회로기판, 제2소스인쇄회로기판 및 컨트롤인쇄회로기판의 배치관계의 제4실시예를 나타내는 평면도이고, 도 15는 도 14에 도시된 제1소스인쇄회로기판과 연성케이블을 확대한 평면도이다.
- [0074] 도 12 내지 도 15을 참조하면, 제1소스인쇄회로기판(221)은 제1메모리(250)와 제1신호선(230)이 배치되는 제1영역(221a)과, 드라이브 IC(281)와 연결되고 제2신호선(270)이 배치되는 제2영역(221b)을 포함할 수 있다. 그리고, 제2소스인쇄회로기판(222)은 제1소스인쇄회로기판(221)과 동일한 형태로 배치될 수 있다. 하지만, 이에 한정되는 것은 아니다. 또한, 제1메모리(250)는 제1소스인쇄회로기판(221)에 배치되어 있는 것으로 도시되어 있지만 이에 한정되는 것은 아니며 제2소스인쇄회로기판(222)에 배치되어 있을 수 있다.
- [0075] 제1소스인쇄회로기판(221)과 제2소스인쇄회로기판(222)은 제1영역(221a)에 의해 제2방향의 폭이 일정하지 않게 될 수 있다. 여기서, 제1영역(221a)과 제2영역(221b)의 폭의 합은 컨트롤인쇄회로기판(241)의 폭보다 두꺼운 것으로 도시되어 있지만, 이에 한정되는 것은 아니다. 제1영역(221a)은 제2영역(221b)에 대응하는 제1면(301a)과 컨트롤인쇄회로기판(241)에 대응하는 제2면(302a)을 포함할 수 있다. 또한, 제1영역(221a)은 일부가 제2영역(221b)에 접하고 다른 일부는 제2영역(221b)과 접하지 않도록 하여 제2영역(221b)과 일정한 갭(GAP)이 유지되게 할 수 있다. 제1면(301a)은 갭(GAP)에 의해 단차를 가지고 형성될 수 있다.
- [0076] 제1영역(221a)에는 제1메모리(250)와, 제1메모리(250)에 신호를 전송하거나 제1메모리(250)로부터 신호를 전송하는 제1신호선(230)이 배치될 수 있다. 제1메모리(250)는 전원이 오프되더라도 저장되어 있는 데이터가 리셋되지 않도록 할 수 있다. 제1메모리(250)는 NAND 플래쉬 메모리일 수 있다. 하지만, 이에 한정되는 것은 아니다. 제1메모리(250)는 제1영역(221a)의 제1면(301a)의 반대면에 제어신호를 공급받는 제어신호입력단(251)가 배치되고 제2면(302a)과 대응하는 면에 데이터신호가 입출력되는 데이터입출력단(252)가 배치될 수 있다. 제어신호입력단(251)은 제1신호선(230) 중 제어신호선(230a)이 연결될 수 있다. 제어신호선(230a)은 타이밍컨트롤러(140)로부터 제1메모리 리드(Nand_read_en) 명령어를 포함하는 신호, 제1메모리_쓰기(Nand_write_en) 명령어를 포함하는 신호를 전달하는 복수의 신호선을 포함할 수 있다. 여기서, 제어신호선(230a)에 의해 전달되는 명령어를 포함하는 신호는 이에 한정되는 것은 아니다. 제1메모리(250)는 제어신호선(230a)으로부터 전달받은 신호에 포함된 명령어에 대응하여 동작할 수 있다. 제어신호선(230a)을 통해 전달되는 신호는 타이밍컨트롤러(140)에서 제1메모리(250)의 방향으로 전달되는 단방향 신호들이다.

- [0077] 데이터입출력단(252)는 제1신호선(230) 중 데이터신호선(230b)이 연결될 수 있다. 데이터입출력단(252)는 데이터신호선(230b)을 제어신호선(230a)을 통해 전달되는 명령에 의해 제1메모리(250)에 저장된 데이터가 출력되어 제2메모리(150)로 전달되도록 하거나 제2메모리(150)에 저장된 데이터를 전달받아 제1메모리(250)에 저장되게 할 수 있다.
- [0078] 제2영역(221b)은 드라이브 IC(281)가 실장된 필름(280)과, 드라이브 IC(281)에 신호를 공급하고 드라이브 IC(281)로부터 출력된 신호를 전달하는 제2신호선(270)이 배치될 수 있다. 제2신호선(270)은 제2방향으로 연장된 제1배선(270a)을 포함할 수 있다. 또한, 제2신호선(270)은 드라이브 IC(281)가 실장된 필름(280)에 배치되어 있는 배선과 연결되기 위해 제1방향으로 연장되며 제1배선(270a)과 연결된 제2배선(270b)을 포함할 수 있다. 제1배선(270a)과 제2배선(270b)은 드라이브 IC를 제어하는 제어신호를 전달하는 신호선, 영상신호를 전달하는 신호선, 전원을 전달하는 전원선을 포함할 수 있다. 하지만, 이에 한정되는 것은 아니다.
- [0079] 제1영역(221a)과 제2영역(221b) 사이에는 일정한 간격을 갖는 갭(GAP)이 형성되어 있고, 갭(GAP)에 의해 일정한 간격이 유지되어 제1영역(221a)으로 전달되는 신호와 제2영역(221b)으로 전달되는 신호는 서로 간섭이 발생되지 않게 될 수 있다. 또한, 제1영역(221a)과 제2영역(221b) 사이에 접지패턴(GND)이 배치됨으로써 신호간섭을 방지할 수 있다.
- [0080] 컨트롤인쇄회로기판(241)은 타이밍컨트롤러(140)와, 제2메모리(150)와, 파워블록(160)이 배치될 수 있다. 타이밍컨트롤러(140)는 프로토콜에 대응하여 고속으로 신호를 전송할 수 있고 동작 중에 제2메모리(150)로부터 데이터를 공급받을 수 있다. 제2메모리(150)는 고속으로 데이터를 처리하는 타이밍컨트롤러(140)에 데이터를 공급하기 때문에 타이밍컨트롤러(140)에 인접하게 배치될 수 있다.
- [0081] 타이밍컨트롤러(140)은 제1소스인쇄회로기판(221)까지의 거리와 제2소스인쇄회로기판(222)까지의 거리가 동일할 수 있다. 또한, 타이밍컨트롤러(140)는 컨트롤인쇄회로기판(241)의 중앙에 배치될 수 있다. 타이밍컨트롤러(140)는 제1소스인쇄회로기판(221)과 제2소스인쇄회로기판(222)으로 전송되는 신호가 전송되는 시간이 다른 표시패널(110)에서 표시되는 영상에 왜곡이 발생할 우려가 있다. 하지만, 타이밍컨트롤러(140)가 컨트롤인쇄회로기판(241)에 상에 배치되는 위치를 조절함으로써 타이밍컨트롤러(140)에서 전송하는 신호들 간에 전송되는 시간 차이가 발생되지 않게 할 수 있다.
- [0082] 제2메모리(150)는 네개의 DDR(Double data rate synchronous dynamic random-access of memory)를 포함할 수 있다. 하지만, 제2메모리(150)에 포함된 메모리의 수와 종류는 이에 한정되는 것은 아니다. 제2메모리(150)는 타이밍컨트롤러(140)로 저장된 데이터를 공급하고 타이밍컨트롤러(140)에서 연산된 데이터를 저장하고 제2메모리(150)로 공급할 수 있다.
- [0083] 파워블록(160)은 PMIC(Power management integrated circuit), 감마회로, 벡부스터 컨버터(Buck booster converter)를 포함할 수 있다. 하지만, 이에 한정되는 것은 아니다. 제2메모리(150)는 타이밍컨트롤러(140)와 인접하여 배치될 수 있다. 파워블록(160)은 타이밍 컨트롤러(140)의 상부에 배치되고 제1소스 인쇄회로기판(221) 또는 제2소스인쇄회로기판(222)과의 거리가 동일하도록 배치될 수 있다. 하지만, 이에 한정되는 것은 아니다.
- [0084] 그리고, 제1영역(221a)과 제2영역(221b)의 사이에 접지패턴(GND)이 배치될 수 있다. 접지패턴(GND)은 제1영역(221a)과 제2영역(221b)을 전기적으로 차폐하여 제1영역(221a)에 배치된 제1신호선(230)과 제2영역(221b)에 배치된 제2신호선(270)에 전달되는 신호들간의 간섭을 최소화할 수 있다. 접지패턴(GND)의 길이는 제1면(301a)의 길이에 대응할 수 있다.
- [0085] 제1소스인쇄회로기판(221)과 제2소스인쇄회로기판(222)은 각각 하나의 연성케이블(261,262)을 통해 컨트롤인쇄회로기판(241)과 연결될 수 있다. 컨트롤인쇄회로기판(241), 제1소스인쇄회로기판(221), 제2소스인쇄회로기판(222)에는 각각 컨넥터(271,272,273,274)가 배치될 수 있다.
- [0086] 연성케이블(261,262)은 도 12 및 도 13에 도시되어 있는 것과 같이 일단은 컨트롤인쇄회로기판(241)에 배치되어 있는 제1컨넥터(271) 또는 제2컨넥터(272)와 연결되고 타단은 제1소스인쇄회로기판(221) 또는 제2소스인쇄회로기판(222)에 배치되어 있는 제3컨넥터(273) 또는 제4컨넥터(274)와 연결될 수 있다. 또한, 연성케이블(261,262)은 도 14 및 도 15에 도시되어 있는 것과 같이 제1연성케이블(261a,262a)과 제2연성케이블(261b,262b)을 포함할 수 있다. 제1연성케이블(261a,262a)은 제1메모리(250)와 타이밍컨트롤러(140)를 연결하고, 제2연성케이블(261b,262b)은 제1드라이브 IC(281)와 타이밍컨트롤러(140)를 연결할 수 있다. 연성케이블(261,262)이 제1연성케이블(261a,262a)과 제2연성케이블(261b,262b)을 포함하게 되면, 제1메모리(250)와

타이밍컨트롤러(140) 간에 전달되는 신호와 제1 및 제2소스인쇄회로기판(222)의 드라이브 IC(281)와 타이밍컨트롤러(140) 간에 전달되는 신호가 분리되어 전달되게 됨으로써 신호들 간의 간섭이 줄어들게 할 수 있다.

[0088] 도 16은 도 8에 도시된 제1인쇄회로기판의 A-A' 의 단면의 일 실시예를 나타내는 단면도이다.

[0089] 도 16을 참조하면, 제1소스인쇄회로기판(221)은 제1레이어 내지 제4레이어(1L 내지 4L)를 포함하는 복수의 레이어를 포함할 수 있다. 제1레이어(1L)에 신호배선들이 배치되고 제2레이어(2L)에 전원을 공급하는 배선이 배치될 수 있다. 또한, 제3레이어(3L)에는 제1레이어(1L)에 배치되지 않은 신호 배선이 배치될 수 있고, 제4레이어(4L)에는 접지배선이 배치될 수 있다. 하지만, 이에 한정되는 것은 아니다.

[0090] 그리고, 제1소스인쇄회로기판(221)의 제1영역(221a)과 제2영역(221b) 사이에 배치되어 있는 접지패턴(GND)은 제1레이어 내지 제4레이어(1L 내지 4L)에 일체로 형성될 수 있다. 하지만, 이에 한정되는 것은 아니며 복수의 레이어 중 적어도 제1레이어(1L) 및 제2레이어(2L)에 일체로 형성될 수 있다. 접지패턴(GND)에 의해 제1영역(221a)에서 전송되는 신호들과 제2영역(221b)에서 전송되는 신호들 간의 간섭이 줄어들게 될 수 있다.

[0092] 도 17은 도 6에 도시된 제1소스인쇄회로기판과 컨트롤인쇄회로기판이 슬롯 형태로 연결된 것을 나타내는 단면도이다.

[0093] 도 17을 참조하면, 제1소스인쇄회로기판(221)의 측면에는 돌기(201a)가 형성되어 있고, 컨트롤인쇄회로기판(241)에는 돌기에 대응하는 홈(201b)이 형성될 수 있다. 돌기(201a)와 홈(201b)은 각각 제1소스인쇄회로기판(221)의 측면과 컨트롤인쇄회로기판(241) 측면에 소정의 길이를 갖고 형성될 수 있다. 그리고, 제1소스인쇄회로기판(221)과 컨트롤인쇄회로기판(241)은 슬라이딩 방식으로 홈(201b)이 돌기(201a)에 체결되는 방식으로 결합할 수 있다. 이로 인해, 컨트롤인쇄회로기판(241)은 제1소스인쇄회로기판(221)과 직접 체결될 수 있다. 여기서, 제1소스인쇄회로기판(221)의 측면에는 돌기(201a)가 형성되고 컨트롤인쇄회로기판(241)에 홈(201b)이 형성되는 것으로 도시되어 있지만, 이에 한정되는 것은 아니다. 돌기(201a)와 홈(201b)에 의해 연성케이블(261)을 사용하지 않고 제1소스인쇄회로기판(221)은 컨트롤인쇄회로기판(241)과 체결될 수 있다. 제1소스인쇄회로기판(221)과 컨트롤인쇄회로기판(241)이 체결되면 서로 밀착하게 되어 각각에 배치되어 있는 배선들이 연결될 수 있다. 제2소스인쇄회로기판(222) 역시 연성케이블(262)을 사용하지 않고 컨트롤인쇄회로기판(241)과 직접 체결될 수 있다. 여기서, 돌기(201a)와 홈(201b)의 형상은 도시된 것에 한정되는 것은 아니다.

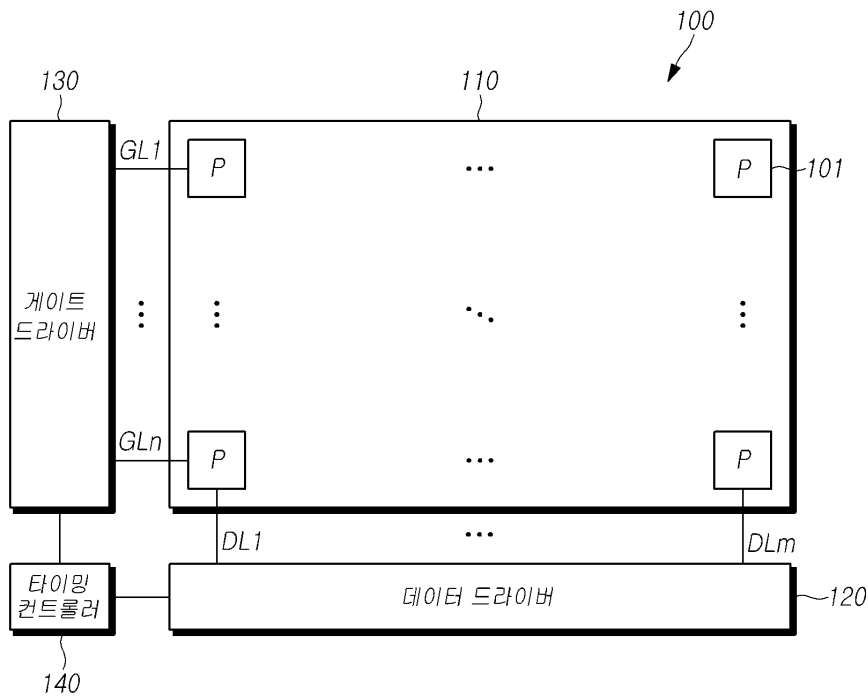
[0095] 이상에서의 설명 및 첨부된 도면은 본 발명의 기술 사상을 예시적으로 나타낸 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 구성의 결합, 분리, 치환 및 변경 등의 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

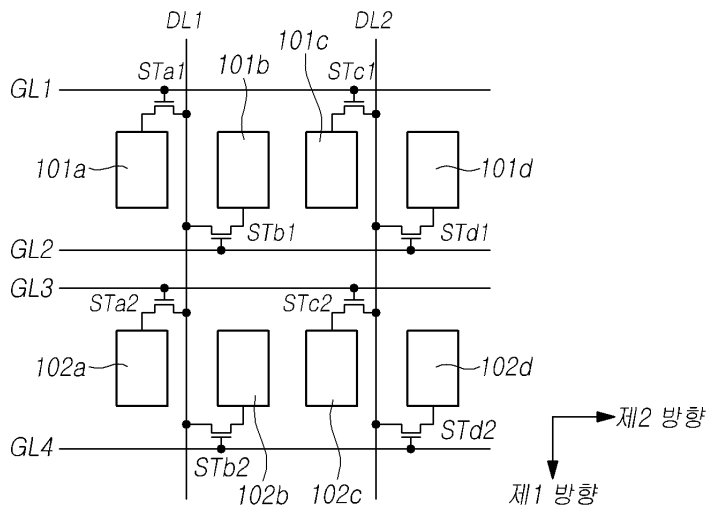
- [0097] 100: 유기발광표시장치
- 101: 화소
- 110: 표시패널
- 120: 데이터드라이버
- 130: 게이트드라이버
- 140: 타이밍컨트롤러

도면

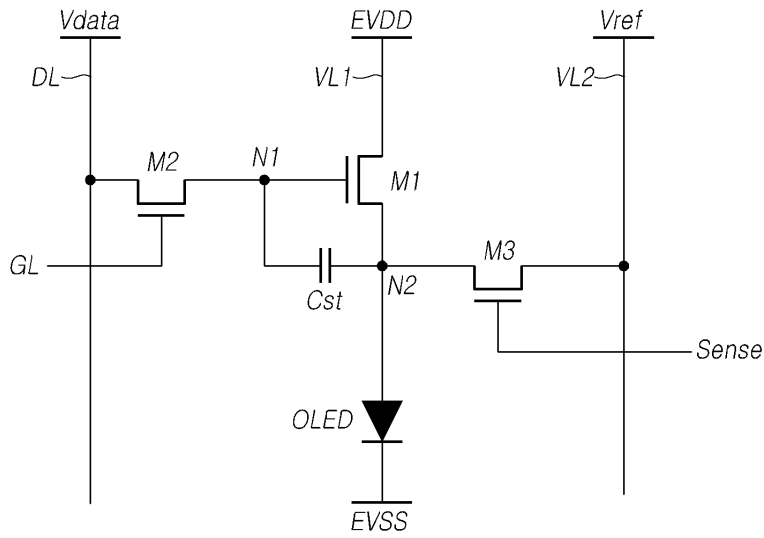
도면1



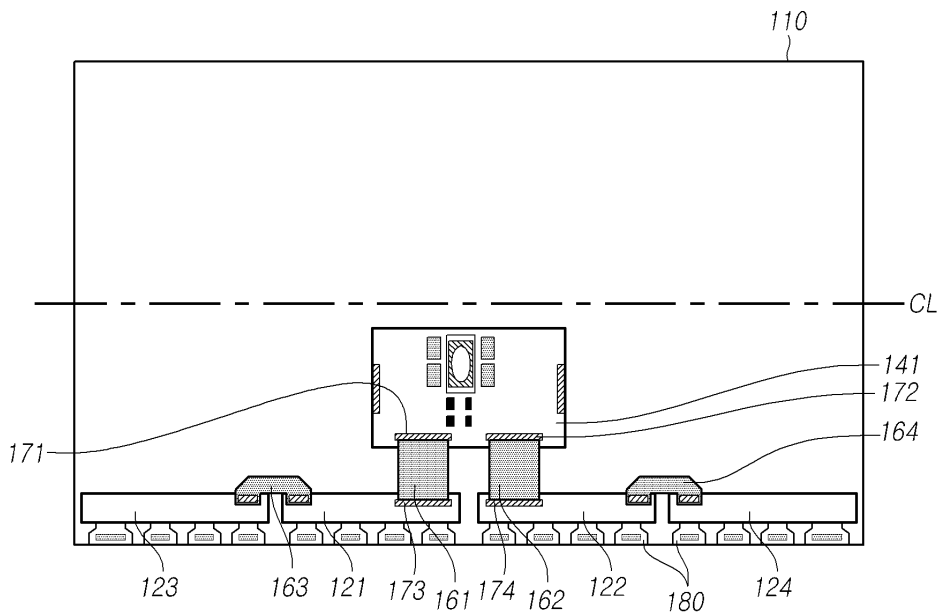
도면2



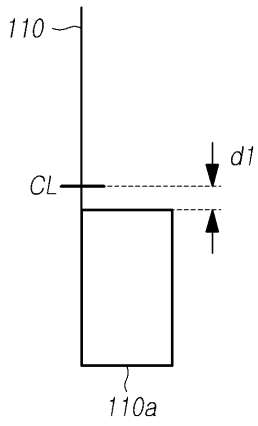
도면3



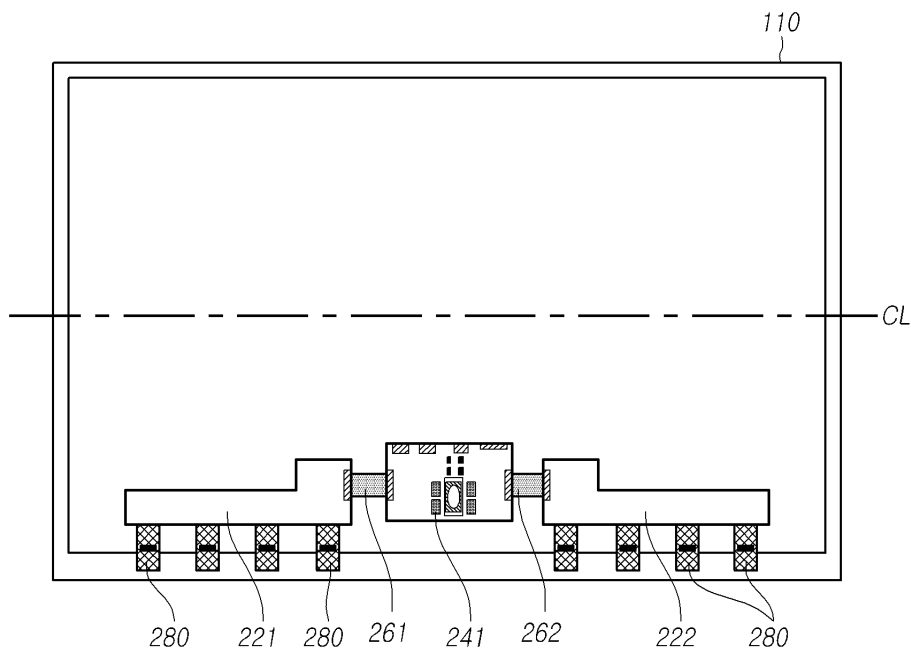
도면4



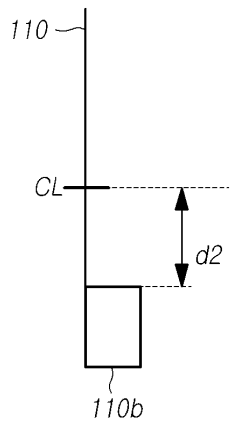
도면5



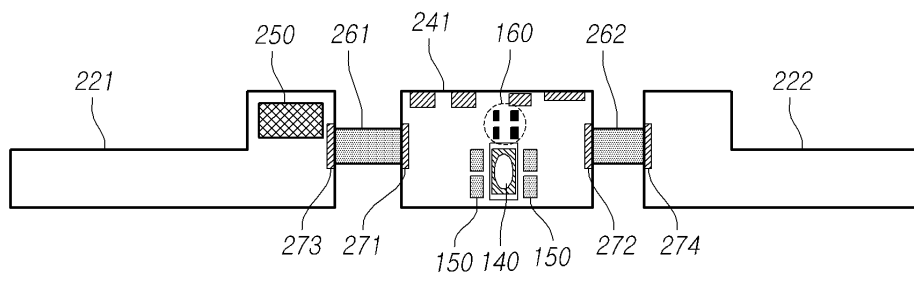
도면6



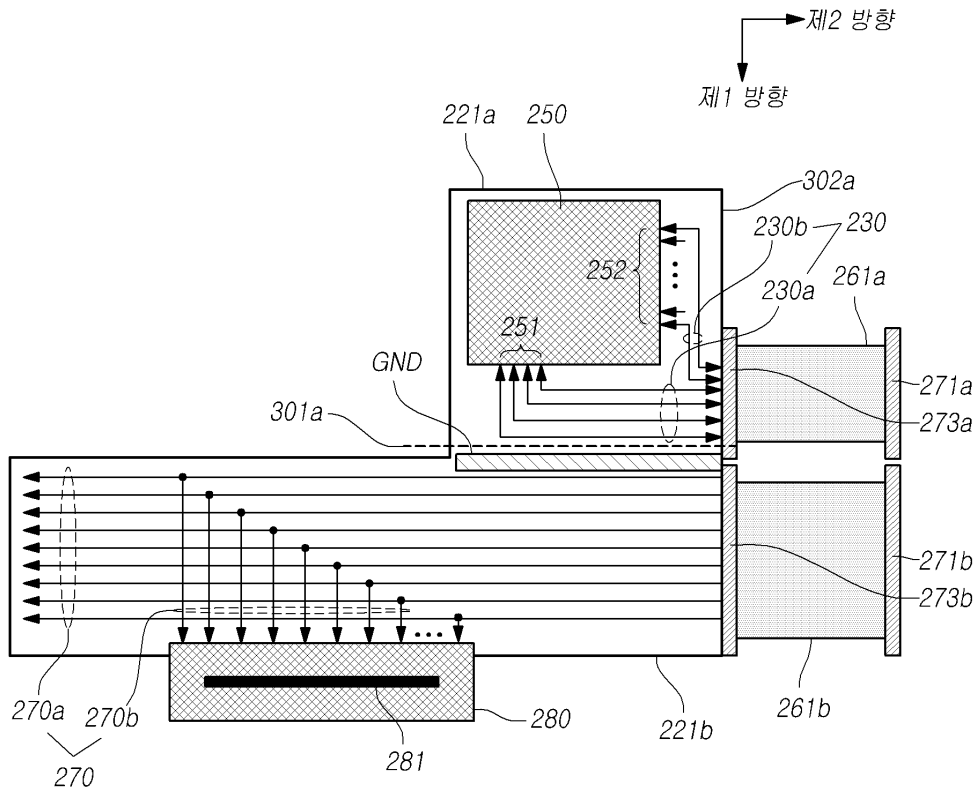
도면7



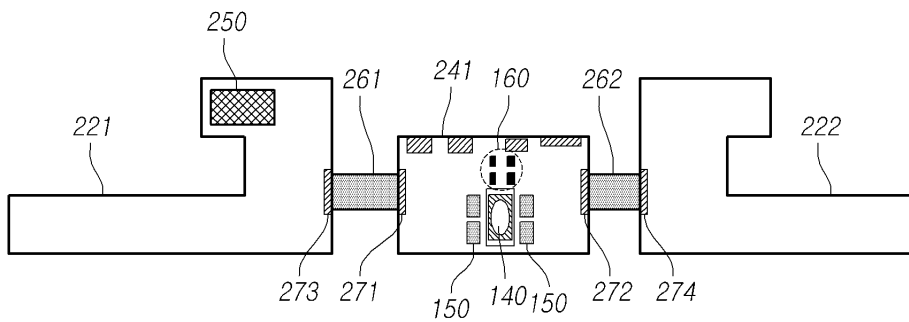
도면8



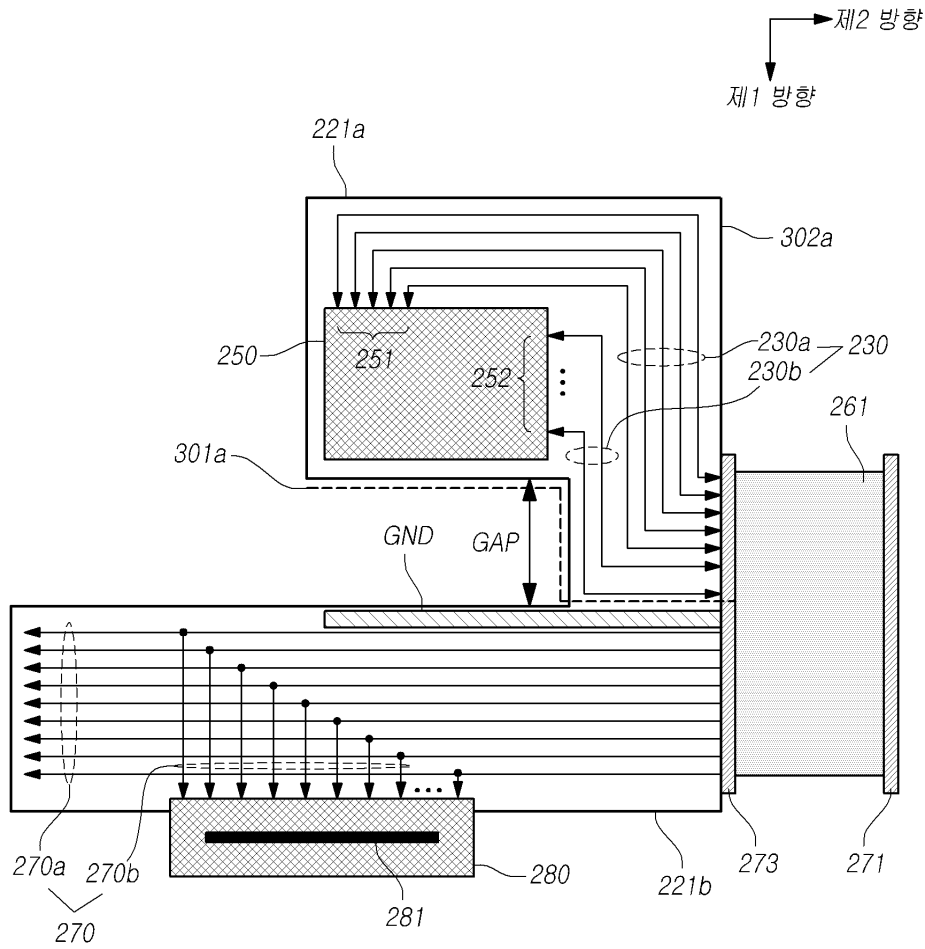
도면11



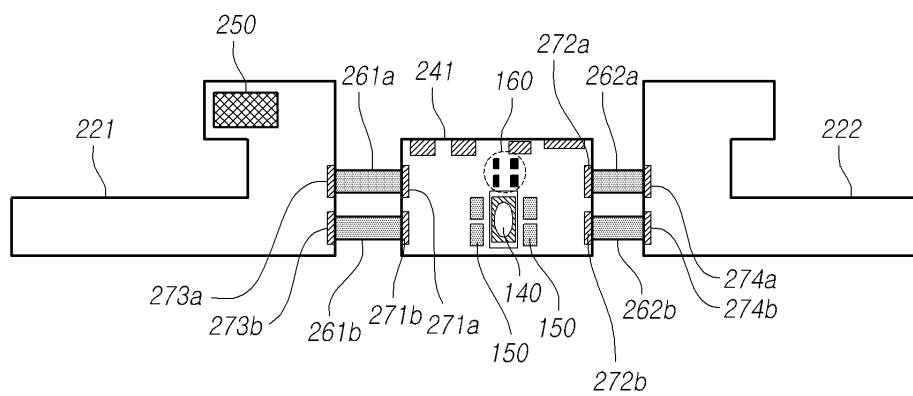
도면12



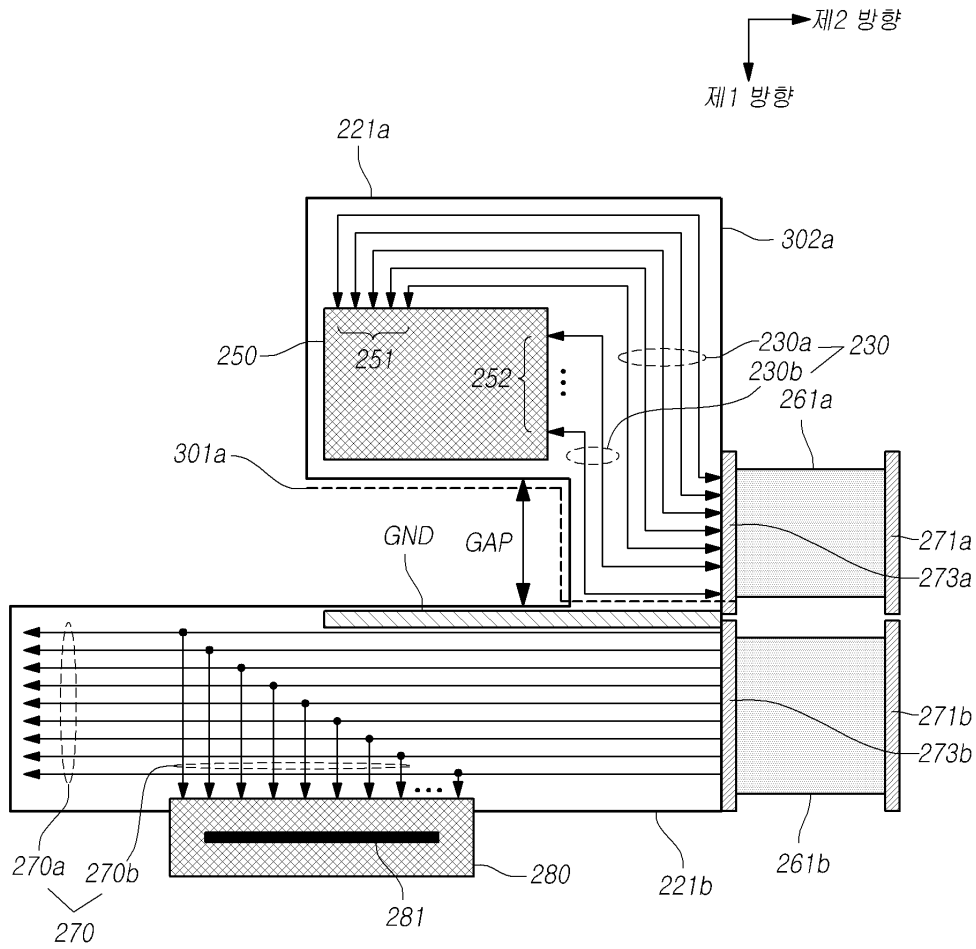
도면13



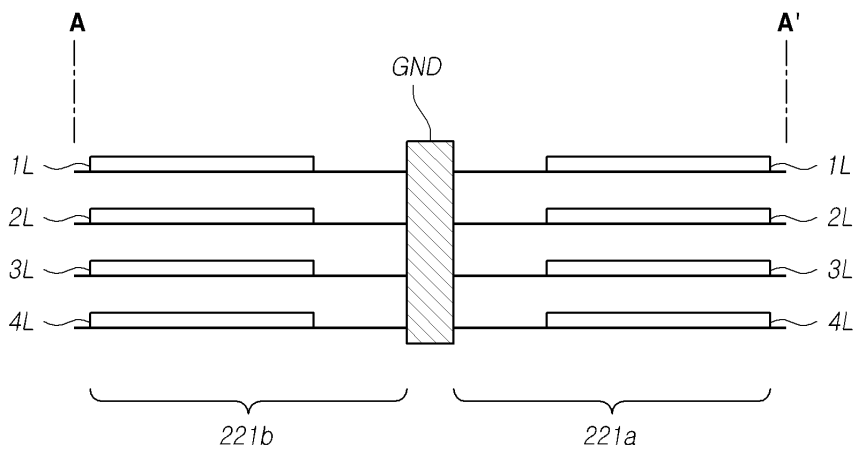
도면14



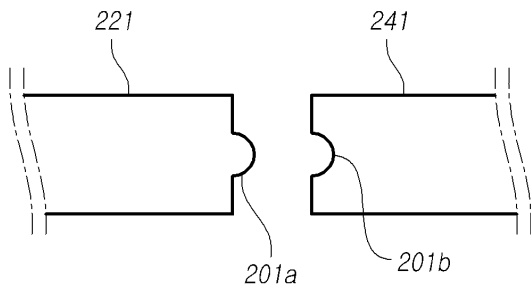
도면15



도면16



도면17



专利名称(译)	有机发光显示装置		
公开(公告)号	KR1020200054732A	公开(公告)日	2020-05-20
申请号	KR1020180138402	申请日	2018-11-12
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최진술 송병찬 김창인 박용규		
发明人	최진술 송병찬 김창인 박용규		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/32 H01L51/50 H05K2201/10128 G09G3/3233 G09G2300/0819 G09G2320/0295 H01L25/048 H05K1/0224 H05K1/148 H05K1/189 H05K2201/10159 H05K2201/10189 G09G3/3275 G09G2310/08 H01L27/3276 H05K1/0219		
外部链接	Espacenet		

摘要(译)

提供一种有机发光显示设备，该有机发光显示设备包括显示面板，在第一方向上连接至显示面板的第一源极印刷电路板，并且包括布置在第一源极印刷电路板的区域中的第一存储器，第二源极印刷电路板沿第一方向连接到显示面板，控制印刷电路板设置在第一源印刷电路板和第二源印刷电路板之间，并分别连接到第一源印刷电路板和第二源印刷电路板。这里，控制印刷电路板和第一源极印刷电路板的连接方向以及控制印刷电路板和第二源极印刷电路板的连接方向是与第一方向不同的第二方向。

