(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0026155
(43) 공개일자 2019년03월13일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) *H01L 27/32* (2006.01)
H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 51/5237 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2017-0112536
(22) 출원일자 2017년09월04일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
최호원
경기도 파주시 월롱면 엘지로 245
허준영
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로얄

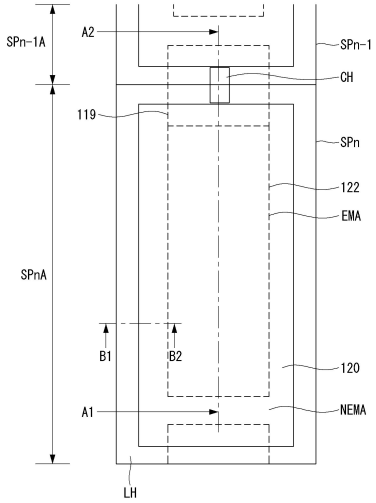
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **전계발광표시장치 및 이의 제조방법**

(57) 요 약

본 발명은 하부기판, 서브 픽셀들 및 콘택홀을 갖는 전계발광표시장치를 제공한다. 하부기판은 트랜지스터부를 갖는다. 서브 픽셀들은 트랜지스터부 상에 위치하는 발광다이오드를 갖는다. 콘택홀은 트랜지스터부의 전극과 발광다이오드의 전극 간의 전기적인 연결을 돕는다. 콘택홀은 서브 픽셀들의 경계영역에 위치한다.

대 표 도 - 도5



(52) CPC특허분류
H01L 27/3258 (2013.01)
H01L 51/5203 (2013.01)
H01L 51/56 (2013.01)

명 세 서

청구범위

청구항 1

하부기판 상의 트랜지스터부;

상기 트랜지스터부 상의 하부절연층;,

상기 하부절연층 상에 위치하고 상기 트랜지스터부의 전극을 일부 노출하는 콘택홀을 갖는 평탄화층;

상기 평탄화층의 상부 표면과 상기 콘택홀에 위치하는 연결전극층;

상기 평탄화층의 상부 표면에서 상기 연결전극층의 일부를 노출하며 발광영역을 정의하는 희생층;

상기 희생층을 통해 노출된 상기 연결전극층 상에 위치하고 상기 희생층과 이격된 하부전극층;

상기 희생층 및 상기 하부전극층 상의 유기 발광층; 및

상기 유기 발광층 상의 상부전극층을 포함하는 전계발광표시장치.

청구항 2

제1항에 있어서,

상기 하부전극층의 끝단은 정 테이퍼 형상을 갖는 전계발광표시장치.

청구항 3

제1항에 있어서,

상기 하부전극층의 끝단은

정 테이퍼 형상을 갖되, 테이퍼 각도가 45° 를 넘지 않는 전계발광표시장치.

청구항 4

제1항에 있어서,

상기 콘택홀은

상기 트랜지스터부의 전극과 상기 하부전극층 간의 전기적 연결을 돕는 통로를 제공하는 전계발광표시장치.

청구항 5

제1항에 있어서,

상기 평탄화층

상기 하부전극층이 형성되지 않은 외곽영역을 모두 둘러싸도록 폐곡선 형태로 형성된 패턴홀을 더 포함하는 전계발광표시장치.

청구항 6

제5항에 있어서,

상기 패턴홀은

그 내부에 상기 하부전극층, 상기 유기 발광층 및 상기 상부전극층이 위치하고,

상기 패턴홀 내부에 위치하는 상기 하부전극층, 상기 유기 발광층 및 상기 상부전극층의 두께는 상기 평탄화층의 상부 표면에 위치하는 상기 하부전극층, 상기 유기 발광층 및 상기 상부전극층의 두께보다 얇은 전계발광표시장치.

청구항 7

제1항에 있어서,

상기 연결전극층은

상기 하부전극층과 일부만 중첩하거나 모두 중첩하는 전계발광표시장치.

청구항 8

트랜지스터부를 갖는 하부기판, 상기 트랜지스터부 상에 위치하는 발광다이오드를 갖는 서브 픽셀들, 및 상기 트랜지스터부의 전극과 상기 발광다이오드의 전극 간의 전기적인 연결을 돕는 콘택홀을 포함하는 전계발광표시장치의 제조방법에 있어서,

상기 트랜지스터부 상에 하부절연층을 형성하는 단계;

상기 하부절연층 상에 상기 트랜지스터부의 전극을 일부 노출하는 상기 콘택홀을 갖는 평탄화층을 형성하는 단계;

상기 평탄화층의 상부 표면과 상기 콘택홀에 위치하고, 상기 트랜지스터부의 전극과 상기 발광다이오드의 전극을 전기적으로 연결하는 연결전극층을 형성하는 단계;

상기 평탄화층 상에 상기 연결전극층을 덮는 희생층을 형성하는 단계;

상기 희생층 상에 분리층을 형성하고, 상기 분리층과 상기 희생층의 일부를 제거하여 상기 연결전극층을 노출하는 단계;

상기 분리층 및 노출된 상기 연결전극층 상에 하부전극층을 형성하는 단계;

상기 희생층 및 상기 하부전극층이 노출되도록 상기 분리층을 제거하는 단계;

상기 희생층 및 상기 하부전극층 상에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 상부전극층을 형성하는 단계를 포함하고,

상기 하부전극층은 상기 분리층의 언더컷 구조에 의해 상기 희생층과 이격되는 전계발광표시장치의 제조방법.

청구항 9

제8항에 있어서,

상기 하부전극층의 끝단과 상기 희생층의 끝단은 정 테이퍼 형상을 갖는 전계발광표시장치의 제조방법.

청구항 10

제8항에 있어서,

상기 하부전극층의 끝단은

정 테이퍼 형상을 갖되, 테이퍼 각도가 45° 를 넘지 않는 전계발광표시장치의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 전계발광표시장치 및 이의 제조방법에 관한 것이다.

배 경 기 술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치, 액정표시장치 및 플라즈마표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부

및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 전계발광표시장치는 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 빛을 발광하게 됨으로써 영상을 표시할 수 있게 된다. 발광다이오드는 유기물을 기반으로 구현되거나 무기물을 기반으로 구현된다.

[0005] 전계발광표시장치는 서브 픽셀 내부에 포함된 발광다이오드로부터 생성된 빛을 기반으로 영상을 표시하므로 차세대 표시장치로 각광받는 등 다양한 장점을 지니고 있다. 그런데 종래 제안된 전계발광표시장치는 초고해상도로 구현하기 위해 발광다이오드의 전류 누설(Leakage)을 낮추면서 개구율을 향상해야 하는 문제가 남아 있다.

발명의 내용

해결하려는 과제

[0006] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 초고해상도 구현에 적합하도록 고개구율을 가지면서 우수한 전기적 특성을 나타낼 수 있는 구조를 제공하는 것이다.

과제의 해결 수단

[0007] 상술한 과제 해결 수단으로 본 발명은 트랜지스터부, 하부절연층, 평탄화층, 연결전극층, 희생층, 하부전극층 및 상부전극층을 포함하는 전계발광표시장치를 제공한다. 트랜지스터부는 하부기판 상에 위치한다. 상부절연층은 트랜지스터부 상에 위치한다. 평탄화층은 하부절연층 상에 위치하고 트랜지스터부의 전극을 일부 노출하는 콘택홀을 갖는다. 연결전극층은 평탄화층의 상부 표면과 콘택홀에 위치한다. 히생층은 평탄화층의 상부 표면에서 연결전극층의 일부를 노출하며 발광영역을 정의한다. 하부전극층은 희생층을 통해 노출된 연결전극층 상에 위치하고 희생층과 이격된다. 유기 발광층은 희생층 및 하부전극층 상에 위치한다. 상부전극층은 유기 발광층 상에 위치한다.,

[0008] 하부전극층의 끝단은 정 테이퍼 형상을 가질 수 있다.

[0009] 하부전극층의 끝단은 정 테이퍼 형상을 갖되, 테이퍼 각도가 45° 를 넘지 않을 수 있다.

[0010] 콘택홀은 트랜지스터부의 전극과 하부전극층 간의 전기적 연결을 돕는 통로를 제공할 수 있다.

[0011] 콘택홀은 하부기판 상에 배치된 서브 픽셀들 간의 상하 경계영역에 위치하고, 서브 픽셀들 간의 상하 경계영역은 비표시영역으로서 스캔라인이 배치된 영역으로 정의될 수 있다.

[0012] 서브 픽셀들은 하부전극층이 형성되지 않은 외곽영역을 모두 둘러싸도록 폐곡선 형태로 형성된 패턴홀을 각각 더 포함할 수 있다.

[0013] 패턴홀은 그 내부에 하부전극층, 유기 발광층 및 상부전극층이 위치하고, 패턴홀 내부에 위치하는 하부전극층, 유기 발광층 및 상부전극층의 두께는 평탄화층의 상부 표면에 위치하는 하부전극층, 유기 발광층 및 상부전극층의 두께보다 얇을 수 있다.

[0014] 연결전극층은 하부전극층과 일부만 중첩하거나 모두 중첩할 수 있다.

[0015] 다른 측면에서 본 발명은 트랜지스터부를 갖는 하부기판, 트랜지스터부 상에 위치하는 발광다이오드를 갖는 서브 픽셀들, 및 트랜지스터부의 전극과 발광다이오드의 전극 간의 전기적인 연결을 돕는 콘택홀을 포함하는 전계발광표시장치의 제조방법을 제공한다. 전계발광표시장치의 제조방법은 트랜지스터부 상에 하부절연층을 형성하는 단계, 하부절연층 상에 트랜지스터부의 전극을 일부 노출하는 콘택홀을 갖는 평탄화층을 형성하는 단계, 평탄화층의 상부 표면과 콘택홀에 위치하고, 트랜지스터부의 전극과 발광다이오드의 전극을 전기적으로 연결하는 연결전극층을 형성하는 단계, 평탄화층 상에 연결전극층을 덮는 희생층을 형성하는 단계, 희생층 상에 분리층을 형성하고, 분리층과 희생층의 일부를 제거하여 연결전극층을 노출하는 단계, 분리층 및 노출된 연결전극층 상에 하부전극층을 형성하는 단계, 희생층 및 하부전극층이 노출되도록 분리층을 제거하는 단계, 희생층 및 하부전극층 상에 유기 발광층을 형성하는 단계, 및 유기 발광층 상에 상부전극층을 형성하는 단계를 포함하고, 하부전극층은 분리층의 언더컷 구조에 의해 희생층과 이격된다.

[0016] 하부전극층의 끝단과 희생층의 끝단은 정 테이퍼 형상을 가질 수 있다.

발명의 효과

[0017] 본 발명은 하부전극층의 셀프 얼라인이 가능한 뱅크리스 구조 및 서브 픽셀 영역의 외곽에 배치된 콘택홀 구조를 기반으로 발광다이오드의 전류 누설(Leakage)을 낮추면서 개구율을 향상할 수 있는 효과가 있다. 또한, 본 발명은 초고해상도 구현에 적합하도록 고개구율을 가지면서 우수한 전기적 특성을 나타낼 수 있는 구조를 제공하는 효과가 있다.

도면의 간단한 설명

[0018] 도 1은 유기전계발광표시장치의 개략적인 블록도.

도 2는 서브 픽셀의 개략적인 회로 구성도.

도 3은 도 2의 일부를 구체화한 회로 구성 예시도.

도 4는 표시 패널의 단면 예시도.

도 5는 본 발명의 실시예에 따른 유기전계발광표시장치의 구현을 위한 서브 픽셀의 개략적인 평면도.

도 6은 도 5의 A1-A2 영역의 단면도.

도 7은 도 5의 B1-B2 영역의 단면도.

도 8은 본 발명의 실시예에 따라 유기 발광층과 상부전극층을 형성하는 방법을 설명하기 위한 단면도.

도 9는 뱅크층에 대한 설계치와 공정치에 대한 실험 결과를 설명하기 위한 도면.

도 10은 종래 기술 대비 실시예의 개구율 비교를 위한 도면.

도 11은 애노드전극의 크기 및 애노드전극 끝단의 테이퍼 각도에 따른 전류량 변화에 대한 실험시료들을 나타낸 도면.

도 12 내지 도 14는 도 11의 실험시료별 전류량 변화를 나타낸 시뮬레이션 결과 그래프.

도 15는 본 발명의 실시예에 따른 콘택홀의 평면도 및 단면 사진.

도 16은 다른 실시예에 따른 연결전극층과 하부전극층 간의 중첩도를 나타낸 예시도.

도 17 내지 도 22는 본 발명의 실시예에 따른 유기전계발광표시장치의 구현을 위한 서브 픽셀의 개략적인 공정 단면도.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0020] 이하에서 설명되는 전계발광표시장치는 텔레비젼, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰, 가상현실기기(VR) 등으로 구현될 수 있다. 그리고 이하에서 설명되는 전계발광표시장치는 유기발광다이오드(발광소자)를 기반으로 구현된 유기전계발광표시장치(Organic Light Emitting Display Device)를 일례로 설명한다. 그러나 이하에서 설명되는 전계발광표시장치는 무기발광다이오드를 기반으로 구현될 수도 있다.

[0021] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이고, 도 3은 도 2의 일부를 구체화한 회로 구성 예시도이며, 도 4는 표시 패널의 단면 예시도이다.

[0022] 도 1에 도시된 바와 같이, 유기전계발광표시장치는 타이밍 제어부(180), 데이터 구동부(130), 스캔 구동부(140), 표시 패널(110) 및 전원 공급부(160)를 포함한다.

[0023] 타이밍 제어부(180)는 영상 처리부(미도시)로부터 데이터신호(DATA)와 더불어 데이터 인에이블 신호, 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호 등을 공급받는다. 타이밍 제어부(180)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.

[0024] 데이터 구동부(130)는 타이밍 제어부(180)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(180)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 디지털 데이터신호를 아날로그 데이터신호(또는 데이터전압)로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.

[0025] 스캔 구동부(140)는 타이밍 제어부(180)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(110)에 게이트인패널(Gate In Panel) 방식(박막 공정으로 트랜지스터를 형성하는 방식)으로 형성된다.

[0026] 전원 공급부(160)는 고전위전압과 저전위전압 등을 출력한다. 전원 공급부(160)로부터 출력된 고전위전압과 저전위전압 등은 표시 패널(110)에 공급된다. 고전위전압은 제1전원라인(EVDD)을 통해 표시 패널(110)에 공급되고 저전위전압은 제2전원라인(EVSS)을 통해 표시 패널(110)에 공급된다.

[0027] 표시 패널(110)은 데이터 구동부(130)로부터 공급된 데이터신호(DATA), 스캔 구동부(140)로부터 공급된 스캔신호 그리고 전원 공급부(160)로부터 공급된 전원을 기반으로 영상을 표시한다. 표시 패널(110)은 영상을 표시할 수 있도록 동작하며 빛을 발광하는 서브 픽셀들(SP)을 포함한다.

[0028] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.

[0029] 도 2에 도시된 바와 같이, 하나의 서브 픽셀은 데이터라인(DL1), 스캔라인(GL1)의 교차영역에 위치하며, 구동 트랜지스터(DR)의 게이트-소스간 전압을 셋팅하기 위한 프로그래밍부(SC)와 유기 발광다이오드(OLED)를 포함한다.

[0030] 서브 픽셀을 구성하는 트랜지스터들은 p 타입으로 구현되거나 또는, n 타입으로 구현될 수 있다. 또한, 서브 픽셀을 구성하는 트랜지스터들의 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다. 유기발광 다이오드(OLED)는 애노드(ANO), 캐소드(CAT), 및 애노드(ANO)와 캐소드(CAT) 사이에 개재된 유기 발광층을 포함한다. 애노드(ANO)는 구동 트랜지스터(DR)와 접속된다.

[0031] 프로그래밍부(SC)는 적어도 하나 이상의 스위칭 트랜지스터와, 적어도 하나 이상의 커패시터를 포함할 수 있다. 스위칭 트랜지스터는 스캔라인(GL1)으로부터의 스캔신호에 응답하여 턴 온 됨으로써, 데이터라인(DL1)으로부터의 데이터전압을 커패시터의 일측 전극에 인가한다. 구동 트랜지스터(DR)는 커패시터에 충전된 전압의 크기에 따라 전류량을 제어하여 유기 발광다이오드(OLED)의 발광량을 조절한다. 유기 발광다이오드(OLED)의 발광량은 구동 트랜지스터(DR)로부터 공급되는 전류량에 비례한다. 또한, 서브 픽셀은 제1전원라인(EVDD)과 제2전원라인(EVSS)에 연결되며, 이들로부터 고전위전압과 저전위전압을 공급받는다.

[0032] 도 3의 (a)에 도시된 바와 같이, 서브 픽셀은 앞서 설명한 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst) 및 유기 발광다이오드(OLED) 뿐만 아니라 내부보상회로(CC)를 포함할 수 있다. 내부보상회로(CC)는 보상신호라인(INIT)에 연결된 하나 이상의 트랜지스터들을 포함할 수 있다. 내부보상회로(CC)는 구동 트랜지스터(DR)의 게이트-소스전압을 문턱전압이 반영된 전압으로 세팅하여, 유기발광 다이오드(OLED)가 발광할 때에 구동 트랜지스터(DR)의 문턱전압에 의한 휘도 변화를 배제시킨다. 이 경우, 스캔라인(GL1)은 스위칭 트랜지스터(SW)와 내부보상회로(CC)의 트랜지스터들을 제어하기 위해 적어도 2개의 스캔라인(GL1a, GL1b)을 포함하게 된다.

[0033] 도 3의 (b)에 도시된 바와 같이, 서브 픽셀은 스위칭 트랜지스터(SW1), 구동 트랜지스터(DR), 센싱 트랜지스터(SW2), 커패시터(Cst) 및 유기 발광다이오드(OLED)를 포함할 수 있다. 센싱 트랜지스터(SW2)는 내부보상회로(CC)에 포함될 수 있는 트랜지스터로서, 서브 픽셀의 보상 구동을 위해 센싱 동작을 수행한다.

[0034] 스위칭 트랜지스터(SW1)는 제1스캔라인(GL1a)을 통해 공급된 스캔신호에 응답하여, 데이터라인(DL1)을 통해 공급되는 데이터전압을 제1노드(N1)에 공급하는 역할을 한다. 그리고 센싱 트랜지스터(SW2)는 제2스캔라인(GL1b)을 통해 공급된 센싱신호에 응답하여, 구동 트랜지스터(DR)와 유기 발광다이오드(OLED) 사이에 위치하는 제2노드(N2)를 초기화하거나 센싱하는 역할을 한다.

[0035] 한편, 앞서 도 3에서 소개된 서브 픽셀의 회로 구성은 이해를 돕기 위한 것일 뿐이다. 즉, 본 발명의 서브 픽셀의 회로 구성은 이에 한정되지 않고, 2T(Transistor)1C(Capacitor), 3T1C, 4T2C, 5T2C, 6T2C, 7T2C 등으로 다양하게 구성될 수 있다.

[0036] 도 4에 도시된 바와 같이, 표시 패널(110)은 하부기판(110a), 상부기판(110b), 표시영역(AA), 패드부(PAD), 밀봉부재(170) 등을 포함한다. 하부기판(110a)과 상부기판(110b)은 빛을 투과시킬 수 있는 투명 수지나 유리 등으로 선택된다. 표시영역(AA)은 빛을 발광하는 서브 픽셀들로 이루어진다. 패드부(PAD)는 외부 기판과의 전기적인

연결을 도모하기 위한 패드들로 이루어진다.

[0037] 표시여역(AA)은 하부기판(110a)의 거의 모든 면을 차지하도록 배치되고, 패드부(PAD)는 하부기판(110a)의 일측 외곽에 배치된다. 표시영역(AA)은 하부기판(110a)과 상부기판(110b) 사이에 존재하는 밀봉부재(170)에 의해 밀봉되어 수분이나 산소 등으로부터 보호된다. 반면 패드부(PAD)는 외부로 노출된다. 그러나 표시 패널(110)의 밀봉 구조는 다양하게 구현될 수 있으므로 이에 한정되지 않는다.

[0038] 한편, 유기전계발광표시장치는 하부기판(110a) 방향으로 빛을 출사하는 하부발광(Bottom Emission)과 상부기판(110b) 방향으로 빛을 출사하는 상부발광(Top Emission)형 등으로 구분된다. 그런데 종래에 제안된 유기전계발광표시장치는 초고해상도로 구현하기 위해 유기발광다이오드의 전류 누설(Leakage)을 낮추면서 개구율을 향상해야 하는 문제가 남아 있어 다음과 같은 구조를 제안한다.

[0039] 도 5는 본 발명의 실시예에 따른 유기전계발광표시장치의 구현을 위한 서브 픽셀의 개략적인 평면도이고, 도 6은 도 5의 A1-A2 영역의 단면도이며, 도 7은 도 5의 B1-B2 영역의 단면도이고, 도 8은 본 발명의 실시예에 따라 유기 발광층과 상부전극층을 형성하는 방법을 설명하기 위한 단면도이다.

[0040] 도 5 및 도 6에 도시된 바와 같이, 제N서브 픽셀(SPn)은 개구율을 향상하기 위해 뱅크층을 없앤 뱅크리스(Bank-less) 방식으로 형성된다. 개구율은 제N서브 픽셀(SPn)의 영역(SPnA)에서 실질적으로 빛을 출사할 수 있는 발광영역(EMA)의 크기(또는 면적)에 대응된다. 제N서브 픽셀(SPn)의 발광영역(EMA)은 뱅크층이 아닌 희생층(120)에 의해 정의된다. 발광영역(EMA)을 제외한 나머지 영역은 비발광영역(NEMA)이다.

[0041] 또한, 제N서브 픽셀(SPn)은 개구율을 향상하기 위해 서브 픽셀들 간의 상하 경계영역에 콘택홀(CH)을 형성한다. 서브 픽셀들 간의 상하 경계영역은 예컨대 제N-1서브 픽셀(SPn-1)의 영역(SPn-1A)과 제N서브 픽셀(SPn)의 영역(SPnA) 사이로 정의된다. 서브 픽셀들 간의 상하 경계영역에 해당하는 제N-1서브 픽셀(SPn-1)의 영역(SPn-1A)과 제N서브 픽셀(SPn)의 영역(SPnA) 사이는 비발광영역으로서 통상 스캔라인이 배치된 영역으로 정의된다.

[0042] 콘택홀(CH)은 트랜지스터부(TFTA)와 유기 발광다이오드(OLED)의 간의 전기적인 접촉(전기적인 연결)을 위한 통로이다. 콘택홀(CH)은 제N서브 픽셀(SPn)의 외곽영역에 배치되지만 개구율 향상을 위해 서브 픽셀들 간의 상하 경계영역에 절반씩 걸치도록 형성되는 것이 더 바람직하다. 콘택홀(CH)은 세로 방향이 긴 직사각형 형상을 일례로 하였으나 이에 한정되지 않는다. 제N서브 픽셀(SPn)의 외곽영역은 비발광영역으로서 유기 발광다이오드(OLED)의 하부전극층(122)이 형성되지 않은 영역으로 정의된다.

[0043] 트랜지스터부(TFTA)에 포함된 구동 트랜지스터의 전극층(166)과 유기 발광다이오드(OLED)의 하부전극층(122)은 이들 사이에 위치하는 연결전극층(119)에 의해 전기적으로 연결된다. 트랜지스터부(TFTA)에 포함된 구동 트랜지스터의 구조는 매우 다양하다. 따라서, 본 발명에서는 간략히 구동 트랜지스터의 전극층(166)만 도시하고, 제N서브 픽셀(SPn)의 단면 구조를 중심으로 본 발명의 실시예를 더욱 자세히 설명한다.

[0044] 하부기판(110a) 상에는 구동 트랜지스터 등을 포함하는 트랜지스터부(TFTA)가 위치한다. 트랜지스터부(TFTA) 상에는 구동 트랜지스터의 전극층(166)을 일부 노출하는 하부절연층(117)이 위치한다. 구동 트랜지스터의 전극층(166)은 소오스전극 또는 드레인전극이다. 하부절연층(117)은 트랜지스터부(TFTA)를 보호하는 보호층 역할을 한다.

[0045] 하부절연층(117) 상에는 구동 트랜지스터의 전극층(166)을 일부 노출하는 평탄화층(118)이 위치한다. 콘택홀(CH)은 구동 트랜지스터의 전극층(166)이 노출되도록 하부절연층(117)과 평탄화층(118)을 형성한 이후의 식각 공정에 의해 형성될 수 있으나 이에 한정되지 않는다.

[0046] 평탄화층(118) 상에는 연결전극층(119)이 위치한다. 연결전극층(119)은 평탄화층(118)의 상부 표면에 위치하면서 콘택홀(CH)의 내부에 위치하는 구동 트랜지스터의 전극층(166)에 연결되도록 형성된다. 연결전극층(119)은 콘택홀(CH)과 발광영역(EMA)에 대응하여 위치한다. 연결전극층(119)은 제N서브 픽셀(SPn)의 영역(SPnA)에 위치하는 부분과 제N-1서브 픽셀(SPn-1)의 영역(SPn-1A)에 위치하는 부분을 포함할 수 있다. 연결전극층(119)에서 제N-1서브 픽셀(SPn-1)의 영역(SPn-1A)에 위치하는 부분은 공정 편차 및 접촉저항을 줄이기 위해 더 돌출된 부분이지만 이는 제N서브 픽셀(SPn)의 발광영역(EMA)의 일부와 콘택홀(CH)의 일부만 덮도록 형성될 수도 있다.

[0047] 평탄화층(118) 상에는 연결전극층(119)의 일부를 노출하는 희생층(120)이 위치한다. 희생층(120)은 평탄화층(118)의 상부 표면에 위치하는 연결전극층(119)의 일부만 노출하고 콘택홀(CH)을 포함하는 나머지 영역을 모두 덮도록 형성된다. 희생층(120)을 통해 노출된 연결전극층(119) 상에는 하부전극층(122)이 위치한다. 하부전극층(122)은 연결전극층(119) 상에만 형성된다. 제N서브 픽셀(SPn)의 발광영역(EMA)은 희생층(120)을 통해 노출된

연결전극층(119) 부분 또는 연결전극층(119) 상에 위치하는 하부전극층(122) 부분으로 정의된다.

[0048] 희생층(120) 및 하부전극층(122) 상에는 유기 발광층(123)이 위치한다. 유기 발광층(123)은 하부기판(110a)의 표시영역을 모두 덮도록 형성된다. 유기 발광층(123)은 발광층과 기능층(정공주입층, 정공수송층, 전자수송층, 전자주입층 등) 또는 발광층, 기능층 및 전하 생성층을 포함하는 구조로 형성된다. 유기 발광층(123) 상에는 상부전극층(124)이 위치한다. 상부전극층(124)은 유기 발광층(123)을 모두 덮도록 형성된다.

[0049] 한편, 하부전극층(122)은 서브 픽셀들의 영역마다 구분되도록 형성된다. 하지만, 유기 발광층(123)이 서브 픽셀별로 구분되지 않고 표시영역을 모두 덮도록 형성된 경우, 유기 발광층(123)은 유기 발광다이오드(OLED)의 전류 누설(Leakage)을 야기하는 통로 역할을 하게 된다.

[0050] 제N서브 픽셀(SPn)은 개구율 향상과 더불어 유기발광다이오드(OLED)의 전류 누설을 낮추기 위해 제N서브 픽셀(SPn)의 내에 하부로 함몰된 패턴홀(LH)을 형성한다. 패턴홀(LH)은 제N서브 픽셀(SPn)의 외곽영역을 모두 둘러싸도록 폐곡선 형태(또는 직사각형 형태)로 형성된다. 패턴홀(LH)은 콘택홀(CH)과 함께 형성된다. 따라서, 패턴홀(LH)은 결국 서브 픽셀들의 경계영역을 둘러싸도록 형성된다.

[0051] 도 7에 도시된 바와 같이, 패턴홀(LH)은 하부기판(110a) 상에 위치하는 하부절연층(117)과 하부절연층(117) 상에 위치하는 평탄화층(118)을 모두 관통하는 깊이로 형성된다. 즉, 패턴홀(LH)은 하부기판(110a)의 일부를 노출하도록 형성된다. 그러나 이는 하나의 예시일 뿐, 패턴홀(LH)은 하부절연층(117)을 관통하지 않고 하부절연층(117)의 일부를 노출하는 형태로 형성될 수도 있다.

[0052] 패턴홀(LH)의 내부에는 희생층(120), 유기 발광층(123) 및 상부전극층(124)이 모두 형성된다. 패턴홀(LH)은 크기가 작으면서 깊고 경사진 내부 구조를 갖는다. 이 때문에, 패턴홀(LH)의 내부에 형성된 층들(TL2)은 패턴홀(LH)의 외부에 형성된 층들(TL1) 대비 얇은 두께를 갖게 된다. 덧붙여, 희생층(120), 유기 발광층(123) 및 상부전극층(124)을 동일한 두께로 형성하더라도 패턴홀(LH)의 구조적 특징으로 인하여 패턴홀(LH)의 내부와 외부에서 각기 다른 두께를 가지며 형성된다.

[0053] 유기 발광층(123) 또는 유기 발광층(123) 및 상부전극층(124)은 패턴홀(LH)에 의해 얇은 두께를 갖는 영역을 가지므로 서브 픽셀들 간의 전류 누설(Leakage)을 야기하는 통로를 좁힐 수 있다. 그러므로 도 6과 같은 구조로 패턴홀(LH)을 형성하면 유기 발광다이오드의 전류 누설을 이전 대비 더욱 낮출 수 있게 된다.

[0054] 도 8 (a)에 도시된 바와 같이, 본 발명의 실시예는 희생층(120) 상에 분리층(121)을 형성하고, 연결전극층(119)을 노출하도록 패터닝할 때 분리층(121)의 하부에 언더컷(Under-Cut)을 형성한다. 언더컷 구조에 의해 분리층(121)은 희생층(120) 대비 발광영역(EMA)의 내측을 향해 돌출된다. 희생층(120)은 언더컷 생성 시 제거된 끝단이 완만한 테이퍼 각도를 갖는다.

[0055] 도 8 (b)에 도시된 바와 같이 하부전극층(122)을 형성한 이후 리프트 오프(Lift off) 공정을 통해 분리층(121)을 모두 제거한 후 유기 발광다이오드(OLED) 증착 공정을 완료하기 위해 유기 발광층(123) 및 상부전극층(124)을 형성한다.

[0056] 도 8과 같이 언더컷(Under-Cut)을 갖는 분리층(121)을 기반으로 하부전극층(122)을 형성하면, 하부전극층(122)은 서브 픽셀들마다 셀프 얼라인(Self-Align)되며 연결전극층(119) 상에만 형성된다. 하부전극층(122)은 분리층(121)에 의해 희생층(120)과 인접하는 끝단(에지)의 테이퍼(Taper) 각도가 완만해진다. 하부전극층(122)은 분리층(121)의 구조로 인하여, 발광영역(EMA)을 정의하는 희생층(120)과 이격 배치된다. 즉, 희생층(120)의 끝단과 하부전극층(122)의 끝단은 완만한 정 테이퍼 형상을 갖는다.

[0057] 그리고 콘택홀(CH)의 경사 구조로 인하여, 콘택홀(CH) 내부에 위치하는 유기 발광층(유기물)의 두께가 감소하게 되어 전류 누설 문제 또한 감소된다. 하부전극층(122) 끝단의 테이퍼 각도는 유기 발광다이오드의 전기적 특성과 관계하는데 이에 대한 설명은 이하에서 다룬다.

[0058] 본 발명의 실시예를 위와 같이 형성하는 이유와 관련된 부연 설명을 하면 다음과 같다.

[0059] 도 9는 뱅크층에 대한 설계치와 공정치에 대한 실험 결과를 설명하기 위한 도면이며, 도 10은 종래 기술 대비 실시예의 개구율 비교를 위한 도면이고, 도 11은 애노드전극의 크기 및 애노드전극 끝단의 테이퍼 각도에 따른 전류량 변화에 대한 실험시료들을 나타낸 도면이며, 도 12 내지 도 14는 도 11의 실험시료별 전류량 변화를 나타낸 시뮬레이션 결과 그래프이다.

[0060] 도 9 (a)는 설계치이고, 도 9 (b)는 공정치를 나타낸다. 도 9에 도시된 바와 같이, 유기기판(GLS) 상에 애노드

전극(AN)을 이격 형성하고 이들 사이에 뱅크층(BNK)을 형성하였다. 이상적으로는 설계치와 공정치 간에 L1 = L3 그리고 L2 = L4는 아니더라도 L1 ≒ L3 그리고 L2 ≒ L4 정도의 편차가 나타나야한다.

[0061] 그러나 실제 공정을 진행하면 L1 < L3 그리고 L2 < L4 정도의 편차가 발생하는 것처럼 설계치와 공정치 간에는 공정 편차가 존재한다. 이와 같은 문제로 인하여, 뱅크층 기반의 공정 방식은 서브 픽셀의 개구율을 향상하기 어려운 점이 많다.

[0062] 이와 달리, 희생층과 분리층 기반의 공정 방식은 셀프 얼라인 방식으로 서브 픽셀마다 하부전극층을 분리형성(픽셀레이션)할 수 있기 때문에 뱅크층 기반의 공정 방식 대비 공정 편차 발생률이 낮고 픽셀레이션 측면에서도 우수한 점이 많다. 즉, 희생층과 분리층 기반의 공정 방식은 고해상도 구현 시 뱅크층 기반의 공정 방식보다 개구율을 향상하기 용이하다.

[0063] 도 10의 (a)는 종래 제안된 서브 픽셀 구조이고, 도 10의 (b)는 실시예에 따른 서브 픽셀 구조이다. 도 10에 도시된 바와 같이, 실시예는 희생층(121)과 분리층 기반의 구조(b)를 채택함과 더불어 콘택홀(CH)의 위치를 서브 픽셀들의 경계영역으로 변경한다. 그 결과, 실시예는 종래 제안된 뱅크층(BNK) 기반(a)의 구조 대비 발광영역(EMA)의 크기를 더욱 향상할 수 있는 이점을 얻었다.

[0064] 이처럼, 실시예는 픽셀레이션의 용이성과 함께 기존에 콘택홀이 차지하던 영역까지 발광영역으로 사용할 수 있는 구조를 갖기 때문에 종래 구조 대비 발광영역(EMA)의 크기를 더욱 향상할 수 있게 된다.

[0065] 이와 더불어, 실시예는 희생층 및 분리층에 의해 마련된 언더컷 구조를 기반으로 하부전극층의 크기 및 하부전극층 끝단의 테이퍼 각도 조절이 가능하다. 이와 관련된 실험시료를 소개하면 다음과 같다. 다만, 이하에 소개되는 실험은 애노드전극, 유기 발광층 및 캐소드전극만 포함하는 수동형(구동 트랜지스터 등이 생략된 구조) 유기 발광이오드를 기반으로 하였음을 참조한다.

[0066] 도 11에 도시된 실험시료들(a 내지 c)은 수동형 유기 발광다이오드로서, 유리기판(GLS) 상에 위치하는 애노드전극(AN), 유기 발광층(EML) 및 캐소드전극(CA)을 포함하는 한다. 도 11의 실험시료들(a 내지 c)은 애노드전극(AN)의 크기 및 애노드전극(AN) 끝단의 테이퍼 각도에 따른 전류량 변화를 알아보기 위해 사용된 구조를 간략히 도시한 것이다.

[0067] 실험시료들(a 내지 c)의 애노드전극(AN)의 폭은 L1 > L2 > L3 관계를 갖는다. 도면에서는 실험시료들(a 내지 c)을 3개만 도시하였다. 그러나 하나의 실험시료당 애노드전극(AN) 끝단의 테이퍼 각도가 다른 4개의 시료를 더 포함한다. 이때, 애노드전극(AN)의 끝단 테이퍼 각도는 10°, 30°, 45°, 90°로 각각 제작되었다. 그리고 이들의 실험시료별 전류량 변화 시뮬레이션 결과는 도 12 내지 도 14에 도시된 바와 같다.

[0068] 실험시료들의 결과에 따르면 애노드전극(AN)의 끝단 테이퍼 각도는 10° ~ 45°를 갖는 것이 유기 발광다이오드의 전기적 특성 향상에 좋은 결과를 나타냈다. 그러므로 애노드전극(AN)의 끝단은 정 테이퍼 형상을 갖되, 테이퍼 각도가 45°를 넘지 않는 수준으로 형성하는 것이 바람직하다.

[0069] 실시예는 하부전극층의 크기 및 하부전극층 끝단의 테이퍼 각도 조절이 가능하다. 따라서, 실시예의 구조와 위의 실험예를 참고하면, 하부전극층의 크기 및 하부전극층 끝단의 테이퍼 각도를 최적화하여 유기 발광다이오드의 전기적 특성 또한 향상 가능할 수 있다.

[0070] 도 15는 본 발명의 실시예에 따른 콘택홀의 평면도 및 단면 사진이고, 도 16은 다른 실시예에 따른 연결전극층과 하부전극층 간의 중첩도를 나타낸 예시도이다.

[0071] 실시예는 구조적 특성상 콘택홀 내에 위치하는 유기 발광층의 두께 감소가 가능하므로 전류 누설 가능성 또한 낮출 수 있는데, 이를 증명하는 구조도는 도 15에 도시된 콘택홀(CH)과 그 주변의 사진을 참조하면 더욱 명확해질 것이다. 또한, 실시예는 연결전극층과 하부전극층 간의 접촉 시 필요한 중첩영역 또한 조절할 수 있는데, 이는 도 16을 참조하면 더욱 명확해질 것이다.

[0072] 도 16 (a)는 연결전극층(119)과 하부전극층(122)이 일부만 중첩(OVR)하는 접촉 구조를 나타낸 것이다. 그리고 도 16 (b)는 연결전극층(119)과 하부전극층(122)이 절반만 중첩(OVR)하는 접촉 구조를 나타낸 것이다. 그리고 도 16 (c)는 연결전극층(119)과 하부전극층(122)이 모두 중첩(OVR)하는 접촉 구조를 나타낸 것이다.

[0073] 연결전극층(119)과 하부전극층(122) 간의 중첩(OVR) 관계는 설계 시 사용되는 전극층 재료의 전기적 및 광학적 특성에 따라 달라질 수 있다. 도 16 (c)와 같은 구조는 다른 구조들 대비 접촉저항을 더 줄일 수 있게 됨은 물론 평탄도 향상 측면에서도 유리하다.

[0074] 이하, 실시예에 따른 제조방법을 설명하면 다음과 같다. 다만, 패턴홀 부분은 콘택홀과 동일한 공정에 의해 형성될 수 있는바 이 부분은 생략하는 대신 도 7의 설명을 참고한다.

[0075] 도 17 내지 도 22는 본 발명의 실시예에 따른 유기전계발광표시장치의 구현을 위한 서브 픽셀의 개략적인 공정 단면도이다.

[0076] 도 17에 도시된 바와 같이, 하부기판(110a) 상에 구동 트랜지스터 등을 포함하는 트랜지스터부(TFTA)를 형성한다. 트랜지스터부(TFTA) 상에 하부절연층(117)을 형성한다. 하부절연층(117) 상에 평탄화층(118)을 형성하고, 구동 트랜지스터의 전극층(166)의 일부가 노출되도록 식각하여 콘택홀(CH)을 형성한다.

[0077] 평탄화층(118) 상에 연결전극층(119)을 형성한다. 이때, 연결전극층(119)이 평탄화층(118)의 상부 표면에 위치하면서 콘택홀(CH)의 내부에 위치하는 구동 트랜지스터의 전극층(166)에 연결되도록 패터닝한다. 이로 인하여, 연결전극층(119)은 콘택홀(CH)과 발광영역(EMA)에 대응하여 위치하게 된다. 평탄화층(118) 상에 희생층(120)을 형성한다. 희생층(120)은 연결전극층(119)을 덮으며 평탄화층(118) 상에 형성된다.

[0078] 도 18에 도시된 바와 같이, 희생층(120) 상에 분리층(121)을 형성하고, 발광영역(EMA)으로 정의할 영역을 노출시키 위한 식각 공정을 진행한다. 도 19에 도시된 바와 같이, 식각 공정에 의해 분리층(121)의 하부에는 언더컷(UC)이 형성된다. 분리층(121)의 하부에 언더컷(UC)을 마련하기 위해 제거되는 부분은 희생층(120)이다. 희생층(120)은 발광영역(EMA)보다 더 광범위하게 연결전극층(119)을 노출하도록 분리층(121)의 내측으로 인입된다.

[0079] 도 20에 도시된 바와 같이, 분리층(121) 상에 하부전극층(122)을 형성한다. 하부전극층(122)은 분리층(121)에 의해 서브 픽셀마다 분리형성(픽셀레이션)된다. 하부전극층(122)은 발광영역(EMA)에 대응되는 영역만 차지하며 연결전극층(119) 상에 형성된다.

[0080] 도 21에 도시된 바와 같이, 분리층(121)을 제거한다. 분리층(121)은 리프트 오프(Lift off) 공정을 통해 제거될 수 있으나 이에 한정되지 않는다. 분리층(121)이 제거됨에 따라 하부기판(110a)의 최 상층에는 희생층(120)과 하부전극층(122)이 노출된다.

[0081] 도 22에 도시된 바와 같이, 희생층(120) 및 하부전극층(122) 상에 유기 발광층(123)을 형성한다. 유기 발광층(123)은 하부기판(110a)의 표시영역을 모두 덮도록 형성된다. 유기 발광층(123)은 발광층과 기능층(정공주입층, 정공수송층, 전자수송층, 전자주입층 등) 또는 발광층, 기능층 및 전하 생성층을 포함하는 구조로 형성된다. 유기 발광층(123) 상에 상부전극층(124)을 형성한다. 상부전극층(124)은 유기 발광층(123)을 모두 덮도록 형성된다.

[0082] 이상 본 발명은 하부전극층의 셀프 얼라인이 가능한 뱅크리스 구조 및 서브 픽셀 영역의 외곽에 배치된 콘택홀 구조를 기반으로 발광다이오드의 전류 누설(Leakage)을 낮추면서 개구율을 향상할 수 있는 효과가 있다. 또한, 본 발명은 초고해상도 구현에 적합하도록 고개구율을 가지면서 우수한 전기적 특성을 나타낼 수 있는 구조를 제공하는 효과가 있다.

[0083] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0084] TFTA: 트랜지스터부 OLED: 유기 발광다이오드

CH: 콘택홀 117: 하부절연층

118: 평탄화층 119: 연결전극층

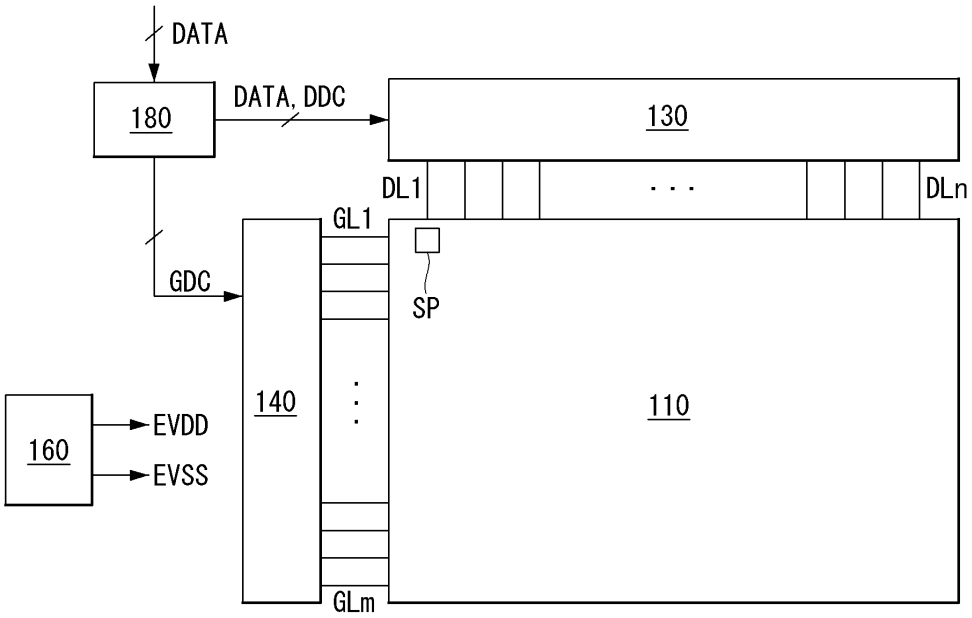
120: 희생층 121: 분리층

122: 하부전극층 123: 유기 발광층

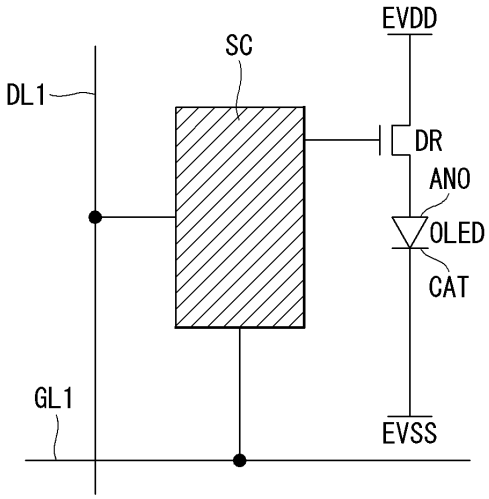
124: 상부전극층

도면

도면1

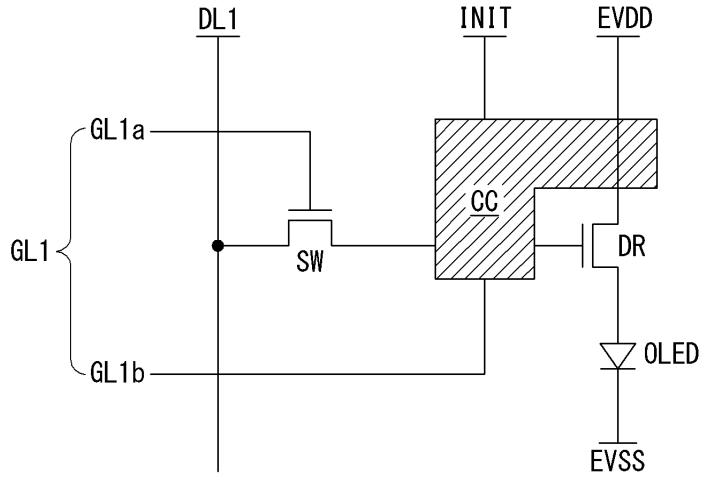

DATA
180
DATA, DDC
130
DL1
DLn
GL1
GDC
SP
140
110
160
EVDD
EVSS
GLm

도면2

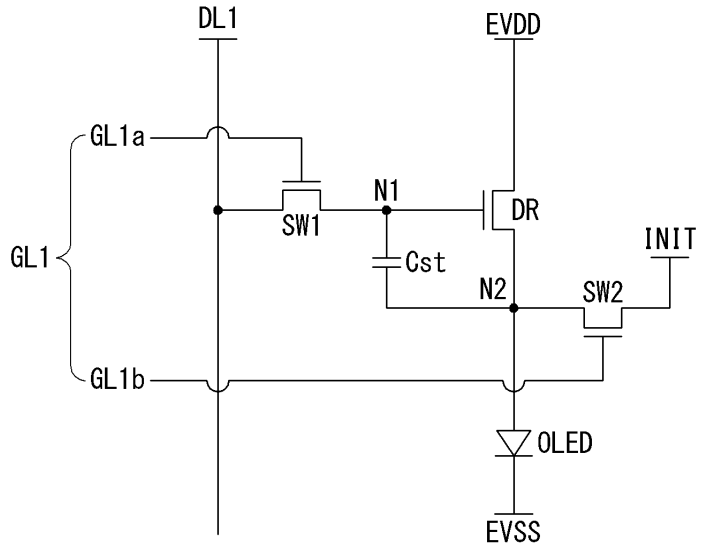

EVDD
SC
DL1
DR
ANO
OLED
CAT
GL1
EVSS

도면3

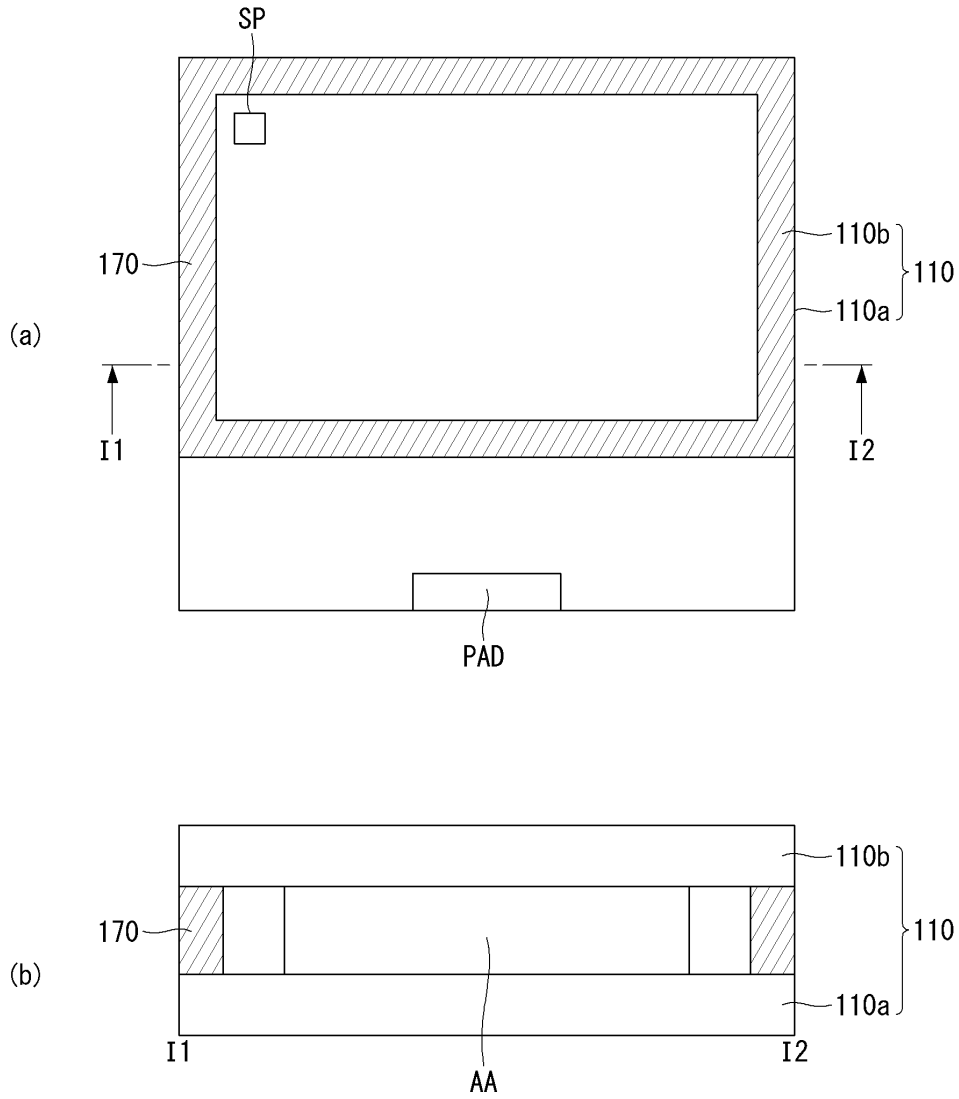
(a)


DL1
INIT
EVDD
GL1a
GL1
CC
SW
DR
OLED
GL1b
EVSS

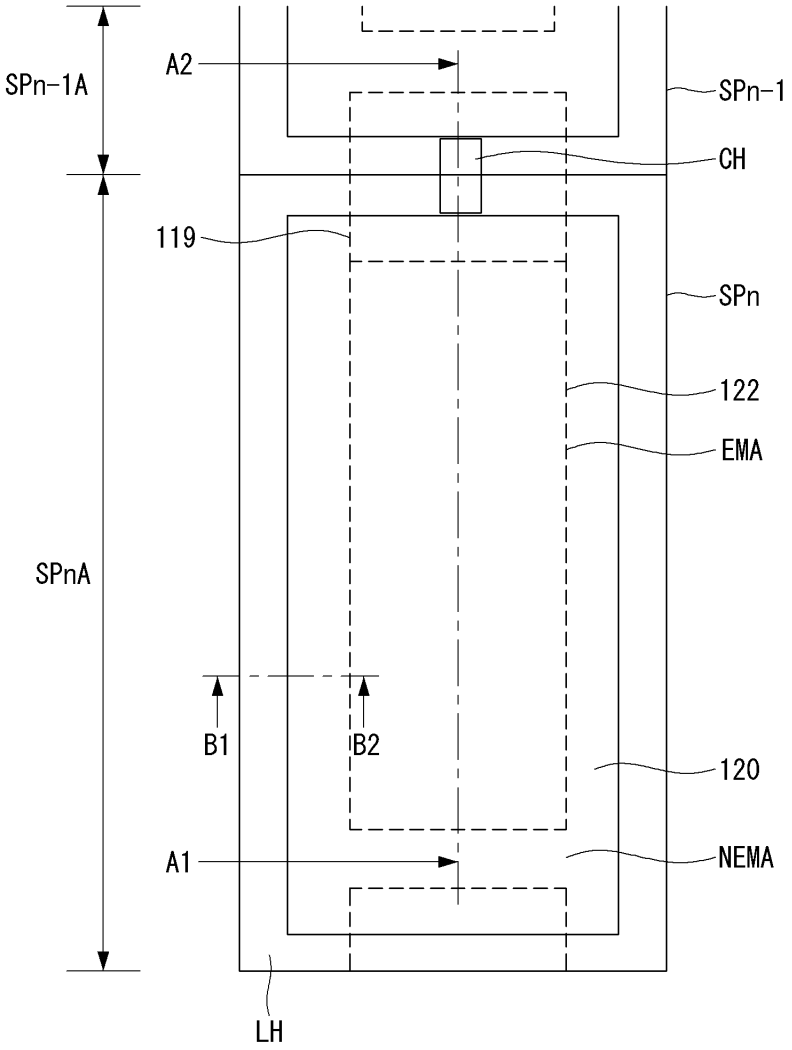
(b)


DL1
EVDD
GL1a
N1
DR
SW1
INIT
GL1
Cst
N2
SW2
GL1b
OLED
EVSS

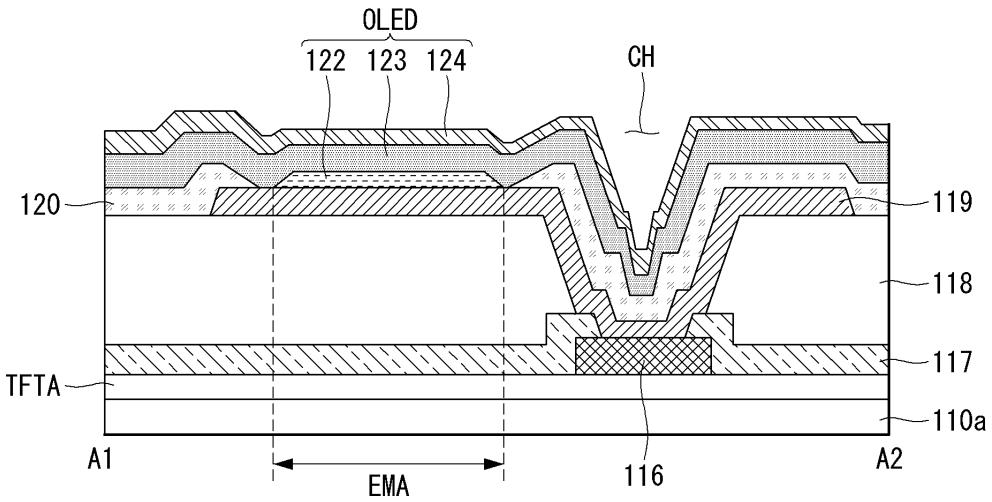
도면4



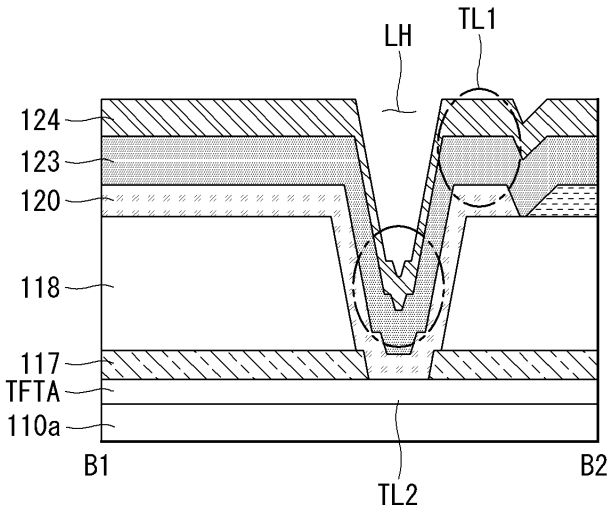
도면5


SPn-1A
A2
SPn-1
CH
119
SPn
122
EMA
SPnA
B1
B2
120
A1
NEMA
LH

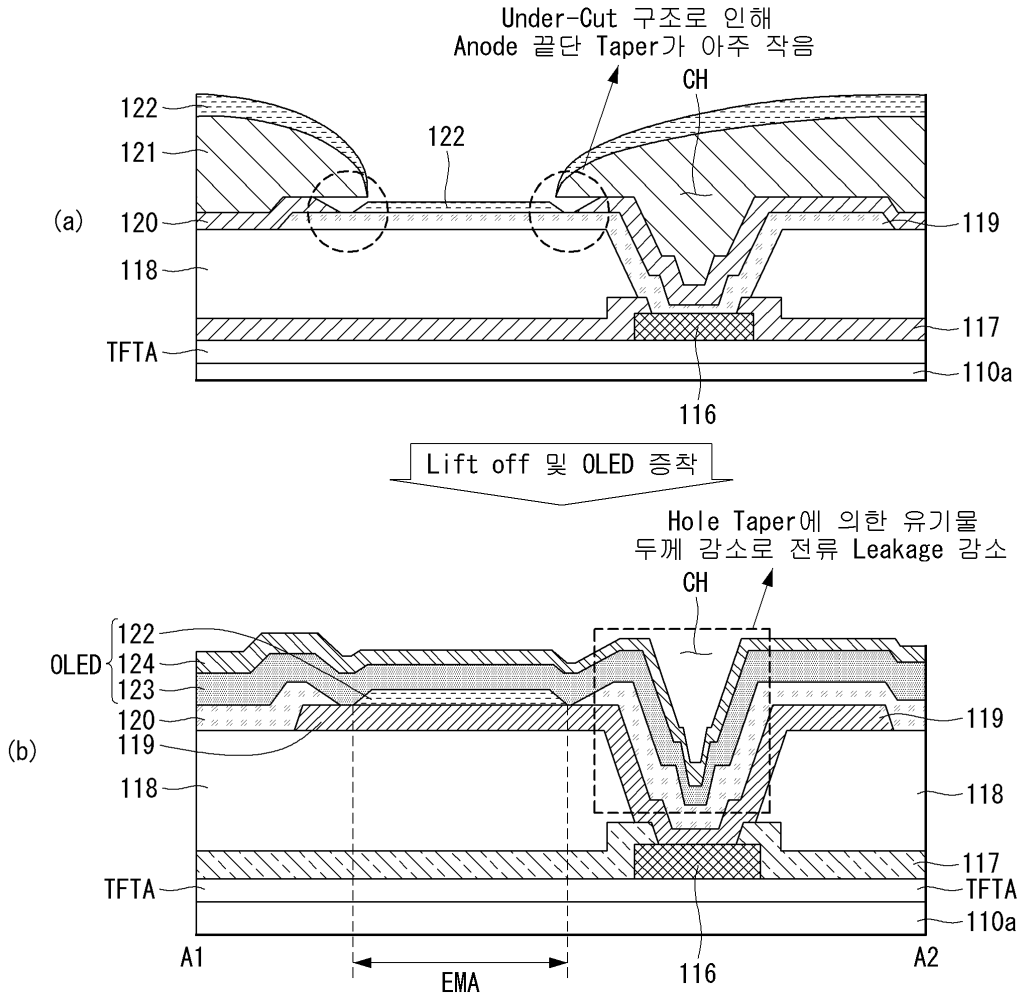
도면6


OLED
122
123
124
CH
120
119
118
117
TFTA
110a
A1
EMA
116
A2

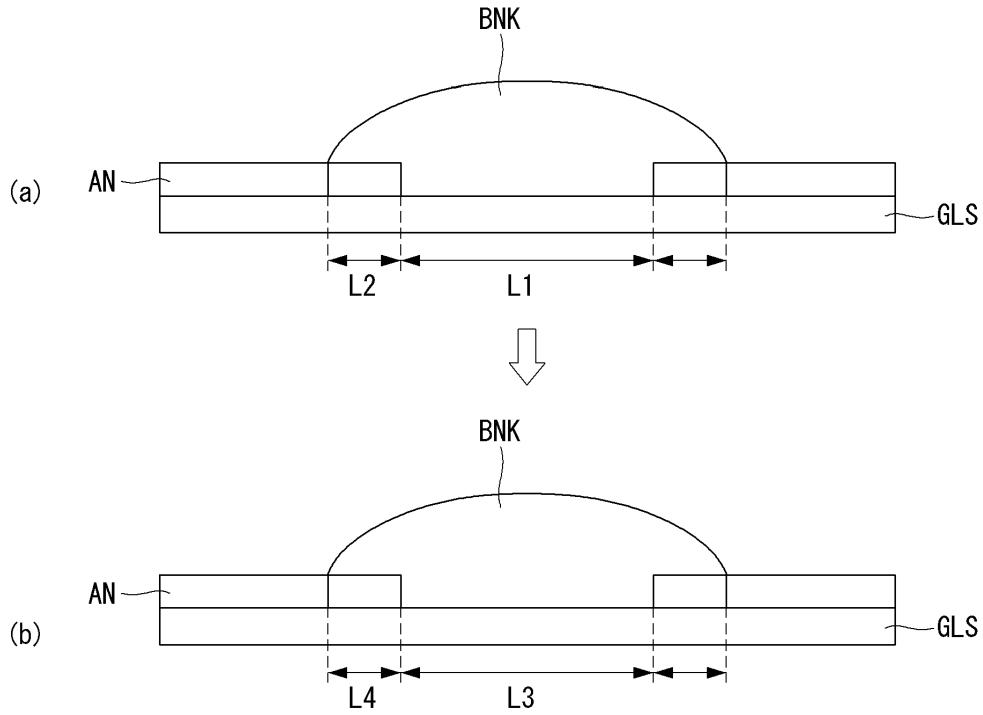
도면7


LH
TL1
124
123
120
118
117
TFTA
110a
B1
B2
TL2

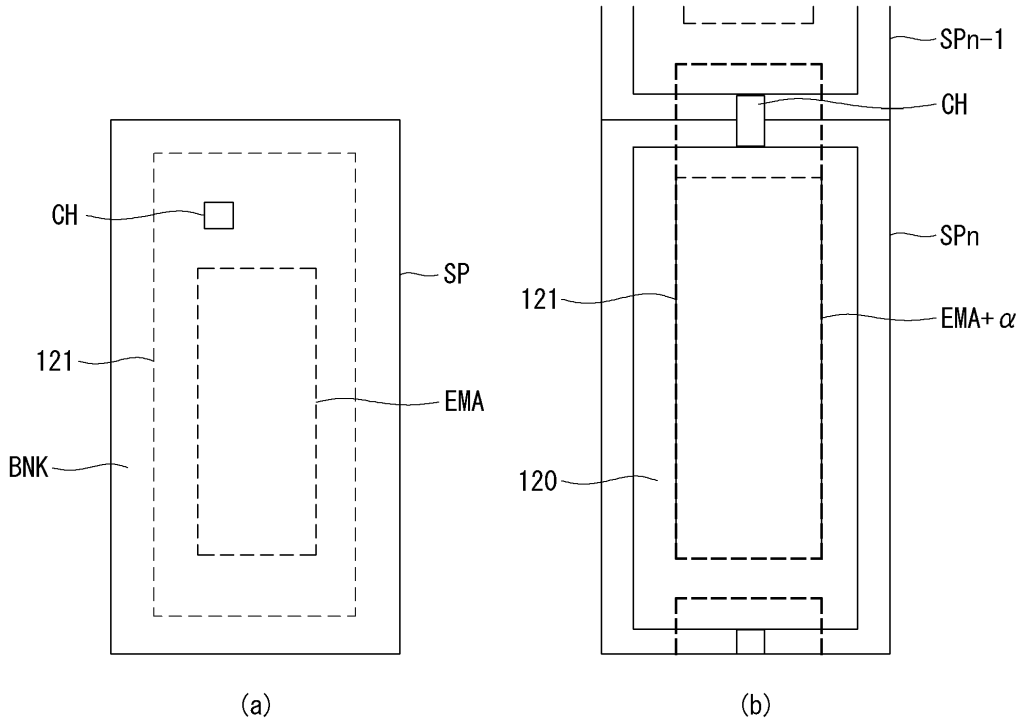
도면8


Under-Cut 구조로 인해
Anode 끝단 Taper가 아주 작음
CH
122
121
122
(a)
120
119
118
117
TFTA
110a
116
Lift off 및 OLED 증착
Hole Taper에 의한 유기물
두께 감소로 전류 Leakage 감소
CH
OLED
122
124
123
120
119
(b)
118
119
118
117
TFTA
TFTA
110a
A1
A2
EMA
116

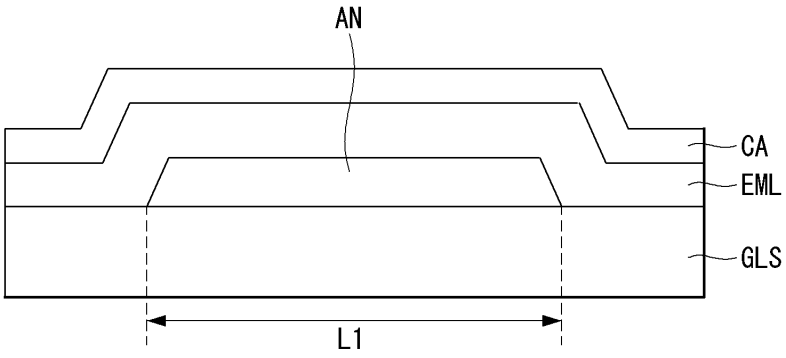
도면9


BNK
(a)
AN
GLS
L2
L1
BNK
(b)
AN
GLS
L4
L3

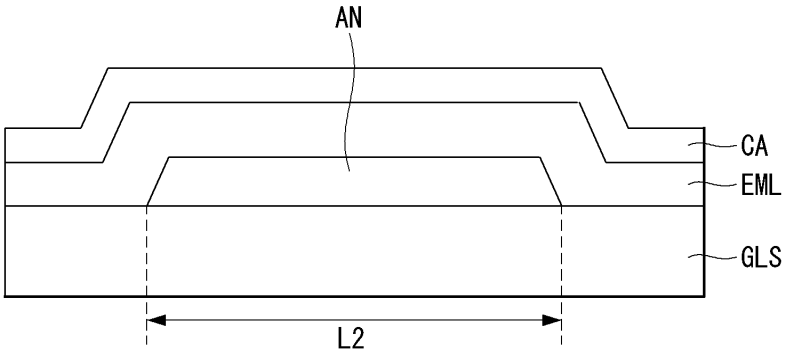
도면10


CH
SP
121
EMA
BNK
(a)
SPn-1
CH
SPn
121
EMA+α
120
(b)

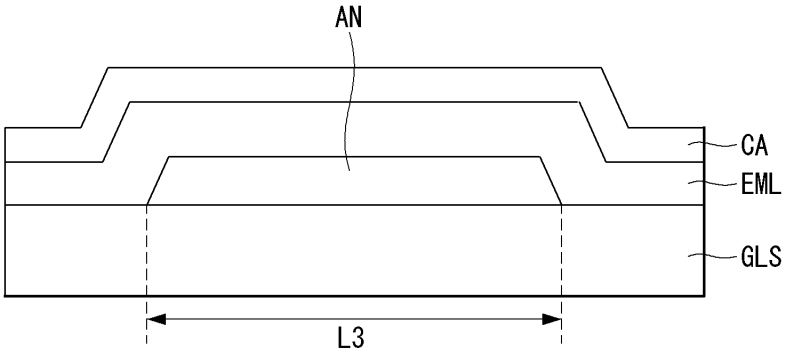
도면11



(a)

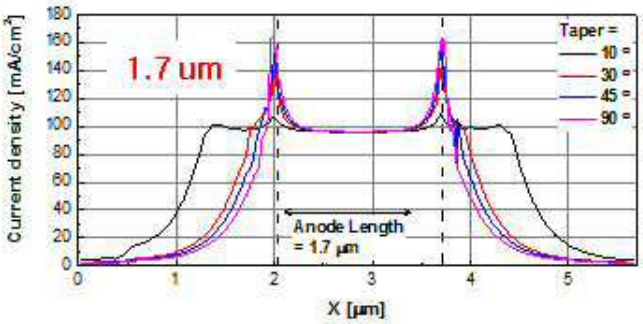


(b)

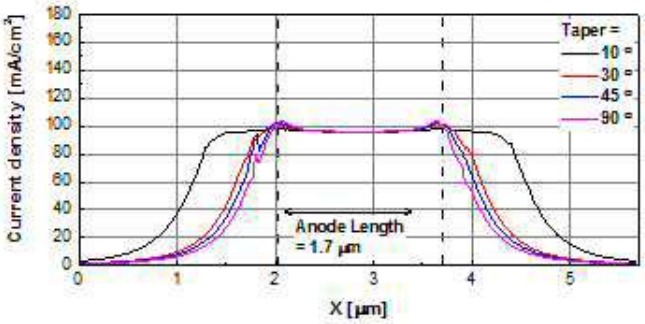


(c)

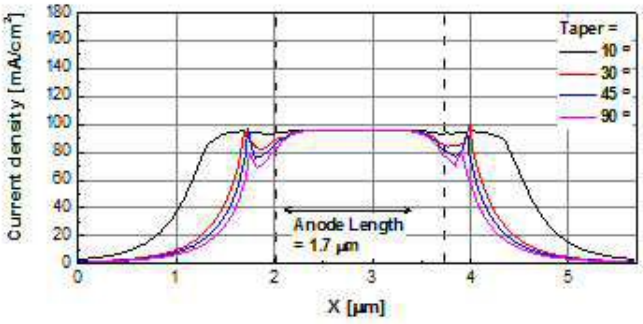
도면12


1.7 um
Taper =
10 °
30 °
45 °
90 °
Anode Length
= 1.7 μm
Current density [mA/cm²]
X [μm]

(a)

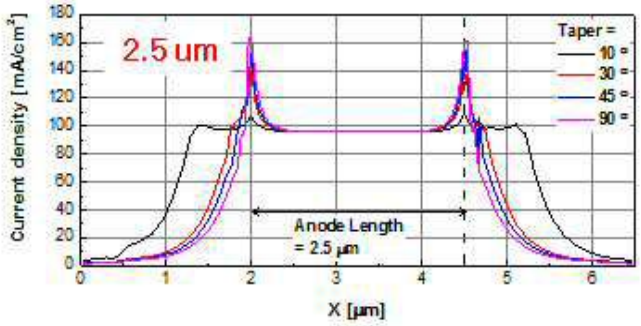

Taper =
10 °
30 °
45 °
90 °
Anode Length
= 1.7 μm
Current density [mA/cm²]
X [μm]

(b)

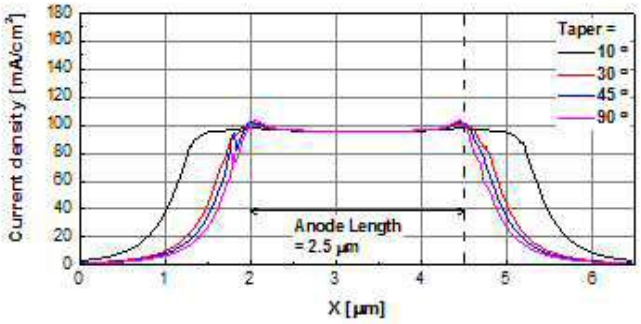

Taper =
10 °
30 °
45 °
90 °
Anode Length
= 1.7 μm
Current density [mA/cm²]
X [μm]

(c)

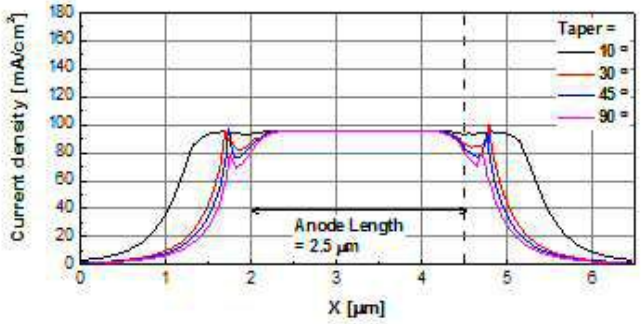
도면13


2.5 um
Taper =
10 °
30 °
45 °
90 °
Current density [mA/cm²]
Anode Length
= 2.5 μm
X [μm]

(a)

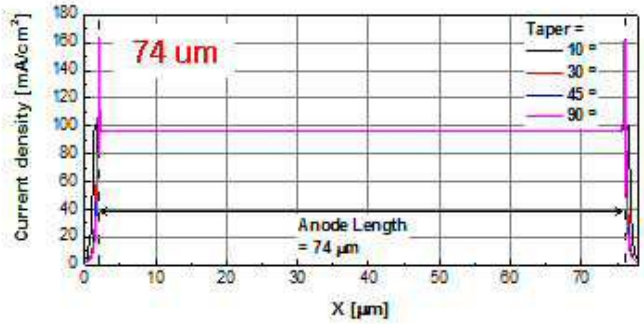

Taper =
10 °
30 °
45 °
90 °
Current density [mA/cm²]
Anode Length
= 2.5 μm
X [μm]

(b)

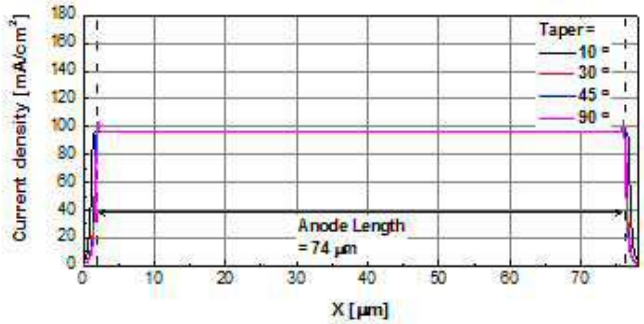

Taper =
10 °
30 °
45 °
90 °
Current density [mA/cm²]
Anode Length
= 2.5 μm
X [μm]

(c)

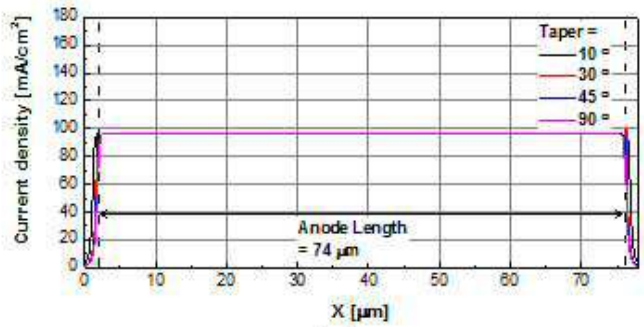
도면14


74 um
Taper =
10 °
30 °
45 °
90 °
Anode Length
= 74 μm
Current density [mA/cm²]
X [μm]

(a)

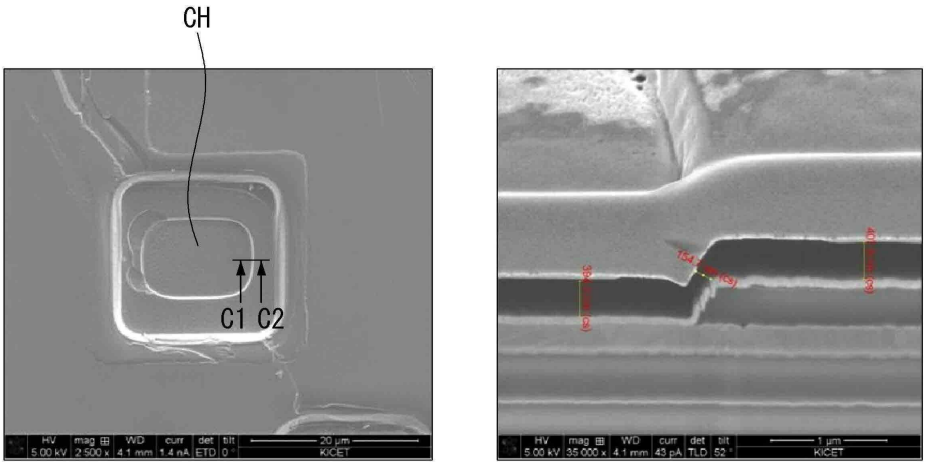

Taper =
10 °
30 °
45 °
90 °
Anode Length
= 74 μm
Current density [mA/cm²]
X [μm]

(b)


Taper =
10 °
30 °
45 °
90 °
Anode Length
= 74 μm
Current density [mA/cm²]
X [μm]

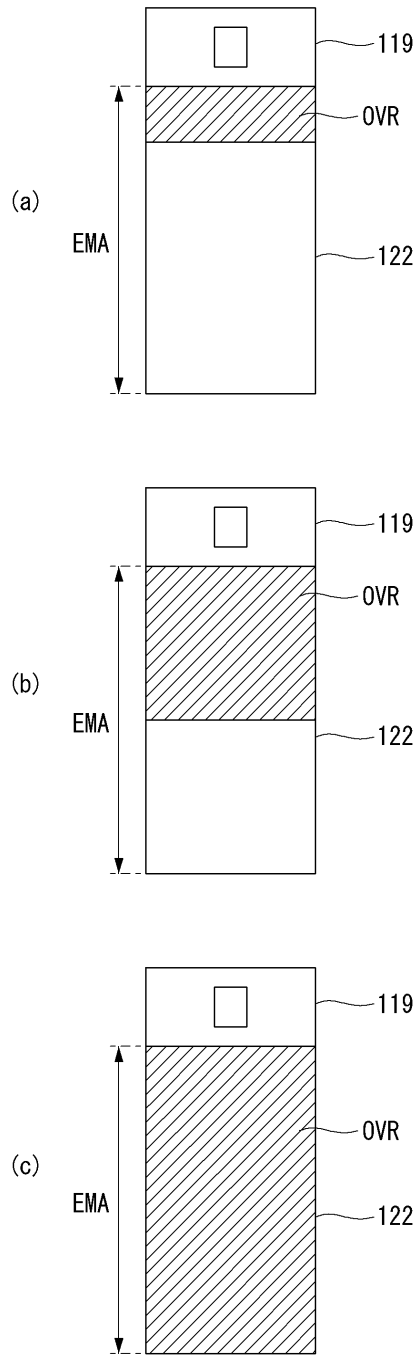
(c)

도면15

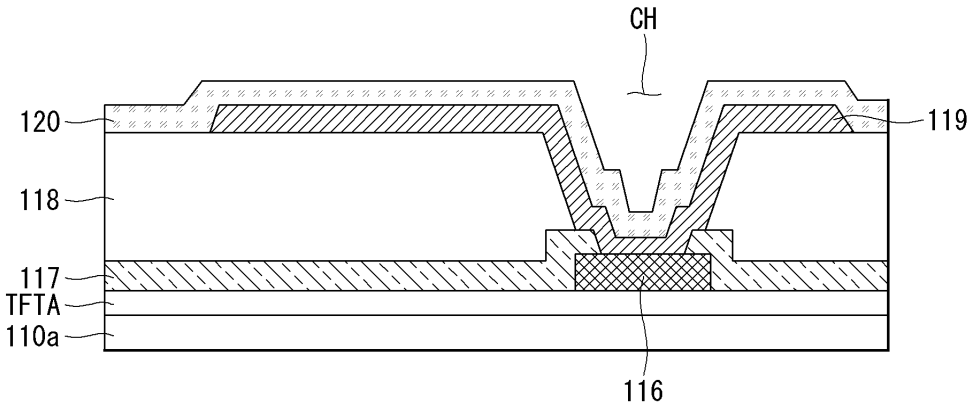


(a) (b)

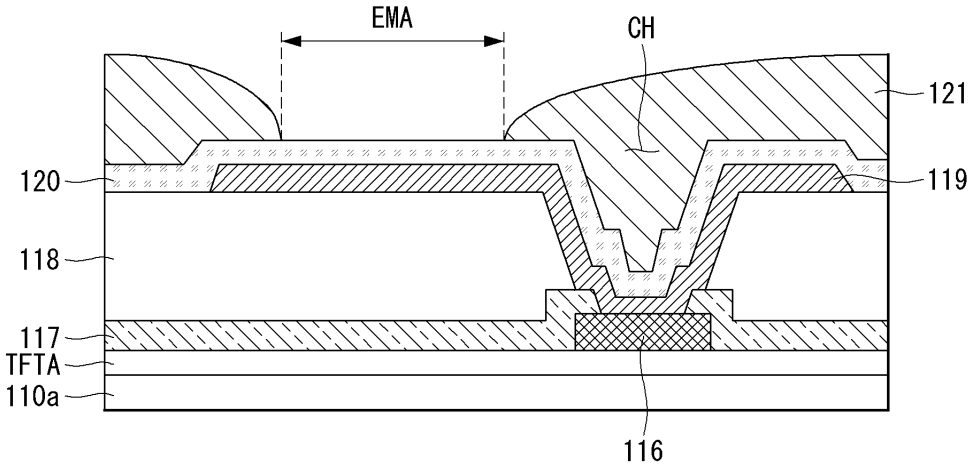
도면16



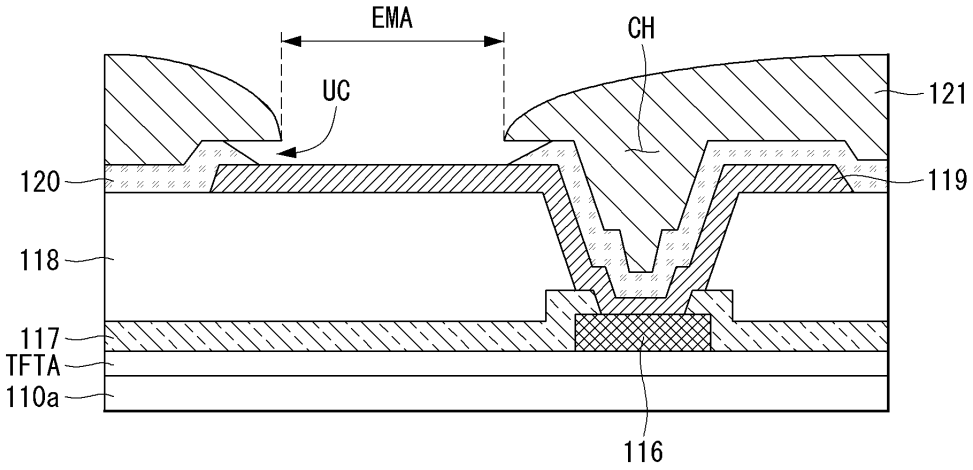
도면17



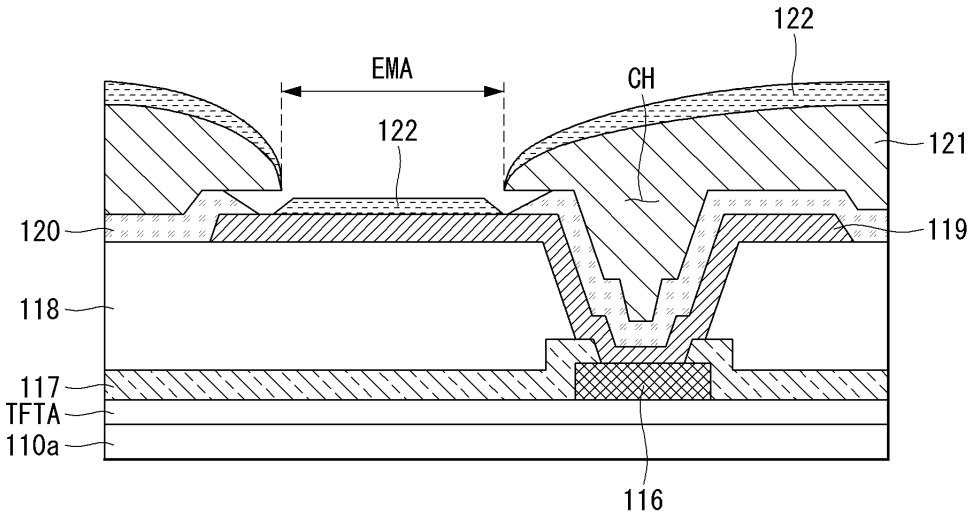
도면18



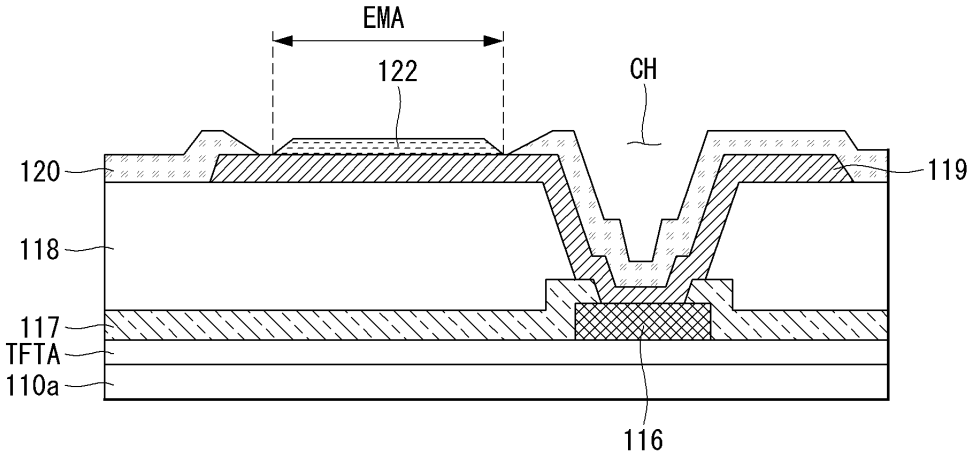
도면19



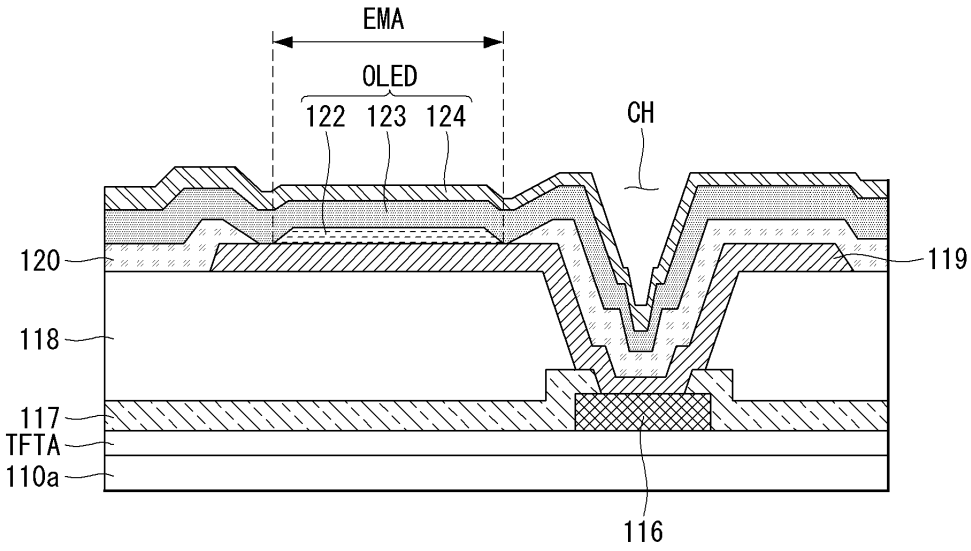
도면20


122
EMA
CH
122
121
120
119
118
117
TFTA
110a
116

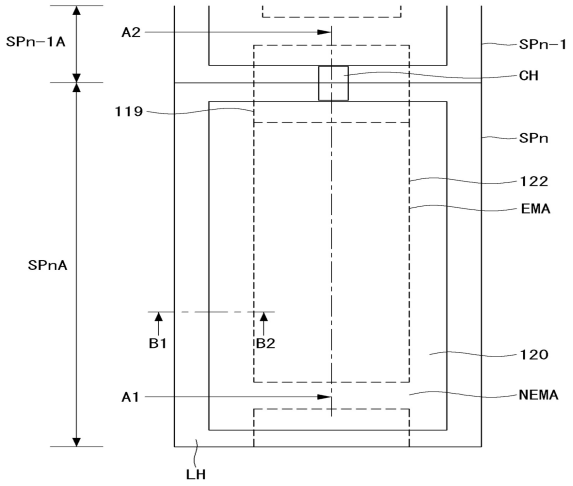
도면21


EMA
122
CH
120
119
118
117
TFTA
110a
116

도면22



专利名称(译)	电致发光显示装置及其制造方法		
公开(公告)号	KR1020190026155A	公开(公告)日	2019-03-13
申请号	KR1020170112536	申请日	2017-09-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최호원 허준영		
发明人	최호원 허준영		
IPC分类号	H01L51/52 H01L27/32 H01L51/56		
CPC分类号	H01L51/5237 H01L27/3211 H01L27/3258 H01L51/5203 H01L51/56 H01L51/5012 G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/043 G09G2310/08 H01L27/3246 H01L27/3248 H01L51/0021 H01L51/5206		
外部链接	Espacenet		

摘要(译)

本发明提供了一种具有下基板，子像素和接触孔的电致发光显示装置。下基板具有晶体管部分。子像素具有位于晶体管单元上的发光二极管。接触孔有助于晶体管部分的电极与发光二极管的电极之间的电连接。接触孔位于子像素的边界区域。