



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0003240
(43) 공개일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(52) CPC특허분류
H01L 27/3211 (2013.01)
H01L 27/3248 (2013.01)
(21) 출원번호 10-2017-0083858
(22) 출원일자 2017년06월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
공혜진
경기도 파주시 월롱면 엘지로 245
허준영
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인로알

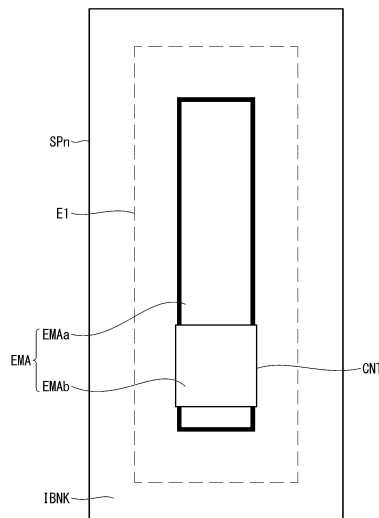
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **전계발광표시장치**

(57) 요약

본 발명은 제1기판, 서브 픽셀들, 콘택홀을 포함하는 전계발광표시장치를 제공한다. 서브 픽셀들은 제1기판 상에 위치하고 빛을 발광하는 발광영역을 갖는다. 콘택홀은 발광영역 내에 위치하고 서브 픽셀의 트랜지스터와 빛을 발광하는 발광다이오드 간의 전기적인 연결이 이루어지고, 발광영역과 동일한 빛을 발광한다.

대표도 - 도9



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 51/5012 (2013.01)

명세서

청구범위

청구항 1

제1기관;

상기 제1기관 상에 위치하고 빛을 발광하는 발광영역을 갖는 서브 픽셀들; 및

상기 발광영역 내에 위치하고 상기 서브 픽셀의 트랜지스터와 빛을 발광하는 발광다이오드 간의 전기적인 연결이 이루어지는 콘택홀을 포함하고,

상기 콘택홀은 상기 발광영역과 동일한 색의 빛을 발광하는 전계발광표시장치.

청구항 2

제1항에 있어서,

상기 콘택홀은

함몰된 내부를 채우는 충전층을 포함하는 전계발광표시장치.

청구항 3

제1항에 있어서,

상기 콘택홀 상에 위치하는 하부전극과,

상기 하부전극 상에 위치하는 발광층과,

상기 발광층 상에 위치하는 상부전극을 더 포함하는 전계발광표시장치.

청구항 4

제1항에 있어서,

상기 서브 픽셀들은

상기 제1기관 상의 트랜지스터와,

상기 트랜지스터 상에 위치하는 보호막과,

상기 보호막 상에 위치하고 상기 트랜지스터의 전극을 노출하며 상기 발광영역 내에 배치된 상기 콘택홀을 갖는 평탄화막과,

상기 평탄화막 및 상기 콘택홀 상에 위치하고 상기 트랜지스터의 전극에 연결된 제1차 하부전극과,

상기 콘택홀의 내부를 채우는 충전층과,

상기 제1차 하부전극 및 상기 충전층 상에 위치하는 제2차 하부전극과,

상기 제2차 하부전극 상에 위치하는 발광층과,

상기 발광층 상에 위치하는 상부전극을 포함하는 전계발광표시장치.

청구항 5

제4항에 있어서,

상기 평탄화막은

상기 발광영역을 둘러싸고 하부로 함몰된 분리홀을 포함하는 전계발광표시장치.

청구항 6

제5항에 있어서,
상기 제1차 및 제2차 하부전극은
상기 분리홀에 의해 서브 픽셀마다 분리된 전계발광표시장치.

청구항 7

제5항에 있어서,
상기 발광층은
상기 서브 픽셀들의 모든 영역에서 동일한 두께를 갖고 형성되지만 상기 분리홀에서 분리된 전계발광표시장치.

청구항 8

제5항에 있어서,
상기 발광층은
상기 서브 픽셀들의 모든 영역에서 동일한 두께를 갖고 형성되지만 상기 분리홀의 내부에서 상대적으로 얇은 두께를 갖는 부분과 분리된 부분이 함께 존재하는 전계발광표시장치.

청구항 9

제5항에 있어서,
상기 발광층은
상기 서브 픽셀들의 모든 영역에서 동일한 두께를 갖고 형성되지만 상기 분리홀의 내부에서만 상대적으로 얇은 두께를 갖는 전계발광표시장치.

청구항 10

제1항에 있어서,
상기 충전층은
상기 제1차 하부전극과 유사 또는 동일한 높이를 갖거나,
상기 제1차 하부전극보다 하부로 더 함몰되거나,
상기 제1차 하부전극보다 상부로 더 돌출된 전계발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광표시장치, 액정표시장치 및 플라즈마표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널, 표시 패널을 구동하는 구동부 및 표시 패널에 전원을 공급하는 전원 공급부 등이 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 앞서 설명한 표시장치 중 전계발광표시장치는 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀의 발광다이오드가 발광을 하게 됨으로써 영상을 표시할 수 있게 된다. 발광다이오드는 유기물을 기반으

로 구현되거나 무기물을 기반으로 구현된다. 그러나 종래 제안된 전계발광표시장치는 고해상도 구현을 위해 개구율을 향상시킬 필요가 있다.

발명의 내용

해결하려는 과제

[0005] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 발광영역 내에 콘택홀을 배치 및 콘택홀에서도 발광할 수 있게 하여 개구율 증가와 더불어 수명을 증가하는 것이다. 또한, 본 발명은 콘택홀을 발광영역 내에 자유롭게 구성 및 배치할 수 있게 하여 전극 간의 콘택 저항을 낮춤과 더불어 설계의 자유도를 높이는 것이다.

과제의 해결 수단

[0006] 상술한 과제 해결 수단으로 본 발명은 제1기판, 서브 픽셀들, 콘택홀을 포함하는 전계발광표시장치를 제공한다. 서브 픽셀들은 제1기판 상에 위치하고 빛을 발광하는 발광영역을 갖는다. 콘택홀은 발광영역 내에 위치하고 서브 픽셀의 트랜지스터와 빛을 발광하는 발광다이오드 간의 전기적인 연결이 이루어지고, 발광영역과 동일한 색의 빛을 발광한다.

[0007] 콘택홀은 함몰된 내부를 채우는 충전층을 포함할 수 있다.

[0008] 콘택홀 상에 위치하는 하부전극과, 하부전극 상에 위치하는 발광층과, 발광층 상에 위치하는 상부전극을 더 포함할 수 있다.

[0009] 서브 픽셀들은 제1기판 상의 트랜지스터와, 트랜지스터 상에 위치하는 보호막과, 보호막 상에 위치하고 트랜지스터의 전극을 노출하며 발광영역 내에 배치된 콘택홀을 갖는 평탄화막과, 평탄화막 및 콘택홀 상에 위치하고 트랜지스터의 전극에 연결된 제1차 하부전극과, 콘택홀의 내부를 채우는 충전층과, 제1차 하부전극 및 충전층 상에 위치하는 제2차 하부전극과, 제2차 하부전극 상에 위치하는 발광층과, 발광층 상에 위치하는 상부전극을 포함할 수 있다.

[0010] 평탄화막은 발광영역을 둘러싸고 하부로 함몰된 분리홀을 포함할 수 있다.

[0011] 제1차 및 제2차 하부전극은 분리홀에 의해 서브 픽셀마다 분리될 수 있다.

[0012] 발광층은 서브 픽셀들의 모든 영역에서 동일한 두께를 갖고 형성되지만 분리홀에서 분리될 수 있다.

[0013] 발광층은 서브 픽셀들의 모든 영역에서 동일한 두께를 갖고 형성되지만 분리홀의 내부에서 상대적으로 얇은 두께를 갖는 부분과 분리된 부분이 함께 존재할 수 있다.

[0014] 발광층은 서브 픽셀들의 모든 영역에서 동일한 두께를 갖고 형성되지만 분리홀의 내부에서만 상대적으로 얇은 두께를 가질 수 있다.

[0015] 충전층은 제1차 하부전극과 유사 또는 동일한 높이를 갖거나, 제1차 하부전극보다 하부로 더 함몰되거나, 제1차 하부전극보다 상부로 더 돌출될 수 있다.

발명의 효과

[0016] 본 발명은 발광영역 내에 발광할 수 있는 콘택홀을 배치하므로 공간 손실분을 제거할 수 있음은 물론 발광영역과 콘택홀의 통합 배치로 개구율이 증가하는 효과가 있다. 또한, 본 발명은 발광영역 내의 콘택홀에서도 발광이 가능하므로 개구율 증가와 더불어 수명이 증가하는 효과가 있다. 또한, 본 발명은 콘택홀을 발광영역 내에 자유롭게 구성 및 배치할 수 있어 전극 간의 콘택 저항을 낮출 수 있음은 물론 설계의 자유도를 높일 수 있는 효과가 있다.

도면의 간단한 설명

[0017] 도 1은 유기전계발광표시장치의 개략적인 블록도.

도 2는 서브 픽셀의 개략적인 회로 구성도.

도 3은 서브 픽셀의 상세 회로 구성 예시도.

도 4는 표시 패널의 단면을 개략적으로 나타낸 예시도.

- 도 5는 도 4에 도시된 서브 픽셀들의 단면을 보다 상세히 나타낸 예시도.
- 도 6은 실험예에 따른 서브 픽셀들의 평면 배치를 개략적으로 나타낸 도면.
- 도 7은 실험예에 따른 서브 픽셀의 평면을 보다 상세히 나타낸 도면.
- 도 8은 도 7에 도시된 서브 픽셀의 장축 방향의 단면을 보다 상세히 나타낸 도면.
- 도 9는 본 발명의 제1실시예에 따른 서브 픽셀의 평면을 보다 상세히 나타낸 도면.
- 도 10은 도 9에 도시된 서브 픽셀의 장축 방향의 단면을 보다 상세히 나타낸 도면.
- 도 11은 평탄화막의 분리홀과 그 주변의 구조물에 대한 단면을 보여주는 사진.
- 도 12는 콘택홀이 포함된 발광영역을 갖는 서브 픽셀들과 충전층에 대한 단면을 보여주는 사진.
- 도 13 내지 도 24는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 흐름도.
- 도 25 내지 도 28은 제2실시예에 따른 충전층의 구조를 설명하기 위한 도면들.
- 도 29는 제2실시예의 변형예에 따른 충전층의 구조를 설명하기 위한 도면.
- 도 30은 제3실시예에 따른 분리홀과 하부전극의 구조를 설명하기 위한 도면.
- 도 31은 제4실시예에 따른 बैं크층의 구조를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0018] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0019] 이하에서 설명되는 전계발광표시장치는 텔레비전, 영상 플레이어, 개인용 컴퓨터(PC), 홈시어터, 스마트폰, 가상현실기기(VR) 등으로 구현될 수 있다. 그리고 이하에서 설명되는 전계발광표시장치는 유기발광다이오드(발광소자)를 기반으로 구현된 유기전계발광표시장치를 일례로 설명한다. 그러나 이하에서 설명되는 전계발광표시장치는 무기발광다이오드를 기반으로 구현될 수도 있다.
- [0020] 끝으로, 이하에서 설명되는 전계발광표시장치의 박막 트랜지스터는 게이트전극을 제외하고 타입에 따라 소오스전극과 드레인전극 또는 드레인전극과 소오스전극으로 명명될 수 있는바, 이를 한정하지 않기 위해 제1전극과 제2전극으로 설명한다.
- [0021] 도 1은 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 서브 픽셀의 상세 회로 구성 예시도이다.
- [0022] 도 1에 도시된 바와 같이, 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140), 표시 패널(150) 및 전원 공급부(160)가 포함된다.
- [0023] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.
- [0024] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.
- [0025] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.
- [0026] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.

- [0027] 전원 공급부(160)는 고전위전압과 저전위전압 등을 출력한다. 전원 공급부(160)로부터 출력된 고전위전압과 저전위전압 등은 표시 패널(150)에 공급된다. 고전위전압은 제1전원라인(EVDD)을 통해 표시 패널(150)에 공급되고 저전위전압은 제2전원라인(EVSS)을 통해 표시 패널(150)에 공급된다.
- [0028] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호 그리고 전원 공급부(160)로부터 공급된 전원에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.
- [0029] 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.
- [0030] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0031] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)(고전위전압)과 제2전원라인(EVSS)(저전위전압) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0032] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양하다. 그러나 보상회로(CC)의 예시를 설명하면 다음과 같다.
- [0033] 도 3에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 레퍼런스라인(VREF)(또는 센싱라인)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스전극과 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 레퍼런스라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 구동 트랜지스터(DR)의 센싱노드에 공급하거나 구동 트랜지스터(DR)의 센싱노드 또는 레퍼런스라인(VREF)의 전압 또는 전류를 센싱할 수 있도록 동작한다.
- [0034] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 레퍼런스라인(VREF)에 제1전극이 연결되고 센싱노드인 유기 발광다이오드(OLED)의 애노드전극 및 구동 트랜지스터(DR)의 제2전극에 제2전극이 연결된다.
- [0035] 센싱 트랜지스터(ST)의 동작 시간은 외부 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사 또는 동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)은 공통으로 공유하도록 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 이 경우, 제1a스캔라인(GL1a)과 제1b스캔라인(GL1b)은 각기 다른 스캔신호를 전달하도록 분리된다.
- [0036] 레퍼런스라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 레퍼런스라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분리(구분)된다.
- [0037] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.
- [0038] 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나 구동 트랜지스터(DR)의 채널영역 하층뿐

만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하층에도 배치될 수 있다. 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나, 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다. 그러므로 광차단층(LS)은 차광 특성을 갖도록 복층(이중 금속의 복층)의 금속층으로 선택된다.

- [0039] 기타, 도 3에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.
- [0040] 도 4는 표시 패널의 단면을 개략적으로 나타낸 예시도이고, 도 5는 도 4에 도시된 서브 픽셀들의 단면을 보다 상세히 나타낸 예시도이다.
- [0041] 도 4에 도시된 바와 같이, 제1기판(또는 박막 트랜지스터 기판)(150a)의 표시영역(AA) 상에는 도 3에서 설명된 회로 등을 기반으로 서브 픽셀들이 형성된다. 제1기판(150a)의 서브 픽셀들은 제2기판(보호기판 또는 보호필름)(150b) 및 접착부재(ADH)에 의해 밀봉된다. 기타 미설명된 NA는 비표시영역을 의미한다. 제1기판(150a) 및 제2기판(150b)은 유리 또는 수지와 같이 연성을 갖는 재료 등으로 선택될 수 있다.
- [0042] 서브 픽셀들은 표시영역(AA) 상에 적색(R), 녹색(G), 청색(B) 및 백색(W)의 순으로 수평 또는 수직하게 배치된다. 서브 픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 하나의 픽셀(P)은 적색(R), 녹색(G), 청색(B) 및 백색(W)의 서브 픽셀들로 정의되거나 적색(R), 녹색(G) 및 청색(B)의 서브 픽셀들로 정의된다.
- [0043] 서브 픽셀들은 두 개의 전극 사이에 위치하는 발광층의 재료 또는 발광층으로부터 출사된 빛을 바꿔주는 컬러필터의 재료에 대응하여 출사광의 색이 결정된다. 즉, 발광층 자체적으로 색을 표현하거나 발광층과 컬러필터를 기반으로 색을 표현할 수 있다. 이하 컬러필터의 재료에 대응하여 색이 결정되는 구조에 대해 설명한다.
- [0044] 도 5에 도시된 바와 같이, 적색, 녹색, 청색 및 백색의 서브 픽셀들은 백색 발광다이오드와 컬러필터(R,G,B,W)를 포함할 수 있다. 백색 발광다이오드는 제1기판(150a)의 일면 상에 형성되고, 하부전극(E1), 백색의 발광층(WEML) 및 상부전극(E2)으로 구성된다. 컬러필터(R,G,B,W)는 백색 발광다이오드와 마주보는 제2기판(150a)의 타면 또는 백색 발광다이오드 상에 형성될 수 있다. 상부전극(E2)과 컬러필터(R,G,B,W) 사이에는 수지층(Res)이 위치할 수 있다. 그러나 수지층(Res)은 밀봉구조에 따라 생략될 수도 있다.
- [0045] 하부전극(E1)은 제2기판(150a) 방향으로의 출광 특성을 향상하기 위해 제1하부전극(E1a), 제2하부전극(E1b) 및 제3하부전극(E1c)으로 이루어질 수 있다. 제1하부전극(E1a)은 투명성을 갖는 금속재료(예: ITO), 제2하부전극(E1b)은 반사성을 갖는 금속재료(예: Ag), 제3하부전극(E1c)은 투명성을 갖는 금속재료(예: ITO)로 각각 구성될 수 있다. 그러나 하부전극(E1)의 구조는 이에 한정되지 않는다.
- [0046] 앞서 설명한 유기전계발광표시장치는 고해상도 구현을 위해 개구율을 향상시킬 필요가 있다. 본 발명에서는 서브 픽셀의 개구율을 향상하기 위해 실험예의 모델을 연구하고, 실험예 대비 개구율을 더욱 향상시킬 수 있는 실시예들의 구조를 제안한다.
- [0047] <실험예>
- [0048] 도 6은 실험예에 따른 서브 픽셀들의 평면 배치를 개략적으로 나타낸 도면이고, 도 7은 실험예에 따른 서브 픽셀의 평면을 보다 상세히 나타낸 도면이며, 도 8은 도 7에 도시된 서브 픽셀의 장축 방향의 단면을 보다 상세히 나타낸 도면이다.
- [0049] 도 6에 도시된 바와 같이, 실험예에 따른 제1서브 픽셀(SP1) 내지 제4서브 픽셀(SP4)은 매트릭스 형태로 배치된다. 서브 픽셀들의 배치 및 형성은 도시된 도면에 한정되지 않는다.
- [0050] 제1서브 픽셀(SP1)과 제2서브 픽셀(SP2)은 좌우로 인접하는 서브 픽셀로 정의될 수 있고, 제2서브 픽셀(SP2)과 제4서브 픽셀(SP4)은 상하로 인접하는 서브 픽셀로 정의될 수 있고, 제3서브 픽셀(SP3)과 제2서브 픽셀(SP2)은 사선으로 인접하는 서브 픽셀로 정의될 수 있다.
- [0051] 텔레비전이나 스마트폰과 같은 고해상도 제품군이 아닌 가상현실기기(VR)와 같은 초고해상도 제품군의 경우, 서브 픽셀들 간의 인접하는 간격이 더 좁다. 이때, 서브 픽셀들 간의 인접하는 간격은 상하, 좌우, 사선을 포함한다.
- [0052] 도 7 및 도 8의 실험예에 도시된 바와 같이, 서브 픽셀(SPn)의 발광영역(EMA)은 뱅크층(BNK)에 의해 정의된다.

콘택홀(CNT)은 발광영역(EMA)과 인접한 곳에 형성된다. 콘택홀(CNT)의 내부와 표면은 बैं크층(BNK)에 의해 덮여 있는 상태이다.

- [0053] 콘택홀(CNT)은 트랜지스터(TFT)의 전극(TE)과 유기발광다이오드의 하부전극(E1) 간에 콘택(전기적인 연결)이 이루어지는 부분이다. 도시된 트랜지스터(TFT)는 유기발광다이오드를 구동하는 구동 트랜지스터에 해당하고, 전극(TE)은 구동 트랜지스터의 소오스전극 또는 드레인전극에 해당한다.
- [0054] 하부전극(E1)은 트랜지스터(TFT)의 보호막(PAS)을 덮고 있는 평탄화막(PAC) 상에 위치하며, 트랜지스터(TFT)의 전극(TE)과 전기적으로 연결된 상태이다. 하부전극(E1)은 평탄화막(PAC)의 측벽에 위치하는 부분(또는 콘택부에 위치하는 부분)과 상부 표면에 위치하는 부분(또는 발광영역에 위치하는 부분)으로 구분된다.
- [0055] बैं크층(BNK)은 하부전극(E1)을 노출하는 발광영역(EMA)과 더불어 하부로 함몰된 बैं크홀(HO)을 갖는다. बैं크홀(HO)은 발광영역(EMA)을 둘러싸도록 평면상에서 보았을 때 직사각형(또는 사각형) 형상을 가질 수 있으나 이에 한정되지 않는다.
- [0056] बैं크홀(HO)은 하부전극(E1) 이후에 형성되는 발광층(예: 전하생성층-charge generation layer과 같이 서브 픽셀들 간의 전류 누설을 야기하는 층)이 다른 서브 픽셀과 연결된 상태를 갖지 않고 분리되어 각 서브 픽셀 영역 내에만 존재하도록 구분하는 역할을 한다. बैं크층(BNK)은 발광영역(EMA)을 정의하면서 बैं크홀(HO)을 형성하기 위한 높이를 제공해야 하므로 일정 높이를 구성할 수 있는 유기 재료로 선택된다.
- [0057] 실험예는 초고해상도 제품군과 같이 서브 픽셀들 간의 간격이 좁은 구조를 구현하기 위해, 도 7 및 도 8과 같은 구조를 기반으로 표시 패널을 형성한다. 그런데 실험예를 연구한 결과, 이는 콘택홀(CNT)을 형성하기 위한 공정 마진(Margin)을 고려해야 하여 개구영역을 넓히는 등의 설계 변경에 어려움이 있어 초고해상도 구현 시 수명 이슈(Issue)가 발생할 수 있는 것으로 나타났다.
- [0058] <제1실시예>
- [0059] 도 9는 본 발명의 제1실시예에 따른 서브 픽셀의 평면을 보다 상세히 나타낸 도면이며, 도 10은 도 9에 도시된 서브 픽셀의 장축 방향의 단면을 보다 상세히 나타낸 도면이고, 도 11은 평탄화막의 분리홀과 그 주변의 구조물에 대한 단면을 보여주는 사진이며, 도 12는 콘택홀이 포함된 발광영역을 갖는 서브 픽셀들과 충전층에 대한 단면을 보여주는 사진이다.
- [0060] 도 9 및 도 10의 제1실시예에 도시된 바와 같이, 서브 픽셀(SPn)의 발광영역(EMA)은 बैं크층(BNK)에 의해 정의된다. 콘택홀(CNT)은 발광영역(EMA)의 내부에 형성된다. 콘택홀(CNT)의 내부는 충전층(HFL)에 의해 채워져 있는 상태이다.
- [0061] 콘택홀(CNT)은 트랜지스터(TFT)의 전극(TE)과 유기발광다이오드의 하부전극(E1) 간에 콘택(전기적인 연결)이 이루어지는 부분이다. 도시된 트랜지스터(TFT)는 유기발광다이오드를 구동하는 구동 트랜지스터에 해당하고, 전극(TE)은 구동 트랜지스터의 소오스전극 또는 드레인전극에 해당한다.
- [0062] 하부전극(E1)은 트랜지스터(TFT)의 보호막(PAS)을 덮고 있는 평탄화막(PAC) 상에 위치하며, 트랜지스터(TFT)의 전극(TE)과 전기적으로 연결된 상태이다. 하부전극(E1)은 복층으로 이루어진다. 제1하부전극(E1a)은 평탄화막(PAC)의 측벽에 위치하는 부분(또는 콘택부에 위치하는 부분)과 상부 표면에 위치하는 부분(또는 발광영역에 위치하는 부분)으로 구분된다.
- [0063] 제2 및 제3하부전극(E1b, E1c)은 제1하부전극(E1a) 상에 위치하되, 제1하부전극(E1a) 상에 위치하는 부분과 충전층(HFL) 상에 위치하는 부분으로 구분된다. 제1 내지 제3하부전극(E1a ~ E1c)의 재료는 도 5를 참조하여 설명한 재료를 이용할 수 있으나 이에 한정되지 않는다. 그리고 제1실시예에서는 제1하부전극(E1a) 상에 제2 및 제3하부전극(E1b, E1c) 이상 두 개의 층이 형성되는 것을 일례로 하였으나 하나의 층이 형성될 수도 있다.
- [0064] 콘택홀(CNT)이 발광영역(EMA)의 내부에 형성됨에 따라 발광영역(EMA) 또한 제1발광영역(EMAA)과 제2발광영역(EMAB)으로 구분된다. 제1발광영역(EMAA)은 제2발광영역(EMAB)을 제외하고 बैं크층(BNK)을 통해 노출된 영역에 해당한다. 제2발광영역(EMAB)은 콘택홀(CNT) 또는 충전층(HFL)이 차지하는 영역에 해당한다. 이하의 공정을 통해 제1발광영역(EMAA)과 제2발광영역(EMAB)에는 발광층과 상부전극이 형성된다. 그리고 이들 영역은 모두 동일한 색의 빛을 발광하게 된다.
- [0065] 평탄화막(PAC)은 콘택홀(CNT)과 더불어 하부로 함몰된 분리홀(HO)을 갖는다. 분리홀(HO)은 발광영역(EMA)을 둘러싸도록 평면상에서 보았을 때 직사각형(또는 사각형) 형상을 가질 수 있으나 이에 한정되지 않는다. 서브 픽

셀의 형상과 발광영역의 형상은 다양한바 분리홀(HO) 또한 이들 형상에 대응할 수 있으므로 직사각형(또는 사각형) 형상에 한정되지 않는다.

- [0066] 분리홀(HO)은 하부전극(E1) 이후에 형성되는 발광층(예: 전하생성층-charge generation layer과 같이 서브 픽셀들 간의 전류 누설을 야기하는 층)이 다른 서브 픽셀과 연결된 상태를 갖지 않고 분리되어 각 서브 픽셀 영역 내에만 존재하도록 구분하는 역할을 한다. 즉 분리홀(HO)은 실험예의 बैं크홀(HO)과 같은 역할을 한다.
- [0067] 분리홀(HO)의 주변에는 하부전극(E1)의 일부를 덮는 बैं크층(IBNK)이 위치한다. बैं크층(IBNK)은 발광영역(EMA)을 정의하지만 실험예와 달리 홀을 형성하기 위한 높이를 제공할 필요가 없으므로 무기 재료로 선택된다.
- [0068] 제1실시예와 같은 구조를 이용하면 콘택홀(CNT)을 형성하기 위한 공정 마진(Margin)을 고려하지 않아도 된다. 그 이유는 발광영역(EMA)을 형성하기 위한 영역과 콘택홀(CNT)을 형성하기 위한 영역을 하나의 공간 내에 배치할 수 있기 때문이다. 즉, 발광영역(EMA)과 콘택홀(CNT)의 분리 배치에 따른 공간 손실분을 제거할 수 있기 때문이다.
- [0069] 또한, 제1실시예와 같은 구조를 이용하면 발광영역(EMA)과 콘택홀(CNT)이 하나로 통합되고 발광영역(EMA) 내의 콘택홀(CNT)에서도 발광이 가능하므로 개구율이 증가하게 된다. 그 결과 제1실시예는 초고해상도 구현 시 실험예에서 우려되는 문제(수명)를 해소할 수 있게 됨은 물론 제조 공정 상에서의 이점 또한 가질 수 있다.
- [0070] 또한, 제1실시예와 같은 구조를 이용하면 크기나 형상에 한정되지 않고 콘택홀(CNT)을 발광영역(EMA)의 내부에 자유롭게 구성 및 배치할 수 있다. 그 결과 제1실시예는 트랜지스터(TFT)의 전극(TE)과 하부전극(E1) 간의 콘택 저항을 낮출 수도 있다.
- [0071] 제1실시예를 기반으로 제작한 서브 픽셀의 구조물에 대한 단면을 첨부하면 도 11 및 도 12와 같다. 도 11에서, PAC은 평탄화막, Anode는 하부전극, 무기 Bank는 बैं크층에 해당하고, 도 12에서 Contact Hole은 콘택홀, HFL은 충전층에 해당한다.
- [0072] 이하, 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법을 설명한다. 다만, 이하의 제조방법에서는 트랜지스터 부분을 간략 도시하고 이후의 구조를 상세히 도시 및 설명한다. 그 이유는 트랜지스터를 구성하는 하부영역의 구조는 트랜지스터의 타입이나 제조방법에 따라 다양하게 선택될 수 있기 때문이다.
- [0073] 도 13 내지 도 24는 본 발명의 제1실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 흐름도이다.
- [0074] 도 13에 도시된 바와 같이, 제1기판(150a) 상에 게이트전극, 소오스전극, 드레인전극을 갖는 트랜지스터(TFT)를 형성한다. 제1기판(150a) 상에 트랜지스터(TFT)를 덮는 보호막(PAS)을 형성한다.
- [0075] 제1기판(150a) 상에는 보호막(PAS)을 덮는 평탄화막(PAC)이 형성된다. 평탄화막(PAC)은 유기 재료로 선택된다. 보호막(PAS) 및 평탄화막(PAC)은 트랜지스터(TFT)의 전극(TE)을 노출하도록 패터닝된다. 평탄화막(PAC)에서 트랜지스터(TFT)의 전극(TE)을 노출하는 부분은 콘택홀(CNT)이 된다. 콘택홀(CNT)은 원형, 타원형, 사각형 등 다양한 형태로 형성될 수 있다.
- [0076] 제1차 전극 공정을 수행(제1차 하부전극을 형성하기 위한 공정)하여 평탄화막(PAC) 상에 제1하부전극(E1a)을 형성한다. 평탄화막(PAC) 상에 충전층(HFL)을 형성한다. 충전층(HFL)은 유기 재료로 선택되므로 콘택홀(CNT)을 채움과 동시에 평탄화막(PAC) 상에 일정 두께로 형성된다.
- [0077] 도 14에 도시된 바와 같이, 제1기판(150a)의 상부 전면을 노광한 후 도 15에 도시된 바와 같이, 제1기판(150a)의 상부 전면을 현상(Develop) 및 큐어링(Curing)한 후 평탄화막(PAC) 상에 잔존하는 충전층(HFL)을 제거한다. 이로 인하여, 콘택홀(CNT) 내부에만 충전층(HFL)이 남게 된다. 이때, 충전층(HFL)은 제1하부전극(E1a)과 유사 또는 동일한 높이를 갖게 된다.
- [0078] 도 16에 도시된 바와 같이, 제2차 전극 공정을 수행(제2차 하부전극을 형성하기 위한 공정)하여 제1하부전극(E1a) 상에 제2 및 제3하부전극(E1b, E1c)을 형성한다. 제1차 전극 공정에서는 단층으로 제1하부전극(E1a)을 형성하고, 제2차 전극 공정에서는 복층으로 제2 및 제3하부전극(E1b, E1c)을 형성하는 것을 일례로 하였지만 이에 한정되지 않는다. 즉, 제1 및 제2차 전극 공정 모두 단층으로 전극을 형성할 수도 있다.
- [0079] 도 17에 도시된 바와 같이, 평탄화막(PAC)에 분리홀(HO)을 형성한다. 분리홀(HO)은 평탄화막(PAC)의 하부로 함몰된 공간을 제공한다. 평탄화막(PAC)에 형성된 분리홀(HO)에 의해 제1 내지 제3하부전극(E1a-E1c)은 서브 픽셀로 정의된 영역마다 구분되어 위치하도록 패터닝된다. 즉, 분리홀(HO)에 의해 평탄화막(PAC)의 전면에 위치하던

하부전극은 서브 픽셀단위로 분리된다.

- [0080] 도 18에 도시된 바와 같이, 제3하부전극(E1c)(또는 제2하부전극이 될 수도 있음) 상에 बैं크층(IBNK)을 형성한다. बैं크층(IBNK)은 무기 재료로 선택된다. बैं크층(IBNK)은 분리홀(HO)의 내부와 분리홀(HO)의 주변에 위치하는 제3하부전극(E1c)의 일부만 덮는 형태로 형성된다.
- [0081] 이하, 도 19 내지 도 24를 참조하여, 분리홀(HO) 및 बैं크층(IBNK)을 형성하는 과정에 대해 보충 설명하면 다음과 같다.
- [0082] 도 19에 도시된 바와 같이, 하부전극(E1) 상에 분리홀로 사용할 분리홀영역(HOA)을 정의한다. 하부전극(E1) 상에 포토레지스트(PR)를 형성하고, 앞서 정의된 분리홀영역(HOA)이 노출되도록 포토레지스트(PR)를 패터닝한다. 그리고 하부전극(E1)을 제거하기 위해 습식식각(Wet Etch)을 진행한다. 습식식각을 진행하면 포토레지스트(PR)를 통해 노출된 하부전극(E1)은 제거된다. 그 결과 하부전극(E1)의 하부에 위치하는 평탄화막(PAC)이 노출된다.
- [0083] 도 20에 도시된 바와 같이, 평탄화막(PAC)을 제거하기 위해 건식식각(Dry Etch)을 진행한다. 건식식각을 진행하면 포토레지스트(PR)를 통해 노출된 평탄화막(PAC)은 제거된다. 그 결과 평탄화막(PAC)에는 하부로 함몰된 분리홀(HO)이 형성된다.
- [0084] 도 21에 도시된 바와 같이, 분리홀(HO)이 형성된 이후 포토레지스트(PR)를 제거한다. 그 결과 평탄화막(PAC)과 하부전극(E1)에는 평탄화막(PAC)의 내부로 함몰된 형태의 분리홀(HO)이 형성된다.
- [0085] 도 22에 도시된 바와 같이, 하부전극(E1) 상에 बैं크층(IBNK)을 형성한다. बैं크층(IBNK)은 패터닝 공정에 의해 분리홀(HO)에 대응되는 위치를 제외하고 다른 영역은 제거된다. 그 결과 बैं크층(IBNK)은 분리홀(HO)의 내부와 분리홀(HO)의 주변에 위치하는 하부전극(E1)의 일부만 덮는 형태로 형성된다.
- [0086] 도 23에 도시된 바와 같이, 하부전극(E1) 상에 발광층(EML)과 상부전극(E2)을 형성한다. 발광층(EML)과 상부전극(E2)은 표시영역을 노출하는 마스크(공통 마스크)를 기반으로 증착 공정을 진행할 수 있다. 이 공정에 의해, 하부전극(E1), 발광층(EML) 및 상부전극(E2)을 포함하는 유기 발광다이오드(OLED)가 형성된다.
- [0087] 도 24에 도시된 바와 같이, 하부전극(E1) 상에 발광층(EML)과 상부전극(E2)을 형성한다. 상부전극(E2)은 표시영역에 해당하는 부분의 전면을 덮도록 형성되지만, 발광층(EML)은 분리홀(HO)에 의해 다음과 같은 구조로 형성될 수 있다.
- [0088] (1) 발광층(EML)은 서브 픽셀들의 모든 영역(발광영역 및 비발광영역 포함)에서 동일한 두께를 갖고 형성되지만 분리홀(HO)에서 분리된다. (2) 발광층(EML)은 서브 픽셀들의 모든 영역에서 동일한 두께를 갖고 형성되지만 분리홀(HO)의 내부에서 상대적으로 얇은 두께를 갖는 부분과 분리된 부분이 함께 존재한다. (3) 발광층(EML)은 서브 픽셀들의 모든 영역에서 동일한 두께를 갖고 형성되지만 분리홀(HO)의 내부에서만 상대적으로 얇은 두께(특히 분리홀의 측벽에 존재하는 발광층의 두께가 가장 얇다)를 갖는다.
- [0089] 이상과 같이, 발광층(EML)이 (1) 내지 (3)과 같은 구조로 형성되는 이유는 분리홀(HO), बैं크층(IBNK), 하부전극(E1)의 패터닝 구조에 의한 것인데, 이는 이하의 설명을 참조한다. 다만, 이하의 설명은 제1실시예를 기반으로 하므로 제1실시예 대비 특징이 되는 부분만 설명하고 나머지는 생략하되, 생략된 부분은 제1실시예를 참조한다.
- [0090] <제2실시예>
- [0091] 도 25 내지 도 28은 제2실시예에 따른 충전층의 구조를 설명하기 위한 도면들이고, 도 29는 제2실시예의 변형예에 따른 충전층의 구조를 설명하기 위한 도면이다.
- [0092] 도 25 내지 도 28의 제2실시예에 도시된 바와 같이, 충전층(HFL)은 노광, 현상 및 큐링 공정 조건을 가변하여 제1하부전극(E1a)과 유사 또는 동일한 높이를 갖지 않고 하부로 더 함몰된 형태(오목 렌즈형)를 취하도록 형성할 수 있다.
- [0093] 그리고 도 29의 제2실시예의 변형예에 도시된 바와 같이, 충전층(HFL)은 노광, 현상 및 큐링 공정 조건을 가변하여 제1하부전극(E1a)과 유사 또는 동일한 높이를 갖지 않고 상부로 더 돌출된 형태(볼록 렌즈형)를 취하도록 형성할 수 있다.
- [0094] 위의 설명을 통해 알 수 있듯이, 충전층(HFL)은 공정의 조건을 가변함에 따라 위와 같은 형상을 취하게 된다. 한편, 충전층(HFL)의 가장 이상적인 형태는 제1하부전극(E1a)과 유사 또는 동일한 높이를 갖도록 하는 것이다.
- [0095] 하지만, 앞서 설명한 제2실시예의 구조를 이용하면 상하/좌우 방향으로의 출사광을 높일 수 있다. 그러므로 다

른 실시예들은 발광영역의 증가로 인한 수명향상은 물론 상하/좌우 시야각 또한 향상할 수 있다.

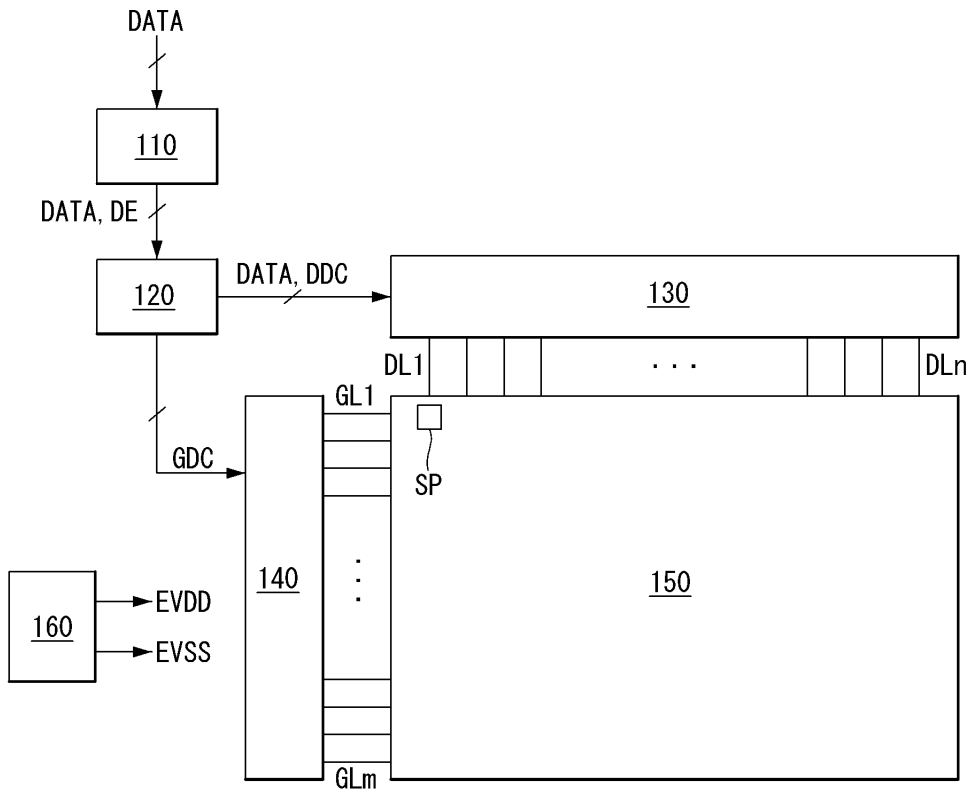
- [0096] <제3실시예>
- [0097] 도 30은 제3실시예에 따른 분리홀과 하부전극의 구조를 설명하기 위한 도면이다.
- [0098] 도 30의 제3실시예에 도시된 바와 같이, 분리홀(HO)과 하부전극(E1)은 (1)분리홀(HO)의 경계면과 하부전극(E1)의 경계면이 대응하는 구조(도 30의 a) 또는 (2)분리홀(HO)의 경계면보다 하부전극(E1)의 경계면이 더 돌출된 구조(도 30의 b)를 취하도록 형성할 수 있다.
- [0099] 분리홀(HO)과 하부전극(E1)의 가장 이상적인 구조는 도 30의 (b)와 같이 평탄화막(PAC)이 하부전극(E1)의 경계면보다 더 내측으로 인입되어 함몰된 형태(머쉬룸 또는 언더컷 등으로 부를 수 있음)를 갖는 것이 바람직하다. 그 이유는 실험 결과 위와 같은 구조가 발광층의 분단력을 더욱 높일 수 있는 것으로 나타났기 때문이다.
- [0100] <제4실시예>
- [0101] 도 31은 제4실시예에 따른 बैं크층의 구조를 설명하기 위한 도면이다.
- [0102] 도 31의 확대도("A")에 도시된 바와 같이, (1) बैं크층(IBNK)은 분리홀(HO)의 경계면에 인접하는 부분의 상측과 하측 모서리가 둥근 형태(도 31의 a), (2) 분리홀(HO)의 경계면에 인접하는 부분의 상측 또는 하측 모서리만 둥근 형태(도 31의 b, c), (3) 분리홀(HO)의 경계면에 인접하는 부분의 상측과 하측 모서리가 각진 형태(도 31의 d)를 취하도록 형성할 수 있다.
- [0103] 하부전극(E1)의 구조에 따라 다를 수 있지만, बैं크층(IBNK)의 경계면은 분리홀(HO)의 경계면에 대응되거나, 분리홀(HO)의 경계면보다 더 돌출된 구조를 취할 수 있다. 그리고 बैं크층(IBNK)에서 분리홀(HO)의 경계면에 인접하는 부분은 도 31과 같은 구조를 취할 수 있다. 실험 결과에 따르면, 도 31과 같은 구조로 बैं크층(IBNK)을 형성한 경우 발광층의 분단력을 더욱 높일 수 있는 것으로 나타났다.
- [0104] 이상 본 발명은 발광영역 내에 발광할 수 있는 콘택홀을 배치하므로 공간 손실분을 제거할 수 있음은 물론 발광영역과 콘택홀의 통합 배치로 개구율이 증가하는 효과가 있다. 또한, 본 발명은 발광영역 내의 콘택홀에서도 발광이 가능하므로 개구율 증가와 더불어 수명이 증가하는 효과가 있다. 또한, 본 발명은 콘택홀을 발광영역 내에 자유롭게 구성 및 배치할 수 있어 전극 간의 콘택 저항을 낮출 수 있음은 물론 설계의 자유도를 높일 수 있는 효과가 있다.
- [0105] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

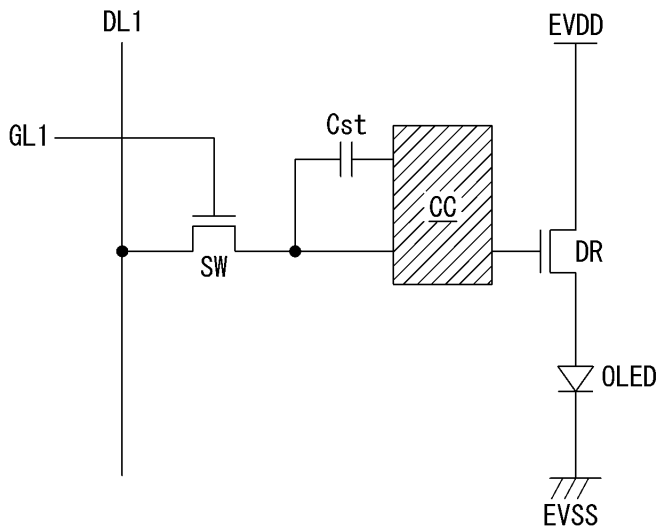
- [0106] BNK: बैं크층 EMA: 발광영역
- CNT: 콘택홀 HFL: 충전층
- PAC: 평탄화막 HO: 분리홀
- E1: 하부전극

도면

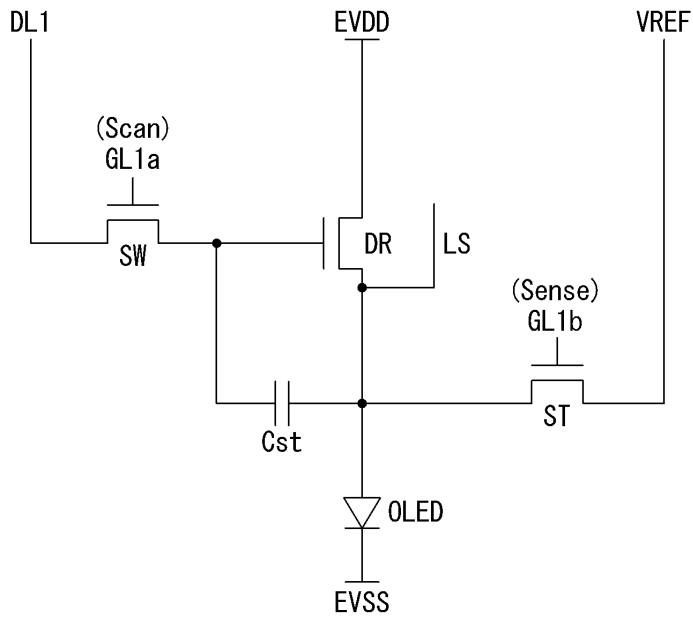
도면1



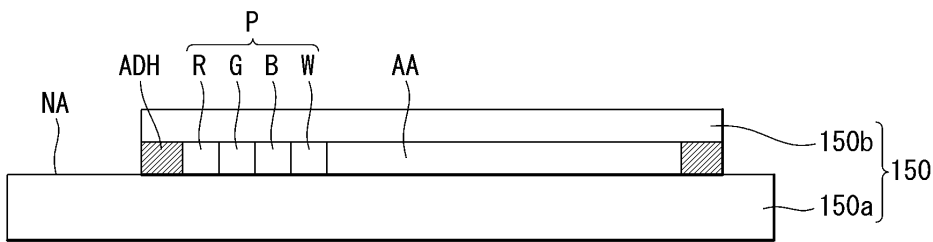
도면2



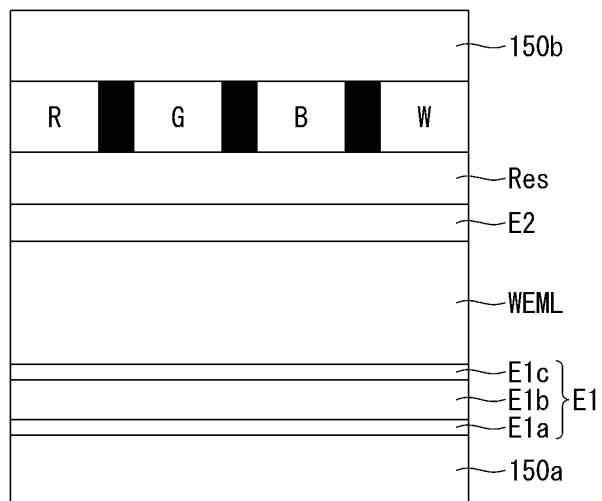
도면3



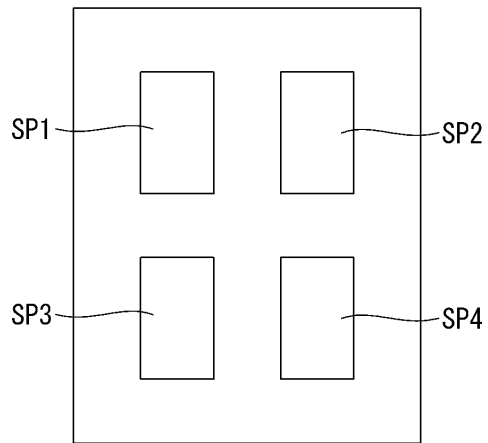
도면4



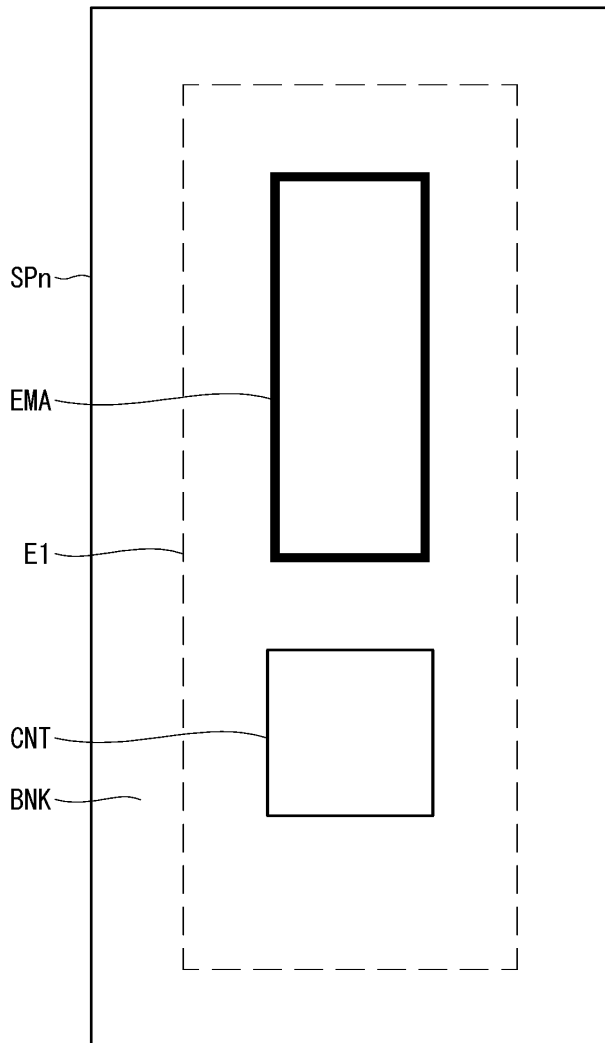
도면5



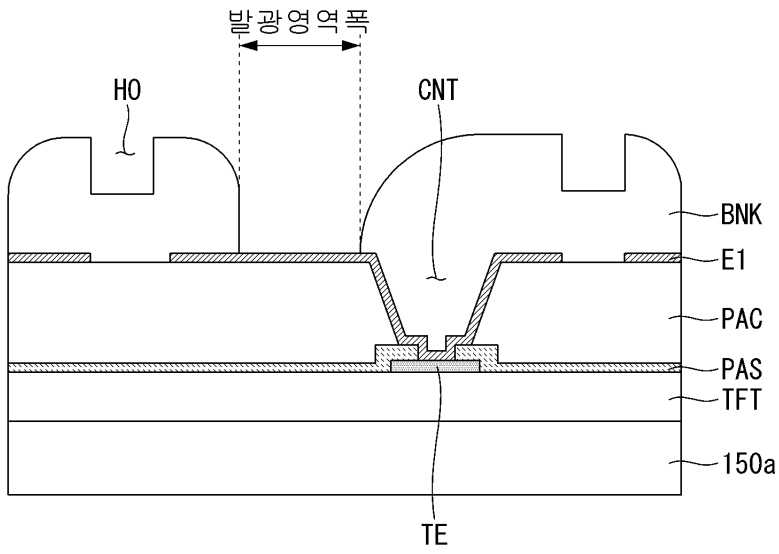
도면6



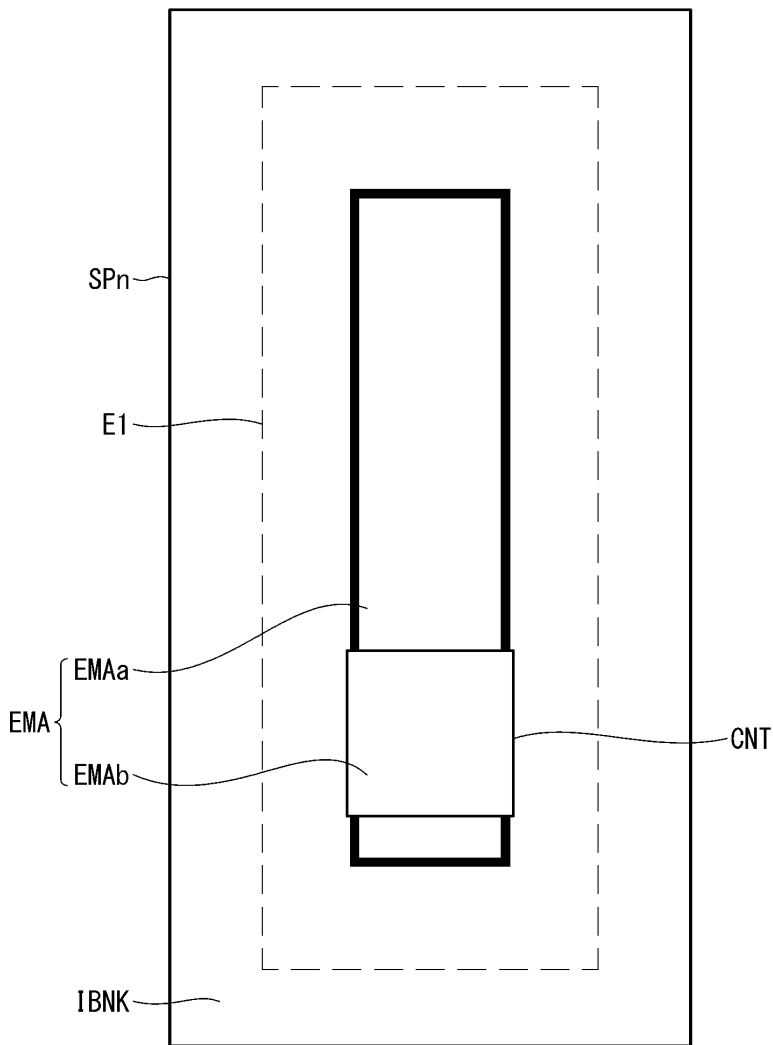
도면7



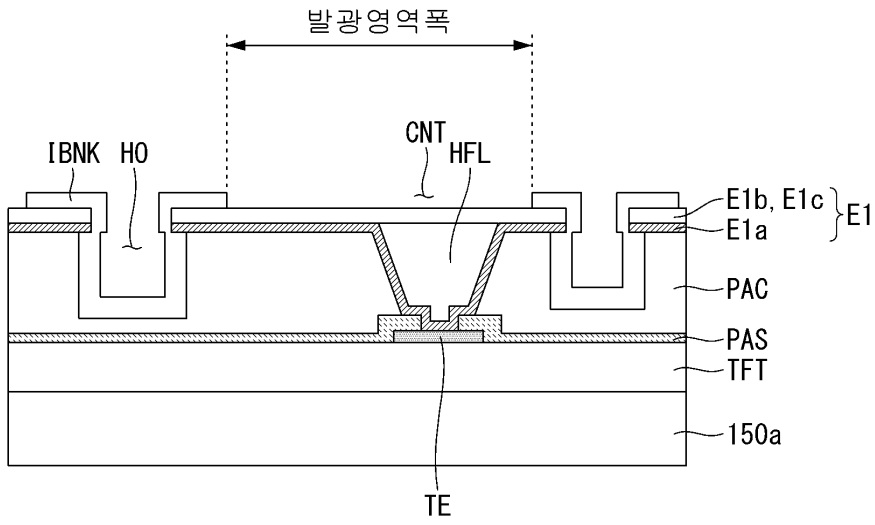
도면8



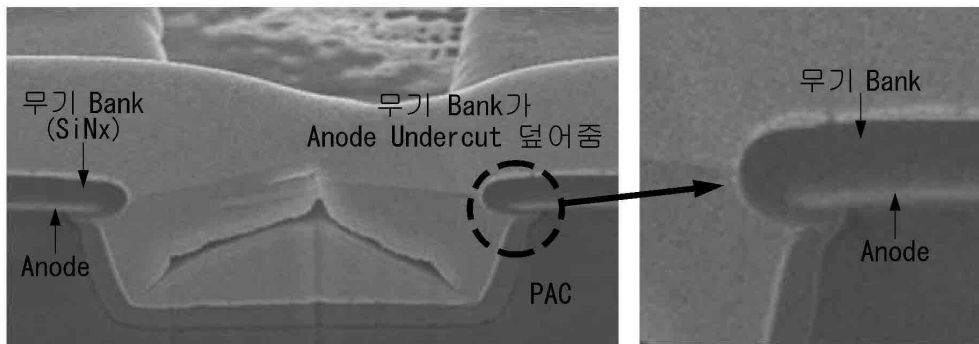
도면9



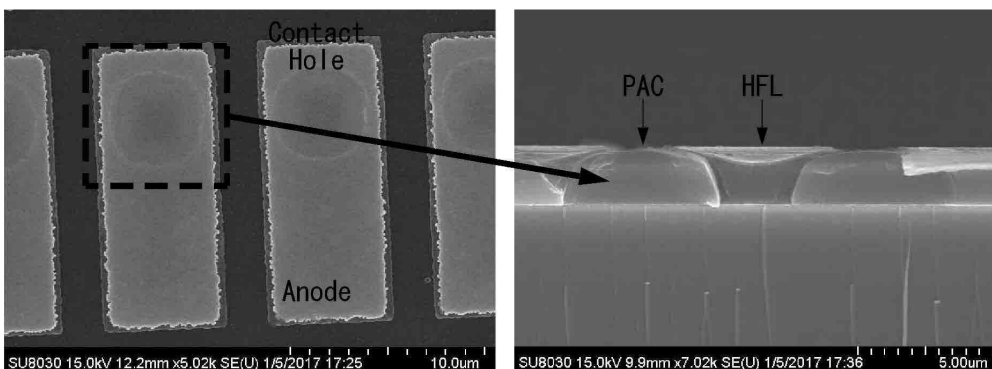
도면10



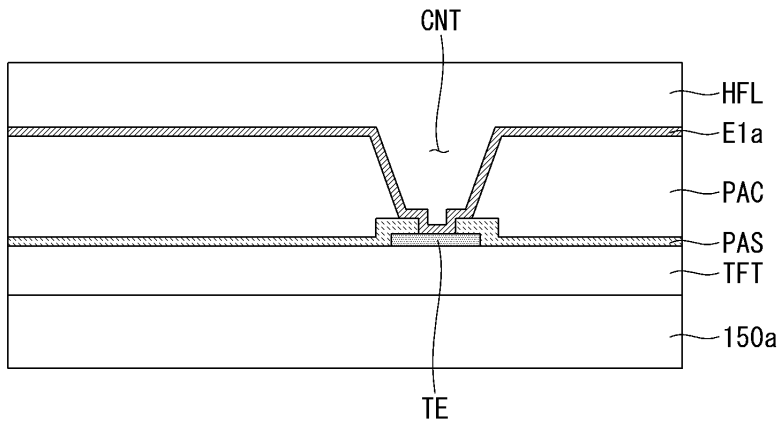
도면11



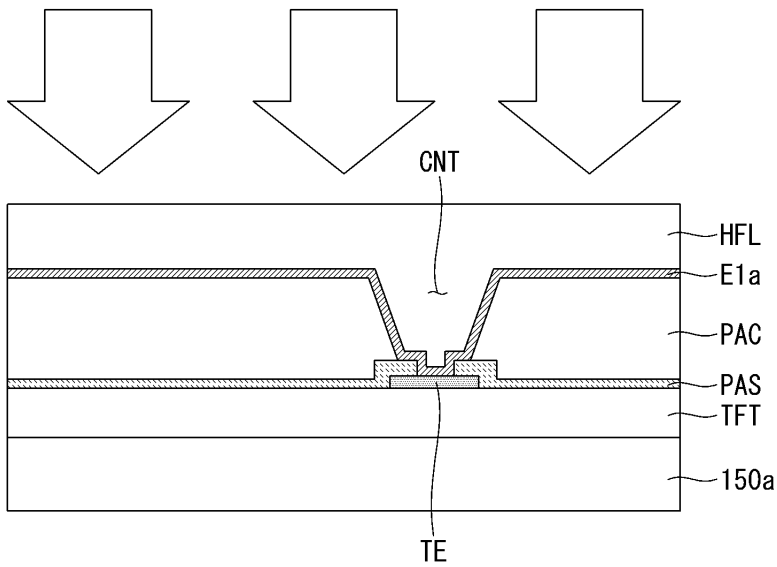
도면12



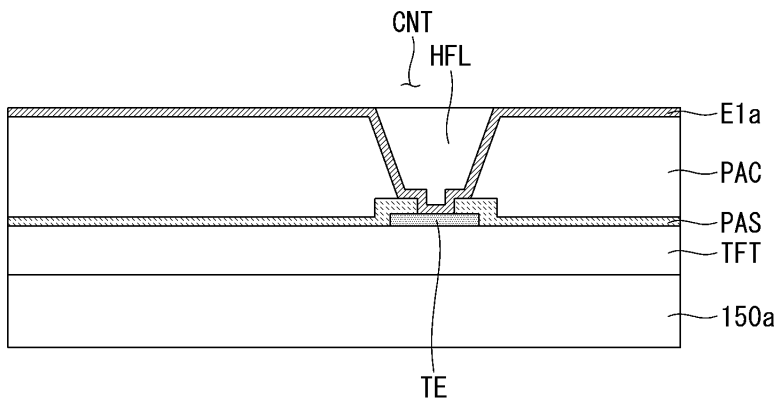
도면13



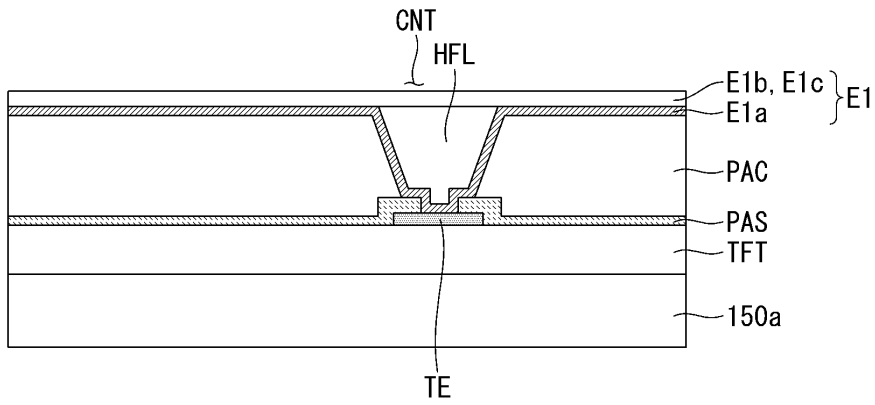
도면14



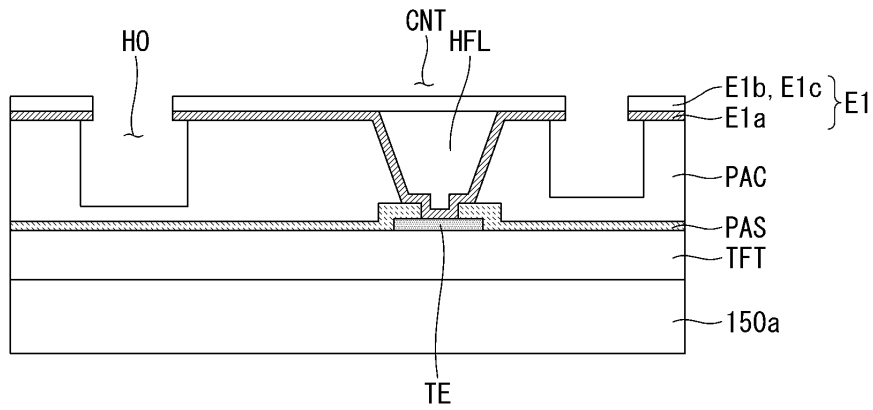
도면15



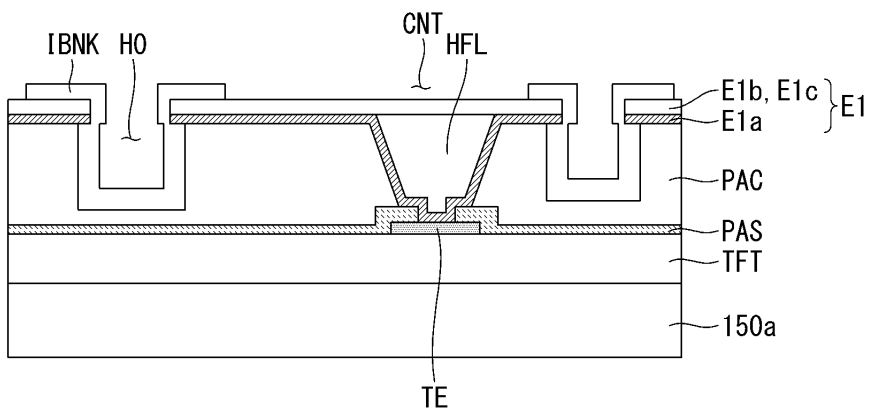
도면16



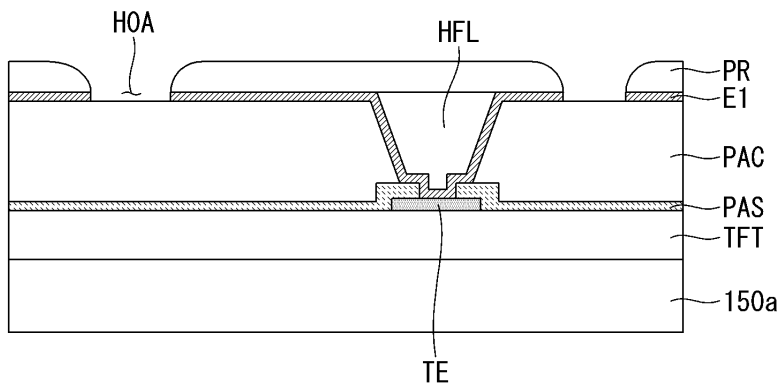
도면17



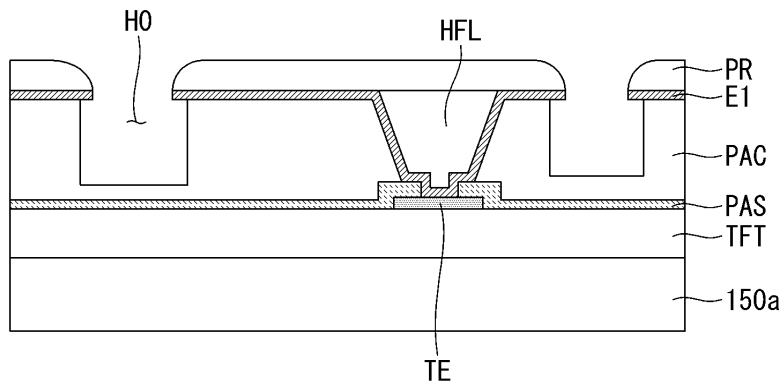
도면18



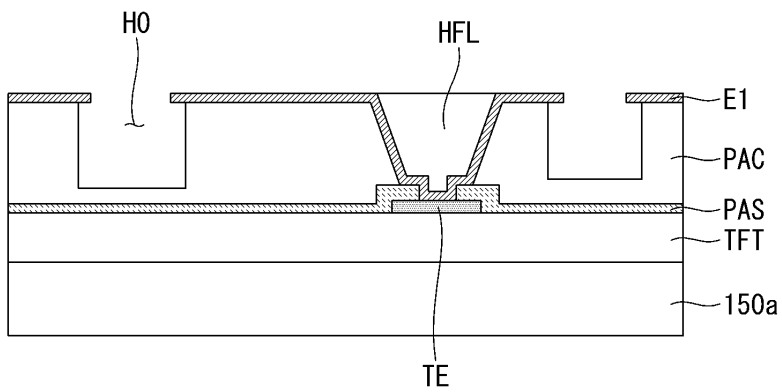
도면19



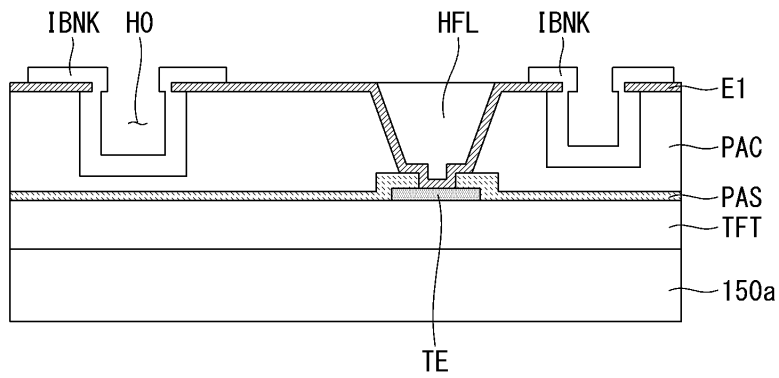
도면20



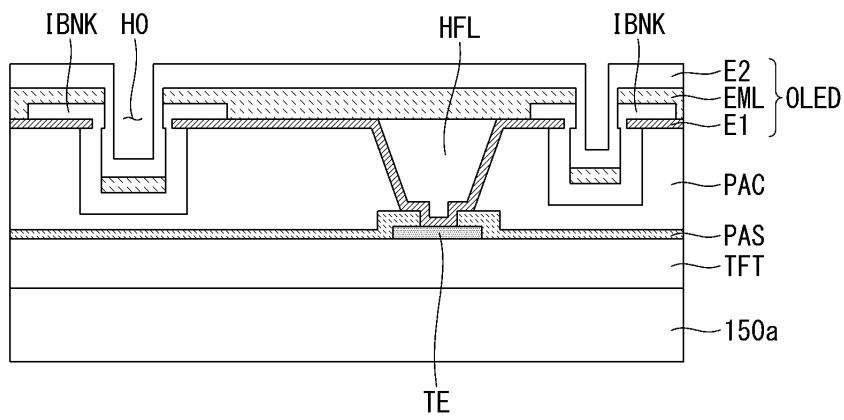
도면21



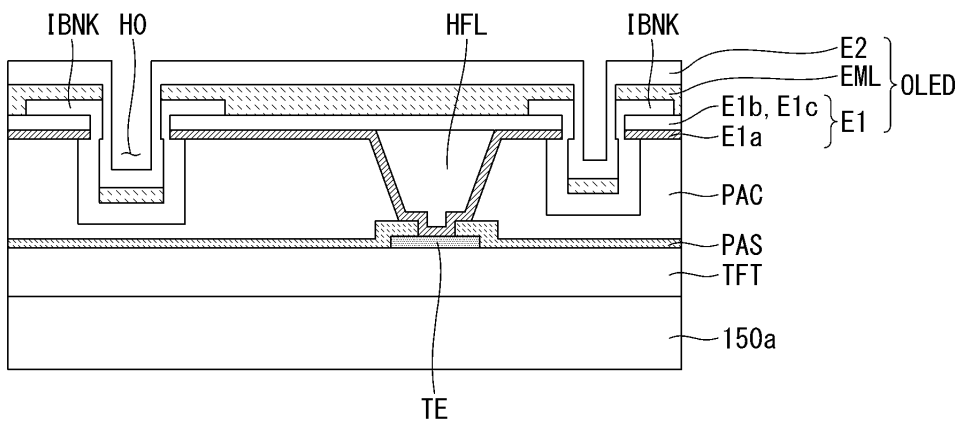
도면22



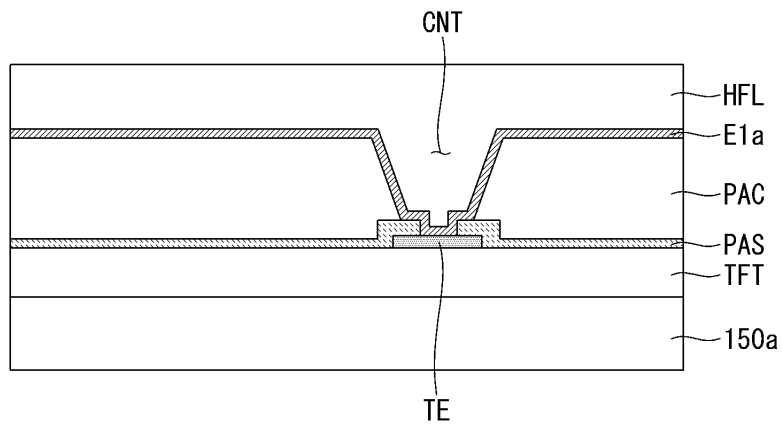
도면23



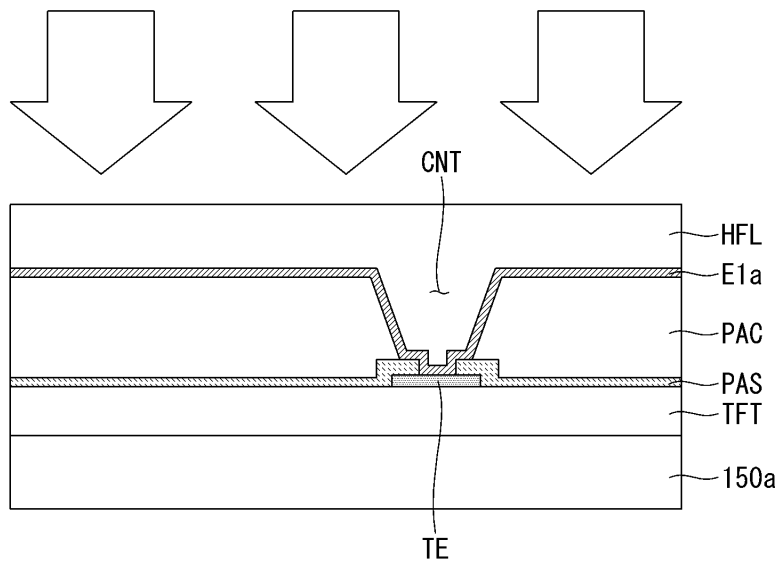
도면24



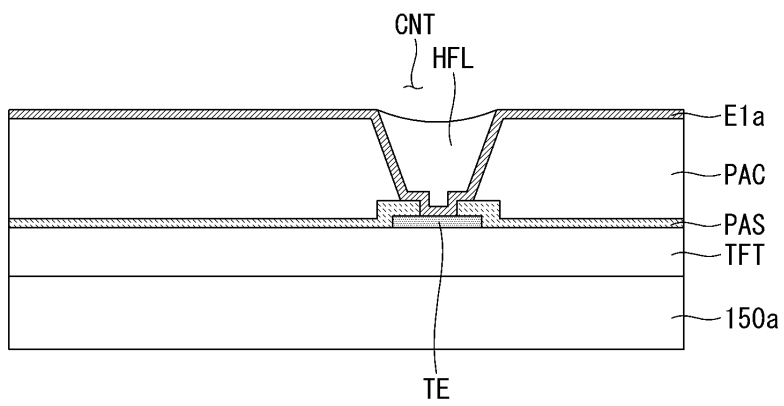
도면25



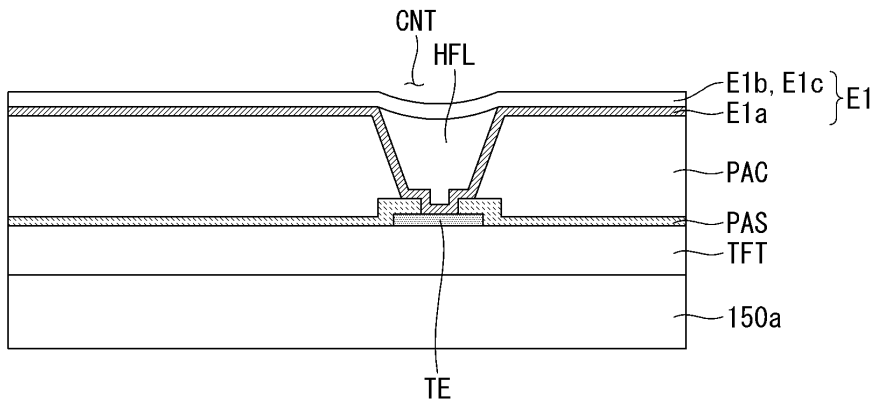
도면26



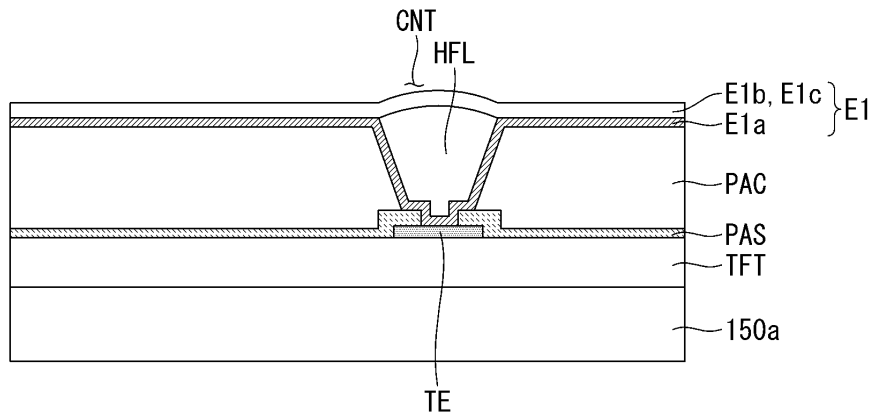
도면27



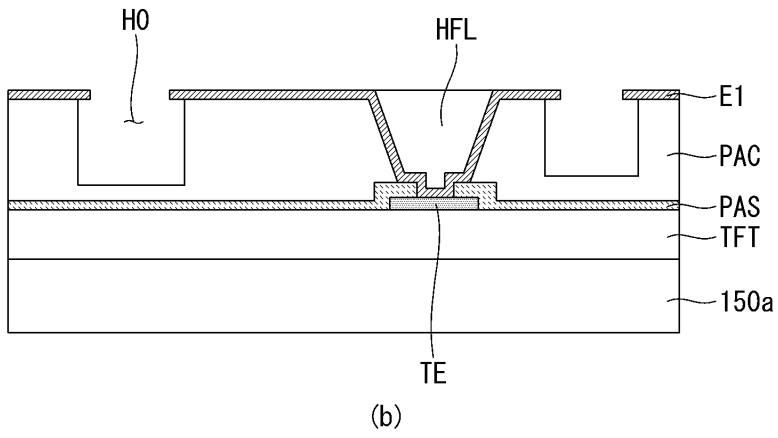
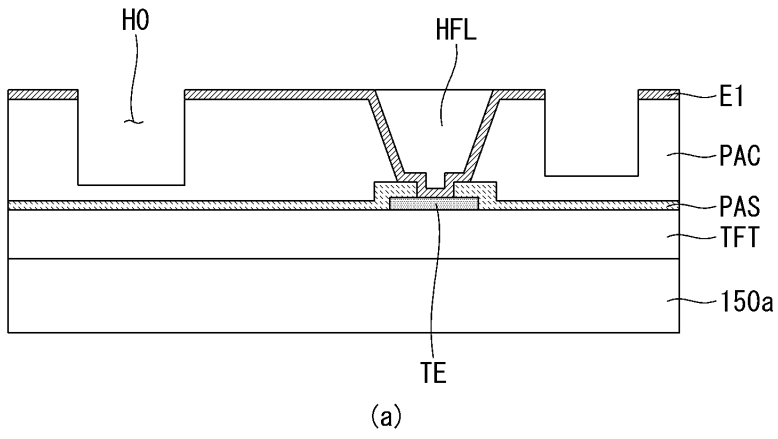
도면28



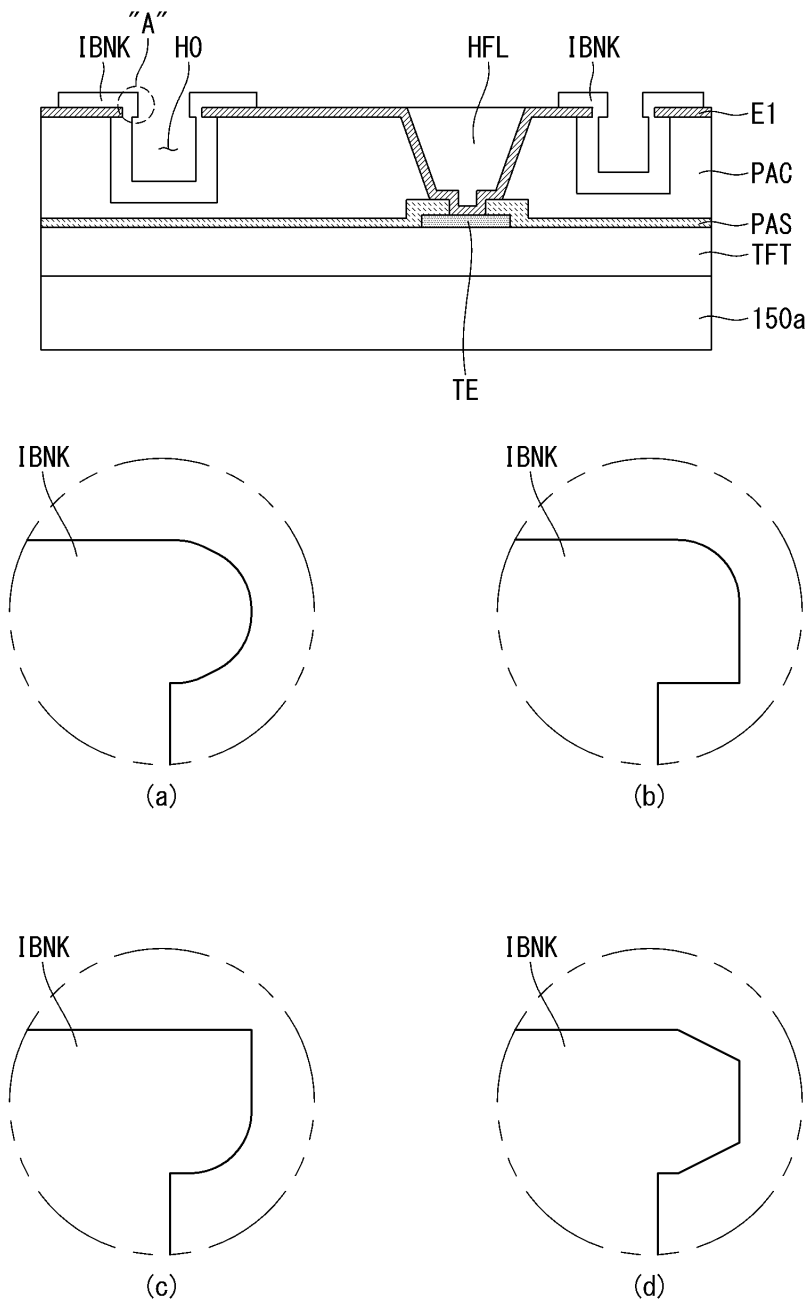
도면29



도면30



도면31



专利名称(译)	电致发光显示装置		
公开(公告)号	KR1020190003240A	公开(公告)日	2019-01-09
申请号	KR1020170083858	申请日	2017-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	공혜진 허준영		
发明人	공혜진 허준영		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	H01L27/3211 H01L27/3248 H01L27/3262 H01L51/5012 G09G3/3258 G09G2300/0452 G09G2310/0251 G09G2330/12 H01L27/3213 H01L27/3246 H01L27/3258 G09G3/3233 G09G3/3266 G09G3/3291 H01L27/3265 H01L51/5036 H01L51/5218 H01L51/5237 H01L51/56		
外部链接	Espacenet		

摘要(译)

本发明提供了一种电致发光显示装置，其包括第一基板，子像素和接触孔。子像素具有位于第一基板上并发光的发光区域。接触孔位于发光区域中，并在子像素的晶体管和发光的发光二极管之间建立电连接，并发射与发光区域相同的光。

