(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0003017
(43) 공개일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 29/786* (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3248 (2013.01)
(21) 출원번호 10-2017-0083433
(22) 출원일자 2017년06월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박정환
서울특별시 구로구 개봉로17길 18-20 (개봉동) 202호
(74) 대리인
특허법인천문

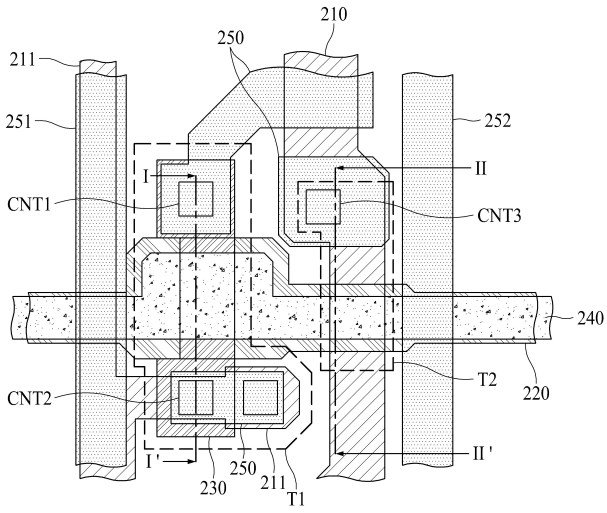
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **전계발광 표시장치**

(57) 요 약

본 출원은 동일한 입력 신호를 받는 복수개의 스위칭 트랜지스터에 대해서 저온 폴리 다결정 실리콘 박막트랜지스터와 산화물 박막트랜지스터를 같이 사용하는 전계발광 표시장치를 제공하고자 한다. 즉, 동일한 배선에 위치하는 복수개의 스위칭 트랜지스터에 대하여, 이중배선을 사용함으로써 저온 폴리 다결정 실리콘 박막트랜지스터와 산화물 박막트랜지스터를 혼용하여 사용할 수 있는 표시장치를 제공하고자 한다. 본 출원의 일 예에 따른 전계발광 표시장치는 제 1 액티브층, 제 1 액티브층과 교차하며 제 1 액티브층 상부에 배치된 제 1 게이트 배선, 제 1 액티브층과 상이한 채널을 형성하고 제 1 게이트 배선 상부에 배치된 제 2 액티브층, 및 제 2 액티브층과 교차하면서 제 2 액티브층의 상부에 배치된 제 2 게이트 배선을 포함한다. 본 출원의 제 1 게이트 배선과 제 2 게이트 배선은 중첩하며, 제 1 게이트 배선과 제 2 게이트 배선은 동일한 게이트 신호를 공급한다.

대 표 도 - 도3



(52) CPC특허분류
H01L 29/78618 (2013.01)
H01L 29/78696 (2013.01)

명 세 서

청구범위

청구항 1

제 1 액티브층;

상기 제 1 액티브층과 교차하며 상기 제 1 액티브층 상부에 배치된 제 1 게이트 배선;

상기 제 1 액티브층과 상이한 채널을 형성하고 상기 제 1 게이트 배선 상부에 배치된 제 2 액티브층; 및

상기 제 2 액티브층과 교차하면서 상기 제 2 액티브층의 상부에 배치된 제 2 게이트 배선을 포함하며,

상기 제 1 게이트 배선과 상기 제 2 게이트 배선은 중첩하며,

상기 제 1 게이트 배선과 상기 제 2 게이트 배선은 동일한 게이트 신호를 공급하는 전계발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 액티브층은 저온 폴리 다결정 실리콘 채널을 형성하고, 상기 제 2 액티브층은 산화물 채널을 형성하는 전계발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 제 1 게이트 배선 및 상기 제 2 게이트 배선의 폭은 상기 제 2 액티브층과 중첩하는 영역에서의 가장 넓은 폭을 가지는 전계발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 제 2 액티브층과 상기 제 2 게이트 배선을 덮는 제 2 층간 절연막; 및

상기 제 2 액티브층 상부에 배치된 소스/드레인 층을 더 포함하며, 상기 소스/드레인 층은 상기 제 2 층간 절연막에 형성된 제 1 및 제 2 컨택 홀을 통하여 상기 제 2 액티브층과 연결된 전계발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 소스/드레인 층은,

상기 제 1 액티브층의 상부에 추가로 배치되며,

제 1 게이트 절연막, 제 1 층간 절연막 및 상기 제 2 층간 절연막에 형성된 제 3 컨택 홀을 통하여 상기 제 1 액티브층과 연결된 전계발광 표시장치.

청구항 6

제 1 항에 있어서,

상기 제 1 게이트 배선 및 상기 제 2 게이트 배선은 표시영역에 마련된 화소들에 마련된 제 1 스위칭 트랜지스터 및 제 2 스위칭 트랜지스터의 게이트 전극에 연결되고,

상기 복수의 스위칭 트랜지스터들의 게이트 전극은 상기 각각의 화소들의 상기 제 1 및 제 2 액티브층과 연결된 전계발광 표시장치.

청구항 7

제 1 항에 있어서,

상기 제 1 게이트 배선과 상기 제 1 게이트 배선은 표시영역의 양 측면에 위치하는 제 1 및 제 2 GIP 회로부 상에 배치된 제 1 게이트 컨택 홀 및 제 2 게이트 컨택홀을 통해 연결된 전계발광 표시장치.

발명의 설명

기 술 분 야

[0001] 본 출원은 전계발광 표시장치에 관한 것이다.

배 경 기 술

[0002] 정보화 사회에서 시각 정보를 영상 또는 화상으로 표시하기 위한 표시장치 분야 기술이 많이 개발되고 있다. 표시장치 중 전계발광표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 발광 다이오드를 이용하여 화상을 표시한다. 전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 자발광에 따라 저계조 표현력의 극대화가 가능하여 차세대 디스플레이로 각광받고 있다.

[0003] 전계발광 표시장치는 화상을 표시하는 표시영역 상에 화소들이 마련된다. 화소들 각각은 박막트랜지스터(Thin Film Transistor, TFT)를 복수 개 갖는다. 박막트랜지스터의 종류에는 액티브층의 채널을 형성하는 물질을 기준으로 저온 폴리 다결정 실리콘(Low Temperature Polycrystalline Silicon, LTPS), 비정질 실리콘(Amorphous Silicon, A-Si), 및 산화물(Oxide)이 있다.

[0004] 박막트랜지스터의 종류 별로 전자 이동도 물리적인 성질이 달라, 스위칭 시 턴-온 상태의 전류의 크기 또는 오프 상태의 전압의 크기에 차이가 있게 된다. 즉, 박막트랜지스터의 종류에 따라 화소 구동 측면에서 차이가 발생한다. 이에 따라, 박막트랜지스터가 배치되는 위치 및 수행하는 역할에 따라 하나의 화소 내에서도 저온 폴리 다결정 실리콘 박막트랜지스터와 산화물 박막트랜지스터를 같이 사용하는 화소 구조가 바람직하다. 그러나, 기존의 화소 구조에서는 동일한 게이트 신호를 입력받는 트랜지스터들은 동일한 종류의 박막트랜지스터로만 제작할 수 있는 문제가 있었다.

발명의 내용

해결하려는 과제

[0005] 본 출원은 동일한 입력 신호를 받는 복수개의 스위칭 트랜지스터에 대해서 저온 폴리 다결정 실리콘 박막트랜지스터와 산화물 박막트랜지스터를 같이 사용하는 전계발광 표시장치를 제공하고자 한다. 즉, 동일한 배선에 위치하는 복수개의 스위칭 트랜지스터에 대하여, 이중배선을 사용함으로써 저온 폴리 다결정 실리콘 박막트랜지스터와 산화물 박막트랜지스터를 혼용하여 사용할 수 있는 표시장치를 제공하고자 한다.

과제의 해결 수단

[0006] 본 출원의 일 예에 따른 전계발광 표시장치는 제 1 액티브층, 제 1 액티브층과 교차하며 제 1 액티브층 상부에 배치된 제 1 게이트 배선, 제 1 액티브층과 상이한 채널을 형성하고 제 1 게이트 배선 상부에 배치된 제 2 액티브층, 및 제 2 액티브층과 교차하면서 제 2 액티브층의 상부에 배치된 제 2 게이트 배선을 포함한다. 본 출원의 제 1 게이트 배선과 제 2 게이트 배선은 중첩하며, 제 1 게이트 배선과 제 2 게이트 배선은 동일한 게이트 신호를 공급한다.

발명의 효과

[0007] 본 출원에 따른 전계발광 표시장치는 동일한 입력 신호를 받는 복수개의 스위칭 트랜지스터에 대해서 이중배선을 사용함으로써 저온 폴리 다결정 실리콘 박막트랜지스터와 산화물 박막트랜지스터를 혼용하여 사용할 수 있다. 다시 말하자면, 동일한 배선에 위치하는 복수개의 스위칭 트랜지스터에 대하여, 이중배선을 사용함으로써 저온 폴리 다결정 실리콘 박막트랜지스터와 산화물 박막트랜지스터를 혼용하여 사용할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 출원에 따른 전계발광 표시장치의 개념적 블록도이다.

도 2는 본 출원의 일 예에 따른 화소의 내부 회로도이다.

도 3은 본 출원의 일 예에 따른 전계발광 표시장치의 보상 회로 부분을 상세하게 나타낸 평면도이다.

도 4는 본 출원의 제 1 및 제 2 게이트 배선을 상세하게 나타낸 평면도이다.

도 5는 도 3의 Ⅰ-Ⅰ'의 단면도이다.

도 6은 도 3의 Ⅱ-Ⅱ'의 단면도이다.

도 7은 본 출원의 일 예에 따른 전계발광 표시장치의 평면도이다.

도 8은 도 7의 C 부분을 상세하게 나타낸 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원은 청구항의 범주에 의해 정의될 뿐이다.

[0010] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0011] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우, '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0012] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0013] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0014] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0015] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 출원의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0016] "제1 수평 축 방향", "제2 수평 축 방향" 및 "수직 축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 출원의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.

[0017] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.

[0018] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0019] 이하에서는 본 출원에 따른 전계발광 표시장치의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다.

[0020] 도 1은 본 출원에 따른 전계발광 표시장치의 개념적 블록도이다. 도 2는 본 출원의 일 예에 따른 화소(P)의 내

부 회로도이다.

[0021] 도 1 내지 도 2를 참조하면, 본 출원에 따른 전계발광 표시장치는 표시패널(100), 게이트 구동부(110), 데이터 구동부(120), 및 타이밍 컨트롤러(Timing Controller, T-CON)(130)를 포함한다.

[0022] 표시패널(100)은 표시영역과 표시영역의 주변에 마련된 비표시영역을 포함한다. 표시영역은 화소(P)들이 마련되어 화상을 표시하는 영역이다. 비표시영역은 표시패널(100)의 테두리를 형성하고 표시영역을 외부의 충격으로부터 보호하는 영역이다. 표시패널(100)에는 게이트 라인들(GL1-1~GLp-2, p는 2 이상의 양의 정수), 데이터 라인들(DL1~DLq, q는 2 이상의 양의 정수) 및 센싱 라인들(SL1~SLq)이 마련된다. 데이터 라인들(DL1~DLq) 및 센싱 라인들(SL1~SLq)은 게이트 라인들(GL1-1~GLp-2)과 교차할 수 있다. 데이터 라인들(DL1~DLq)과 센싱 라인들(SL1~SLq)은 서로 평행할 수 있다. 표시패널(100)은 화소(P)들이 마련되는 하부기판과 외부의 이물질로부터 화소(P)들을 보호하기 위한 봉지(Encapsulation) 기능을 수행하는 상부기판을 포함할 수 있다.

[0023] 화소(P)들 각각은 게이트 라인들(GL1-1~GLp-2) 중 어느 하나, 데이터 라인들(DL1~DLq) 중 어느 하나 및 센싱 라인들(SE1~SEm) 중 어느 하나에 접속될 수 있다. 도 2에서 나타난 바와 같이, 본 출원의 일 예에 따른 화소(P)는 구동 트랜지스터(DT), 발광소자(EL), 스토리지 커패시터(Cst), 및 제 1 내지 제 6 트랜지스터(T1~T6)을 포함한다. 이 때, 한 쌍의 게이트 라인들(GL1-1, GL1-2)은 하나의 화소에 접속된다. 한 쌍의 게이트 라인들(GL1-1, GL1-2)은 각각 한 쌍의 스캔 신호(Scan1, Scan2)를 공급한다.

[0024] 구동 트랜지스터(DT)는 게이트 전극, 소스 전극 및 드레인 전극을 포함한다. 구동 트랜지스터(DT)의 게이트 전극은 커패시터(Cst)의 일 측 전극, 제 1 트랜지스터(T1)의 드레인 전극, 및 제 5 트랜지스터(T5)의 소스 전극이 연결된 제 1 노드(N1)에 접속된다. 구동 트랜지스터(DT)의 소스 전극은 화소 구동 전원(ELVDD)을 소스 전극으로 공급받는 제 3 트랜지스터(T3)의 드레인 전극과 연결된다. 구동 트랜지스터(DT)의 드레인 전극은 제 4 트랜지스터(T4)의 소스 전극과 연결된다.

[0025] 구동 트랜지스터(DT)의 게이트 전극에 문턱 전압보다 큰 전압이 공급되는 경우 턴-온 된다. 구동 트랜지스터(DT)가 P형 MOSFET으로 구현되는 경우, 턴-온 된 구동 트랜지스터(DT)는 소스 전극에서 드레인 전극으로 구동 전류를 흘린다.

[0026] 발광소자(EL)는 애노드 전극 및 캐소드 전극을 포함한다. 발광소자(EL)는 애노드 전극으로부터 캐소드 전극으로 구동 전류를 흘린다. 발광소자(EL)의 애노드 전극은 제 4 트랜지스터(T4)의 드레인 전극이 연결된 제 2 노드(N2)에 접속된다. 발광소자(EL)의 캐소드 전극은 저전위 전원 전압(ELVSS)이 형성된 접지 라인에 캐소드 전극이 연결된다. 발광소자(EL)는 구동 트랜지스터(DT)로부터 흐르는 구동 전류에 대응하는 밝기로 발광한다.

[0027] 스토리지 커패시터(Cst)는 양 측 전극을 갖는다. 스토리지 커패시터(Cst)의 일 측 전극은 제 1 노드(N1)에 연결된다. 스토리지 커패시터(Cst)의 타 측 전극은 화소 구동 전원(ELVDD) 라인에 연결된다.

[0028] 스토리지 커패시터(Cst)는 제 1 노드(N1)에 연결된 제 5 트랜지스터(T5)가 턴-온 된 경우 화소 구동 전원(ELVDD)과 제 1 노드(N1)의 차전압을 저장한다. 스토리지 커패시터(Cst)는 제 5 트랜지스터(T5)가 턴-오프 된 경우 제 1 노드(N1)에 저장한 차전압을 유지한다. 또한, 스토리지 커패시터(Cst)는 저장되어 유지한 전압을 이용하여 구동 트랜지스터(DT)의 구동을 제어할 수 있다.

[0029] 제 1 트랜지스터(T1)의 게이트 전극은 제 2 스캔 신호(Scan2)를 공급받는다. 제 1 트랜지스터(T1)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 1 트랜지스터(T1)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 1 트랜지스터(T1)는 제 2 스캔 신호(Scan2)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vtp)의 합인 Vdata+Vtp까지 상승시킨다.

[0030] 제 2 트랜지스터(T2)의 게이트 전극은 제 2 스캔 신호(Scan2)를 공급받는다. 제 2 트랜지스터(T2)의 소스 전극은 데이터 라인(DL)과 연결되어 데이터 전압(Vdata)을 공급받는다. 제 2 트랜지스터(T2)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 2 트랜지스터(T1)는 제 2 스캔 신호(Scan2)에 의해 턴-온 되어, 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(Vdata)을 공급한다.

[0031] 제 1 트랜지스터 (T1) 및 제 2 트랜지스터(T2)는 동일한 게이트 입력 신호인 제 2 스캔 신호 (Scan2)를 공급받는다. 따라서, 제 1 트랜지스터 (T1) 및 제 2 트랜지스터 (T2)는 본 발명에 의하면 제 2 스캔 신호(Scan2)이 공급되는 배선을 이중배선으로 설계하여 저온 폴리 다결정 실리콘 박막트랜지스터와 산화물 박막트랜지스터를 혼용하여 사용할 수 있다.

[0032] 제 3 트랜지스터(T3)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 3 트랜지스터(T3)의 소스 전극은

화소 구동 전원(ELVDD)을 공급받는다. 제 3 트랜지스터(T3)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 3 트랜지스터(T3)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 트랜지스터(DT)에 화소 구동 전원(ELVDD)을 공급하여 구동 트랜지스터(DT)가 구동 전류를 흐르게 한다.

[0033] 제 4 트랜지스터(T4)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 4 트랜지스터(T4)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 4 트랜지스터(T4)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 4 트랜지스터(T4)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 전류가 유기 발광 소자(OLED)를 흐르게 하여 유기 발광 소자(OLED)를 발광시킨다.

[0034] 제 3 트랜지스터 (T3) 및 제 4 트랜지스터 (T4)의 게이트 전극은 동일한 입력신호인 발광 제어 신호(EM)를 공급받고 있다. 따라서, 제 3 트랜지스터 (T3) 및 제 4 트랜지스터 (T4)는 본 발명에 의하면 발광 제어 신호 (EM)이 공급되는 배선을 이중배선으로 설계하여 저온 폴리 다결정 실리콘 박막트랜지스터와 산화물 박막트랜지스터를 혼용하여 사용할 수 있다.

[0035] 제 5 트랜지스터(T5)의 게이트 전극은 제 1 스캔 신호(Scan1)를 공급받는다. 제 5 트랜지스터(T5)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 5 트랜지스터(T5)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 5 트랜지스터(T5)는 제 1 스캔 신호(Scan1)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 초기화 전압(Vinit)으로 초기화시킨다.

[0036] 제 6 트랜지스터(T6)의 게이트 전극은 제 1 스캔 신호(Scan1)를 공급받는다. 제 6 트랜지스터(T6)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 6 트랜지스터(T6)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 6 트랜지스터(T6)는 제 1 스캔 신호(Scan1)에 의해 턴-온 되어, 제 2 노드(N2)의 전압을 초기화 전압(Vinit)으로 초기화시킨다.

[0037] 제 5 트랜지스터(T5) 및 제 6 트랜지스터(T6)는 동일 입력신호인 제 1 스캔 신호(Scan 1)을 공급받고 있다. 따라서 제 5 트랜지스터(T5) 및 제 6 트랜지스터(T6)는, 본 발명에 의하면 제 1 스캔 신호(Scan 1)이 공급되는 배선을 이중 배선으로 설계하여 저온 폴리 다결정 실리콘 박막트랜지스터와 산화물 박막트랜지스터를 혼용하여 사용할 수 있다.

[0038] 게이트 구동부(120)는 타이밍 컨트롤러(130)로부터 게이트 구동부 제어 신호(GCS)를 공급받고, 게이트 구동부 제어 신호(GCS)에 따라 게이트 신호들을 생성하여 게이트 라인들(GL1~GLp)에 공급한다.

[0039] 데이터 구동부(120)는 타이밍 컨트롤러(130)로부터 데이터 구동부 제어 신호(DCS)를 공급받고, 데이터 구동부 제어 신호(DCS)에 따라 데이터전압들을 생성하여 데이터 라인들(DL1~DLq)에 공급한다. 또한, 데이터 구동부(120)는 화소(P)들 각각의 전압 및 전류 특성을 센싱하여 센싱 데이터(SEN)를 생성하여 타이밍 컨트롤러(130)로 공급한다.

[0040] 타이밍 컨트롤러(130)는 외부로부터 화상의 표시 타이밍을 제어하는 타이밍 신호(TS)와 화상을 구현하기 위한 색상 별 정보를 포함하고 있는 디지털 비디오 데이터(DATA)를 공급받는다. 타이밍 컨트롤러(130)의 입력단에는 타이밍 신호(TS)와 디지털 비디오 데이터(DATA)가 설정된 프로토콜에 의해 입력된다. 또한, 타이밍 컨트롤러(130)는 데이터 구동부(120)로부터 화소(P)들 각각의 전압 및 전류 특성에 따른 센싱 데이터(SEN)를 공급받는다.

[0041] 타이밍 신호(TS)는 수직 동기 신호(Vertical sync signal, Vsync), 수평 동기 신호(Horizontal sync signal, Hsync), 데이터 인에이블 신호(Data Enable signal, DE), 및 도트 클럭(Dot clock, DCLK)을 포함한다. 타이밍 컨트롤러(130)는 센싱 데이터(SEN)에 기초하여 디지털 비디오 데이터(DATA)를 보상한다.

[0042] 타이밍 컨트롤러(130)는 게이트 구동부(110), 데이터 구동부(120), 스캔 구동부 및 센싱 구동부의 동작 타이밍을 제어하기 위한 구동부 제어 신호들을 생성한다. 구동부 제어 신호들은 게이트 구동부(110)의 동작 타이밍을 제어하기 위한 게이트 구동부 제어 신호(GCS), 데이터 구동부(120)의 동작 타이밍을 제어하기 위한 데이터 구동부 제어 신호(DCS), 스캔 구동부의 동작 타이밍을 제어하기 위한 스캔 구동부 제어 신호 및 센싱 구동부의 동작 타이밍을 제어하기 위한 센싱 구동부 제어 신호를 포함한다.

[0043] 타이밍 컨트롤러(130)는 모드 신호에 따라 표시 모드와 센싱 모드 중 어느 하나의 모드로 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 동작시킨다. 표시 모드는 표시패널(100)의 화소(P)들이 화상을 표시하는 모드이고, 센싱 모드는 표시패널(100)의 화소(P)들 각각의 구동 트랜지스터(DT)의 전류를 센싱하는 모드이다. 표시 모드와 센싱 모드 각각에서 화소(P)들 각각에 공급되는 스캔 신호의 파형과 센싱 신호의 파형이 변경되는 경우,

표시 모드와 센싱 모드 각각에서 데이터 구동부 제어 신호(DCS), 스캔 구동부 제어 신호 및 센싱 구동부 제어 신호 역시 변경될 수 있다. 따라서, 타이밍 컨트롤러(130)는 표시 모드와 센싱 모드 중 어느 모드인지에 따라 해당하는 모드에 대응하여 데이터 구동부 제어 신호(DCS), 스캔 구동부 제어 신호 및 센싱 구동부 제어 신호를 생성한다.

[0044] 타이밍 컨트롤러(130)는 게이트 구동부 제어 신호(GCS)를 게이트 구동부(110)로 출력한다. 타이밍 컨트롤러(130)는 보상 디지털 비디오 데이터와 데이터 구동부 제어 신호(DCS)를 데이터 구동부(120)로 출력한다. 타이밍 컨트롤러(130)는 스캔 구동부 제어 신호를 스캔 구동부로 출력한다. 타이밍 컨트롤러(130)는 센싱 구동부 제어 신호를 센싱 구동부로 출력한다.

[0045] 또한, 타이밍 컨트롤러(130)는 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 표시 모드와 센싱 모드 중에 어느 모드로 구동할지에 따라 해당 모드를 구동하기 위한 모드 신호를 생성한다. 타이밍 컨트롤러(130)는 모드 신호에 따라 표시 모드와 센싱 모드 중 어느 하나의 모드로 데이터 구동부(120), 스캔 구동부 및 센싱 구동부를 동작시킨다.

[0046] 도 3은 본 출원의 일 예에 따른 전계발광 표시장치의 보상 회로 부분을 상세하게 나타낸 평면도이다.

[0047] 본 출원의 일 예에 따른 전계발광 표시장치는 제 1 액티브층(210), 제1데이터 배선(211), 제 1 게이트 배선(220), 제 2 액티브층(230), 제 2 게이트 배선(240), 소스/드레인 층(250), 제 2 데이터 배선(251), 및 전원 배선(252)을 포함한다.

[0048] 제 1 액티브층(210)은 보상 회로를 구성하는 트랜지스터들 중 보상 작업을 수행하는 구동 트랜지스터 및 스위칭 트랜지스터들 중 일부 트랜지스터들의 반도체 층을 형성한다. 제 1 액티브층(210)은 제 1 반도체 물질로 이루어진다. 도 3에서는 제 1 반도체 물질을 포함한 제 1 액티브층(210)이 제 2 스위칭 트랜지스터의 반도체 층을 형성하고 제 1 액티브층(210)의 제 1 반도체 물질과 상이한 제 2 반도체 물질을 포함한 제 2 액티브층(230)은 제 1 스위칭 트랜지스터의 반도체 층을 형성하는 것을 나타내고 있다.

[0049] 제 1 데이터 배선(211)은 보상 전 데이터 전압을 공급하는 제 2 데이터 배선(251)이 형성되는 영역에 마련된다. 제 1 데이터 배선(211)은 제 1 액티브층(210)을 이루는 제 1 반도체 물질이 도체화되어 제 1 데이터 배선(211)을 형성한다. 제 1 반도체 물질이 도체화 되어 형성한 제 1 데이터 배선 (211)은 데이터 전압이 공급되는 제 2 데이터 배선(251)과 연결된다. 제 2 데이터 배선(251)과 연결된 제 1 데이터 배선 (211)은 제 1 스위칭 트랜지스터에 데이터 전압을 공급한다. 제 1 데이터 배선(211)은 각각의 화소에서 비발광 영역에 형성되어, 화소들의 개구율 저하를 방지한다.

[0050] 여기에서, 제 1 액티브층(210)은 상대적으로 응답속도가 낮아도 구동에 지장이 적으며, 전압-전류 특성을 만족시키는 재료로 형성하는 것이 바람직하다. 게다가, 본 출원에 따른 화소(P)에는 다수의 스위칭 트랜지스터들이 사용되므로, 이들의 반도체층을 형성하는 제 1 액티브층(210)은 스위칭 트랜지스터들의 안정성(Stability) 및 균일성(Uniformity)를 실현하기 용이하여야 한다. 즉, 제 1 액티브층(210)은 스위칭 트랜지스터의 안정성(Stability) 및 균일성(Uniformity)를 확보할 수 있는 재료로 형성하는 것이 바람직하다.

[0051] 일 예로, 제 1 액티브층(210)은 저온 폴리 다결정 실리콘(LTPS) 채널로 형성할 수 있다. 제1 액티브 층(210)은 저온 폴리 실리콘(Low Temperature Poly-Silicon; LTPS)을 포함할 수 있다. 폴리 실리콘 물질은 이동도가 높아(100㎠/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하므로, 표시 소자용 박막 트랜지스터들을 구동하는 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용될 수 있으며, 표시 장치에서 구동 박막 트랜지스터의 액티브 층으로 적용될 수 있다.

[0052] 제 1 게이트 배선(220) 및 제 2 게이트 배선(240)은 제 1 및 제2 스위칭 트랜지스터에 동일한 게이트 신호를 공급한다. 본 출원에 따른 제 1 스위칭 트랜지스터는 두 개의 게이트 배선으로부터 게이트 신호를 공급받는 이중 게이트(Double Gate) 구조를 갖는다. 제 1 및 제 2 게이트 배선(220, 240)은 제 1 및 제 2 액티브층(210, 230)과 교차하며 배치된다. 제 1 및 제 2 게이트 배선(220, 240)은 제 1 데이터 배선(211)과 평행하게 배치된 제 1 및 제 2 액티브층(210, 230)과 교차하면서 제 1 및 제 2 액티브층(210, 230)과 수직한 방향으로 배치된다. 제 2 게이트 배선(240)은 제 2 액티브층(230)과 교차하면서 제 2 액티브층(230)의 상부에 배치된다. 제 2 게이트 배선(240)과 제 2 액티브층(230)사이에는 절연층이 형성된다. 제 2 액티브층(230)은 보상 회로를 구성하는 스위칭 트랜지스터들 중 제 1 스위칭 트랜지스터의 반도체 층을 형성한다. 제 2 액티브층(230)은 데이터 라인과 평행한 방향으로 형성된다. 또한, 제 2 액티브층(230)은 제 1 데이터 배선(211)과 일부 중첩되며 배치된다.

[0053] 도 3에 따르면, 제 2 액티브층(230)은 제 1 스위칭 트랜지스터의 반도체 층을 형성하고 있다. , 제 2 액티브층

(230)은 복수개의 트랜지스터 중 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 박막 트랜지스터에 적합하다.

[0054] 일 예로, 제 2 액티브층(230)은 산화물(Oxide) 채널로 형성할 수 있다. 산화물 채널은 우수한 응답속도 및 전압-전류 특성을 갖는다. 산화물 반도체 물질은 실리콘 물질과 비교하여 밴드갭이 더 큰 물질이므로 오프(Off) 상태에서 전자가 밴드갭을 넘어가지 못하며, 이에 따라 오프-전류(Off-Current)가 낮다. 따라서, 산화물 반도체로 이루어진 액티브 층을 포함하는 박막 트랜지스터는 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 박막 트랜지스터에 적합하다. 또한, 오프-전류가 작으므로 보조 용량의 크기가 감소될 수 있으므로, 고해상도 표시 소자에 적합하다.

[0055] 본 출원의 일 예에 따른 전계발광 표시장치는 각각의 채널 별 특성을 반영하여 특성이 상이한 두 가지의 채널을 이용한 두 가지 종류의 액티브층을 배치하는 경우, 각각의 트랜지스터에 최적화된 채널을 이용하여 전계발광 표시장치의 보상 회로를 설계할 수 있다.

[0056] 본 출원은 제 1 게이트 배선(220)과 제 2 게이트 배선(240)을 오버랩시킨다. 만약, 제 1 게이트 배선(220)과 제 2 게이트 배선(240)을 오버랩시키지 않는 경우, 전계발광 표시장치 내의 하나의 화소 내에서 제 1 게이트 배선(220)이 마련될 공간과 제 2 게이트 배선(240)이 마련될 공간이 별도로 필요하게 된다. 또한, 제 1 게이트 배선(220)과 연결되는 스위칭 트랜지스터와 제 2 게이트 배선(240)과 연결되는 스위칭 트랜지스터 사이의 거리 역시 증가하게 되어, 스위칭 트랜지스터들이 마련된 영역의 면적이 증가하는 문제가 발생한다. 따라서, 본 출원에서는 제 1 게이트 배선(220)과 제 2 게이트 배선(240)은 오버랩시켜서, 하나의 화소 내에서 게이트 배선들이 마련되는 공간 및 제 1 및 제2 스위칭 트랜지스터들사이의 거리를 감소시켜, 하나의 화소 당 면적을 감소시킬 수 있다.

[0057] 그러나, 제 1 게이트 배선(220)과 제 2 게이트 배선(240)에 서로 다른 타이밍의 게이트 신호가 공급되는 경우, 신호 간 간섭 현상이 발생하여 정확한 타이밍의 게이트 신호가 공급되지 않는다. 따라서, 본 출원에 따른 전계발광 표시장치의 제 1 게이트 배선(220)과 제 2 게이트 배선(240)은 동일한 게이트 신호를 공급한다. 이에 따라, 제 1 게이트 배선(220)과 제 2 게이트 배선(240)을 통하여 동일한 타이밍에 동일한 펄스를 공급할 수 있다.

[0058] 소스/드레인 층(250)은 제 1 및 제 2 스위칭 트랜지스터들의 소스 전극 및 드레인 전극이 형성되는 영역에 배치된다. 소스/드레인 층(250)은 제 1 스위칭 트랜지스터(T1)에서 제 1 및 제 2 컨택 홀(CNT1, CNT2)을 통하여 제 2 액티브층(230)과 연결된다. 소스/드레인 층(250)은 제 2 스위칭 트랜지스터(T2)에서 제 3 컨택 홀(CNT3)을 통하여 제 1 액티브층(210)과 연결된다. 제 1 및 제 3 컨택 홀(CNT1, CNT3)의 상부에 형성된 소스/드레인 층(250)은 단일하게 형성된 층이다. 이에 따라, 소스/드레인 층(250)은 제 1 및 제 3 컨택 홀(CNT1, CNT3)을 통하여 제 1 액티브층(210)과 제 2 액티브층(230)을 연결시킬 수 있다.

[0059] 제 2 데이터 배선(251)은 제 1 데이터 배선(211)과 일부 중첩되어 배치된다. 제 2 데이터 배선(251)은 소스/드레인 층(250)과 동일한 금속 물질로 형성된다. 제 2 데이터 배선(251)은 하나의 화소열에 있는 화소들에 보상 작업을 마친 데이터 전압을 일괄적으로 공급한다.

[0060] 전원 배선(252)은 각각의 화소의 가장자리 영역을 지나도록 배치된다. 도 3에서는 전원 배선(252)이 화소의 우측 가장자리 영역을 지나도록 배치된 경우를 도시하였다. 전원 배선(252)은 소스/드레인 층(250) 및 제 2 데이터 배선(251)과 동일한 금속 물질로 형성된다. 전원 배선(252)은 하나의 화소열에 있는 화소들에 전원 전압을 일괄적으로 공급한다.

[0061] 도 4는 본 출원의 제 1 및 제 2 게이트 배선(220, 240)을 상세하게 나타낸 평면도이다.

[0062] 본 출원의 제 1 게이트 배선(220)은 제 1 폭(W1)과 제 1폭 (W1)보다는 작은 제 3 폭(W3)을 갖는다. 제 1폭(W1)은 제 1 스위칭 트랜지스터의 채널이 형성되는 영역에서 위치한다. 다시 말해서, 제 1 게이트 배선(220)이 제 2 액티브층(230)과 중첩하는 영역에서 제 1 게이트 배선(220)의 폭이 제 1폭(W1)이다. 본 출원의 제 2 게이트 배선(240)은 제 2 폭(W2)과 제 2폭(W2)보다 작은 제 4 폭(W4)을 갖는다. 제 2폭(W2)은 제 1 스위칭 트랜지스터의 채널이 형성되는 영역에서 위치한다. 다시 말해서, 제 2 게이트 배선(240)이 제 2 액티브층(230)과 중첩하는 영역에서 제 2 게이트 배선(240)의 폭이 제 2폭(W2)이다.

[0063] 본 출원의 제 1 스위칭 트랜지스터의 채널이 형성된 영역에서, 제 1 게이트 배선(220)의 제 1 폭(W1)은 제 2 게이트 배선(240)의 제 2 폭(W2)보다 크게 형성 될 수 있다. 이는 제 1 스위칭 트랜지스터(T1)의 채널이 형성된 영역에서 제 2 액티브층(230)이 빛을 받아 도체화되는 것을 방지하기 위하여 제 1 게이트 배선(220)을 차광층으

로 활용하기 위함이다. 따라서, 본 출원은 제 1 게이트 배선(220)이 게이트 배선의 역할을 수행하면서 차광층의 역할도 함께 수행하므로, 별도의 차광층을 구비할 필요가 없다. 이에 따라, 본 출원은 두께를 감소시키고, 제조 공정 및 제조 비용을 감소시킨 전계발광 표시장치를 제공할 수 있다.

[0064] 또한 추가적으로, 본 출원의 제 2 스위칭 트랜지스터의 채널이 형성된 영역에서, 제 1 게이트 배선(220)의 폭은 제 2 게이트 배선(240)의 폭보다 크게 형성될 수도 있다. 다시 말해서, 제 1 게이트 배선(220) 및 제 2 게이트 배선(240)이 제 1 액티브층(210)과 중첩하는 영역에서 제 1 게이트 배선(220)의 폭은 제 2 게이트 배선(240)의 폭보다 크게 형성될 수 있는 것이다. 이는 제 2 스위칭 트랜지스터(T2)의 채널이 형성된 영역에서 제 1 액티브층(210)이 빛을 받아 도체화되는 것을 방지하기 위하여 제 1 게이트 배선(220)을 차광층으로 활용하기 위함이다. 따라서, 본 출원은 제 1 게이트 배선(220)이 게이트 배선의 역할을 수행하면서 차광층의 역할도 함께 수행하므로, 별도의 차광층을 구비할 필요가 없다. 이에 따라, 본 출원은 두께를 감소시키고, 제조 공정 및 제조 비용을 감소시킬 전계발광 표시장치를 제공할 수 있다.

[0065] 도 4에서는 제 3 폭(W3)이 제 4 폭(W4)보다 넓은 것을 예시하였다. 그러나 이에 한정되지 않으며, 설계 상의 필요에 따라 제 4 폭(W4)이 제 3 폭(W3)보다 넓게 형성되거나 제 4폭(W4)과 제 3폭(W3)의 폭이 같게 형성될 수 있다. 설계 상의 필요에 따라 다양한 설계가 가능하지만, 제1 및 제 2 게이트 배선(220, 240)이 제 1 액티브 층과 중첩하는 영역에서는 제 3폭(W3)이 제 4폭(W4)보다 넓게 형성되어야 한다. 다시 말해서, 제 2 스위칭 트랜지스터의 채널이 형성되는 영역에서는, 제 3폭(W3)이 제 4폭(W4)보다 넓게 형성되어야 한다. 그 외의 영역에서는 설계상의 필요에 따라, 제 3폭(W3)이 제 4폭(W4)보다 크거나, 작거나 또는 같게 선택적으로 형성 될 수도 있다.

[0066] 도 5는 도 3의 Ⅰ-Ⅰ'의 단면도이다. 도 5에서 나타난 바와 같이, 본 출원의 일 예에 따른 전계발광 표시장치는 폴리이미드층(Polyimide)(201), 버퍼층(202), 제 1 게이트 절연막(203), 제 1 데이터 배선(211), 제 1 게이트 배선(220), 제 1 층간 절연막(225), 제 2 액티브층(230), 제 2 게이트 절연막(235), 제 2 게이트 배선(240), 제 2 층간 절연막(245), 소스/드레인 층(250)을 갖는다.

[0067] 폴리이미드층(201)은 전계발광 표시장치에 휘는 기능을 부여한다. 폴리이미드층(201)은 전계발광 표시장치의 후면 최외곽에 배치되며, 가용성이 있는 폴리이미드로 이루어진다. 이에 따라, 본 출원에 따른 전계발광 표시장치는 플렉서블 디스플레이에 적용할 수 있다. 또한, 본 출원에 따른 전계발광 표시장치가 외부 충격에 적당히 휠 수 있도록 하여, 전계발광 표시장치가 깨지거나 파손되지 않도록 할 수 있다.

[0068] 버퍼층(202)은 전계발광 표시장치의 후면 중 폴리이미드층(201)의 상부에 배치된다. 버퍼층(202)은 전계발광 표시장치의 후면으로 이물질이 침투하는 것을 방지한다. 또한, 버퍼층(202)은 전계발광 표시장치의 외부에서 전달되는 충격을 흡수하는 역할을 수행한다.

[0069] 제 1 데이터배선(211)은 버퍼층(202)의 상부에 배치된다. 제 1 데이터 배선(211)은 제 2 스위칭 트랜지스터의 제 1 액티브층(210)과 동일한 물질인 제1 반도체 물질을 도체화하여 형성할 수 있다. 제 1 데이터 배선 (211)의 기능 및 역할을 도 3에서 설명한 바와 동일하므로, 이에 대한 상세한 설명은 생략하기로 한다.

[0070] 제 1 게이트 절연막(203)은 버퍼층(202) 및 제 1 액티브층(210)의 상부에 배치된다. 제 1 게이트 절연막(203)은 제 1 액티브층(210)과 상부에 배치되는 다른 도전층과의 전기적인 연결을 차단한다.

[0071] 제 1 게이트 배선(220)은 제 1 게이트 절연막(203)의 상부에 배치된다. 제 1 게이트 배선(220)의 기능 및 역할을 도 3에서 설명한 바와 동일하므로, 이에 대한 상세한 설명은 생략하기로 한다.

[0072] 제 1 층간 절연막(225)은 제 1 게이트 절연막(203) 및 제 1 게이트 배선(220)의 상부에 배치된다. 제 1 층간 절연막(225)은 제 1 게이트 배선(220)과 상부의 층 사이의 전기적인 연결을 방지한다.

[0073] 제 2 액티브층(230)은 제 1 층간 절연막(225)의 상부에 배치된다. 제 2 액티브층(230)의 기능 및 역할을 도 3에서 설명한 바와 동일하므로, 이에 대한 상세한 설명은 생략하기로 한다.

[0074] 제 2 게이트 절연막(235)은 제 2 액티브층(230)의 상부에 배치된다. 제 2 게이트 절연막(235)은 제 2 액티브층(230)의 상부 중 제 2 게이트 배선(240)이 배치되는 영역 상에 마련된다. 제 2 게이트 절연막(235)은 제 2 액티브층(230)과 제 2 게이트 배선(240)을 전기적으로 절연시킨다.

[0075] 제 2 게이트 배선(240)은 제 2 게이트 절연막(235)의 상부에 배치된다. 제 2 게이트 배선(240)의 기능 및 역할을 도 3에서 설명한 바와 동일하므로, 이에 대한 상세한 설명은 생략하기로 한다.

[0076] 제 2 층간 절연막(245)은 제 2 액티브층(230)과 제 2 게이트 배선(240)을 덮는다. 제 2 층간 절연막(245)은 제

2 액티브층(230) 및 제 2 게이트 배선(240)이 상부의 도전층들과 전기적으로 접속되지 않도록 한다.

[0077] 소스/드레인 층(250)은 제 2 액티브층(230) 및 제 2 층간 절연막 (245)의 상부에 배치된다. 보다 자세하게, 소스/드레인 층(250)은 제 2 게이트 배선(240)과 오버랩되지 않도록 배치된다. 소스/드레인 층(250)은 제 2 액티브층(230)의 상부 중 제 1 스위칭 트랜지스터의 소스 전극 또는 드레인 전극이 될 수 있는 제 1 전극과 제 2 전극이 형성되는 영역에 배치된다. 제 1 전극이 소스 전극인 경우, 제 2 전극은 드레인 전극이 된다. 또한, 제 1 전극이 드레인 전극인 경우, 제 2 전극은 소스 전극이 된다.

[0078] 제 1 스위칭 트랜지스터의 제 1 전극에 배치된 소스/드레인 층(250)은 제 1 스위칭 트랜지스터의 제 2 전극에 배치된 소스/드레인 층(250)과 이격되어 배치된다. 제 1 스위칭 트랜지스터의 제 2 전극에 배치된 소스/드레인 층(250)은 제 2 게이트 절연막 (245)에 형성된 제 2 컨택홀 (CNT2)을 통하여 제 2 액티브층(230)과 연결된다. 소스/드레인 층(250)은 제 2 컨택홀(CNT2)을 통하여 제 2 액티브 층(230)과 연결되어 제 2전극을 형성한다. 제 1 스위칭 트랜지스터의 제 2 전극에 배치된 소스/드레인 층(250)은 다른 영역에 형성된 소스/드레인 층(250)과 연결되지 않은 상태를 유지하며, 아일랜드(Island) 형태로 마련된다.

[0079] 제 1 스위칭 트랜지스터의 제 1 전극에 배치된 소스/드레인 층(250)은 제 2 게이트 절연막(245)에 형성된 제 1 컨택홀(CNT1)을 통하여 제 2 액티브층(230)과 연결된다. 소스/드레인 층(250)은 제 1 컨택홀(CNT1)을 통하여 제 2 액티브층(230)과 연결되어 제 1 전극을 형성한다.

[0080] 기존의 경우, 저온 폴리 다결정 실리콘(LTPS)을 포함하는 제 1 액티브층(210)을 이용하여 구동 트랜지스터뿐만 아니라 모든 스위칭 트랜지스터를 일체로 형성하였다. 이에 따라, 구동 트랜지스터의 액티브층과 동일한 채널을 갖는 액티브층을 이용하여 모든 스위칭 트랜지스터를 형성하여 응답속도 및 전압-전류 특성의 개선에 한계가 있었다. 두 개의 액티브층을 형성하는 경우에도 두 개의 액티브층을 컨택홀 등으로 전기적으로 접속시킨 다음 구동 트랜지스터와 스위칭 트랜지스터를 형성하여, 컨택홀이 많아져서 트랜지스터 구조가 복잡해지는 단점이 있었다.

[0081] 본 출원의 일 예는 제 1 전극과 제 2 전극을 산화물을 포함하는 제 2 액티브층(230) 상에 형성할 수 있다. 즉, 제 1 액티브층(210)과 전기적으로 절연된 제 2 액티브층(230) 상에 스위칭 트랜지스터를 형성할 수 있다. 이 경우, 제 1 액티브층(210)과 상이한 채널을 갖는 제 2 액티브층(230)의 특성을 갖는 스위칭 트랜지스터를 형성할 수 있다. 따라서, 응답속도 및 전압-전류 특성을 단일한 제 1 액티브층(230)을 이용하여 스위칭 트랜지스터를 사용하는 경우보다 개선할 수 있다.

[0082] 도 6은 도 3의 Ⅱ-Ⅱ'의 단면도이다. 도 6에서 나타난 바와 같이, 본 출원의 일 예에 따른 전계발광 표시장치는 폴리이미드층(201), 버퍼층(202), 제 1 게이트 절연막(203), 제 1 게이트 배선(220), 제 1 층간 절연막(225), 제 1 액티브층(210), 제 2 게이트 절연막(235), 제 2 게이트 배선(240), 제 2 층간 절연막(245), 소스/드레인 층(250)을 갖는다.

[0083] 폴리이미드층(201), 버퍼층(202), 제 1 액티브층(210), 제 1 게이트 절연막(203), 제 1 게이트 배선(220), 제 1 층간 절연막(225), 제 2 게이트 절연막(235), 제 2 게이트 배선(240), 제 2 층간 절연막(245) 에 대한 설명은 도 3 및 도 5를 결부하여 설명한 바와 동일하므로, 이하에서는 생략하기로 한다.

[0084] 제 1 스위칭 트랜지스터와 제 2 스위칭 트랜지스터가 동일한 게이트 배선에 위치하여 동일한 게이트 신호를 공급받는다. . 이에 따라, 본 출원의 일 예에 따른 전계발광 표시장치는 제 1 게이트 배선(220) 및 제 2 게이트 배선(240)으로 형성된 게이트 이중 배선을 통하여, 서로 다른 물질 및 층에 형성된 채널을 이용하여 제 1 스위칭 트랜지스터와 제 2 스위칭 트랜지스터를 형성할 수 있다. 제 1 스위칭 트랜지스터는 제 1 및 제 2 게이트 배선 (220, 240)으로부터 게이트 신호를 공급 받을 수 있다, 제 2 스위칭 트랜지스터는 제 1 게이트 배선(220)으로부터 게이트 신호를 공급 받을 수 있다.

[0085] 제 1 게이트 배선(220)만으로 이루어진 경우에는, 두껍게 형성된 제 2 층간 절연막(225)에 의해 제 2 층간 절연막(225)상에 형성된 제 2액티브층(230)과 제 1 스위칭 트랜지스터의 게이트 전극 역할을 하는 제 1 게이트 배선(220)과의 간격이 커지게 된다. 따라서, 제 1 스위칭 트랜지스터에 게이트 신호를 공급 하는 것에 어려움이 발생할 수 있다. 또한, 제 2 게이트 배선(240)만으로 이루어진 경우에는, 제 2층간 절연막(225) 및 제 1 게이트 절연막(203)에 의해 제 1 게이트 절연막(203) 하부에 형성된 제 1액티브층(210)과 제 2 게이트 배선(240)과의 간격이 커지게 된다. 따라서, 제 2 스위칭 트랜지스터에 게이트 신호가 공급되지 않는 문제점이 발생할 수 있다.

[0086] 그러나 본 발명에 따르면, 제 1게이트 배선(220)과 제 2 게이트 배선(240)으로 이루어진 게이트 이중 배선을 통

하여, 제 2 액티브 층(230)과 가깝게 형성된 제 2게이트 배선(240)이 게이트 신호를 제 1 스위칭 트랜지스터에 공급하는 주 공급원의 역할을 하고 제 1 게이트 배선(220)은 보조 역할을 할 수 있다. 또한, 제 2 스위칭 트랜지스터에는 제 1 액티브층(210)과 가깝게 형성된 제 2 게이트 배선(240)이 게이트 신호를 공급할 수 있는 것이다.

[0087] 도 7은 본 출원의 일 예에 따른 전계발광 표시장치의 평면도이다. 본 출원의 일 예에 따른 전계발광 표시장치는 드라이버 IC(140), 제 1 패드부(400), 제 2 패드부(500), 제 1 GIP 회로부(610), 제 2 GIP 회로부(620), 및 멀티플렉서(630)를 포함한다.

[0088] 드라이버 IC(140)는 비표시영역에 배치되어 표시패널을 구동시킨다. 본 출원의 일 예에 따른 드라이버 IC(140)는 게이트 구동부(110), 데이터 구동부(120), 및 타이밍 컨트롤러(130)의 기능을 하나의 칩 내에서 모두 가질 수 있다. 이에 따라, 본 출원의 일 예에 따른 드라이버 IC(140)를 적용한 전계발광 표시장치는 휴대용 단말기, 스마트 와치(Smart Watch) 등 소형의 전자 기기에 널리 활용될 수 있다.

[0089] 제 1 패드부(400)는 드라이버 IC(140)의 바깥쪽에 배치되어 외부의 테스트 신호를 수신한다. 또한, 제 1 패드부(400)는 전계발광 표시장치 외부로 응답 신호를 출력하는 역할을 수행할 수 있다.

[0090] 제 2 패드부(500)는 드라이버 IC(140)와 표시영역의 사이에 배치되어 드라이버 IC(140)에서 출력된 신호들을 표시영역에 마련된 화소들로 공급한다. 또한, 제 2 패드부(500)는 표시영역에서 센싱한 센싱 데이터들을 드라이버 IC(140)로 출력한다.

[0091] 제 1 및 제 2 GIP 회로부(610, 620)는 표시영역의 측면에 배치된다. 일 예로, 도 7과 같이 제 1 GIP 회로부(610)는 표시영역의 좌측에 배치되고, 제 2 GIP 회로부(620)는 표시영역의 우측에 배치될 수 있다. 또는, 제 1 GIP 회로부(610)가 표시영역의 우측에 배치되고, 제 2 GIP 회로부(620)가 표시영역의 좌측에 배치될 수 있다. 제 1 및 제 2 GIP 회로부(610, 620)는 게이트 구동부에서 출력하는 스캔 신호를 공급하며, 표시패널과 일체로 형성된 게이트 인 패널(Gate In Panel, GIP) 방식으로 마련된 회로부이다.

[0092] 멀티플렉서(630)는 표시영역의 상부 테두리 영역에 형성된다. 멀티플렉서(630)는 드라이버 IC(140)에서 디지털 비디오 데이터에 대응하도록 생성하여 공급하는 데이터 전압들이 동시에 또는 설정된 구동 타이밍에 맞추어 표시패널 상에 마련된 화소들로 입력될 수 있도록 데이터 전압들의 출력 타이밍을 제어하는 역할을 수행한다.

[0093] 또한, 표시패널의 테두리 영역에는 정전기(ESD)를 방지하기 위한 정전기 방지 회로 및 표시패널에 전원을 공급하는 전원 배선들이 마련된다.

[0094] 도 8은 도 7의 C 부분을 상세하게 나타낸 평면도이다. C 부분은 제 1 및 제 2 GIP 회로부(610, 620)의 확대도이다. D 부분은 C 부분과 대칭적으로 형성될 수 있다. 또한, 게이트 라인 상의 컨택 홀들을 제외한 화소들의 구조는 도 3을 결부하여 설명한 내용과 동일하다.

[0095] 제 1 및 게이트 배선(220)은 각각의 화소들의 제 1 스위칭 트랜지스터의 게이트 전극에 연결된다. 제 2 게이트 배선(240)은 각각의 화소들의 제 2 스위칭 트랜지스터의 게이트 전극에 연결된다. 또한, 각각의 화소들의 제 1 및 제 2 스위칭 트랜지스터들의 게이트 전극은 각각의 화소들의 제 1 및 제 2 액티브층(210, 230)과 연결된다.

[0096] 또한, 제 1 및 제 2 게이트 배선(220, 240)은 서로 연결되어 있어, 제 1 및 제 2 스위칭 트랜지스터의 게이트 전극에 동일한 스캔 신호를 동시에 공급할 수 있다.

[0097] 보다 구체적으로, 제 1 및 제 2 GIP 회로부(610, 620) 상에 형성된 제 1 및 제 2 게이트 컨택 홀(H1, H2)의 상부에는 소스/드레인 층(250)이 형성되어 있다. 제 1 게이트 배선(220)은 제 1 게이트 컨택 홀(H1)을 통하여 소스/드레인 층(250)과 연결된다. 또한, 제 2 게이트 배선(240)은 제 2 게이트 컨택 홀(H2)을 통하여 소스/드레인 층(250)과 연결된다. 이에 따라, 제 1 게이트 배선(220)과 제 2 게이트 배선(240)은 서로 연결된다. 따라서, 제 1 게이트 배선(220)과 제 2 게이트 배선(240)은 동일한 신호를 공급할 수 있다. 도 8에서는 제 1 GIP 회로부(610)에서 2개의 게이트 컨택 홀(H1, H2)들을 이용하여 제 1 게이트 배선(220)과 제 2 게이트 배선(240)을 연결하는 경우를 도시하였다. 그러나 이에 한정되지 않으며, 게이트 컨택 홀들의 개수는 이보다 많거나 적을 수 있다. 또한, 제 2 GIP 회로부(620) 상에도 제 1 게이트 배선(220)과 제 2 게이트 배선(240)을 연결하는 게이트 컨택 홀들이 마련될 수 있다. 이 경우, 표시패널의 양 측 테두리 영역에 마련된 제 1 및 제 2 GIP 회로부(610, 620)에서 동일한 스캔 신호를 공급할 수 있어, 화소의 위치에 따라 스캔 신호의 지연이 발생하는 문제를 최소화할 수 있다. 표시장치의 설계 디자인에 따라 좌측에 마련된 게이트 컨택 홀들의 개수와 우측에 마련된 게이트 컨택 홀들의 개수는 동일할 수도 있고, 상이할 수도 있다.

[0098] 본 출원의 일 예는 표시영역의 측면에 배치된 제 1 및 제 2 GIP 회로부(610, 620) 상에 마련된 게이트 컨택 홀들(H1, H2)을 이용하여 제 1 게이트 배선(220)과 제 2 게이트 배선(240)을 연결시킨다. 이에 따라, 제 1 게이트 배선(220)과 제 2 게이트 배선(240)이 전기적으로 연결되도록 설계하는 것이 용이하다. 제 1 게이트 배선(220)과 제 2 게이트 배선(240)이 전기적으로 연결되는 경우, 제 1 게이트 배선(220)과 제 2 게이트 배선(240)에 단일한 게이트 신호를 인가하여 제 1 및 제 2 스위칭 트랜지스터들을 동시에 작동시킬 수 있다.

[0099] 본 출원에 따른 전계발광 표시장치는 2개의 게이트 배선을 갖는 듀얼(Dual) 게이트 라인 구조를 이용하여 저온 폴리 다결정 실리콘(LTPS) 박막트랜지스터와 산화물 박막트랜지스터를 같이 사용할 수 있다.

[0100] 이상 설명한 내용을 통해 이 분야의 통상의 기술자는 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0101] 100: 표시패널 110: 게이트 구동부

120: 데이터 구동부 130: 타이밍 컨트롤러

140: 드라이버 IC 201: 폴리이미드층

202: 버퍼층 203: 제 1 게이트 절연막

210: 제 1 액티브층 211: 제 1 데이터 배선

220: 제 1 게이트 배선 225: 제 1 층간 절연막

230: 제 2 액티브층 235: 제 2 게이트 절연막

240: 제 2 게이트 배선 245: 제 2 층간 절연막

250: 소스/드레인 층 251: 제 2 데이터 배선

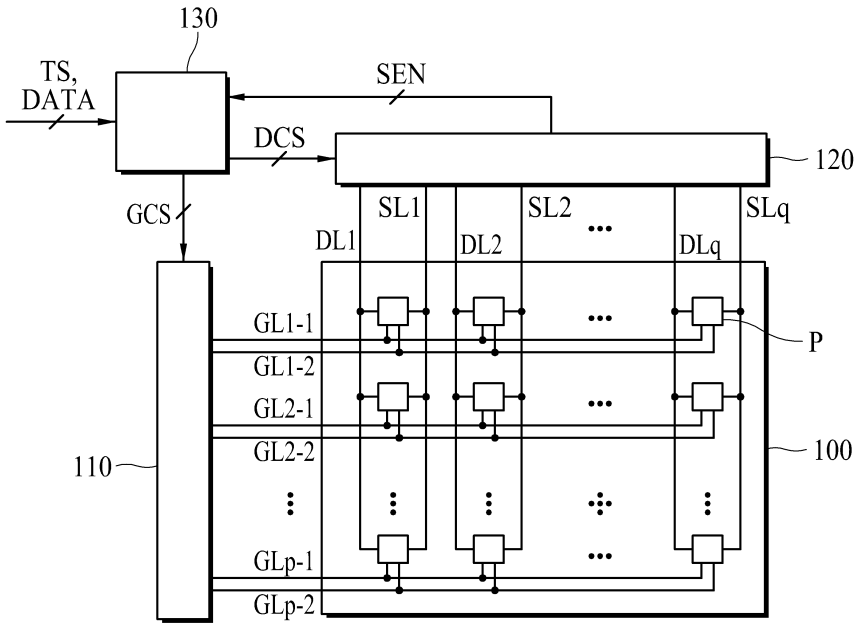
252: 전원 배선 400: 제 1 패드부

500: 제 2 패드부 610: 제 1 GIP 회로부

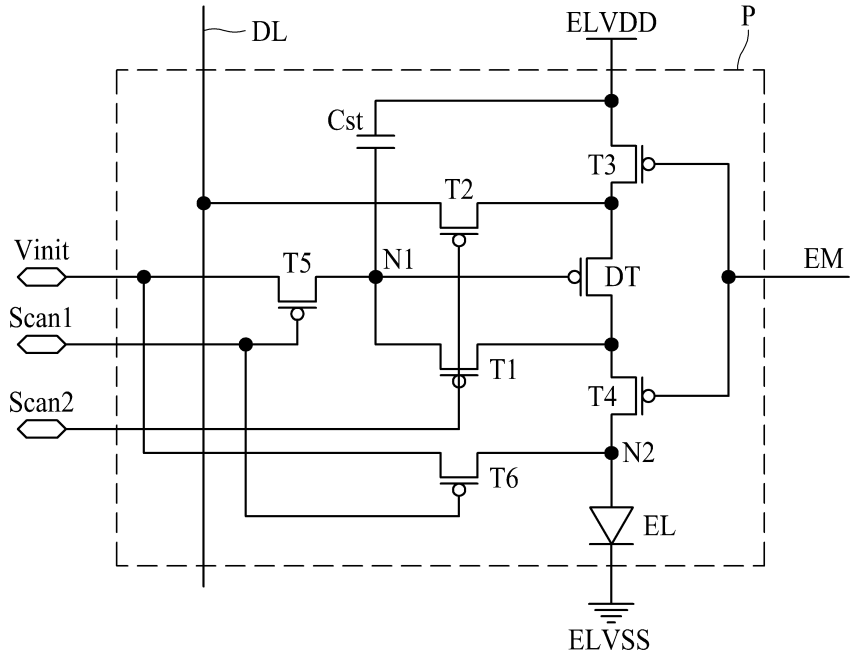
620: 제 2 GIP 회로부 630: 멀티플렉서

도면

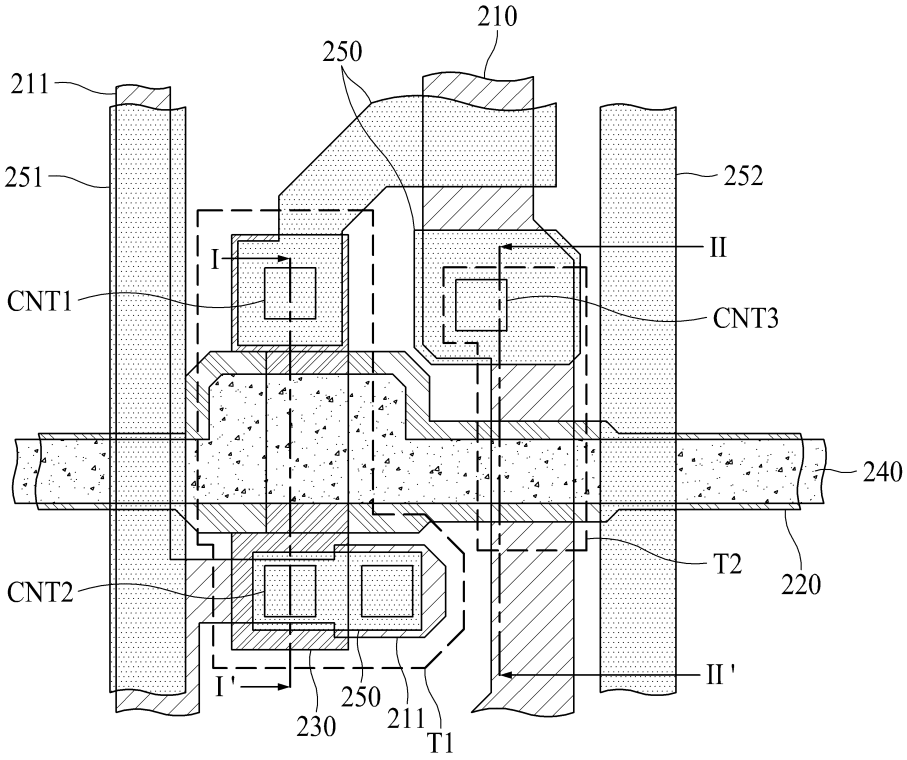
도면1


130
TS,
DATA
SEN
DCS
120
GCS
SL1
SL2
SLq
DL1
DL2
DLq
GL1-1
GL1-2
GL2-1
GL2-2
GLp-1
GLp-2
P
110
100

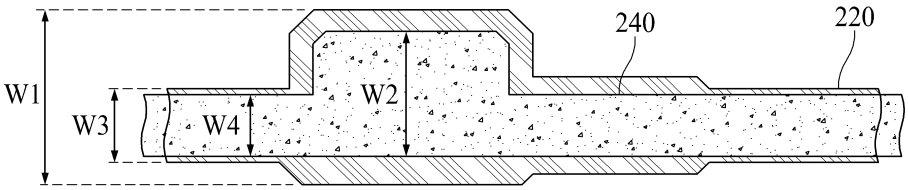
도면2


DL
ELVDD
P
Cst
T3
T2
Vinit
T5
N1
DT
EM
Scan1
T1
T4
Scan2
N2
T6
EL
ELVSS

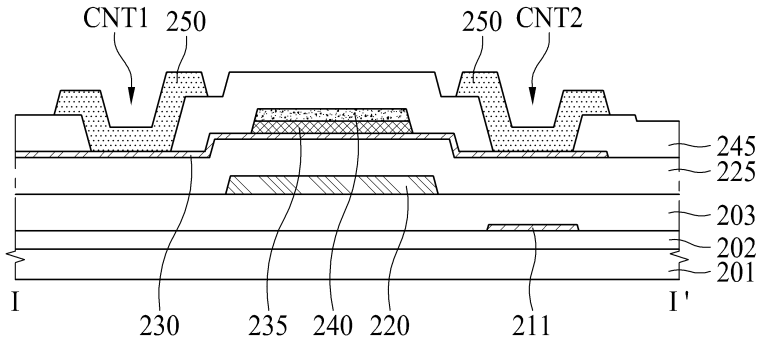
도면3


210
250
211
251
252
I
II
CNT1
CNT3
240
T2
220
CNT2
I '
II '
250
211
230
T1

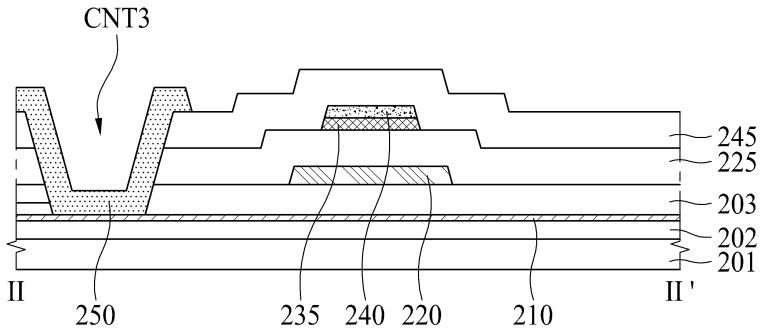
도면4


240
220
W1
W2
W3
W4

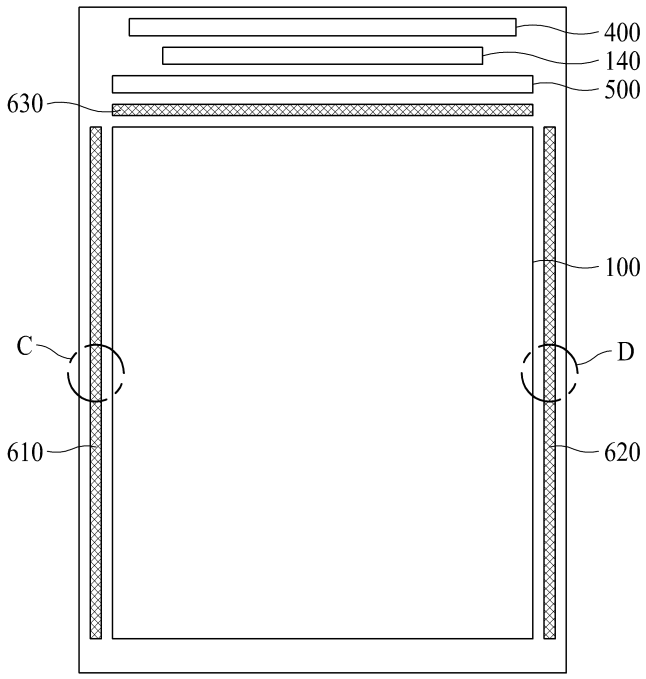
도면5


CNT1
250
250
CNT2
245
225
203
202
201
I
I '
230
235
240
220
211

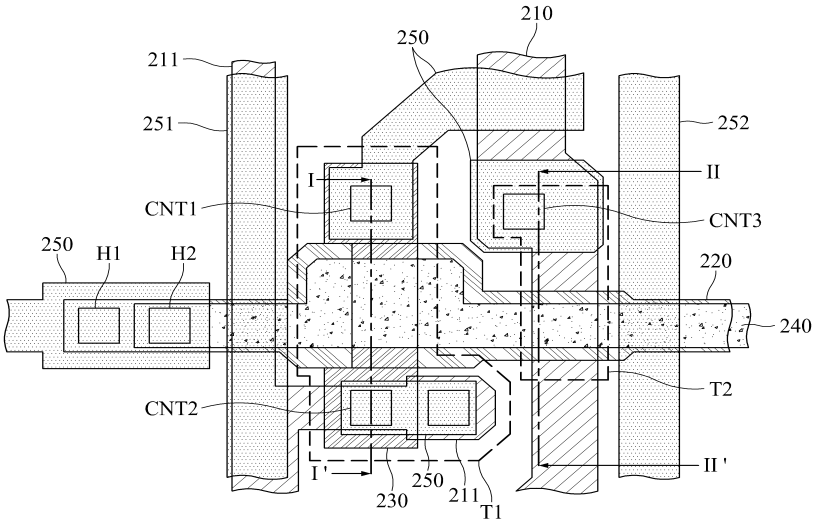
도면6


CNT3
245
225
203
202
201
II
II '
250
235
240
220
210

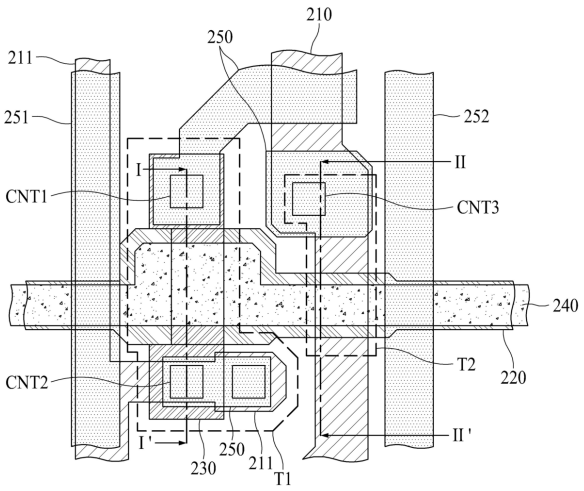
도면7


400
140
500
630
100
C
D
610
620

도면8


210
250
211
251
252
I
II
CNT1
CNT3
250
H1
H2
220
240
T2
CNT2
I '
II '
230
250
211
T1

专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190003017A	公开(公告)日	2019-01-09
申请号	KR1020170083433	申请日	2017-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	박정환		
发明人	박정환		
IPC分类号	H01L27/32 H01L29/786		
CPC分类号	H01L27/3262 H01L27/3248 H01L29/78618 H01L29/78696 H01L27/124 G09G3/20 H01L27/1218 H01L27/1222 H01L27/1225 H01L27/1251 H01L27/3276 H01L29/41733 H01L29/7869		
外部链接	Espacenet		

摘要(译)

本申请将提供一种电致发光显示器，该电致发光显示器使用低温多晶硅多晶硅薄膜晶体管和氧化物薄膜晶体管的组合来用于接收相同输入信号的多个开关晶体管。换句话说，通过使用双布线来将多个开关晶体管放置在同一布线上，以提供一种显示装置，该显示装置可以通过将低温多晶硅多晶硅薄膜晶体管和氧化物薄膜晶体管混合来使用。根据本申请的示例性实施方式的电致发光显示装置形成与第一有源层和第一有源层不同的沟道，该沟道与第一有源层和第一有源层相交并设置在第一有源层上并形成第一栅极。第二有源层设置在布线上方，第二栅极布线设置在第二有源层上方，同时与第二有源层交叉。本申请的第一栅极布线和第二栅极布线重叠，并且第一栅极布线和第二栅极布线提供相同的栅极信号。