



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0095809
(43) 공개일자 2017년08월23일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/00 (2006.01)
H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/323 (2013.01)
(21) 출원번호 10-2017-7011222
(22) 출원일자(국제) 2015년11월06일
심사청구일자 없음
(85) 번역문제출일자 2017년04월25일
(86) 국제출원번호 PCT/KR2015/011941
(87) 국제공개번호 WO 2016/104941
국제공개일자 2016년06월30일
(30) 우선권주장
14/581,515 2014년12월23일 미국(US)

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
권세열
경기도 고양시 일산서구 하이파크3로 62, 502동
2801호
신현수
경기도 파주시 가온로 205, 709동 901호
(74) 대리인
특허법인인벤투스

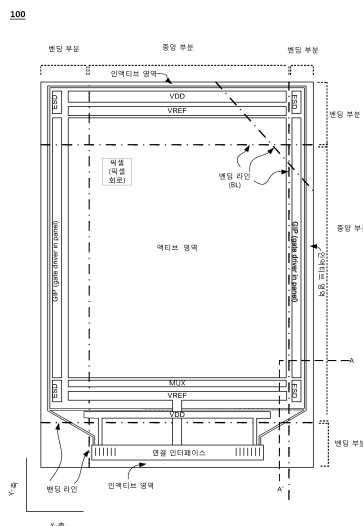
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 게이트-인-패널 회로를 갖는 플렉서블 디스플레이 디바이스

(57) 요약

본 발명의 일 실시예의 플렉서블 디스플레이 장치는, 제 1 영역, 제 2 영역 및 제 1 영역과 제 2 영역 사이에 위치한 제 1 벤딩 허용 부분(bend allowance section)으로 구성된 플렉서블 베이스층, 플렉서블 베이스층의 제 1 영역에 배치된 OLED(organic-light emitting diode) 소자들의 어레이 및 OLED 소자들의 어레이의 발광을 제어하도록 구성된 픽셀 회로들의 어레이 및 플렉서블 베이스층의 제 2 영역의 게이트-인-패널(GIP: gate-in-panel) 회로를 포함한다. 뚜렷한 보더 사이즈를 감소시키고 그리고 어셈블된 플렉서블 디스플레이의 측표면을 활용하기 위한 부분 또는 부분들의 벤딩을 허용하도록 구성된 복수의 혁신들을 갖는 플렉서블 디스플레이를 갖는 전자 디바이스들이 본 명세서에 제공된다.

대표도 - 도1



(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 51/0097 (2013.01)

H01L 51/524 (2013.01)

H01L 51/5253 (2013.01)

H01L 2251/5338 (2013.01)

Y02E 10/549 (2013.01)

명세서

청구범위

청구항 1

플렉서블 베이스층으로서, 제 1 영역, 제 2 영역 및 상기 제 1 영역과 상기 제 2 영역 사이의 제 1 벤딩 허용 부분 (bend allowance section) 으로 구성된, 상기 플렉서블 베이스층;

상기 플렉서블 베이스층의 상기 제 1 영역에 배치된 OLED (organic-light emitting diode) 소자들의 어레이 및 상기 OLED 소자들의 어레이의 발광을 제어하도록 구성된 픽셀 회로들의 어레이; 및

상기 플렉서블 베이스층의 상기 제 2 영역의 게이트-인-패널 (GIP: gate-in-panel) 회로를

포함하는, 플렉서블 디스플레이 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 영역 및 상기 제 2 영역 사이에서 연장하는 복수의 배선 트레이스들을 더 포함하고, 상기 제 1 영역 및 상기 제 2 영역 사이에서 연장하는 상기 복수의 배선 트레이스들 중 적어도 하나는 다이아몬드 형상 링크들의 체인의 스트레인-감소 트레이스 설계를 갖는, 플렉서블 디스플레이 장치.

청구항 3

제 1 항에 있어서,

상기 플렉서블 베이스층의 상기 제 2 영역 내에서 상기 GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 상기 플렉서블 베이스층의 상기 제 1 영역 내에서 상기 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나와 상이한 타입의 반도체층을 갖는, 플렉서블 디스플레이 장치.

청구항 4

제 3 항에 있어서,

상기 플렉서블 베이스층의 상기 제 2 영역 내에서 상기 GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 저온 폴리-실리콘 반도체층을 갖고, 상기 플렉서블 베이스층의 상기 제 1 영역 내에서 상기 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 옥사이드 반도체층을 갖는, 플렉서블 디스플레이 장치.

청구항 5

제 3 항에 있어서,

상기 플렉서블 베이스층의 상기 제 2 영역 내에서 상기 GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 옥사이드 반도체층을 갖고, 상기 플렉서블 베이스층의 상기 제 1 영역 내에서 상기 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 저온 폴리-실리콘 반도체층을 갖는, 플렉서블 디스플레이 장치.

청구항 6

제 1 항에 있어서,

상기 플렉서블 베이스층의 상기 제 2 영역 내에서 상기 GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 상기 플렉서블 베이스층의 상기 제 1 영역 내에서 상기 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나와 상이한 스택 구조를 갖는, 플렉서블 디스플레이 장치.

청구항 7

제 6 항에 있어서,

상기 플렉서블 베이스층의 상기 제 2 영역 내에서 상기 GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 코플래너 구조를 갖고, 상기 플렉서블 베이스층의 상기 제 1 영역 내에서 상기 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 바텀 게이트 구조를 갖는, 플렉서블 디스플레이 장치.

청구항 8

제 6 항에 있어서,

상기 플렉서블 베이스층의 상기 제 2 영역 내에서 상기 GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 바텀 게이트 구조를 갖고, 상기 플렉서블 베이스층의 상기 제 1 영역 내에서 상기 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 코플래너 구조를 갖는, 플렉서블 디스플레이

장치.

청구항 9

제 1 항에 있어서,

상기 플렉서블 베이스층의 제 3 영역에 제공된 연결 인터페이스에 연결된 인쇄 회로/기관을 더 포함하고, 상기 제 3 영역은 상기 제 1 영역의 주변에 위치되고, 제 2 벤딩 허용 부분이 상기 플렉서블 베이스층의 상기 제 1 영역과 상기 제 3 영역 사이에 제공되는, 플렉서블 디스플레이 장치.

청구항 10

제 1 항에 있어서,

상기 플렉서블 베이스층 아래 배치된 지지 부재를 더 포함하고, 상기 지지 부재의 단부 부분은 상기 플렉서블 베이스층의 상기 제 1 영역과 상기 제 2 영역 사이의 상기 벤딩 허용 부분에 의해 둘러싸이는, 플렉서블 디스플레이 장치.

청구항 11

제 10 항에 있어서,

상기 지지 부재의 상기 단부 부분은 라운딩되는, 플렉서블 디스플레이 장치.

청구항 12

제 10 항에 있어서,

상기 지지 부재의 상기 단부 부분은 상기 벤딩 허용 부분의 굽혀진 부분을 실질적으로 따르는 (conform) 굽혀진 부분을 갖는, 플렉서블 디스플레이 장치.

청구항 13

제 2 항에 있어서,

상기 플렉서블 베이스층의 상기 제 1 영역과 상기 제 2 영역 사이에서 연장하는 상기 복수의 배선 트레이스들을 커버하는 마이크로-코팅층을 더 포함하는, 플렉서블 디스플레이 장치.

청구항 14

제 1 항에 있어서,

상기 플렉서블 베이스층의 상기 제 1 영역과 상기 제 2 영역 사이에 제공된 크랙 스톱퍼 구조체를 더 포함하는, 플렉서블 디스플레이 장치.

청구항 15

제 14 항에 있어서,

상기 제 1 영역과 상기 제 2 영역 사이에 제공된 상기 크랙 스톱퍼 구조체는 하나 이상의 절연층들로 형성된 격리 댐 (dam) 을 포함하는, 플렉서블 디스플레이 장치.

청구항 16

제 9 항에 있어서,

상기 플렉서블 베이스층의 상기 제 1 영역은 라운드된 형상으로 제공되는, 플렉서블 디스플레이 장치.

청구항 17

제 16 항에 있어서,

상기 플렉서블 베이스층의 상기 제 2 영역 또는 상기 제 3 영역은 직사각형 형상으로 제공되는, 플렉서블 디스플레이 장치.

청구항 18

제 16 항에 있어서,

상기 제 2 영역 및 상기 제 3 영역 중 적어도 하나에 노치가 제공되는, 플렉서블 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 출원은 일반적으로 전자 디바이스들에 관한 것이고, 보다 구체적으로, 디스플레이를 갖는 전자 디바이스들에 관한 것이다.

배경 기술

[0002] 전자 디바이스들은 종종 디스플레이들을 포함한다. 예를 들어, 휴대 전화들 및 휴대용 컴퓨터들은 사용자에게 정보를 제공하기 위한 디스플레이들을 포함한다. 이로 제한되는 것은 아니지만, 디스플레이를 포함하는, 전자 디바이스용 컴포넌트들은 플라스틱 하우징 또는 금속 하우징에 장착될 수도 있다.

[0003] 조립된 (assembled) 디스플레이는 디스플레이 패널 및 다양한 기능들을 제공하기 위한 다수의 컴포넌트들을 포함할 수도 있다. 예를 들어, 디스플레이 패널을 제어하기 위한 하나 이상의 디스플레이 구동 회로들이 디스플레이 어셈블리에 포함될 수도 있다. 구동 회로들의 예들은 게이트 드라이버들, 발광 (소스) 드라이버들, 전력 (VDD) 라우팅, ESD (electrostatic discharge) 회로들, mux (multiplex) 회로들, 데이터 신호 라인들, 캐소드 콘택들, 및 다른 기능성 엘리먼트들을 포함한다. 다양한 종류들의 부가 기능들, 예를 들어 터치 센싱 또는 지문 식별 기능들을 제공하기 위한 다수의 주변 회로들이 디스플레이 어셈블리에 포함될 수도 있다. 일부 컴포넌트들은 디스플레이 패널 자체 상에 배치될 수도 있고, 종종 본 개시에서 비디스플레이 영역 및/또는 인액티브 영역 (inactive area) 으로 지칭되는, 디스플레이 영역 옆의 주변 영역들 상에 배치될 수도 있다.

[0004] 최신 전자 디바이스들의 설계시 사이즈 및 중량이 중요한 문제이다. 또한, 때때로 스크린 대 베젤 비로 지칭되는, 인액티브 영역의 사이즈에 대한 액티브 영역 사이즈의 높은 비율은 가장 중요한 특징 중 하나이다. 그러나, 전술한 컴포넌트들 중 일부를 디스플레이 어셈블리 내에 배치하는 것은 디스플레이 패널의 상당한 부분까지 부가될 수도 있는, 큰 인액티브 영역을 필요로 할 수도 있다. 큰 인액티브 영역은 디스플레이 패널이 대형이 되게 하는 경향이 있고, 이는 디스플레이 패널을 전자 디바이스들의 하우징 내로 통합하는 것을 어렵게 한다. 큰 인액티브 영역은 또한 디스플레이 패널의 상당한 부분을 커버하기 위해 큰 마스킹 (예를 들어, 베젤, 테두리, 커버링 재료) 을 필요로 할 수도 있고, 디바이스가 미적으로 매력적이지 않게 한다.

[0005] 일부 컴포넌트들은 별도의 FPC (flexible printed circuit) 상에 배치될 수 있고 디스플레이 패널의 백플레인에 위치될 수 있다. 그러나, 이러한 구성을 가져도, FPC와 액티브 영역 간의 배선들을 연결하기 위한 인터페이스들 및 인액티브 영역의 사이즈의 감소량을 여전히 제한하는 연결 인터페이스는 별도의 FPC 상에 컴포넌트들을 배치함으로써 실현될 수 있다.

발명의 내용

과제의 해결 수단

- [0006] 따라서, 그 위에 디스플레이 영역 및 인액티브 영역이 형성된 베이스 기판을 벤딩시키는 것이 바람직하다. 이는 심지어 일부 인액티브 영역으로 하여금 디스플레이 패널의 액티브 영역 뒤에 위치되게 하고, 따라서 마스킹 또는 디바이스 하우징 아래에 가려져야 하는 인액티브 영역을 감소시키거나 제거한다. 베이스 기판의 벤딩은 시야에서 가려져야 하는 인액티브 영역의 사이즈를 최소화할 뿐만 아니라, 다양한 새로운 디스플레이 설계들에 대한 가능성을 열 것이다.
- [0007] 그러나, 이러한 플렉서블 디스플레이들을 제공할 때 해결되어야 하는 다양한 새로운 과제들이 있다. 디스플레이 픽셀들과 함께 베이스 기판 바로 위에 형성된 컴포넌트들은 허용되지 않는 여러 마진을 갖는 상당히 작은 치수들을 갖는 경향이 있다. 또한, 이들 컴포넌트들은 가요성을 제공하기 위해 매우 얇은 시트 상에 형성되어야 하고, 이는 디스플레이들의 제조 및/또는 사용 동안 유발된 다양한 기계적 응력들 및 환경적 응력들에 이들 컴포넌트들이 매우 취약하게 한다. 관리가 이루어지지 않으면, 플렉서블 디스플레이의 벤딩으로부터의 기계적 응력들은 신뢰성에 부정적 영향을 줄 수 있거나 심지어 완성된 컴포넌트의 고장을 발생시킬 수 있다. 심지어 컴포넌트 내에서의 마이크로-스케일 (micro-scale) 의 결합은 리페어 옵션을 갖지 않는 전체 디스플레이 패널의 폐기에 이르는, 디스플레이 픽셀들의 퍼포먼스 및/또는 신뢰성에 상당한 영향을 줄 수 있다. 이와 같이, 다양한 팩터들 및 특수한 파라미터들이 플렉서블 디스플레이 설계시 고려되어야 한다.
- [0008] 이와 관련하여, 플렉서블 디스플레이 장치는 플렉서블 베이스층을 구비한다. 플렉서블 베이스층은 제 1 영역, 제 2 영역 및 플렉서블 베이스층의 제 1 영역과 제 2 영역 사이에 위치한 제 1 벤딩 허용 부분으로 구성된다. OLED (organic-light emitting diode) 소자들의 어레이는 플렉서블 베이스층의 제 1 영역에 배치된다. 픽셀 회로들의 어레이가 또한 OLED 소자들의 발광을 제어하기 위해 제 1 영역 상에 배치된다. 플렉서블 베이스층의 제 2 영역에, 제 1 영역의 픽셀 회로들의 어레이로 다양한 신호들을 제공하도록 게이트-인-패널 (gate-in-panel) 회로가 배치된다. GIP를 갖는 제 2 영역의 평면이 제 1 영역의 평면으로부터 벤딩되도록 제 1 영역과 제 2 영역 사이의 벤딩 허용 부분이 특정한 벤딩 각도로 구부러진다.
- [0009] 제 1 영역과 제 2 영역 사이에서 연장하는 복수의 배선 트레이스들이 플렉서블 디스플레이에 더 포함된다. 일부 실시예들에서, 제 1 영역과 제 2 영역 사이에서 연장하는 복수의 배선 트레이스들 중 적어도 하나는 다이아몬드형 링크들의 체인으로 배선 트레이스가 제공되는 스트레인-감소 트레이스 설계를 갖는다.
- [0010] 플렉서블 베이스층의 제 1 영역 내 픽셀 회로들의 어레이 및 제 2 영역 내 GIP는 복수의 박막 트랜지스터들로 구현된다. 일부 실시예들에서, GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나의 반도체층과 상이한 타입의 반도체층을 채용한다. 일 실시예에서, 플렉서블 베이스층의 제 2 영역의 GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 저온 폴리실리콘 반도체층을 갖고, 플렉서블 베이스층의 제 1 영역의 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 산화물 반도체층을 갖는다. 일 실시예에서, 플렉서블 베이스층의 제 2 영역의 GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 산화물 반도체층을 갖고, 플렉서블 베이스층의 제 1 영역의 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 저온 폴리실리콘 반도체층을 갖는다.
- [0011] 일부 실시예들에서, 플렉서블 베이스층의 제 2 영역의 GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 플렉서블 베이스층의 제 1 영역의 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나의 스택 구조와 상이한 스택 구조를 갖는다. 일 실시예에서, 플렉서블 베이스층의 제 2 영역의 GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 코플래너 구조를 갖고, 플렉서블 베이스층의 제 1 영역의 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 바텀 게이트 구조를 갖는다. 또한, 일 실시예에서, 플렉서블 베이스층의 제 2 영역의 GIP를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 바텀 게이트 구조를 갖고, 플렉서블 베이스층의 제 1 영역의 픽셀 회로들의 어레이를 구현하는 복수의 박막 트랜지스터들 중 적어도 하나는 코플래너 구조를 갖는다.
- [0012] 일부 실시예들에서, 플렉서블 디스플레이는 플렉서블 베이스층의 제 3 영역에 구비된 연결 인터페이스에 연결된 인쇄 회로를 더 포함한다. 제 3 영역은 제 1 영역의 주변에 위치되고, 제 2 벤딩 허용 부분은 플렉서블 베이스층의 제 1 영역과 제 3 영역 사이에 제공된다. 일부 실시예들에서, 플렉서블 베이스층의 제 1 영역은 라운드된 하우징 내에 위치될 수 있는, 라운드된 형상으로 제공된다. 플렉서블 베이스층의 제 2 영역 또는 제 3 영역은 플렉서블 베이스층의 제 1 영역으로부터 돌출될 수도 있다. 제 2 영역 또는 제 3 영역은 직사각형 형상 또는 디

스플레이 드라이버 집적 회로, 게이트-인-패널 (gate-in-panel) 회로, 배선 트레이스들 등과 같은 플렉서블 디스플레이의 일부 컴포넌트들을 홀딩하기 충분한 임의의 다른 형상일 수도 있다. 따라서, 플렉서블 베이스층은 제 1 영역으로부터 연장된 직사각형의 제 2 영역 또는 제 3 영역을 갖는 라운드된 제 1 영역을 가질 수도 있다. 제 1 영역과 제 2 영역/제 3 영역(들) 사이의 벤딩 허용 부분은 제 2 영역/제 3 영역(들)으로 하여금 제 1 영역의 평면 아래에 배치되게 한다. 이는 플렉서블 베이스층으로 하여금 라운드 형상의 하우징에 피팅 (fit) 되게 하고, 라운드된 디스플레이를 갖는 디바이스를 제공할 것이다. 일부 실시예들에서, 노치는 벤딩 허용 부분의 사이즈를 감소시키도록 플렉서블 베이스층의 벤딩 후에 플렉서블 디스플레이의 에지가 될, 제 1 영역과 제 2 영역 사이의 벤딩 허용 부분에 제공될 수도 있다. 일부 실시예들에서, 노치는 벤딩 허용 부분의 사이즈를 감소시키도록 제 1 영역과 제 3 영역 사이의 벤딩 허용 부분에 제공될 수도 있다. 벤딩 허용 부분에 제공된 노치는 또한 플렉서블 베이스층의 벤딩을 보다 용이하게 할 것이다.

[0013] 부가적인 실시예들 및 특징들은 이하의 기술에 부분적으로 언급되고, 일부는 명세서의 검토시 당업자에게 명백해질 것이고, 또는 본 명세서에 논의된 실시예들의 실시예에 의해 학습될 수도 있다. 특정한 실시예들의 특성 및 장점들은 본 개시의 일부를 형성하는, 명세서의 나머지 부분들 및 도면들을 참조하여 더 이해될 수도 있다.

도면의 간단한 설명

[0014] 도 1은 본 개시의 실시예들에 따른 예시적인 플렉서블 디스플레이 장치의 개략도를 예시한다.

도 2는 본 개시의 실시예들에 따른 플렉서블 디스플레이 장치의 실질적으로 평탄한 부분 및 벤딩 부분의 예시적인 배열을 예시한다.

도 3a 및 도 3b는 본 개시의 실시예들에 따른 플렉서블 디스플레이 장치의 액티브 영역들의 예시적인 배열을 예시한다.

도 4는 본 개시의 실시예에 따른 예시적인 플렉서블 디스플레이 장치의 컴포넌트들의 간략화된 스택-업 구조를 예시한다.

도 5는 디스플레이 장치의 벤딩을 용이하게 하도록 적용되는 벤딩 패턴들의 다양한 예들을 예시한다.

도 6a 내지 도 6d는 본 개시의 다양한 실시예들에 따른 플렉서블 디스플레이 장치의 컴포넌트들의 예시적인 배열의 단면도이다.

도 7a 내지 도 7b는 본 개시의 실시예들에 따른 예시적인 복수-적층된 도전층들 및 절연층들의 개략도를 예시한다.

도 8a는 본 개시의 실시예들에 따른 벤딩 허용 부분을 갖는 비 디스플레이 영역의 브릿지된 (bridged) 도전 라인들의 예시적인 배열을 예시한다.

도 8b는 본 개시의 실시예들에 따른 벤딩 허용 부분을 갖지 않는 비디스플레이 영역의 브릿지된 도전 라인들의 예시적인 배열을 예시한다.

도 9a는 본 개시의 실시예들에 따른 브릿지된 도전 라인들의 예시적인 구성의 단면도를 예시한다.

도 9b는 본 개시의 실시예들에 따른 브릿지된 도전 라인들의 예시적인 구성의 단면도를 예시한다.

도 10은 본 개시의 실시예들에 따른 플렉서블 디스플레이 장치의 배선 트레이스들을 위해 사용가능한 예시적인 비분할 스트레인 감소 트레이스 (non-split strain-reducing trace) 설계의 개략도를 예시한다.

도 11a 및 도 11b는 본 개시의 실시예들에 따른 일정한 간격으로 분할 및 병합하는 복수의 서브-트레이스들을 갖는 예시적인 스트레인 감소 배선 트레이스 설계들의 개략도를 예시한다.

도 12는 인덴티드 (indented) 부분들 및 디스텐디드 (distended) 부분들을 포함하는 배선 트레이스들의 예시적인 배열을 예시한다.

도 13a 및 도 13b는 본 개시의 실시예들에 따른, 플렉서블 디스플레이 장치의 배선 트레이스들에 사용가능한 예시적인 트레이스 설계들의 개략적인 단면도를 예시한다.

도 14a 및 도 14b는 본 개시의 실시예들에 따른 플렉서블 디스플레이 내에서 상이한 평면 레벨들을 갖는 영역들에 걸쳐 연장하도록 배선 트레이스를 위해 채택된 수정된 부분들을 갖는 예시적인 스트레인 감소 배선 트레이스 설계의 개략도를 예시한다.

도 15a는 도 1의 선 A-A'을 따라 절단된 플렉서블 디스플레이의 실시예의 개략적인 단면도이다.

도 15b는 도 1의 선 A-A'을 따라 절단된 플렉서블 디스플레이의 실시예의 개략적인 단면도이다.

도 16a는 본 개시의 실시예에 따른 크랙 스톱퍼(crack stopper) 구조들을 위한 예시적인 구성의 개략도를 예시한다.

도 16b 및 도 16c는 플렉서블 디스플레이 장치의 노치된(notched) 영역 근방의 예시적인 구성들의 개략도들을 예시한다.

도 17a 내지 도 17c는 본 개시의 실시예들에 따른 마이크로-코팅층을 구비한 플렉서블 디스플레이의 개략도를 예시한다.

도 18a 및 도 18b는 본 개시의 실시예들에 따른 마이크로-코팅층을 구비한, 벤딩된 상태의 플렉서블 디스플레이의 실시예들의 개략도들을 예시한다.

도 19a 및 도 19b는 본 개시의 실시예들에 따른 벤딩 허용 부분에 복수의 타입들의 마이크로-코팅층들이 구비된, 벤딩된 상태의 플렉서블 디스플레이의 실시예들의 개략도들을 예시한다.

도 20a 및 도 20b는 본 개시의 실시예들에 따른 상이한 타입들의 마이크로-코팅층들을 구비한 인쇄 회로(예를 들어, COF)와 봉지층 사이에 몇몇 영역들을 구비한 플렉서블 디스플레이의 실시예들의 개략도들을 예시한다.

도 21은 마이크로-코팅층의 확산 다이내믹들을 개선하기 위한 연장된 채널(들)을 구비한 예시적인 스트레인 감소 배선 트레이스 설계의 개략도를 예시한다.

도 22는 플렉서블 디스플레이의 실시예의 인쇄 회로와 베이스층의 예시적인 배열의 개략도를 예시한다.

도 23a 내지 도 23d는 FOP 영역의 제 1 인쇄 회로 상의 커넥터들의 예시적인 구성들을 예시하는 평면도들이다.

발명을 실시하기 위한 구체적인 내용

플렉서블 디스플레이

도 1은 전자 디바이스들 내에 통합될 수도 있는 예시적인 플렉서블 디스플레이(100)를 예시한다. 도 1을 참조하면, 플렉서블 디스플레이(100)는 내부에 디스플레이 픽셀들의 어레이가 형성된, 적어도 하나의 액티브 영역(즉, 디스플레이 영역)을 포함한다. 하나 이상의 인액티브 영역들은 액티브 영역의 주변부에 제공될 수도 있다. 즉, 인액티브 영역은 액티브 영역의 하나 이상의 측들에 인접할 수도 있다. 도 1에서, 인액티브 영역은 직사각형 형상의 액티브 영역을 둘러싼다. 그러나, 액티브 영역의 형상들 및 액티브 영역에 인접한 인액티브 영역의 배열은 도 1에 예시된 예시적인 플렉서블 디스플레이(100)로 특정적으로 제한되는 것은 아니라는 것이 아니라는 것이 이해될 것이다. 액티브 영역 및 인액티브 영역은 플렉서블 디스플레이(100)를 채용하는 전자 디바이스의 설계에 적합한 임의의 형상일 수도 있다. 플렉서블 디스플레이(100)의 액티브 영역의 형상들의 비제한적인 예들은 오각형 형상, 육각형 형상, 원형 형상, 계란형 형상 등을 포함한다.

액티브 영역의 픽셀 각각은, 플렉서블 디스플레이(100)의 백플레인 상에 적어도 하나의 스위칭 TFT(thin-film transistor) 및 적어도 하나의 구동 TFT를 포함하는, 픽셀 회로와 연관될 수도 있다. 픽셀 회로 각각은 하나 이상의 구동 회로들, 예를 들어, 플렉서블 디스플레이(100)의 인액티브 영역 내에 위치한 게이트 드라이버 및 데이터 드라이버와 통신하도록 게이트 배선 및 데이터 배선에 전기적으로 연결될 수도 있다.

예를 들어, 하나 이상의 구동 회로들은 도 1에 도시된 바와 같이, 인액티브 영역 내에 형성된 TFT들을 사용하여 구현될 수도 있다. 이러한 구동 회로는 GIP(gate-in-panel)로 지칭될 수도 있다. 또한 일부 컴포넌트들, 예를 들어, 데이터 드라이브-IC는 별도의 인쇄 회로에 장착될 수도 있고, 인쇄 회로, 예를 들어, 플렉서블 인쇄 회로 기판(PCB), COF(chip-on-film), TCP(tape-carrier-package) 또는 임의의 다른 적합한 기술들을 사용하여, 인액티브 영역 내에 배치된 연결 인터페이스(패드들/범프들, 핀들)에 커플링될 수도 있다. 이하에 보다 상세히 설명될 바와 같이, 연결 인터페이스를 갖는 인액티브 영역은, 인쇄 회로(예를 들어, COF, PCB 등)가 플렉서블 디스플레이(100)의 백플레인 측에 위치되도록 플렉서블 디스플레이의 인접한 부분의 평면으로부터 벤딩될 수 있다.

플렉서블 디스플레이(100)는 다양한 신호들을 생성하거나 그렇지 않으면 액티브 영역 내 픽셀들을 동작시키기 위한 다양한 부가적인 컴포넌트들을 포함할 수도 있다. 픽셀들을 동작시키기 위한 컴포넌트들의 비제한적인 예들은 인버터 회로, 멀티플렉서, ESD(electro static discharge) 회로 등을 포함한다. 플렉서블 디스플레이

(100)는 또한 플렉서블 디스플레이 (100)의 픽셀들을 동작시키는 것 외의 기능들과 연관된 컴포넌트들을 포함할 수도 있다. 예를 들어, 플렉서블 디스플레이 (100)는 터치 센싱 기능, 사용자 인증 기능 (예를 들어, 핑거프린트 스캔), 멀티-레벨 압력 센싱 기능, 촉각 피드백 기능 및/또는 플렉서블 디스플레이 (100)를 채용하는 전자 디바이스를 위한 다양한 다른 기능들을 제공하기 위한 컴포넌트들을 포함할 수도 있다. 일부 전술한 컴포넌트들은 플렉서블 디스플레이 (100)의 인액티브 영역 및/또는 플렉서블 디스플레이 (100)의 연결 인터페이스에 연결된 별도의 인쇄 회로에 배치될 수 있다.

[0020] **평탄한 부분/벤딩 부분**

[0021] 플렉서블 디스플레이 (100)의 복수의 부분들은 벤딩 라인 (BL)을 따라 벤딩될 수 있다. 플렉서블 디스플레이 (100)의 벤딩 라인 (BL)은 수평으로 (예를 들어, 도 1에 도시된 X-축), 수직으로 (예를 들어, 도 1에 도시된 Y-축) 또는 사선으로 연장할 수도 있다. 따라서, 플렉서블 디스플레이 (100)는 플렉서블 디스플레이 (100)의 목표된 설계에 기초하여 수평, 수직 및/또는 사선 방향들의 임의의 조합으로 벤딩할 수 있다.

[0022] 언급한 바와 같이, 플렉서블 디스플레이 (100)의 하나 이상의 에지들은 벤딩 라인 (BL)을 따라 중앙 부분의 평면으로부터 벤딩될 수 있다. 벤딩 라인 (BL)이 플렉서블 디스플레이 (100)의 에지들 근방에 위치되는 것으로 도시되지만, 벤딩 라인들 (BL)은 중앙 부분을 가로질러 연장하거나 플렉서블 디스플레이 (100)의 하나 이상의 코너부들에서 사선으로 연장할 수 있다는 것이 이해될 것이다. 이러한 구성들은 플렉서블 디스플레이 (100)로 하여금 폴더블 디스플레이 또는 폴딩된 디스플레이의 양 외측 측들 상에 디스플레이 픽셀들을 갖는 양면 디스플레이를 제공하게 한다.

[0023] 플렉서블 디스플레이 (100)의 하나 이상의 부분들을 벤딩할 능력을 갖는, 플렉서블 디스플레이 (100)의 일부는 실질적으로 평탄한 부분 및 벤딩 부분으로 정의될 수도 있다. 플렉서블 디스플레이 (100)의 일부는 실질적으로 평탄할 수도 있고 플렉서블 디스플레이 (100)의 실질적으로 평탄한 부분으로서 지칭될 수도 있다. 플렉서블 디스플레이 (100)의 일부는 인접한 부분의 평면으로부터 일정한 벤딩 각도로 벤딩될 수도 있고, 이 부분은 플렉서블 디스플레이 (100)의 벤딩 부분으로 지칭된다. 벤딩 부분은 일정한 벤딩 반경으로 액티브하게 (actively) 굽혀질 수 있는, 벤딩 허용 부분을 포함한다.

[0024] 용어 “실질적으로 평탄”은 완전히 평탄하지 않을 수도 있는 부분을 포함한다는 것이 이해될 것이다. 예를 들어, 도 2에 도시된 오목한 중앙 부분 및 볼록한 중앙 부분은 본 개시에서 논의된 일부 실시예들에서 실질적으로 평탄한 부분으로서 설명될 수도 있다. 도 2에서, 하나 이상의 벤딩 부분들은 오목한 중앙 부분 또는 볼록한 중앙 부분 옆에 존재하고, 벤딩 축을 중심으로 벤딩 각도로 벤딩 라인을 따라 내측 또는 외측으로 벤딩된다. 벤딩 부분의 반경은 중앙 부분의 벤딩 반경보다 작다. 즉, 용어 “실질적으로 평탄한 부분”은 플렉서블 디스플레이 (100)의 인접한 벤딩 허용 부분보다 작은 곡률을 갖는 부분을 지칭한다.

[0025] 플렉서블 디스플레이 (100)의 벤딩 라인 (BL)의 위치에 따라, 벤딩 라인의 일 측 상의 부분은 플렉서블 디스플레이 (100)의 중앙을 향해 위치될 수도 있지만, 벤딩 라인 (BL)의 반대되는 측 상의 부분은 플렉서블 디스플레이 (100)의 에지 부분을 향해 위치된다. 중앙을 향하는 부분은 중앙 부분으로서 지칭될 수도 있고 에지를 향하는 부분은 플렉서블 디스플레이 (100)의 에지부로서 지칭될 수도 있다. 항상 그러한 것은 아니지만, 플렉서블 디스플레이 (100)의 중앙 부분은 실질적으로 평탄한 부분일 수 있고 에지부는 플렉서블 디스플레이 (100)의 벤딩 부분일 수 있다. 실질적으로 평탄한 부분은 또한 플렉서블 디스플레이 (100)의 에지부에 제공될 수 있다는 것을 주의해야 한다. 또한, 플렉서블 디스플레이 (100)의 일부 구성에서, 벤딩 허용 부분은 2개의 실질적으로 평탄한 부분들 사이에 위치될 수도 있다.

[0026] 상기 언급된 바와 같이, 인액티브 영역을 벤딩하는 것은 조립된 플렉서블 디스플레이 (100)의 전면 측에서 볼 때 인액티브 영역을 최소화 또는 제거하게 한다. 전면에서 보이게 남아 있는 인액티브 영역의 일부는 베젤로 커버될 수 있다. 베젤은, 예를 들어, 플렉서블 디스플레이 (100)의 커버층 (114), 하우징 또는 다른 적합한 컴포넌트들에 장착된 독립형 베젤 구조로 형성될 수도 있다. 전면 측에서 보이게 남아 있는 인액티브 영역은 또한 불투명한 마스킹층, 예를 들어, 블랙 잉크 (예를 들어, 카본 블랙으로 충전된 폴리머) 또는 불투명 금속층 아래에 숨겨질 수도 있다. 이러한 불투명 마스킹층은 플렉서블 디스플레이 (100)에 포함된 다양한 층들, 예를 들어 터치 센서층, 편광층, 커버층, 및 다른 적합한 층들의 일부 상에 제공될 수도 있다.

[0027] **액티브 영역들**

[0028] 일부 실시예들에서, 플렉서블 디스플레이 (100)의 벤딩 부분은, 이하에서 보조 액티브 영역으로 지칭되는, 벤딩 부분으로부터 이미지를 디스플레이할 수 있는 액티브 영역을 포함할 수도 있다. 즉, 벤딩 라인 (BL)은, 액

티브 영역의 적어도 일부의 디스플레이 픽셀들이 플렉서블 디스플레이 (100)의 벤딩 부분에 포함되도록 액티브 영역에 위치될 수 있다.

[0029] 도 3a 및 도 3b는 각각 본 개시의 플렉서블 디스플레이 (100)의 실시예의 액티브 영역들의 예시적인 구성을 예시한다. 도 3a에 도시된 구성에서, 벤딩 부분의 보조 액티브 영역의 픽셀들의 매트릭스는 중앙 부분의 액티브 영역의 픽셀들의 매트릭스로부터 계속해서 연장될 수도 있다. 대안적으로, 도 3b에 도시된 구성에서, 플렉서블 디스플레이 (100)의 벤딩 부분 내의 보조 액티브 영역 및 중앙 부분 내의 액티브 영역은 플렉서블 디스플레이 (100)의 벤딩 허용 부분에 의해 서로 이격될 수도 있다. 중앙 부분 및 벤딩 부분의 일부 컴포넌트들은 플렉서블 디스플레이 (100)의 벤딩 허용 부분에 걸쳐 놓인 하나 이상의 도전 라인 (120)을 통해 전기적으로 연결될 수 있다.

[0030] 보조 액티브 영역의 픽셀들 및 중앙 액티브 영역의 픽셀들은, 단일 매트릭스 내에 있다면, 구동 회로들 (예를 들어, 게이트 드라이버, 데이터 드라이버, 등)에 의해 어드레싱될 수도 있다. 이 경우, 중앙 액티브 영역의 픽셀들 및 보조 액티브 영역의 픽셀들은 동일한 세트의 구동 회로들에 의해 동작될 수도 있다. 예로서, 중앙 액티브 영역의 제 N 행의 픽셀들 및 보조 액티브 영역의 제 N 행의 픽셀들은 동일한 게이트 드라이버로부터 게이트 신호를 수신하도록 구성될 수도 있다. 도 3b에 도시된 바와 같이, 벤딩 허용 부분 (즉, 벤딩 허용 구역) 위에 교차하는 게이트 배선의 일부 또는 2개의 액티브 영역들의 게이트 배선들을 연결하기 위한 브릿지는 이하에 더 상세히 설명될 스트레인 감소 트레이스 설계를 가질 수도 있다.

[0031] 보조 액티브 영역의 기능에 따라, 보조 액티브 영역의 픽셀들은 중앙 액티브 영역의 픽셀들과 개별적으로 구동될 수 있다. 즉, 보조 액티브 영역의 픽셀들은 중앙 액티브 영역의 픽셀들의 매트릭스로부터 분리된 픽셀들의 독립된 매트릭스로서 디스플레이 구동 회로들에 의해 인식될 수도 있다. 이런 경우들에서, 보조 액티브 영역의 픽셀들은 중앙 액티브 영역의 픽셀들에 신호들을 제공하기 위한 구동 회로 이외의 적어도 하나의 별도의 구동 회로로부터의 신호들을 수신할 수도 있다.

[0032] 구성과 상관없이, 벤딩 부분의 보조 액티브 영역은 플렉서블 디스플레이 (100)의 보조 디스플레이 영역으로서 역할을 할 수도 있다. 또한, 보조 액티브 영역의 사이즈는 특별히 제한되지 않는다. 보조 액티브 영역의 사이즈는 전자 디바이스에서의 기능에 따라 결정될 수도 있다. 예를 들어, 보조 액티브 영역은 그래픽 사용자 인터페이스, 텍스트 메시지들 등과 같은 이미지들 및/또는 텍스트들을 제공하도록 사용될 수도 있다. 일부 경우들에서, 보조 액티브 영역은 다양한 목적들을 위해 다양한 컬러들의 광을 제공하기 위해 사용될 수도 있고 (예를 들어, 상태 표시등), 따라서, 보조 액티브 영역의 사이즈는 플렉서블 디스플레이 (100)의 중앙 부분의 액티브 영역만큼 클 필요는 없다.

[0033] 스택-업 구조

[0034] 도 4는 본 개시의 실시예의 플렉서블 디스플레이 (100)의 예시적인 스택업 구조를 도시하는 간략화된 단면도이다. 예시의 편의를 위해, 도 4에서, 플렉서블 디스플레이 (100)의 중앙 부분은 실질적으로 평탄한 부분으로 예시되고, 벤딩 부분들은 플렉서블 디스플레이 (100)의 예지들에 제공된다.

[0035] 도시된 바와 같이, 하나 이상의 벤딩 부분들이 벤딩 축을 중심으로 일정한 벤딩 각도 θ 및 벤딩 반경 R로 실질적으로 평탄한 부분의 평면으로부터 벤딩될 수도 있다. 중앙 부분으로부터 벤딩된 벤딩 부분 각각의 사이즈가 동일할 필요는 없다. 즉, 벤딩 부분 각각에서, 벤딩 라인 (BL) 으로부터 베이스층 (106)의 외측 에지로의 베이스층 (106)의 길이는 다른 벤딩 부분들과 상이할 수 있다. 또한, 벤딩 축에 대한 벤딩 각도 θ 및 벤딩 축으로부터의 벤딩 반경 R은 벤딩 부분들로 사이에서 가변할 수 있다.

[0036] 도 4에 도시된 예에서, 우측 벤딩 부분은 90° 의 벤딩 각도 θ 을 갖고, 벤딩 부분은 실질적으로 플렉 부분을 포함한다. 벤딩 부분은, 벤딩 부분의 적어도 일부가 플렉서블 디스플레이 (100)의 좌측 상의 벤딩 부분으로서 플렉서블 디스플레이 (100)의 중앙 부분 밑의 평면이 되도록, 보다 큰 벤딩 각도 θ 으로 벤딩할 수 있다. 또한, 벤딩 부분은 90° 보다 작은 벤딩 각도 θ 으로 벤딩할 수 있다.

[0037] 일부 실시예들에서, 플렉서블 디스플레이 (100)의 벤딩 부분들에 대한 곡률 반경 (즉, 벤딩 반경)은 약 0.1 mm 내지 약 10 mm, 보다 바람직하게, 약 0.1 mm 내지 약 5 mm, 보다 바람직하게 약 0.1 mm 내지 약 1 mm, 보다 바람직하게, 약 0.1 mm 내지 약 0.5 mm일 수도 있다. 일부 실시예들에서, 플렉서블 디스플레이 (100)의 벤딩 부분에서의 벤딩 반경은 0.5 mm 미만일 수도 있다.

[0038] 하나 이상의 지지층들 (108)은 플렉서블 디스플레이 (100)의 선택적인 부분에서 강도 및/또는 견고성을 증가시키기 위해 베이스층 (106)의 하측에 제공될 수도 있다. 예를 들어, 지지층 (108)은 플렉서블 디스플레이

(100)의 실질적으로 평탄한 부분들에서 베이스층(106)의 내측 표면 상에 제공될 수 있다. 지지층(108)은 보다 큰 가용성이 필요한 벤딩 허용 부분에는 제공되지 않을 수도 있다. 지지층(108)은 또한 플렉서블 디스플레이(100)의 중앙 부분 아래에 위치한 벤딩 부분의 베이스층(106)상에 위치될 수도 있다. 플렉서블 디스플레이(100)의 선택적인 부분들에서 증가된 강도는 플렉서블 디스플레이(100)를 제조하고 사용하는 동안 다양한 컴포넌트들의 정확한 구성 및 배치를 보장하는 것을 도울 수도 있다. 또한 베이스층(106)이 지지층(108)보다 큰 모듈러스를 갖는다면, 지지층(108)은 베이스층(106)내에서 크랙들의 생성을 억제하도록 역할을 할 수 있다.

[0039] 베이스층(106) 및 지지층(108)은 각각 폴리이미드, 폴리에틸렌 나프탈레이트(PEN), 폴리에틸렌 테레프탈레이트(PET), 다른 적합한 폴리머들, 이들 폴리머들의 조합 등으로 형성된 플라스틱 박막으로 이루어질 수도 있다. 베이스층(106) 및 지지층(108)을 형성하기 위해 사용될 수도 있는 다른 적합한 재료들은, 얇은 유리, 유전체 재료로 커버된 금속 호일, 다층 폴리머 스택 및 내부에 분산된 나노 입자들 또는 마이크로 입자들과 결합된 폴리머 재료를 포함하는 폴리머 합성 필름 등을 포함한다. 플렉서블 디스플레이(100)의 다양한 부분들에 제공된 지지층들(108)은 동일한 재료로 이루어질 필요는 없다. 예를 들어, 플렉서블 디스플레이(100)의 중앙 부분에 대한 지지층(108)으로서 얇은 유리층이 사용될 수도 있지만, 플라스틱 박막층이 에지부들에 대한 지지층(108)으로서 사용된다.

[0040] 구성 재료에 부가하여, 베이스층(106) 및 지지층(108)의 두께는 플렉서블 디스플레이(100)의 설계시 고려해야 할 또 다른 팩터들이다. 한편으로, 작은 벤딩 반경의 베이스층(106)의 벤딩은 베이스층(106)이 과도하게 큰 두께를 갖는다면 어려울 수 있다. 또한, 베이스층(106)의 과도한 두께는 베이스층(106)을 벤딩하는 동안 베이스층 위에 배치된 컴포넌트들에 대한 기계적 응력을 증가시킬 수 있다. 그러나, 다른 한편으로, 베이스층(106)이 너무 얇다면, 플렉서블 디스플레이의 다양한 컴포넌트들을 위한 기관으로서 역할을 하기에 너무 취약할 수 있다.

[0041] 이러한 요건들을 만족시키기 위해, 베이스층(106)은 약 5 μm 내지 약 50 μm 의 범위, 보다 바람직하게 약 5 μm 내지 약 30 μm 의 범위, 그리고 보다 바람직하게 약 5 μm 내지 약 16 μm 의 범위의 두께를 가질 수도 있다. 지지층(108)은 약 100 μm 내지 약 125 μm , 약 50 μm 내지 약 150 μm , 약 75 μm 내지 200 μm , 150 μm 미만, 또는 100 μm 보다 큰 두께를 가질 수도 있다.

[0042] 일 적합한 예시적인 구성에서, 약 10 μm 내지 약 16 μm 의 두께를 갖는 폴리이미드층이 베이스층(106)으로서 역할을 하는 반면, 약 50 μm 내지 약 125 μm 의 두께를 갖는 폴리에틸렌 테레프탈레이트(PET)층이 지지층(108)으로서 역할을 한다. 또 다른 적합한 예시적인 구성에서, 약 10 μm 내지 약 16 μm 의 두께를 갖는 폴리이미드층이 베이스층(106)으로서 역할을 하는 반면, 약 50 μm 내지 약 200 μm 의 두께를 갖는 얇은 유리층이 지지층(108)으로서 역할을 한다. 또 다른 적합한 예시적인 구성에서, 얇은 유리층은 베이스층(106)의 파괴를 억제하기 위해 지지층(108)으로서 역할을 하는 폴리이미드층을 갖는 베이스층(106)으로서 사용된다.

[0043] 제조 동안, 플렉서블 디스플레이(100)의 일부 부분은 외부 광에 노출될 수도 있다. 베이스층(106)상의 컴포넌트들 및 컴포넌트들 자체의 제조시 사용된 일부 재료들은 플렉서블 디스플레이(100)의 제조 동안 노광으로 인해 바람직하지 않은 상태 변화들(예를 들어, TFT들에서 전압 시프트)을 겪을 수도 있다. 플렉서블 디스플레이(100)의 일부 부분들은 다른 부분들보다 강하게 외부 광에 노출될 수도 있고, 이는 디스플레이 불균일성(예를 들어, 얼룩, 새도우 결합들 등)을 야기할 수 있다. 이러한 문제들을 최소화하기 위해, 플렉서블 디스플레이(100) 일부 실시예들에서 베이스층(106) 및/또는 지지층(108)은 통과하는 외부 광의 양을 감소시킬 수 있는 하나 이상의 재료들을 포함할 수도 있다.

[0044] 차광 재료, 예를 들어, 클로라이드 개질된 카본 블랙은 베이스층(106)의 구성 재료(예를 들어, 폴리이미드 또는 다른 폴리머들)에 혼합될 수도 있다. 이러한 방식으로, 베이스층(106)은 차광 기능을 제공하기 위해 음영(shade)을 갖는 폴리이미드로 형성될 수도 있다. 이러한 음영처리된(shaded) 베이스층(106)은 또한 플렉서블 디스플레이(100)의 전면측으로부터 나오는 외부 광의 반사를 감소시킴으로써 플렉서블 디스플레이(100)상에 디스플레이된 이미지 콘텐츠의 가시성을 개선할 수 있다.

[0045] 베이스층(106) 대신, 지지층(108)이 플렉서블 디스플레이(100)의 백플레인측(즉, 지지층(108)부착층)으로부터 나오는 광의 양을 감소시키도록 차광 재료를 포함할 수도 있다. 지지층(108)의 구성 물질은 베이스층(106)과 관련하여 상술한 바와 유사한 방식으로, 하나 이상의 차광 재료들과 혼합될 수도 있다. 또한, 베이스층(106) 및 지지층(108) 둘 모두는 하나 이상의 차광 재료들을 포함할 수 있다. 여기서, 베이스층(106) 및 지지층(108)에 사용된 차광 재료들이 동일할 필요는 없다.

- [0046] 상술한 바와 같이, 베이스층 (106) 및 지지층 (108) 이 원치 않는 외부 광을 차단하게 하는 것은, 디스플레이 균일성을 개선할 수도 있고 반사를 감소시킬 수도 있지만, 컴포넌트들의 정확한 배치를 위해 또는 제조 프로세스를 수행하기 위한 정렬 마크 (alignment mark) 를 인식하는 것이 어렵게 될 수도 있다. 예를 들어, 플렉서블 디스플레이 (100) 의 벤딩 동안의 베이스층 (106) 상에서 컴포넌트들의 정확한 배치 또는 정렬은, 층들의 배치가 층(들)의 중첩하는 부분들의 외측 에지들과 비교하여 결정되어야 할 수도 있기 때문에, 어려울 수 있다. 또한, 플렉서블 디스플레이 (100) 내에서 원치 않는 잔해물 또는 다른 이물질들을 검사하는 것은 베이스층 (106) 및/또는 지지층 (108) 이 과도한 범위(들)의 광 스펙트럼 (즉, 가시광, 자외선 및 적외선 스펙트럼의 파장) 을 차단한다면 문제가 될 수 있다.
- [0047] 따라서, 일부 실시예들에서, 베이스층 (106) 및/또는 지지층 (108) 에 포함될 수도 있는 차광 재료는 플렉서블 디스플레이 (100) 의 하나 이상의 제조 프로세스들 및/또는 테스트 프로세스들에서 사용될 수 있는 일정한 편광의 광 및/또는 특정한 파장 범위들 내의 광을 통과시키도록 구성된다. 예를 들어, 지지층 (108) 은 플렉서블 디스플레이 (100) 의 제조 동안, 품질 검사 및/또는 정렬 프로세스들에 사용될 광 (예를 들어, UV, IR 스펙트럼 광) 을 통과시킬 수도 있지만, 가시광 파장 범위의 광은 필터링한다. 제한된 범위의 파장들은, 특히 베이스층 (106) 이 상술한 바와 같은 차광 재료를 포함한다면, 베이스층 (106) 에 부착된 인쇄 회로에 의해 생성된 새도우들에 의해 유발될 수도 있는, 디스플레이 불균일성 문제를 감소시키는 것을 도울 수 있다.
- [0048] 베이스층 (106) 및 지지층 (108) 은 특정한 타입들의 광을 차단 및 통과시 함께 동작할 수 있다는 것을 주의해야 한다. 예를 들어, 지지층 (108) 은, 광이 베이스층 (106) 을 통과할 수 없도록 광의 편광을 변경할 수 있다. 이러한 방식으로, 플렉서블 디스플레이 (100) 의 제조 동안 다양한 목적들을 위해 특정한 타입의 광이 지지층 (108) 을 통과할 수 있지만, 베이스층 (106) 의 반대 측에 배치된 컴포넌트들에 원치 않는 효과들을 유발하도록 베이스층 (106) 을 관통할 수는 없다.
- [0049] 플렉서블 디스플레이 (100) 의 백플레인인 베이스층 (106) 상에서 구현된다. 일부 실시예들에서, 플렉서블 디스플레이 (100) 의 백플레인인 액티브층으로서 LTPS (low-temperature poly-silicon) 반도체층을 사용하는 TFT들을 사용하여 구현될 수 있다. 하나의 적합한 구성에서, 베이스층 (106) 상의 픽셀 회로 및 구동 회로들 (예를 들어, GIP) 은 NMOS LTPS TFT들을 사용하여 구현된다. 다른 적합한 구성에서, 플렉서블 디스플레이 (100) 의 백플레인인 NMOS LTPS TFT들 및 PMOS LTPS TFT들의 조합으로 구현될 수 있다. 예를 들어, 베이스층 (106) 상의 구동 회로 (예를 들어, GIP) 는 게이트 배선 상에서 주사 신호들을 제어하기 위한 배선들의 수를 감소시키도록 하나 이상의 CMOS 회로들을 포함할 수도 있다.
- [0050] 또한, 일부 실시예들에서, 플렉서블 디스플레이 (100) 는 인액티브 영역에 구동 회로들 및/또는 액티브 영역에 픽셀 회로들을 구현하기 위해 복수의 종류의 TFT들을 채용할 수도 있다. 즉, 산화물 반도체 TFT 및 LTPS TFT의 조합이 플렉서블 디스플레이 (100) 의 백플레인을 구현하도록 사용될 수도 있다. 백플레인에서, TFT들의 타입은 대응하는 회로 내에서 TFT들의 동작 조건들 및/또는 요건들에 따라 선택될 수도 있다.
- [0051] LTPS (Low-temperature-poly-silicon) TFT들은 일반적으로 작은 프로파일 (profile) 에서도 우수한 캐리어 이동도를 나타내어, 조밀한 구동 회로들을 구현하기 적합하게 한다. LTPS TFT의 우수한 캐리어 이동도는 고속 동작을 필요로 하는 컴포넌트들에 대해 이상적이다. 전술한 장점들에도 불구하고, 초기 문턱값 전압들은 폴리-결정화된 (poly-crystallized) 실리콘 반도체층의 입자 경계로 인해 LTPS TFT들 마다 상이할 수도 있다.
- [0052] IGZO (indium-gallium-zinc-oxide) 반도체층과 같은 산화물 재료계 반도체층을 채용하는 TFT (이하 “산화물 TFT”) 는 여러 측면에서 LTPS TFT와 상이하다. LTPS TFT보다 낮은 이동도에도 불구하고, 산화물 TFT는 일반적으로 전력 효율 면에서 LTPS TFT보다 유리하다. 오프 상태 동안 산화물 TFT의 저누설 전류 (low leakage current)는 액티브 상태로 보다 오래 남아 있게 한다. 이는 픽셀들의 고 프레임 레이트 구동이 필요하지 않을 때 감소된 프레임 레이트로 픽셀들을 구동하기 위해 엄청난 장점이 될 수 있다.
- [0053] 예로서, 플렉서블 디스플레이 (100) 는 전체 액티브 영역 또는 액티브 영역의 선택된 부분의 픽셀들이 특정한 조건 하에서 감소된 프레임 레이트로 구동되는 구성을 구비할 수도 있다. 이러한 설정에서, 픽셀들은 플렉서블 디스플레이 (100) 로부터 디스플레이된 콘텐츠에 따라 감소된 리프레시 레이트로 리프레시될 수 있다. 또한, 정지 이미지 데이터 (예를 들어, 사용자 인터페이스, 텍스트) 를 디스플레이하는 액티브 영역의 일부는 고속으로 변화하는 이미지 데이터 (예를 들어, 영화) 를 디스플레이하는 액티브 영역의 다른 부분보다 낮은 레이트로 리프레시될 수도 있다. 감소된 리프레시 레이트로 구동된 픽셀들은 증가된 블랭크 기간을 가질 수도 있고, 여기서 블랭크 기간은 데이터 신호가 픽셀들에 제공되지 않는 기간이다. 이는 동일한 이미지 데이터를 픽셀들에 제공하는 것에 의해 낭비되는 전력을 최소화할 것이다. 이러한 실시예들에서, 블랭크 기간 동안 누설 전류를 최소화하

기 위해 플렉서블 디스플레이 (100) 의 픽셀 회로들 및/또는 구동 회로들을 구현하는 일부 TFT들은 산화물 TFT로 형성될 수 있다. 픽셀 회로들 및/또는 구동 회로들로부터 누설 전류를 감소시킴으로써, 디스플레이가 감소된 레이트로 리프레시될 때에도 픽셀들은 보다 안정한 레벨의 휘도를 달성할 수 있다.

[0054] 산화물 TFT의 또 다른 특징은, LTPS TFT들만큼 많은 트랜지스터-대-트랜지스터 (transistor-to-transistor) 초기 문턱값 전압 변동 문제를 겪지 않는다는 것이다. 이러한 특성은 플렉서블 디스플레이 (100) 의 사이즈를 증가시킬 때 엄청난 장점이 될 수 있다. 바이어스 스트레스 (bias stress) 하에서의 문턱값 시프트들은 또한 LTPS TFT와 산화물 TFT 사이에서 상이하다.

[0055] LTPS TFT 및 산화물 TFT의 전술한 특성들을 고려하면, 본 명세서에 개시된 플렉서블 디스플레이 (100) 의 일부 실시예들은 단일 백플레인 상에 LTPS TFT 및 산화물 TFT의 조합을 채용할 수 있다. 특히, 플렉서블 디스플레이 (100) 의 일부 실시예들은 인액티브 영역에 구동 회로들 (예를 들어, GIP) 을 구현하기 위해 LTPS TFT들을 채용할 수 있고, 액티브 영역에 픽셀 회로들을 구현하기 위해 산화물 TFT들을 채용할 수 있다. LTPS TFT들의 우수한 캐리어 이동도로 인해, LTPS TFT들로 구현된 구동 회로들은 산화물 TFT들로 구현된 구동 회로들보다 고속으로 동작할 수도 있다. 부가적으로, 보다 조밀한 구동 회로들은 LTPS TFT를 구비할 수 있고, 이는 플렉서블 디스플레이 (100) 에서 인액티브 영역의 사이즈를 감소시킨다. 픽셀 회로들에 사용된 산화물 TFT들의 우수한 전압 홀딩비로, 픽셀들로부터의 누설이 감소될 수 있다. 이는 또한 액티브 영역의 선택된 부분의 픽셀들을 리프레시하거나 누설 전류로 인한 디스플레이 결점들을 최소화하는 동안, 미리 결정된 조건 (예를 들어, 정지 이미지들을 디스플레이할 때) 하에서 감소된 프레임 레이트로 픽셀들을 구동할 수 있게 한다.

[0056] 일부 실시예들에서, 플렉서블 디스플레이 (100) 의 인액티브 영역의 구동 회로들은 픽셀 회로들이 산화물 TFT들로 구현되는 동안 N형 LTPS TFT들 및 P형 LTPS TFT들의 조합으로 구현될 수도 있다. 예를 들어, N형 LTPS TFT들 및 P형 LTPS TFT들은 CMOS 게이트 드라이버 (예를 들어, CMOS GIP, 데이터 드라이버) 를 구현하기 위해 사용될 수 있는 반면, 산화물 TFT들은 픽셀 회로들의 적어도 일부분에 채용된다. 전체가 P형 LTPS TFT들 또는 N형 LTPS TFT들로 형성된 GIP와 달리, CMOS 게이트 드라이버로부터의 게이트 출력 신호는 DC 신호들 또는 논리 하이/로우 신호들에 의해 제어될 수 있다. 이는 픽셀 회로로부터의 누설 전류 억제 또는 게이트 배선에 연결된 픽셀들의 의도치 않은 활성화가 달성될 수 있도록, 블랭크 기간 동안 게이트 배선의 보다 안정한 제어를 가능하게 한다.

[0057] 백플레인 상의 CMOS 게이트 드라이버 또는 인버터 회로는 LTPS TFT들 및 산화물 TFT들의 조합을 사용함으로써 구현될 수 있다는 것을 주의해야 한다. 예를 들어, P형 LTPS TFT 및 N형 산화물 TFT는 CMOS 회로를 구현하기 위해 사용될 수 있다. 또한, 액티브 영역의 픽셀 회로들은 또한 LTPS TFT들 및 산화물 TFT들 둘 모두를 사용함으로써 구현될 수 있다. 픽셀 회로 및/또는 구동 회로에 이 두 종류의 TFT들을 채용할 때, LTPS TFT는 산화물 TFT들의 오프 상태 동안 산화물 TFT들 사이의 노드에 남아 있는 바이어스를 제거하고 바이어스 스트레스 (예를 들어, PBTS, NBTS) 를 최소화하도록 회로 내에 전략적으로 배치될 수 있다. 부가적으로, 저장 커패시터에 연결된 회로의 TFT들은 누설을 최소화하기 위해 산화물 TFT의 형태일 수 있다.

[0058] OLED (organic light-emitting diode) 소자들의 어레이는 베이스층 (106) 상에 배치된다. OLED 소자 층 (102) 은, 베이스층 (106) 상에 구현된 픽셀 회로들 및 구동 회로들뿐만 아니라 베이스층 (106) 상의 연결 인터페이스들에 연결된 별도의 인쇄 회로 상에 제공된 임의의 다른 구동 회로들에 의해 제어되는 복수의 OLED 소자들을 포함한다. OLED 소자층은 특정한 컬러 스펙트럼 (예를 들어, 적색, 녹색, 청색) 의 광을 방출할 수도 있는 유기 발광 재료층을 포함한다. 일부 실시예들에서, 유기 발광 재료층은, 본질적으로 복수의 컬러 광들의 조합인, 백색 광을 방출하기 위해 스택 구성을 가질 수도 있다.

[0059] 봉지층 (104) 이 공기 및 수분으로부터 OLED 소자 층 (102) 을 보호하기 위해 제공된다. 봉지층 (104) 은 그 아래의 OLED 소자들을 보호하기 위해 공기 및 수분의 침투를 감소시키기 위한 재료들의 복수의 층들을 포함할 수도 있다. 일부 실시예들에서, 봉지층 (104) 은 박막의 형태로 제공될 수도 있다.

[0060] 플렉서블 디스플레이 (100) 는 또한 플렉서블 디스플레이 (100) 의 디스플레이 특성들 (예를 들어, 외부 광 반사, 컬러 정확도, 휘도, 등) 을 제어하기 위해 편광층 (110) 을 포함할 수도 있다. 또한, 커버층 (114) 은 플렉서블 디스플레이 (100) 를 보호하기 위해 사용될 수도 있다.

[0061] 사용자로부터의 터치 입력을 센싱하기 위한 전극들이 커버층 (114) 의 내부 표면 및/또는 편광층 (110) 의 적어도 하나의 표면 상에 형성될 수도 있다. 원한다면, 터치 센서 전극들을 갖는 독립된 층 및/또는 터치 입력의 센싱과 연관된 다른 컴포넌트들 (이하 터치 센서층 (112) 으로 지칭됨) 이 플렉서블 디스플레이 (100) 에 제공될 수도 있다. 터치 센서 전극들 (예를 들어, 터치 구동/센싱 전극들) 은 투명 도전성 재료, 예를 들어 인듐 주석

산화물, 그래핀 또는 탄소 나노튜브와 같은 탄소계 재료들, 도전성 폴리머, 다양한 도전성 재료들 및 비도전성 재료들의 혼합물로 이루어진 하이브리드 재료로 형성될 수도 있다. 또한, 금속 메시 (예를 들어, 알루미늄 메시, 실버 메시, 등) 는 또한 터치 센서 전극들로서 사용될 수 있다.

[0062] 터치 센서층 (112) 은 하나 이상의 변형가능한 유전체 재료들로 형성된 층을 포함할 수도 있다. 하나 이상의 전극들은 터치 센서층 (112) 과 인터페이싱하거나 근방에 위치될 수도 있고, 터치 센서층 (112) 의 변형 시 하나 이상의 전극들 상의 전기적 변화들을 측정하는 것을 용이하게 하도록 하나 이상의 신호들이 로딩될 수도 있다. 플렉서블 디스플레이 (100) 상에서 복수의 개별 레벨들 및/또는 레벨들의 범위들에서 압력량을 측정하기 위해 측정치들이 분석될 수도 있다.

[0063] 일부 실시예들에서, 터치 센서 전극들은 사용자 입력들의 위치를 식별할뿐만 아니라 사용자 입력의 압력을 측정하는데 활용될 수 있다. 플렉서블 디스플레이 (100) 상에서 터치 입력의 위치를 식별하고 터치 입력의 압력을 측정하는 것은 터치 센서층 (112) 의 일 측 상의 터치 센서 전극들로부터 캐패시턴스의 변화들을 측정함으로써 달성될 수도 있다. 터치 센서 전극들 및/또는 다른 전극은 터치 입력에 의해 플렉서블 디스플레이 (100) 상의 압력을 나타내는 신호를 측정하도록 사용될 수도 있다. 이러한 신호는 터치 센서 전극들로부터 터치 신호와 동시에 획득되거나 상이한 타이밍에 획득될 수도 있다.

[0064] 터치 센서층 (112) 에 포함된 변형가능한 재료는, 변형의 크기 및/또는 빈도가 전기 신호 및/또는 전기장에 의해 제어되는, 전기-활성 재료일 수도 있다. 이러한 변형가능한 재료들의 예들은 피에조 세라믹, 전기-활성-폴리머 (electro-active-polymer; EAP) 등을 포함한다. 따라서, 터치 센서 전극들 및/또는 별도로 제공된 전극은 목표된 방향으로 플렉서블 디스플레이 (100) 를 벤딩하기 위해 변형가능한 재료를 활성화할 수 있다. 부가적으로, 이러한 전기-활성 재료들은 목표된 주파수들로 진동하도록 활성화될 수 있어서, 플렉서블 디스플레이 (100) 상에 촉각 및/또는 질감(texture) 피드백을 제공한다. 플렉서블 디스플레이 (100) 는 플렉서블 디스플레이 (100) 의 벤딩 및 진동이 동시에 또는 상이한 타이밍에 제공될 수 있도록 복수의 전기-활성 재료층들을 채용할 수도 있다. 이러한 조합은 플렉서블 디스플레이 (100) 로부터 음파들을 생성할 때 사용될 수 있다.

[0065] 플렉서블 디스플레이 (100) 의 컴포넌트들은 벤딩 라인 (BL) 을 따라 플렉서블 디스플레이 (100) 를 벤딩하기 어렵게 할 수도 있다. 지지층 (108), 터치 센서층 (112), 편광층 (110) 등과 같은 일부 엘리먼트들은 플렉서블 디스플레이 (100) 에 매우 큰 강도를 제공할 수도 있다. 또한, 이러한 엘리먼트들의 두께는 플렉서블 디스플레이 (100) 의 중립면을 시프트하고 따라서 일부 컴포넌트들은 다른 컴포넌트들보다 큰 벤딩 응력들을 받을 수도 있다.

[0066] 벤딩을 보다 용이하게 하고 플렉서블 디스플레이 (100) 의 신뢰성을 향상시키기 위해, 플렉서블 디스플레이 (100) 의 벤딩 부분의 컴포넌트들의 구성은 플렉서블 디스플레이 (100) 의 실질적으로 평탄한 부분과 상이하다. 실질적으로 평탄한 부분에 존재하는 일부 컴포넌트들은 플렉서블 디스플레이 (100) 의 벤딩 부분들에 배치되지 않을 수도 있거나, 상이한 두께로 제공될 수도 있다. 벤딩 부분은 지지층 (108), 편광층 (110), 터치 센서층 (112), 컬러 필터층 및/또는 플렉서블 디스플레이 (100) 의 벤딩을 방해할 수도 있는 다른 컴포넌트들이 없을 수도 있다. 이러한 컴포넌트들은, 벤딩 부분이 시야에서 숨겨지거나 플렉서블 디스플레이 (100) 의 사용자들에게 액세스가능하지 않으면, 벤딩 부분에 필요하지 않을 수도 있다.

[0067] 보조 액티브 영역이 사용자들에게 정보를 제공하기 위해 벤딩 부분에 있더라도, 보조 액티브 영역은 보조 액티브 영역에 의해 제공된 정보의 용도 및/또는 타입에 따라 이들 컴포넌트를 필요로 하지 않을 수도 있다. 예를 들어, 편광층 (110) 및/또는 컬러 필터층은, 보조 액티브 영역이 단순히 컬러링된 광을 방출하거나 대조되는 컬러 조합으로 텍스트들 또는 단순한 GUI들을 (예를 들어, 백색 바탕에 검정색 텍스트들 또는 아이콘들) 디스플레이하기 위해 사용된다면 벤딩 부분에 필요하지 않을 수도 있다. 또한, 벤딩 부분에 플렉서블 디스플레이 (100) 의 벤딩 부분에는 터치 센서층 (112) 이 없을 수도 있다. 원한다면, 벤딩 부분은 터치 센서층 (112) 및/또는 전기-활성 재료층을 구비할 수도 있지만, 정보를 디스플레이하기 위한 보조 액티브 영역은 벤딩 부분에 제공되지 않는다.

[0068] 벤딩 허용 부분이 벤딩 응력에 의해 가장 많이 영향을 받기 때문에, 다양한 벤딩 응력 감소 특징들이 벤딩 허용 부분의 베이스층 (106) 의 컴포넌트들에 적용된다. 이를 위해, 중앙 부분의 일부 엘리먼트들은 벤딩 부분의 적어도 일부에 없을 수도 있다. 중앙 부분의 컴포넌트들과 벤딩 부분의 컴포넌트들 사이의 분리는 벤딩 허용 부분에 각각의 엘리먼트들이 없도록, 플렉서블 디스플레이 (100) 의 벤딩 허용 부분의 엘리먼트들을 선택적으로 제거함으로써 생성될 수도 있다.

- [0069] 도 4에 도시된 바와 같이, 중앙 부분의 지지층 (108) 및 벤딩 부분의 지지층 (108) 은 벤딩 허용 부분에서 지지층 (108) 의 부재로 인해 서로 분리될 수 있다. 베이스층 (106) 에 부착된 지지층 (108) 을 사용하는 대신, 라운드된 단부를 갖는 지지 부재 (116) 가 벤딩 허용 부분에서 베이스층 (106) 아래쪽에 위치될 수 있다. 다양한 다른 컴포넌트들, 예를 들어 편광층 (110) 및 터치 센서층 (112) 등은 또한 플렉서블 디스플레이 (100) 의 벤딩 허용 부분에 없을 수도 있다. 엘리먼트들의 제거는 절단, 습식 에칭, 건식 에칭, 스크라이빙 및 브레이킹, 또는 다른 적합한 재료 제거 방법들에 의해 행해질 수도 있다. 엘리먼트를 절단하거나 달리 제거하는 대신, 엘리먼트의 분리된 부분들이 이러한 엘리먼트가 없는 벤딩 허용 부분을 유지하기 위해 선택적인 부분들 (예를 들어, 실질적으로 평탄한 부분 및 벤딩 부분) 에 형성될 수도 있다.
- [0070] 벤딩 부분으로부터 완전히 제거되는 대신, 벤딩 응력을 감소시키기 위해 일부 엘리먼트들에 벤딩 허용 부분 내의 벤딩 라인들 및/또는 부품들을 따라 벤딩 패턴이 제공될 수도 있다. 도 5는 일부 컴포넌트들에 적용될 수도 있는, 예시적인 벤딩 패턴들의 단면도 및 평면도를 예시한다. 상술한 벤딩 패턴들은 지지층 (108), 편광층 (110), 터치 센서층 (112) 및 플렉서블 디스플레이 (100) 의 다양한 다른 엘리먼트들에 사용될 수도 있다.
- [0071] 플렉서블 디스플레이 (100) 는 2 이상의 타입들의 벤딩 패턴들을 활용할 수도 있다. 컴포넌트들에 의해 활용된 벤딩 패턴들의 개수 및 벤딩 패턴들의 타입들은 제한되지 않는다는 것이 이해될 것이다. 원한다면, 패턴들의 깊이는 컴포넌트를 완전히 관통할만큼 충분히 깊지 않을 수도 있지만, 각각의 층을 부분적으로 관통할 수도 있다. 이하에 보다 상세히 설명될 바와 같이, 베이스층 (106) 과 TFT 사이에 위치된 버퍼층뿐만 아니라 도전 라인을 커버하는 패시베이션층에 벤딩 응력을 감소시키기 위해, 벤딩 패턴이 또한 제공될 수도 있다.
- [0072] **지지 부재**
- [0073] 언급된 바와 같이, 지지층 (108) 은 베이스층 (106) 의 벤딩을 보다 용이하게 하기 위해 벤딩 허용 부분에 존재하지 않을 수도 있다. 그러나, 지지층 (108) 이 없으면, 벤딩 허용 부분에서의 곡률이 외력에 의해 쉽게 변경될 수도 있다. 베이스층 (106) 을 지지하고 벤딩 허용 부분에서 곡률을 유지하기 위해, 플렉서블 디스플레이 (100) 는 또한 “맨드릴 (mandrel)” 로 지칭될 수도 있는, 지지 부재 (116) 를 포함할 수도 있다. 도 4에 도시된 예시적인 지지 부재 (116) 는 연장된 바디부 및 라운드된 단부를 갖는다. 베이스층 (106) 및 지지 부재 (116) 는, 지지 부재 (116) 의 라운드된 단부가 플렉서블 디스플레이 (100) 의 벤딩 허용 부분에 대응하는 베이스층 (106) 아래에 위치되도록 배치된다.
- [0074] 벤딩 부분이 플렉서블 디스플레이 (100) 의 에지에 제공되는 실시예들에서, 지지 부재 (116) 는 플렉서블 디스플레이 (100) 의 에지에 제공될 수 있다. 이 설정에서, 베이스층 (106) 의 일부는 도 4에 도시된 바와 같이 지지 부재 (116) 의 라운드된 단부 주변으로 연장되고 지지 부재 (116) 아래 쪽에 위치될 수도 있다. 구동 IC들 및 COF (chip-on-flex) 와 PCB (printed circuit board) 를 연결하기 위한 연결 인터페이스들과 같은 플렉서블 디스플레이 (100) 의 인액티브 영역의 다양한 회로들 및 컴포넌트들은, 플렉서블 디스플레이 (100) 의 후면 측에 위치한 베이스층 (106) 상에 제공될 수도 있다. 이러한 방식으로, 플렉서블 디스플레이 (100) 에 의해 목표된 벤딩 반경으로 벤딩될만큼 충분히 플렉서블하지 않은 컴포넌트들도, 플렉서블 디스플레이 (100) 의 액티브 영역 아래에 배치될 수 있다.
- [0075] 지지 부재 (116) 는 폴리카보네이트 (PC), 폴리이미드 (PI), 폴리에틸렌 나프탈레이트 (PEN), 폴리에틸렌 테레프탈레이트 (PET), 다른 적합한 폴리머들, 이들 폴리머들의 조합 등과 같은 플라스틱 재료로 형성될 수 있다. 이러한 플라스틱 재료들로 형성된 지지 부재 (116) 의 강도는 지지 부재 (116) 의 두께 및/또는 강도를 증가시키기 위한 첨가제들을 제공하는 것에 의해 제어될 수도 있다. 지지 부재 (116) 는 목표된 컬러 (예를 들어, 흑색, 백색, 등) 로 형성될 수 있다. 또한, 지지 부재 (116) 는 유리, 세라믹, 금속 또는 다른 강성이 있는 (rigid) 재료들 또는 전술한 재료들의 조합들로 형성될 수도 있다.
- [0076] 지지 부재 (116) 의 라운드된 단부의 사이즈 및 형상은 플렉서블 디스플레이 (100) 의 벤딩 허용 부분에서의 목표된 최소 곡률에 따라 변할 수 있다. 일부 실시예들에서, 라운드된 단부의 두께 및 연장된 바디부의 두께는 실질적으로 동일할 수도 있다. 다른 실시예들에서, 평면 형상을 갖는 연장된 바디부는 지지 부재 (116) 의 라운드된 단부보다 얇을 수도 있다. 연장된 바디부에서 보다 얇은 프로파일을 가져, 지지 부재 (116) 는 플렉서블 디스플레이 (100) 의 불필요한 두께 증가를 방지하면서 벤딩 허용 부분을 지지할 수 있다.
- [0077] 벤딩 허용 부분에서의 지지가 지지 부재 (116) 의 라운드된 단부에 의해 제공되기 때문에, 플렉서블 디스플레이 (100) 의 실질적으로 평탄한 부분을 향해 연장하는 연장된 평면부는 액티브 영역 내로 연장될 필요가 없다. 연장된 바디부는 다양한 이유들로 액티브 영역 아래에서 연장될 수 있지만, 반대쪽 단부를 향해 라운드된 단부로

부터 연장된 바디부의 길이는, 플렉서블 디스플레이 (100)의 목표된 위치에 지지 부재 (116)를 고정하기에 충분한 표면적을 제공할 만큼 충분하다.

[0078] 플렉서블 디스플레이 (100)에 지지 부재 (116)를 고정하기 위해, 접착층 (118)은 지지 부재 (116)의 표면에 제공될 수도 있다. 접착층 (118)은 압력-감지 접착제, 폼형 (foam-type) 접착제, 액체 접착제, 광 경화 접착제 또는 임의의 다른 적합한 접착제 재료를 포함할 수도 있다. 일부 실시예들에서, 접착층 (118)은 압축 재료로 형성되거나 압축 재료를 포함할 수 있고, 접착층 (118)에 의해 결합된 부분들에 대한 쿠션으로서 역할을 할 수 있다. 예를 들어, 접착층 (118)의 구성 재료는 압축성일 수도 있다. 접착층 (118)은, 접착 재료의 상부층과 하부층 사이에 개재된 쿠션층 (예를 들어, 폴리올레핀 폼)을 포함하는, 복수의 층들로 형성될 수도 있다.

[0079] 접착층 (118)은 지지 부재 (116)의 연장된 바디부의 상부 표면과 하부 표면 중 적어도 하나 상에 배치될 수 있다. 플렉서블 디스플레이 (100)의 벤딩 부분이 지지 부재 (116)의 라운드된 단부를 랩핑할 때 (wrap), 접착층 (118)은 연장된 바디부의 하부 표면 (즉, 후면과 대면하는 표면) 및 상부 표면 (즉, 전면과 대면하는 표면) 모두 상에 제공될 수 있다. 원한다면, 접착층 (118)은 지지 부재 (116)의 라운드된 단부의 표면과 베이스층 (106)의 내측 표면 사이에 제공될 수도 있다.

[0080] 벤딩하는 동안, 지지 부재 (116)의 일 측 상의 플렉서블 디스플레이 (100)의 일부는 지지 부재 (116)를 향해 풀링 (pull)될 수도 있고, 베이스층 (106)은 라운드된 단부의 가장 높은 에지 및 가장 낮은 에지에 의해 손상을 받을 수도 있다. 이와 같이, 접착층 (118) 및 지지 부재 (116)와 베이스층 (106)사이의 지지층 (108)의 높이는 적어도 접착층 (118)이 배치되는 연장된 바디부의 표면과 라운드된 단부의 가장 높은 에지 사이의 수직 거리와 같거나 보다 클 수도 있다. 즉, 지지 부재 (116)의 라운드된 단부와 연장된 바디부 사이의 두께 차에 의해 생성된 공간의 높이는 집합적으로 지지층 (108) 및 접착층 (118)의 두께와 같거나 보다 작을 수도 있다.

[0081] 지지 부재 (116)의 형상에 따라, 연장된 바디부의 상부 표면과 하부 표면 상의 접착층 (118)의 두께는 상이할 수도 있다. 예를 들어, 라운드된 단부보다 얇은 연장된 바디부는 지지 부재 (116)의 라운드된 단부의 중심에 있지 않을 수도 있다. 이러한 경우들에서, 지지 부재 (116)의 일 측 상의 공간은 반대되는 측 상의 공간보다 클 수도 있다.

[0082] 또 다른 예에서, 공간이 연장된 바디부의 일 측 상에만 제공되도록, 라운드된 단부의 가장 낮은 에지는 연장된 바디부의 하단 표면과 일직선 상에 있을 수도 있다. 이러한 경우들에서, 지지 부재 (116)의 연장된 바디부의 일 측 상의 접착층 (118)은 반대되는 측 상의 접착층보다 두꺼울 수 있다. 도 4의 지지 부재 (116)의 치수들은 보다 단순한 설명을 목적으로 과장될 수도 있다는 것이 이해될 것이다.

[0083] 예시적인 배열

[0084] 도 6a 내지 도 6d는 플렉서블 디스플레이 (100)의 다양한 실시예들의 엘리먼트들의 예시적인 배열들을 도시하는 간략화된 단면도들이다. 도 6a에 도시된, 일 적합한 구성에서, 지지 부재 (116A)의 라운드된 단부와 연장된 바디부의 두께는 도 6a에 예시된 것과 실질적으로 동일할 수도 있다. 이러한, 지지 부재 (116A)는 상기 언급된 플라스틱 재료들로 형성될 수 있다. 지지 부재 (116A)는 또한 폴딩된 얇은 시트 금속 (예를 들어, SUS)으로 형성될 수도 있다. 이 경우, 시트 금속의 폴딩된 에지는 지지 부재 (116A)의 라운드된 단부로서 역할을 할 수 있다. 시트 금속이 지지 부재를 형성하도록 사용될 때에도, 라운드된 단부는 연장된 바디부보다 큰 두께를 가질 수 있다. 예를 들어, 연장된 바디부를 폴딩된 에지보다 얇게 하기 위해, 연장된 바디부를 위한 폴딩된 금속 시트의 일부에 압력이 인가될 수 있다.

[0085] 접착층 (118A)은 지지 부재 (116A)의 상부 표면, 하부 표면 및 라운드된 단부의 표면에 도포될 수도 있다. 라운드된 단부와 연장된 바디부에서의 지지 부재 (116A)의 두께가 거의 같기 때문에, 접착층 (118A)의 두께는 지지 부재 (116A)의 표면 상에서 실질적으로 균일한 두께를 가질 수도 있다. 그러나, 접착층 (118A)은 지지 부재 (116A)의 선택된 부분들에서 보다 얇고/얇거나 보다 두꺼울 수 있다는 것을 주의해야 한다.

[0086] 도 6b에 도시된, 또 다른 적합한 구성에서, 지지 부재 (116)의 연장된 바디부는 라운드된 단부보다 얇다. 이 점에서, 연장된 바디부의 하단 표면은 평탄한 하단부를 갖는 지지 부재 (116B)를 제공하는, 라운드된 단부의 가장 낮은 에지와 일직선이다. 이 예시적인 구성에서, 지지 부재들 (116B)은 전술한 플라스틱 재료들 (예를 들어, 폴리카보네이트) 중 하나 또는 조합으로 형성될 수도 있다. 또한, 연장된 바디부의 상부 표면 상에 제공된 접착층 (118B)은 지지 부재 (116B)의 연장된 바디부의 하단 표면 상에 제공된 접착층 (118B)보다 두껍다. 연장된 바디부의 상단 표면 상의 접착층 (118B)은 상술한 쿠션층을 포함할 수도 있지만 하부 표면 상의 접착층

(118B)은 쿠션층을 포함하지 않는다.

- [0087] 도 6c에 도시된 또 다른 적합한 구성에서, 지지 부재 (116C)의 연장된 바디부의 상단 표면 또는 하단 표면도 라운드된 부분의 가장 높은 에지/가장 낮은 에지와 일직선이 아니다. 지지 부재들 (116C)은 전술한 플라스틱 재료들 (예를 들어, 폴리카보네이트) 중 하나 또는 조합으로 형성될 수도 있다. 이러한 예에서, 연장된 바디부는 중심에서 벗어날 수도 있고 (즉, 라운드된 부분의 가장 낮은 에지에 보다 가까움), 연장된 바디부의 상부 표면 상의 접촉층 (118C)은 하부 표면 상의 접촉층 (118C)보다 두껍다. 연장된 바디부의 상부 표면 상의 접촉층 (118C)은 상술한 쿠션층을 포함할 수도 있지만 하부 표면 상의 접촉층 (118C)은 쿠션층을 포함하지 않는다.
- [0088] 도 6a 내지 도 6c에 도시된 예시적인 구성들에서, 지지 부재 (116)의 상부 표면 상의 지지층 (108)은 봉지층 (104)보다 벤딩 허용 부분을 향해 더 연장된다. 즉, 플렉서블 디스플레이 (100)의 에지 근방의 지지층 (108)의 일부는 봉지층 (104)에 의해 중첩되지 않는다. 봉지층 (104)아래에 제공된 지지층 (108)의 추가 마진 (도 6c에서 “A”로 표기됨)은 벤딩 허용 부분의 곡률의 일정한 비율을 유지하는 것을 도울 수 있다.
- [0089] 지지 부재 (116)의 라운드된 단부 둘레에서 베이스층 (106)이 벤딩될 때, 지지층 (108)은 정렬 오차로 인해 지지 부재 (116)의 라운드된 단부 상에 위치될 수 있다. 이러한 경우들에서, 라운드된 단부 상의 지지층 (108)은 베이스층 (106)상의 엘리먼트들을 푸시할 수도 있고 중립면을 시프트하거나 플렉서블 디스플레이 (100)의 벤딩 부분에서 이들 엘리먼트들의 층간 박리 (delamination)를 유발할 수도 있다. 이와 같이, 베이스층 (106)아래의 지지층 (108)은, 지지층 (108)의 에지가 봉지층 (104)의 에지보다 벤딩 허용 부분을 향해 더 연장되도록 배열된다. 즉, 지지 부재 (116)는 지지층 (108)의 에지와 지지 부재 (116)의 팁 (tip) 사이에 일정 마진 (도 6c에서 “B”로 표기됨)을 가지고 지지층 (108)아래에 배치될 수도 있다.
- [0090] 지지 부재 (116)위에 배치된 지지층 (108)과 유사하게, 지지 부재 (116)아래의 지지층 (108)은 지지 부재 (116)의 라운드된 단부 상에 위치되지 않아야 한다. 그러나, 지지 부재 (116)아래의 지지층 (108)의 에지는 지지 부재 (116)위의 지지층 (108)의 에지와 정렬될 필요가 없다. 베이스층 (106)은 지지 부재 (116)의 라운드된 단부 둘레에 랩핑될 것이라는 것을 고려하면, 베이스층 (106)의 하단 표면 상에서 분리된 지지층들 (108)사이의 간격은 어느 정도의 정렬 오차 마진으로 설정될 수 있다. 이와 같이, 지지 부재 (116)아래에 배치된 지지층 (108)은, 하부측 지지층 (108)의 에지가 지지 부재 (116)위의 지지층 (108)의 에지보다 벤딩 허용 부분으로부터 더 이격되게 위치되도록 베이스층 (106)의 하단 표면 상에 배열될 수도 있다. 이러한 설정에서, 하부측 지지층 (108)의 에지와 지지 부재 (116)의 라운드된 단부의 하부 팁 사이의 거리 (도 6c에서 “C”로 표기됨)는 상부측 지지층 (108)의 에지와 지지 부재 (116)의 라운드된 단부의 상부 팁 사이의 거리보다 클 수 있다.
- [0091] 일부 실시예들에서, 벤딩 허용 부분을 향하는 지지층 (108)의 에지는 도 6a에 도시된 바와 같이 벤딩 허용 부분을 향해 훨씬 더 연장하는, 플랜지 (flange)를 구비한다. 플랜지는 테이퍼된 에지를 갖도록 지지층 (108)을 절단하거나 패터닝함으로써 형성될 수도 있다. 플랜지는 또한 서로로부터 시프트된 에지들을 갖는 적어도 2개의 지지층들을 스택함으로써 제공될 수 있다. 도 6b 및 도 6c에서는 생략되었지만, 플랜지는 이들 실시예들에도 제공될 수 있다.
- [0092] 도 6a 내지 도 6c를 참조하여 상술한 구성들은 단지 예시라는 것을 이해해야 한다. 동일한 두께를 갖는 접촉층들은 연장된 바디부의 위치와 무관하게 지지 부재의 상부 표면과 하부 표면 상에 제공될 수 있다. 또한, 지지 부재의 상부 표면과 하부 표면 둘 모두 상의 접촉층들은 쿠션층을 포함할 수 있다.
- [0093] 별도의 지지 부재 (116)를 채용하는 대신, 플렉서블 디스플레이 (100)의 일부 실시예들에서, 지지층 (108)은 벤딩 허용 부분의 베이스층 (106)아래에 위치한 두꺼워진 라운드된 단부를 구비할 수도 있다. 도 6d는 플렉서블 디스플레이 (100)의 벤딩 부분에서 베이스층 (106)아래의 지지층 (108)의 예시적인 배열을 도시하는 개략적인 예시이다. 이 예에서, 지지층 (108)의 단부는 플렉서블 디스플레이 (100)의 디스플레이 영역 아래의 지지층 (108)의 일부보다 두껍다. 또한, 지지층 (108)의 보다 두꺼운 부분은, 벤딩 허용 부분의 베이스층 (106)의 곡률을 실질적으로 따르는 라운드된 에지를 갖는다. 이러한 방식으로, 지지층 (108)의 라운드된 에지는 도 6a 내지 도 6c에 도시된 실시예들에 채용된 별도의 지지 부재 (116)로서 역할을 할 수 있다.
- [0094] 이 경우, 지지층 (108)은 폴리카보네이트 (PC), 폴리이미드 (PI), 폴리레틸렌 나프탈레이트 (PEN), 폴리에틸렌 테레프탈레이트 (PET), 다른 적합한 폴리머들, 이들 폴리머들의 조합, 등과 같은 플라스틱 재료로 형성될 수 있다. 이러한 플라스틱 재료들로 형성된 지지층 (108)의 강도는 지지층 (108)의 두께 및/또는 강도를 증가시키기 위한 첨가제들을 제공하는 것에 의해 제어될 수도 있다. 이와 같이, 플렉서블 디스플레이의 실질적으로 평탄

한 부분 또는 디스플레이 영역에 대응하는 지지층 (108) 은 플렉서블 디스플레이 (100) 의 벤딩 부분에 대응하는 지지층 (108) 의 일부와 상이한 두께를 가질 수 있다. 지지층 (108) 의 두께는, 지지층 (108) 의 라운드된 에지부가 둘레에 랩핑될 플렉서블 베이스층 (106) 에 굽혀진 표면을 제공할 때 사용되기 때문에, 플렉서블 디스플레이 (100) 의 실질적으로 평탄한 부분보다 플렉서블 디스플레이 (100) 의 벤딩 부분에서 보다 두꺼울 수도 있다는 것을 주의해야 한다. 이전에 언급된 실시예들의 지지 부재 (116) 와 유사하게, 라운드된 에지부를 구비한 지지층 (108) 은 목표된 컬러 (예를 들어, 흑색, 백색, 등) 로 형성될 수 있다.

[0095] 2개의 별도의 지지층들이 벤딩 허용 부분의 반대되는 단부들에 제공되는 실시예들과 달리, 지지층 (108D) 의 단일 부분이 플렉서블 디스플레이 (100) 의 벤딩 부분에서 베이스층 (106) 을 지지하도록 사용된다. 플렉서블 디스플레이 (100) 의 제조시 비용 절약 및 프로세싱 간략화에 부가하여, 플렉서블 디스플레이 (100) 로부터 별도의 지지 부재 (116) 의 제거는 플렉서블 디스플레이 (100) 의 설계에 관해 다양한 이점들을 제공할 수도 있다. 무엇보다도, 봉지층 (104) 은 벤딩 허용 부분에서 베이스층 (106) 을 지지하기 위해 지지층 (108D) 의 단부를 사용할 때 지지층 (108D) 을 지나 벤딩 허용 부분을 향해 연장할 것 같지 않다. 따라서, 별도의 지지 부재 (116) 상의 지지층 (108) 과 관련하여 봉지층 (104) 의 오정렬로부터 발생할 수도 있는 모든 문제들이 방지될 수 있다.

[0096] 또한, 벤딩 부분에서 베이스층 (106) 을 지지하기 위해 지지층 (108D) 의 단일 부분을 사용하는 것은 벤딩 허용 부분의 엘리먼트들의 별도의 부분들 사이에 정렬 오차 마진들을 제공할 필요성들을 제거한다. 예를 들어, 지지층들이 지지 부재 (116) 의 라운드된 단부 위에 배치되지 않는다는 것을 보장하기 위한 추가 마진들 (예를 들어, 마진 B 및 마진 C) 이 더 이상 필요하지 않다. 벤딩 부분의 설계에서 제거된 추가 마진이 있어도, 보다 좁은 베젤이 플렉서블 디스플레이 (100) 에서 달성가능할 수 있다.

[0097] 지지층 (108D) 은 지지층 (108) 및 지지 부재 (116) 에 적합한 것으로 설명된 임의의 플라스틱 재료들로 형성될 수도 있다. 그러나, 도 6d에 도시된 바와 같이, 지지층 (108D) 에 보다 두꺼운 라운드된 단부를 제공하기 위해, 지지층 (108D) 은 사출 성형 프로세스 또는 벤딩 허용 부분의 베이스층 (106) 의 곡률을 수용하도록 충분히 라운드된 에지를 갖는 지지층 (108) 을 형성할 수 있는 다른 프로세스들에 적합한 재료로 형성되는 것이 바람직하다.

[0098] 다층 도전 라인들

[0099] 몇몇 도전 라인들이 플렉서블 디스플레이 내의 다양한 컴포넌트들 간의 전기적 상호 연결들을 위해 플렉서블 디스플레이 (100) 에 포함된다. 액티브 영역 및 인액티브 영역 내에 제조된 회로들은 플렉서블 디스플레이 (100) 에서 다수의 기능들을 제공하기 위해 하나 이상의 도전 라인들을 통해 다양한 신호들을 송신할 수도 있다. 간략히 설명된 바와 같이, 일부 도전 라인들은 플렉서블 디스플레이 (100) 의 중앙 부분 및 벤딩 부분의 회로들 및/또는 다른 컴포넌트들 간의 상호 연결들을 제공하도록 사용될 수도 있다.

[0100] 본 명세서에 사용된 바와 같이, 용어 도전 라인은 일반적으로 플렉서블 디스플레이 (100) 의 일 지점으로부터 또 다른 지점으로 임의의 타입의 전기적 신호들, 전력 및/또는 전압들을 송신하기 위한 도전성 경로의 트레이스를 지칭한다. 이와 같이, 도전 라인들은 TFT들의 소스 전극/드레인 전극뿐만 아니라 인액티브 영역의 일부 디스플레이 구동 회로들 (예를 들어, 게이트 드라이버, 데이터 드라이버) 로부터 액티브 영역 내의 픽셀 회로들로 신호들을 송신시 사용되는 게이트 배선/데이터 배선들을 포함할 수도 있다. 유사하게, 터치 센서 전극들, 압력 센서 전극들 및/또는 지문 센서 전극들과 같은, 일부 도전 라인들은 플렉서블 디스플레이 (100) 상에서 터치 입력을 센싱하거나 지문을 인식하기 위한 신호들을 제공할 수도 있다. 게다가, 도전 라인들은 플렉서블 디스플레이 (100) 의 중앙 부분의 액티브 영역의 엘리먼트들과 벤딩 부분의 보조 액티브 영역의 엘리먼트들 간의 상호연결을 제공할 수 있다. 상술한 도전 라인들의 기능들은 단지 예시라는 것이 이해될 것이다.

[0101] 플렉서블 디스플레이 (100) 의 도전 라인들은 다양한 전기적 요건들 및 비전기적 요건들을 충족시키기 위해 신중하게 설계되어야 한다. 예를 들어, 도전 라인은 도전 라인을 통해 송신될 신호들의 타입에 따라 가변할 수도 있는, 특정한 최소 전기 저항 레벨을 가질 수도 있다. 일부 도전 라인들은 플렉서블 디스플레이 (100) 의 실질적으로 평탄한 부분으로부터 벤딩 부분으로 라우팅될 수도 있다. 이러한 도전 라인들은 기계적 및 전기적 견고성을 유지하기 위해 충분한 가요성을 나타내야 한다. 이를 위해, 플렉서블 디스플레이 (100) 의 일부 도전 라인들은 다층 구조를 가질 수도 있다.

[0102] 도 7a 및 도 7b는 각각 다층 도전 라인의 예시적인 스택 구조를 예시한다. 도 7a를 참조하면, 도전 라인 (120) 은 주 도전층 (122) 이 보조 도전층들 (124) 사이에 샌드위치된 (sandwiched) 다층 구조를 갖는다. 주 도전층

(122) 은 보조 도전층 (124) 보다 낮은 전기 저항을 갖는 재료로 형성될 수도 있다. 주 도전층 (122) 을 위한 비한정적인 예들은 구리, 알루미늄, 투명 도전성 산화물 또는 다른 플렉서블 도전체들을 포함한다.

[0103] 보조 도전층 (124) 은 주 도전층 (122) 위의 스택에 형성될 때 충분히 낮은 접촉 저항을 나타내는 도전성 재료로 형성되어야 한다. 도전층들 간의 낮은 접촉 저항은 다층 도전 라인 (120) 의 도전층들을 위한 재료들의 선택 시 유일한 팩터는 아니다. 엄격한 전기적 요건들 및 열적 요건들 (예를 들어, 저항, 열 생성, 등) 을 충족하면서, 도전 라인 (120) 의 재료들은 또한 최소 기계적 응력 요건 (예를 들어, 영률 (Young's modulus)) 을 만족해야 한다. 즉, 주 도전층 (122) 및 보조 도전층 (124) 둘 모두는 충분한 가요성을 나타내는 재료들로 형성되어야 한다.

[0104] 따라서, 일부 실시예들에서, 플렉서블 디스플레이 (100) 의 도전 라인들 (120) 중 적어도 일부는 알루미늄 (Al), 티타늄 (Ti), 몰리브덴 (Mo), 구리 (Cu) 층들로부터 선택된 2 이상의 층들로 형성될 수도 있다. 이러한 조합의 예들은, 티타늄층들 사이에 샌드위치된 알루미늄층 (Ti/Al/Ti), 상부 몰리브덴층과 하부 몰리브덴층 사이에 샌드위치된 알루미늄층 (Mo/Al/Mo), 티타늄층들 사이에 샌드위치된 구리층 (Ti/Cu/Ti) 및 상부 몰리브덴층과 하부 몰리브덴층 사이에 샌드위치된 구리층 (Mo/Cu/Mo) 을 포함한다. 물론, 다른 도전성 재료들이 주 도전층/보조 도전층으로 사용될 수 있다.

[0105] 플렉서블 디스플레이 (100) 를 채움하는 전자 디바이스, 예를 들어 웨어러블 전자 디바이스 또는 방수 가능 전자 디바이스는 습한 환경에 플렉서블 디스플레이 (100) 를 노출시킬 수도 있다. 일부 경우들에서, 수분이 도전 라인 (120) 에 도달할 수 있다. 다른 금속들 및 합금들은 상이한 전극 전위들을 갖고, 전해질에서 2 이상의 금속들 또는 합금들이 접촉할 때, 하나의 금속은 애노드로서 기능하고 다른 금속은 캐소드로서 기능한다. 다른 금속들 간의 전기-전위 차는, 다층 도전 라인 (120) 에서 주 도전층 (122) (예를 들어, Ti/Al/Ti 스택에서 Al층) 일 수 있는 갈바닉 커플링에 의해 애노드 부재의 부식을 가속시킨다. 애노드 금속은 전해질에 용해되고, 캐소드 성 금속 상에서 침전물이 수집된다.

[0106] 상술한 다층 도전 라인 (120) 을 사용할 때, 주 도전층 (122) 및 보조 도전층 (124) 둘 모두를 노출시키는 임의의 표면은 갈바닉 부식 개시 지점이 될 수도 있다. 따라서, 플렉서블 디스플레이 (100) 의 일부 실시예들에서, 적어도 일부 도전 라인들 (120) 은 도 7b에 도시된 바와 같이 주 도전층 (122) 의 외측 표면이 보조 도전층 (124) 으로 둘러싸인 구조로 제공된다. 이러한 구성은 주 도전층 (122) 및 보조 도전층 (124) 둘 모두에 전해질이 접촉하는 것을 방해하여, 갈바닉 부식에 의한 주 도전층 (122) 의 손실을 최소화한다.

[0107] 이러한 다층 도전 라인들 (120) 은 보조 도전층 (124) (예를 들어, Ti) 위에 주 도전층 (122) (예를 들어, Al) 을 위한 재료를 먼저 증착함으로써 생성될 수 있다. 여기서, 주 도전층 (122) 아래의 보조 도전층 (124) 은 보다 큰 폭을 가질 수도 있다. 목표된 양의 도전 라인을 형성하기 위해 에칭 내성 재료가 이들 두 층들의 스택 위에 형성되고 에칭된다 (예를 들어, 건식 에칭, 습식 에칭 등). 에칭 내성 재료를 스트립한 후, 보조 도전층 (124) 의 또 다른 층 (즉, Ti) 이 패터닝된 구조체 위에 증착된다 (즉, Ti/Al). 주 도전층 (122) 위에 증착된 보조 도전층 (124) 의 폭은 주 도전층 (122) 의 외측 표면을 커버하기 위해 주 도전층 (122) 의 폭보다 클 수도 있다. 에칭 내성 재료의 또 다른 에칭 및 스트립은 목표된 도전 라인 트레이스 설계의 다층 도전 라인의 스택을 형성하기 위해 수행된다. 상술한 다층 도전 라인 형성 프로세스들은 단지 예라는 것이 이해되어야 한다. 따라서, 일부 프로세스들은 다층 도전 라인 형성시 부가되고/부가되거나 스킵될 수도 있다.

[0108] 브릿지된 도전 라인들

[0109] 플렉서블 디스플레이 (100) 의 제조는 목표된 형상 및 사이즈의 베이스층 (106) 으로 큰 플렉서블 폴리머 시트를 스크라이빙하는 것을 수반할 수 있다. 또한, 베이스층 (106) 의 일부 부분들은 제조 프로세스들에서 불필요해지고, 이러한 부분들은 챔퍼링될 수도 있다. 스크라이빙 라인 및/또는 챔퍼 라인을 가로질러 놓인 베이스층 (106) 상의 일부 도전 라인들은 스크라이빙 프로세스 및/또는 챔퍼링 프로세스 동안 절단될 수 있다. 예를 들어, 플렉서블 디스플레이 (100) 의 제조 동안 구동 회로들, 픽셀들 및/또는 다양한 다른 컴포넌트들을 테스트하거나 일시적으로 동작시키기 위해 사용된 하나 이상의 도전 라인들은 베이스층 (106) 의 스크라이빙 라인 또는 챔퍼 라인에 교차하여 놓일 수도 있다. 이러한 도전 라인들은 본 개시에서 “테스트 라인”으로 지칭될 수도 있다. 일단 테스트들 또는 이들 테스트 라인들의 사용을 수반하는 다른 절차들이 완료되면, 스크라이빙된 영역/챔퍼링된 영역을 그 위에 배치된 테스트 라인들의 일부들과 함께 제거하기 위해 스크라이빙 프로세스 및/또는 챔퍼링 프로세스가 수행될 수 있다.

[0110] 일부 실시예들에서, 하나 이상의 신호들을 수신하기 위한 패드가 도전 라인들의 일 단부에 제공될 수도 있다.

도전 라인의 다른 단부는 픽셀들의 데이터 배선들 및/또는 일부 구동 회로들에 연결될 수도 있다. 테스트 절차들을 수행하기 위해 다양한 신호들이 패드들을 통해 도전 라인에 공급될 수 있고 도전 라인을 통해 목적지로 송신될 수 있다. 이들 테스트 패드들은 베이스층 (106) 상에서 상당한 공간을 취할 수도 있고, 따라서 스크라이빙/챔퍼링될 베이스층 (106) 의 일부 상에 배치될 수 있다.

- [0111] 도 8a는 벤딩 허용 부분이 제공된, 플렉서블 디스플레이 (100) 의 비디스플레이 영역을 예시한다. 도시된 바와 같이, 테스트 라인들 (120_C) 및 테스트 패드들 (120_P) 은 벤딩 허용 부분이 위치한 비 디스플레이 영역에 배치될 수 있다. 특히, 테스트 패드들 (120_P) 은 챔퍼링 프로세스에 의해 노치될 영역 내에 제공될 수 있다.
- [0112] 벤딩 허용 부분을 갖는 비디스플레이 영역은, 특히 외부 인쇄 회로들 (예를 들어, COF 및/또는 PCB) 을 연결하기 위한 연결 인터페이스들이 비디스플레이 영역에 제공될 때, 테스트 패드들 (120_P) 을 수용할만큼 충분한 공간을 갖지 않을 수도 있다. 이러한 경우들에서, 테스트 라인 (120_C) 은 벤딩 허용 부분을 가로질러 라우팅될 수도 있다. 또한, 테스트 라인 (120_C) 은 라우팅 영역 내에 제공된 다른 도전 라인들에 의해 중첩될 수도 있고, 이는 원치 않는 기생 커패시턴스 문제들을 유발할 수 있다.
- [0113] 따라서, 일부 다른 실시예들에서, 테스트 패드들은 인쇄 회로를 연결하기 위한 인터페이스들을 구비한 비디스플레이 영역들이 아닌 비디스플레이 영역에 제공될 수도 있다. 도 8b에 도시된 바와 같이, 테스트 패드들 (120_P) 은, 챔퍼링 프로세스 후에, 플렉서블 디스플레이 (100) 로부터 제거되도록 베이스층 (106) 의 챔퍼 라인 외측에 단순히 배치될 수 있다.
- [0114] 테스트 패드들 (120_P) 이 배치되는 위치와 무관하게, 베이스층 (106) 상에 남아 있는 테스트 라인들 (120_C) 의 부분은 베이스층 (106) 의 에지가 스크라이빙/챔퍼링될 때까지 연장될 것이고, 베이스층 (106) 의 스크라이빙된 에지/챔퍼링된 에지에서 테스트 라인들 (120_C) 의 노출된 표면이 갈바닉 부식에 매우 민감해질 수 있다.
- [0115] 상기 언급된 바와 같이, 일 지점에서의 부식은 도전 라인을 따라 성장할 수 있고 플렉서블 디스플레이 (100) 내에 다양한 결함들을 유발할 수 있다. 부식 성장을 억제하기 위해, 브릿지 구조체 (120_B) 는, 플렉서블 디스플레이 (100) 의 제조 동안 스크라이빙 프로세스 또는 챔퍼링 프로세스에 의해 절단될 도전 라인 (예를 들어, 테스트 라인들 (120_C)) 내에 제공될 수 있다. 보다 구체적으로, 도전 라인 (120_C) 은 적어도 2개의 부분들을 포함할 수 있다. 베이스층 (106) 의 스크라이빙된 에지/챔퍼링된 에지까지 연장된 도전 라인의 일부는 베이스층 (106) 상에 남아 있는 도전 라인의 나머지로 분리된다. 이들 분리된 도전 라인 부분들은, 하나 이상의 절연층(들) 내의 컨택홀들을 통해 도전 라인의 분리된 부분들 각각과 접촉되도록 배열되는, 도전성 브릿지 (120_B) 에 의해 연결된다.
- [0116] 베이스층 (106) 상의 도전 라인의 일부가 스크라이빙 프로세스/챔퍼링 프로세스에 의해 절단되기 전에, 신호들이 도전성 브릿지 (120_B) 를 통해 분리된 도전 라인 부분들 사이에서 송신될 수 있다. 도전 라인의 일부가 스크라이빙 프로세스/챔퍼링 프로세스에 의해 절단된 후에, 스크라이빙된 에지 또는 챔퍼링된 에지에서 개시될 수도 있는 부식은 분리된 도전 라인 부분들 사이의 공간으로 인해 도전 라인을 따라 성장하는 것이 억제된다. 브릿지 (120_B) 가 도전 라인의 분리된 부분들과 접촉하지만, 브릿지 (120_B) 는 도전 라인 (120_C) 과 상이한 층에 위치되고, 이는 부식 성장이 브릿지 (120_B) 를 통과하는 것을 방해한다.
- [0117] 도 9a는 브릿지된 도전 라인들이 구비된 플렉서블 디스플레이 (100) 의 예시적인 실시예의 단면도를 예시한다. 도 9a에 도시된 실시예에서, 분리된 도전 라인 부분들은 베이스층 (106) 상에 제공된 TFT들 중 적어도 일부의 게이트 전극으로서 동일한 금속층에 제공된다. 또한, 브릿지는 TFT들의 소스 전극/드레인 전극과 동일한 금속층에 제공될 수 있다. TFT들의 소스 전극/드레인 전극과 게이트 전극 사이의 ILD층 (interlayer dielectric layer) 은 또한 브릿지 (120_B) 와 분리된 도전 라인 부분들 (120_C) 사이에 제공될 수도 있고, 브릿지 (120_B) 는 ILD 내의 컨택홀들을 통해 도전 라인 부분들 (120_C) 과 접촉할 수 있다.
- [0118] TFT들의 게이트 전극과 반도체층 사이에 제공된 게이트 절연층 (GI) 은 또한 도전 라인의 분리된 부분들 아래에 제공될 수도 있다. 선택가능하게, TFT들의 반도체층 아래의 버퍼층 (126) 및 액티브 버퍼층은 도전 라인 부분들 (120_C) 아래에 제공될 수 있다. TFT들의 소스 전극/드레인 전극 상의 패시베이션층 (128) 은 또한 브릿지 (120_B) 위에 제공될 수 있다. 이하에 더 상세히 설명될 바와 같이, 브릿지 (120_B) 및 도전 라인 부분들 (120_C) 상 또는 아래에 제공된 이들 절연층들은 배선 트레이스들에서 크랙 전파를 억제하도록 패터닝될 수 있다.
- [0119] TFT 영역에 제공된 반도체층뿐만 아니라 일부 절연층들은, 브릿지된 도전 라인이 배치된 영역에 제공될 수도 있다는 것을 주의해야 한다. 이와 같이, 분리된 도전 라인 부분들 (120_C) 및 TFT들의 게이트 전극은 동일한 금속

층에 제공되지만, 서로 동일한 평면 레벨일 필요는 없다. 즉, TFT들의 게이트 전극 및 도전 라인 부분들 (120_C) 은 동일한 금속층의 증착에 의해 형성될 수 있지만, 이들의 평면 레벨은 금속층 아래의 층들의 구조가 상이할 수도 있다. 유사하게, 분리된 도전 라인 부분들 (120_C) 과 TFT들의 소스 전극/드레인 전극을 연결하기 위한 브릿지 (120_B) 는 동일한 금속층에 제공될 수 있지만, 서로 상이한 평면 레벨에 있을 것이다.

[0120] 도 9b는 브릿지된 도전 라인들을 구비한 플렉서블 디스플레이 (100) 의 또 다른 예시적인 실시예를 예시하는 단면도이다. 도 9b에 도시된 실시예에서, 브릿지 (120_B) 는 분리된 도전 라인 부분들 (120_C) 아래에 제공된다. 보다 구체적으로, 브릿지 (120_B) 는 플렉서블 디스플레이 (100) 의 TFT들의 게이트 전극과 동일한 금속층에 제공되고, 도전 라인 부분들 (120_C) 은 TFT의 소스 전극/드레인 전극과 동일한 금속층에 제공된다. 이 경우, 분리된 도전 라인 부분들 (120_C) 각각은 절연층 아래에 위치한 도전 라인 부분들 (120_C) 과 브릿지 (120_B) 사이의 절연층 내의 콘택홀들을 통해 브릿지 (120_B) 와 접촉할 것이다.

[0121] 도 9a 및 도 9b에 도시된 실시예들에서, 내부에 도전 라인 부분들 (120_C) 및 브릿지 (120_B) 가 형성된 금속층들은 코플래너형 TFT의 전극들을 제공하기 위해 사용된 금속층들을 참조하여 설명된다. 그러나, 플렉서블 디스플레이 (100) 는 스테거드형 구조 및/또는 인버티드 스테거드형 구조 (즉, 톱 게이트 스테거드형 TFT들 또는 바텀 게이트 스테거드형 TFT들) 를 갖는 TFT들을 포함할 수 있다. 따라서, 분리된 도전 라인 부분들 (120_C) 및 브릿지 (120_B) 를 구현하기 위한 금속층들은 플렉서블 디스플레이 (100) 내의 TFT들의 스택 구조에 따라 가변할 수도 있다. 또한, ILD 이외의 다양한 절연층들, 예를 들어 게이트 절연층, 패시베이션층, 평탄화층 등은 TFT들의 구조에 기초하여 분리된 도전 라인 부분들 (120_C) 과 브릿지 (120_B) 사이에 제공될 수도 있다.

[0122] 게다가, 도전 라인 부분들 (120_C) 및 브릿지 (120_B) 를 구현하기 위한 층은 플렉서블 디스플레이 (100) 의 TFT들의 게이트 전극 또는 소스 전극/드레인 전극에 사용된 층들로 제한되지 않는다는 것이 이해될 것이다. 도전 라인 부분들 (120_C) 과 브릿지 (120_B) 사이에 적어도 하나의 절연층이 있는 한, 플렉서블 디스플레이 (100) 의 임의의 도전층들은 도전 라인 부분들 (120_C) 및 브릿지 (120_B) 를 제공하도록 사용될 수도 있다. 예를 들어, 도전 라인 부분들 (120_C) 및 브릿지 (120_B) 중 어느 하나는, 플렉서블 디스플레이 (100) 의 TFT들 중 일부로서 사용될 수도 있는, 금속-간 층으로 구현될 수도 있다. 또한, 터치 센서는 플렉서블 디스플레이 (100) 내에 통합될 수도 있고, 터치 센서를 구현하기 위한 도전층은 플렉서블 디스플레이 (100) 에 도전 라인 부분들 (120_C) 및 브릿지 (120_B) 중 어느 하나를 제공하는데 사용될 수 있다. 산화물 TFT들을 사용하는 플렉서블 디스플레이 (100) 의 실시예들에서, TFT의 액티브층을 제공하기 위해 사용된 금속 산화물층은 도전 라인 부분들 (120_C) 또는 브릿지 (120_B) 로서 패터닝될 수 있다. 목표된 도전성을 획득하기 위해 도전 라인 부분들 (120_C) 또는 브릿지 (120_B) 로서 패터닝된 금속 산화물층에 대해 후 처리가 수행될 수 있다.

[0123] 트레이스 설계

[0124] 도전서의 트레이스 설계는 도전 라인의 전기적 특성 및 기계적 특성에 영향을 줄 수 있는, 중요한 팩터이다. 전기적 요건들 및 기계적 요건들을 충족하기 위해, 도전 라인의 일부 부분은 도전 라인의 또 다른 부분과 상이하게 구성될 수도 있다. 이와 같이, 플렉서블 디스플레이 (100) 의 밴딩 허용 부분에서 또는 근방의 도전 라인의 일부는 밴딩 응력 관리를 위한 몇몇 특징들을 구비할 수도 있다.

[0125] 도전 라인 근방의 절연층들의 밴딩 응력 관리는 단지 도전 라인 자체의 스트레인을 관리하는 것만큼 중요하다. 다양한 절연층들, 예를 들어 도전 라인 (120) 위 및/또는 아래에 위치한 버퍼층 (126), 패시베이션층 (128), 게이트 절연층 (GI 층) 및 ILD층 (interlayer dielectric layer) 은 무기 재료들의 층을 포함할 수도 있다. 무기 재료로 형성된 층들, 예를 들어 실리콘 산화물층 및 실리콘 나이트라이드층은 대체로 도전 라인의 금속층들보다 크랙되기 쉽다. 도전 라인들이 크랙 없이 밴딩 응력에 대항하기 충분한 가요성을 가질 때에도, 절연층으로부터 개시된 크랙들 중 일부는 도전 라인들 내로 전파될 수 있고 플렉서블 디스플레이 (100) 에서 불량한 전기적 접촉들의 스팟들을 생성할 수 있다.

[0126] 도전 라인에 대한 밴딩 응력을 감소시키기 위해 트레이스 설계를 적용하는 것에 부가하여, 도전 라인 층 위 및/또는 아래의 절연층들 중 일부는 크랙들의 가능성을 최소화하기 위해 도전 라인의 트레이스 설계에 따라 패터닝될 수도 있다. 다양한 절연층 패터닝 방법들, 예를 들어 습식 에칭 프로세스 및/또는 건식 에칭 프로세스가 도전 라인의 트레이스에 대응하는 절연층의 트레이스를 형성하도록 사용될 수 있다. 절연층의 결여, 특히, 도전 라인의 트레이스 주변의 무기 재료계 절연층은 크랙 생성 가능성을 감소시킬뿐만 아니라, 크랙 전파 경로를 절단한다. 예시의 편의를 위해, 도전 라인 (120) 의 트레이스 및 도전 라인 (120) 의 적어도 일부분을 커버하는 절연층들의 트레이스는 이하의 설명에서 “배선 트레이스”로 집합적으로 지칭된다.

- [0127] 언급된 바와 같이, 도전 라인 및 도전 라인을 커버하는 절연층을 위한 트레이스 설계는 배선 트레이스의 견고성을 증가시키는데 중요한 역할을 한다. 배선 트레이스의 두께 및 폭으로부터 플렉서블 디스플레이 (100)의 벤딩 방향에 대한 배선 트레이스 세그먼트의 팬-아웃 각도 (fan-out angle)까지의 범위의 다양한 파라미터들은 배선 트레이스 설계와 연관된다. 전술한 파라미터들에 부가하여, 도전 라인 (120) 및 절연층 트레이스에 관한 다양한 다른 파라미터들은 플렉서블 디스플레이 (100)의 실시예들 내의 배선 트레이스의 배향 및 배치에 기초하여 특별히 맞춰진다 (tailored).
- [0128] 벤딩 응력으로부터의 배선 트레이스의 스트레인은, 배선 트레이스가 연장하는 방향이 굽혀진 부분의 접선 벡터 (tangent vector of the curvature)와 보다 정렬되기 때문에 보다 클 것이다. 즉, 배선 트레이스는, 굽혀진 부분의 접선 벡터에 평행한 배선 트레이스 세그먼트의 길이가 감소되면, 벤딩 응력에 대해 보다 잘 견딜 것이다. 배선 트레이스가 연장되는 방향과 무관하게, 벤딩 방향으로 측정가능한 배선 트레이스의 부분이 항상 있을 것이다. 그러나, 벤딩 방향에 평행하게 정렬되는 연속적인 측정가능 부분 (즉, 세그먼트) 각각에 대한 길이는 배선 트레이스에 스트레인 감소 트레이스를 채용함으로써 감소될 수 있다.
- [0129] 도 10은 예시적인 스트레인 감소 트레이스 설계들의 일부를 예시한다. 도 10에 예시된 사인파, 구형파, 사형 (serpentine), 톱니형 및 기울어진 선 트레이스 설계들 중 임의의 하나 이상이 플렉서블 디스플레이 (100)의 배선 트레이스들에 사용될 수 있다. 이러한 스트레인 감소 트레이스 설계를 채용하는 것은 굽혀진 부분의 접선 벡터에 대해 기울어진 배향으로 배열된 배선 트레이스의 부분을 증가시킨다. 이는 결국, 벤딩 방향에 평행하게 직선으로 연장하는 배선 트레이스 세그먼트의 길이를 제한한다.
- [0130] 플렉서블 디스플레이의 벤딩에 의해 배선 트레이스의 크랙들이 대체로 무기 절연층에서 개시되기 때문에, 굽혀진 부분의 접선 벡터와 정렬되는 절연층 트레이스의 길이는 최소화된다는 것이 또한 중요하다. 단일 선 스트레인 감소 설계들에서, 도전 라인 트레이스의 폭 및 형상뿐만 아니라 도전 라인 트레이스의 표면과 인터페이싱하는 패터닝된 무기 절연층들의 폭이 최소로 유지되어야 한다.
- [0131] 도 10에 예시된 스트레인 감소 트레이스 설계들은 단지 예시이고, 벤딩 방향에 평행한 배선 트레이스 세그먼트의 길이를 감소시키기 위한 다른 트레이스 설계들이 플렉서블 디스플레이 (100)의 다양한 실시예들에서 사용될 수도 있다. 또한, 일부 배선 트레이스들은 전기적 요건 및/또는 기계적 요건에 따라 플렉서블 디스플레이 (100)의 다른 배선 트레이스들과 상이한 스트레인 감소 트레이스 설계를 채택할 수도 있다는 것을 주의해야 한다. 예를 들어, 데이터 신호 라인에 사용된 스트레인 감소 트레이스는 전력선에 사용된 스트레인 감소 트레이스 설계와 상이할 수도 있다.
- [0132] 견고성을 더 개선하기 위해, 배선 트레이스는, 배선 트레이스가 일정한 간격으로 반복적으로 분할하고 수렴하는 트레이스 설계를 채용할 수도 있다. 즉, 배선 트레이스는 일련의 연결된 링크들을 갖는 체인을 닮은 트레이스 설계를 형성하도록 배열된 적어도 2개의 서브-트레이스들을 포함한다. 분할 및 병합 각도들은 링크 각각의 형상을 정의하고, 이는 벤딩 방향에 평행한 직선에서 측정가능한 배선 트레이스 세그먼트의 길이를 제한하게 한다.
- [0133] 도 11a를 참조하면, 도전 라인 (120)은 조인트 X 각각에서 서로 분할되고 다시 병합되는 서브-트레이스 및 서브-트레이스 B를 포함한다. 제 1 조인트 X(1)와 제 2 조인트 X(2) 사이에서, 서브-트레이스 A의 일부는 굽혀진 부분의 접선 벡터로부터 제 1 방향으로 기울어진 미리 결정된 거리로 연장되고, 서브-트레이스 A의 또 다른 부분은 제 2 방향으로 연장된다. 서브-트레이스 B는 서브-트레이스 A와 유사한 방식으로 배열되지만, 굽혀진 부분의 접선 벡터에 대해 미러링된 배향이다. 서브-트레이스들이 2개의 인접한 조인트들 사이에 배열되는 거리들 및 방향들은 체인의 링크의 형상 및 사이즈뿐만 아니라 서브-트레이스들에 의해 둘러싸인 개방 영역을 정의한다. 이 예에서, 조인트 X(1)와 조인트 X(2) 사이의 도전 라인 (120) (즉, 링크)의 형상은 서브-트레이스 및 서브-트레이스 B에 의해 둘러싸인 개방 영역으로 다이아몬드 형상을 갖는다. 부가적인 조인트들 X를 사용하여, 도전 라인 (120)은 다이아몬드 형상의 링크들의 체인을 형성하고, 따라서 트레이스 설계는 다이아몬드 트레이스 설계로 지칭될 수도 있다.
- [0134] 도 10에 도시된 비분할 스트레인 감소 트레이스 설계들과 비교하여, 도 11a에 도시된 스트레인-감소 트레이스 설계는 전기적 특성의 면에서 상당한 장점들을 제공할 수 있다. 예를 들어, 분할/병합 트레이스 설계를 구비한 배선 트레이스는 도 10의 마운틴 트레이스 설계, 사인파 트레이스 설계들 또는 다른 단일 선 스트레인 감소 트레이스 설계들을 채용하는 배선 트레이스들보다 훨씬 보다 낮은 전기적 저항을 제공할 수 있다. 부가적으로, 서브-트레이스들은, 서브-트레이스들 중 하나가 크랙들에 의해 손상을 받거나 절단되는 경우 백업 전기 통로로서 역할을 할 수 있다.

- [0135] 도전 라인 (120) 의 표면들을 커버하는 절연층들은 또한 도전 라인 (120) 의 트레이스 설계에 대응하는 트레이스 설계로 패터닝된다. 이와 같이, 서브-트레이스 A와 서브-트레이스 B에 의해 둘러싸인 개방 영역은 무기 절연층(들)이거나, 도전 라인 (120) 의 위 및/또는 아래의 영역들보다 얇은 무기 절연층(들)을 갖는다. 이와 같이, 벤딩 방향에 평행한 직선에서 측정가능한 절연층 트레이스의 길이는 크랙 개시 및 전파 가능성을 감소시키도록 제한될 수 있다.
- [0136] 다양한 부가적인 팩터들이 복수의 서브-트레이스들에 기초하여 스트레인 감소 트레이스 설계들을 위해 반드시 고려되어야 한다. 2개의 인접한 조인트들 X 사이의 서브-트레이스들 각각의 분할/병합 각도들 및 길이는 서브-트레이스가 2개의 인접한 조인트들 X 사이의 방향을 변화시키는 외측 코너부들에서 그리고 조인트들 X에서 무기 절연층에 대한 오프셋을 제공해야 한다. 또 다른 방식으로, 배선 트레이스의 2개의 조인트들 X 사이에서 분할된 서브-트레이스들에 의해 둘러싸인 개방 영역은, 배선 트레이스의 무기 절연층 트레이스가 벤딩 방향에 평행하게 연장하는 길이를 최소화하는 사이즈 및 형상을 가져야 한다.
- [0137] 도 11a에 도시된 다이아몬드 트레이스 설계에서, 도전 라인 (120) 의 트레이스를 커버하는 버퍼층 (126) 및 패시베이션층 (128) 은 도전 라인 (120) 의 외측 트레이스 (즉, 외측 에지) 로부터 미리 결정된 마진으로 패터닝된다. 도전 라인 (120) 을 커버하기 위해 남아 있는 미리 결정된 마진을 갖는 절연층들 대신, FA2로 표기된, 서브-트레이스 및 서브-트레이스 B에 의해 둘러싸인 개방 영역은 절연층들이 없다. 이와 같이, 절연층들의 트레이스는 도전 라인 (120) 의 트레이스 설계에 따라 형성된다. 벤딩 방향으로부터 직교 방향으로 측정된 절연층들이 없는 개방 영역의 길이는 동일한 방향에서 측정된 조인트 X에서 무기 절연층 트레이스의 폭보다 크다. 이 설정에서, 서브-트레이스 및 서브-트레이스 B에 의해 둘러싸인 개방 영역 FA2뿐만 아니라 조인트 X 옆의 영역은 무기 절연층들이 없을 수 있거나, 그렇지 않으면 감소된 수의 무기 절연층들을 구비할 수 있다.
- [0138] 도 11a를 참조하면, 절연층 프리 영역 FA1은 2개의 조인트들 X(1) 및 X(2) 사이의 서브-트레이스 A와 서브-트레이스 B의 절연층이 연속하는 직선으로 연장되는 것을 금지한다. 유사하게, 절연층 프리 영역 FA2는 2개의 조인트들 X(1) 및 X(2) 사이의 절연층이 연속하는 직선으로 연장되는 것을 금지한다. 따라서, 굽혀진 부분의 접선 벡터에 대해 정렬되는 절연층 트레이스의 세그먼트 각각의 길이는 최소화된다.
- [0139] 굽혀진 부분의 접선 벡터에 대한 절연층 트레이스의 길이의 추가 감소는 도전 라인 (120) 의 폭 및 도전 라인 (120) 의 에지를 넘는 절연층의 마진을 감소시킴으로써 획득될 수 있다. 도전 라인 폭의 감소가 플렉서블 디스플레이 (100) 에서의 특정한 용도를 위해 전기 저항을 너무 높게 하기 때문에, 도전 라인 (120) 의 폭의 감소량은 도 10에 도시된 단일 선 스트레인 감소 트레이스 설계들로 제한된다는 것을 주의해야 한다. 그러나, 도 11a의 분할/병합 트레이스 설계를 사용하여, 도전 라인 (120) 및 절연층의 폭은 충분한 전기적 특성을 제공하면서 감소될 수 있다.
- [0140] 벤딩 방향에 대한 서브-트레이스들의 보다 큰 분할/병합 각도는 도전 라인 (120) 의 길이들이 감소되게 하고, 절연층 트레이스가 보다 큰 정도로 굽혀진 부분의 접선 벡터를 따라 연장하게 한다. 따라서, 고 벤딩 응력 영역들에서 서브-트레이스들의 분할/병합 각도를 선택적으로 증가시킴으로써 크랙 개시의 보다 낮은 가능성이 배선 트레이스에 제공될 수도 있다.
- [0141] 서브-트레이스들의 분할 각도는 다이아몬드 트레이스 설계에서 2개의 인접한 조인트들 X 사이의 거리에 영향을 줄 수 있다. 조인트들 X 사이의 거리는 전체 배선 트레이스에 걸쳐 균일할 필요는 없다. 트레이스가 분할하고 병합하는 간격들은 배선 트레이스의 부분들에 가해진 벤딩 응력의 레벨에 기초하여 배선의 단일 트레이스 내에서 가변할 수 있다. 조인트들 X 간의 거리는 보다 큰 벤딩 응력을 받는 플렉서블 디스플레이 (100) 의 영역 (예를 들어, 보다 작은 벤딩 반경을 갖는 영역, 보다 큰 벤딩 각도를 갖는 영역) 을 향해 배선 트레이스의 부분들에 대해 계속해서 단축될 수도 있다. 반대로, 조인트들 X 간의 거리들은 보다 낮은 벤딩 응력을 받는 영역을 향해 계속해서 확대될 수 있다.
- [0142] 스트레인 감소 트레이스 설계를 사용하여도, 불가피한 벤딩 응력은 트레이스의 특정한 지점들 (즉, 응력 지점) 에서 유지된다. 응력 지점의 위치는 트레이스의 형상뿐만 아니라 벤딩 방향에 매우 의존적이다. 주어진 벤딩 방향에 대해, 배선 트레이스는, 남아 있는 벤딩 응력이 배선 트레이스의 목표된 부분들에 집중되도록 설계될 수 있다는 것을 따른다. 배선 트레이스에서 응력 지점의 위치를 알아서, 배선 트레이스가 벤딩 응력에 대해 보다 오래 지속되게 하는 응력 지점에 크랙 내성 영역이 제공될 수 있다.
- [0143] 도 11a를 다시 참조하면, 다이아몬드 트레이스 설계를 갖는 배선 트레이스가 벤딩 방향으로 벤딩될 때, 벤딩 응력은 응력 기점 및 응력 지점 B로 표기된, 기울어진 코너부들 (즉, 다이아몬드 형상의 링크 각각의 꼭지점) 에

포커싱되는 경향이 있다. 이와 같이, 크랙들은 배선 트레이스의 내측 에지와 외측 에지 사이에서 개시되고 성장하는 경향이 있다. 예를 들어, 응력 지점들 A에서, 크랙은 내측 트레이스 라인 120(IN) 으로부터 개시되고 외측 트레이스 라인 120(OUT) 을 향해 성장할 수도 있다. 유사하게, 응력 지점들 B에서 크랙은 외측 배선 트레이스 라인 120(OUT) 으로부터 개시되고 내측 트레이스 라인 120(IN) 을 향해 성장할 수도 있다.

[0144] 따라서, 응력 지점들 A에서 도전 라인 (120) 의 폭은 크랙 내성 영역으로서 역할을 하도록 선택적으로 증가할 수 있다. 도 11a에 도시된 바와 같이, 벤딩 방향에 수직인 방향에서 측정된, 응력 지점들 및 B에서 도전 라인 (120) 의 폭들 (WA, WB) 은 응력 지점들 A와 B 사이의 부분들에서 도전 라인 (120) 의 폭 (W) 보다 길 수도 있다. 응력 지점들에서 추가 폭은, 도전 라인 (120) 에서의 완전한 단절이 응력 지점들에서 크랙의 성장에 의해 발생하기 전에 도전 라인 (120) 이 보다 길게 홀딩되게 할 수 있다.

[0145] 벤딩 방향으로 정렬될 절연층 트레이스의 연속하는 부분에 대한 길이는 최소로 유지되어야 한다는 것을 유념해야 한다. 응력 지점들 A 및 B에서 도전 라인 (120) 의 폭을 증가시키는 것은 각각의 영역에서 절연층 트레이스의 폭의 증가가 필요하게 할 수도 있고, 이는 벤딩 방향에 평행하게 배열될 절연층 트레이스가 길어지게 한다.

[0146] 따라서, 일부 실시예들에서, 응력 지점들 A에서 굽혀진 부분의 접선 벡터에 수직인 방향에서 측정된 도전 라인 (120) 의 폭은 약 2.5 μm 내지 약 8 μm , 보다 바람직하게, 약 3.5 μm 내지 약 6 μm , 보다 바람직하게 약 4.5 μm 내지 약 8.5 μm , 그리고 보다 바람직하게 약 4.0 μm 의 범위이다. 응력 지점들 B에서 도전 라인 (120) 의 폭은 또한 응력 지점들 A에서의 도전 라인 (120) 의 폭과 유사한 방식으로 유지되어야 한다. 이와 같이, 응력 지점들 B에서 도전 라인 (120) 의 폭은 약 2.5 μm 내지 약 8 μm , 보다 바람직하게, 약 3.5 μm 내지 약 6 μm , 보다 바람직하게 약 4.5 μm 내지 약 8.5 μm , 그리고 보다 바람직하게 약 4.0 μm 의 범위일 수도 있다. 서브-트레이스 및 서브-트레이스 B는 응력 지점 B에서 병합하기 때문에, 응력 지점들 B에서 도전 라인 (120) 의 폭은 응력 지점들 A에서의 폭보다 길 수도 있다.

[0147] 일부 실시예들에서, 내측 트레이스 라인 120(IN) 및 외측 트레이스 라인 120(OUT) 중 하나는 양측으로부터 개시하는 크랙 가능성을 최소화하도록 응력 지점들 A에서 다른 트레이스 라인만큼 급격하게 기울어지지 않을 수도 있다. 도 11a에 도시된 실시예에서, 내측 트레이스 라인 120(IN) 은 응력 지점들 A에서 외측 트레이스 라인 120(OUT) 보다 급격하게 기울어진다. 그러나, 일부 다른 실시예들에서, 외측 트레이스 라인 120(OUT) 은 응력 지점들 A에서 내측 트레이스 라인 120(IN) 보다 급격하게 기울어질 수도 있다. 두 경우들에서, 보다 덜 급격하게 기울어진 트레이스 라인은 도 11a에 도시된 외측 트레이스 라인 120(OUT) 과 같이 직선이라기보다는 단순히 보다 더 라운드될 수 있다. 또한, 응력 지점들 A에서 내측 트레이스 라인 120(IN) 및 외측 트레이스 라인 120(OUT) 둘 모두가 라운드될 수 있다.

[0148] 배선 트레이스는 부가적인 수의 서브-트레이스들로 분할될 수도 있고, 그리드-형 구성으로 배열된 일련의 링크들을 발생시킨다. 예로서, 배선 트레이스는 도 11b에 예시된 바와 같이 다이아몬드 트레이스 형상들의 그물과 같이 구성될 수 있다. 이러한 트레이스 설계는 매우 낮은 전기 저항을 요구하는 배선 트레이스 또는 복수의 지점들로 공통 신호를 송신하는 배선 트레이스에 특히 유용하다. 예를 들어, 플렉서블 디스플레이 (100) 의 VSS 라인 및 VDD 라인은, 특히, 이 선들이 벤딩 허용 부분 위에 교차하여 배열된다면, 그리드형 트레이스 설계를 가질 수도 있다. 그리드형 트레이스 설계의 서브-트레이스들의 수 또는 서브-트레이스들의 형상들 어느 것도 도 11b에 도시된 예시적인 설계로 특별히 제한되지 않는다.

[0149] 일부 실시예들에서, 그리드 폭은 플렉서블 디스플레이 (100) 내의 2개의 단부들 사이에서 증가되거나 감소될 수 있다. 또한, 도 11b에 도시된 그리드형 배선 트레이스는 도 11a에 도시된 다이아몬드 트레이스를 형성하거나 도 10에 도시된 비분할 스트레인 감소 트레이스 설계를 형성하도록 다시 수렴할 수 있다. 일부 경우들에서, 그리드형 배선 트레이스의 다이아몬드 형상 트레이스 각각의 사이즈는 저항을 감소시키기 위해 다이아몬드 체인 트레이스의 다이아몬드 형상 트레이스 각각의 사이즈보다 클 수도 있다.

[0150] 배선 트레이스 배열

[0151] 벤딩 방향으로부터 이격되어 기울어진 부분들로 인해, 스트레인 감소 트레이스 설계를 갖는 배선 트레이스는 플렉서블 디스플레이 (100) 내에 보다 큰 라우팅 영역을 필요로 할 수도 있다. 플렉서블 디스플레이 (100) 의 에지에서 비디스플레이 영역이 벤딩된 실시예들에서, 배선 트레이스들을 수용하기 위한 라우팅 영역의 증가는 마스킹 아래에 감춰질 인액티브 영역의 사이즈를 실제로 증가시킬 수 있다.

[0152] 따라서, 스트레인 감소 트레이스 설계를 구비한 배선 트레이스들은 인접한 배선 트레이스들 사이에 타이트한 간격을 용이하게 하도록 배열될 수 있다. 예를 들어, 스트레인 감소 트레이스 설계를 갖는 2개의 인접한 배선 트

레이스는 각각 볼록한 측 및 오목한 측을 가질 수도 있는, 비선형 부분을 포함할 수도 있다. 제 1 배선 트레이스의 비선형 부분의 볼록한 측이 제 2 배선 트레이스의 비선형 부분의 오목한 측 옆에 위치되도록 2개의 인접한 배선 트레이스들이 플렉서블 디스플레이에 배열될 수 있다. 2개의 인접한 배선 트레이스들 간의 간격은 배선 트레이스들의 형상 및 사이즈로 제한되기 때문에, 제 1 배선 트레이스의 스트레인 제한 트레이스 설계의 비선형 부분은 제 2 배선 트레이스의 스트레인 감소 트레이스 설계의 비선형 부분보다 클 수도 있다. 물론, 제 1 배선 트레이스 및 제 2 배선 트레이스 중 하나는 다른 배선 트레이스의 비선형 부분을 보다 잘 수용하도록 상이한 스트레인 제한 트레이스 설계를 가질 수도 있다.

[0153] 일부 예들에서, 서로 간에 배열된 2 이상의 배선 트레이스들은 각각 스트레인 감소 트레이스 설계가 적용될 수도 있고, 배선 트레이스들 각각은 복수의 인텐티드 부분들 및 디스텐디드 부분들을 가질 수도 있다. 이러한 경우들에서, 배선 트레이스들은 배선 트레이스들 중 하나의 디스텐디드 부분이 인접한 배선 트레이스의 인텐티드 부분들 옆에 위치되도록 배열될 수 있다.

[0154] 도 12는 각각 상술한 다이아몬드 트레이스 설계를 갖는 복수의 배선 트레이스들의 예시적인 배열을 예시한다. 서브-트레이스들의 분할은 디스텐디드 부분을 생성하도록 배선 트레이스의 레이아웃을 확대하지만, 서브-트레이스들의 병합은 인텐티드 부분을 생성하도록 배선 트레이스의 레이아웃을 축소한다. 따라서, 레이아웃의 관점에서, 배선 트레이스의 인텐티드 부분은 조인트 X에 있고, 배선 트레이스의 디스텐디드 부분은 2개의 인접한 조인트들 X 사이에서 서브-트레이스들의 분할 각도/병합 각도가 변화하는 지점에 있다.

[0155] 도 12에 도시된 바와 같이, 제 1 배선 트레이스에서 조인트들 X 및 제 2 배선 트레이스의 조인트들 X의 위치들은 스테거드된 구성으로 배열된다. 이 배열에서, 제 1 배선 트레이스에서 디스텐디드 부분에서 다이아몬드 형상 링크의 꼭짓점들은 인접한 배선 트레이스들의 인텐티드 부분들 옆에 위치된다. 배선 트레이스들의 이러한 스테거드된 배열은 배선 트레이스들 간의 인접도로 인해 전기적 노이즈들을 낮추는 것을 용이하게 할 수도 있고, 따라서 배선 트레이스들 간의 거리가 감소될 수 있다. 심지어 배선 트레이스들 간의 간격은 배선 트레이스의 디스텐디드 부분을 인접한 배선 트레이스의 인텐티드 부분에 보다 가깝게 위치되게 배열함으로써 더 타이트해질 수 있다. 예를 들어, 일 배선 트레이스의 넓은 부분들에서의 꼭짓점들은 인접한 배선 트레이스의 서브-트레이스의 분할 각도/병합 각도 및 길이에 의해 생성된 개방 영역 FA1 내에 위치될 수 있다. 이와 같이, 스테거드된 배열은 배선 트레이스들에 의해 점유된 공간을 감소시키는 동시에 배선 트레이스들 사이에서 특정한 최소 거리를 유지하게 한다.

[0156] 패터닝된 절연층

[0157] 언급된 바와 같이, 크랙들은 무기 절연층들로부터 주로 시작된다는 것을 주의해야 한다. 따라서, 크랙들의 전파는 크랙되기 쉬운 영역들에서 무기 절연층들을 선택적으로 제거함으로써 억제될 수 있다. 크랙 전파 억제를 달성하기 위해, 하나 이상의 무기 절연층들 및/또는 무기 재료층을 포함하는 절연층들의 스택은 플렉서블 디스플레이 (100) 의 다양한 부분들에서 선택적으로 에칭될 수 있다.

[0158] 예를 들어, 도전 라인 (120) 아래의 절연층은 에칭될 수 있다. 도전 라인 (120) 아래의 절연층은, 무기 재료층들 중 하나 이상의 층들을 포함할 수도 있는, 버퍼층 (126) 일 수도 있다. 버퍼층 (126)은 SiNx 층 및 SiO₂ 층의 하나 이상의 층들로 형성될 수도 있다. 하나의 적합한 구성에서, 버퍼층 (126)은 SiNx 층 및 SiO₂ 층의 교번하는 스택들로 형성될 수도 있다. 버퍼층 (126)은 베이스층 (106) 위, 그러나 TFT 아래에 배치된다.

[0159] 플렉서블 디스플레이 (100)의 보다 용이한 벤딩을 가능하게 하도록, 버퍼층 (126)의 일부는 플렉서블 디스플레이 (100)의 벤딩 부분에서 에칭될 수도 있다. 따라서, 베이스층 (106)의 실질적으로 평탄한 부분 상에 형성된 버퍼층 (126)은 베이스층 (106)의 벤딩 부분 위의 버퍼층 (126)보다 두꺼울 수도 있다. 버퍼층 (126)이 복수의 서브층들의 스택에 형성될 때, 플렉서블 디스플레이 (100)의 실질적으로 평탄한 부분의 버퍼층 (126)은 플렉서블 디스플레이 (100)의 벤딩 부분의 버퍼층 대신 하나 이상의 부가적인 서브층들을 포함할 수도 있다.

[0160] 예를 들어, 실질적으로 평탄한 부분의 버퍼층 (126)은 SiNx 층 및 SiO₂ 층의 복수의 스택들을 포함할 수도 있고, 벤딩 부분의 버퍼층 (126)은 SiNx 층 및 SiO₂ 층의 단일 스택을 포함한다. 벤딩 부분의 일부분에 SiNx 층 또는 SiO₂ 층의 단일 층만을 갖는 것도 가능하다. 하나의 적합한 구성에서, 버퍼층 (126)의 SiNx 층 및 SiO₂ 층 각각은 약 1000 Å의 두께를 가질 수도 있다. 이와 같이, 플렉서블 디스플레이의 벤딩 부분의 버퍼층 (126)의 두께는 약 100 Å 내지 약 2000 Å의 범위일 수도 있다.

- [0161] 플렉서블 디스플레이 (100) 의 실질적으로 평탄한 부분에서, 부가적인 무기층은 액티브 버퍼층으로 지칭될 수도 있는 TFT의 반도체층 바로 아래에 제공될 수도 있다. 일부 실시예들에서, TFT의 액티브층 아래에 가장 근접하게 위치한 무기층은 버퍼층 (126) 의 개별 무기층들보다 훨씬 보다 두꺼울 수도 있다.
- [0162] 밴딩 허용 부분의 버퍼층 (126) 은, 도전 라인 (120) 아래에 버퍼층 (126) 을 손대지 않고 남기면서, 베이스층 (106) 을 노출시키기 위해 더 에칭될 수도 있다. 즉, 리세스된 영역 및 돌출된 영역이 플렉서블 디스플레이 (100) 의 밴딩 부분에 제공된다. 돌출된 영역은 베이스층 (106) 상에 제공된 버퍼층 (126) 을 포함하는 한편, 리세스된 영역은 그 위에 버퍼층 (126) 을 갖지 않는 노출된 베이스층 (106) 을 갖는다.
- [0163] 도 13a에 도시된 일 예시적인 구성에서, 도전 라인 (120) 은 돌출된 영역 상에 위치되고, 패시베이션층 (128) 은 돌출된 영역 상의 도전 라인 (120) 위에 위치된다. 패시베이션층 (128) 은 리세스된 영역 위에 일시적으로 증착될 수도 있지만, 패시베이션층 (128) 은 건식 에칭 또는 습식 에칭 프로세스에 의해 리세스된 영역으로부터 제거된다. 이와 같이, 리세스된 영역에는 패시베이션층 (128) 이 실질적으로 없을 수도 있다. 리세스된 영역으로부터 패시베이션층 (128) 을 에칭할 때, 베이스층 (106) 의 일부가 또한 에칭될 수 있다. 따라서, 리세스된 영역에서 베이스층 (106) 의 두께는 플렉서블 디스플레이 (100) 의 다른 위치에서 베이스층 (106) 의 두께보다 작을 수 있다. 도 13a에 도시된 바와 같이 버퍼층 (126) 이 에칭될 때, 버퍼층 (126) 의 일 부분으로부터 버퍼층 (126) 의 다른 부분으로의 크랙의 전파는 리세스된 영역의 공간에 의해 저해될 수 있다. 유사하게, 패시베이션층 (128) 에 의한 크랙들의 전파는 또한 리세스된 영역의 공간에 의해 방해된다. 따라서, 크랙들의 전파에 의한 도전 라인 (120) 의 손상이 감소될 수 있다.
- [0164] 도 13b에 도시된 또 다른 적합한 구성에서, 리세스된 영역은 특정한 깊이로 에칭된 베이스층 (106) 을 포함하고, 도전 라인 (120) 은 리세스된 영역의 베이스층 (106) 상에 증착된다. 이러한 구성에서, 도전 라인 (120) 의 일부는 베이스층 (106) 내에 배치된다. 도전 라인 (120) 의 일부 부분은 또한 돌출된 영역을 제공하는 버퍼층 (126) 의 일부 상에 증착된다. 패시베이션층 (128) 은 도전 라인 (120) 위에 증착될 수 있고, 이어서 리세스된 영역의 도전 라인 (120) 을 노출시키도록 리세스된 영역으로부터 에칭된다.
- [0165] 따라서, 패시베이션층 (128) 은 돌출된 영역 상에 위치한 도전 라인 (120) 상에 남아 있게 된다. 이 구성에서, 버퍼층 (126) 상에 남아 있는 패시베이션층 (128) 은 다층 도전 라인 (120) 의 단면 측면들을 덮기 때문에 갈바닉 부식을 억제할 수 있다. 버퍼층 (126) 으로부터 생성된 크랙들은, 버퍼층 (126) 의 얇은 공간의 벽 상의 도전 라인 (120) 을 관통할 수도 있으나, 베이스층 (106) 내에 위치한 도전 라인 (120) 의 부분에까지 도달하는 것은 어려운 것이다.
- [0166] 도전 라인 (120) 이 상기 논의된 다층 구조를 가질 때, 리세스된 영역의 도전 라인 (120) 의 부분은 패시베이션층 (128) 으로 커버될 필요가 없다. 리세스된 영역의 도전 라인 (120) 의 표면으로부터 패시베이션층 (128) 을 제거하여, 패시베이션층 (128) 으로부터의 크랙 전파가 또한 방지될 수 있다. 또한, 갈바닉 부식은 일반적으로 버퍼층 상의 도전 라인 (120) 의 에지로부터 시작되고, 따라서 버퍼층 (126) 상의 도전 라인 (120) 의 에지를 덮는 패시베이션층 (128) 은, 버퍼층 (126) 상의 도전 라인 (120) 과 베이스층 (106) 내의 도전 라인 (120) 사이의 거리가 서로 충분히 이격된다면 필요하지 않을 수도 있다. 도 13a 및 도 13b에 도시된 구성들은 도 10, 도 11a 및 도 11b의 스트레인 감소 트레이스 패턴들을 갖는 밴딩 허용 부분의 배선 트레이스들에 사용될 수도 있다. 밴딩 허용 부분에 부가하여, 일부 실시예들에서, 패턴화된 절연층은 또한 액티브 영역과 밴딩 허용 부분 사이의 라우팅 영역뿐만 아니라 COF 본딩 영역과 밴딩 허용 부분 사이의 라우팅 영역에 제공될 수도 있다.
- [0167] 또한, 상술한 패턴화된 절연층은 액티브 영역 내에 제공될 수 있다. 그러나, 플렉서블 디스플레이 (100) 의 TFT들 근방의 무기 절연층들의 제거는 플렉서블 디스플레이 (100) 의 컴포넌트들의 전기적 특성에 영향을 줄 수도 있다. 예를 들어, TFT들의 원치 않는 문턱값 전압 시프트가 버퍼층 (126) 의 일부 부분이 제거될 때 발생할 수도 있다. TFT들의 안정성을 유지하기 위해, 부가적인 절당 금속층이 TFT들의 반도체층 아래에 형성될 수 있다. 절당 금속층은 버퍼층 (126) 아래에 있을 수도 있고 또는 버퍼층 (126) 의 무기층들 사이에 개재될 수도 있다. 일부 실시예들에서, 절당 금속층은 TFT들의 소스 전극 또는 게이트 전극에 전기적으로 연결될 수도 있다.
- [0168] 플렉서블 디스플레이 (100) 의 다양한 부분들의 절연층들의 패턴화에 부가하여, 다른 구조적 엘리먼트들은 밴딩을 용이하게 하도록 플렉서블 디스플레이 (100) 의 일부 영역들에서 단순화되거나 제거될 수 있다. 예를 들어, 터치 센서층 (112), 편광층 (110) 등은 플렉서블 디스플레이 (100) 의 밴딩 영역에 없을 수도 있다. 이들 컴포넌트들 및 층들의 부재 또는 단순화는 배선 트레이스가 교차해야 할 수도 있는 고르지 않은 표면들을 생성하게 된다.

- [0169] 이러한 고르지 않은 표면 상에 배선 트레이스가 배치될 때, 배선 트레이스의 일부 부분들은 배선 트레이스의 또 다른 부분들로부터의 상이한 평면 레벨에 위치될 수도 있다. 부분들이 서로 상이한 평면 레벨들 상에 있기 때문에, 벤딩 응력 및 벤딩 응력으로부터 발생하는 스트레인의 양 및 방향은 배선 트레이스의 부분들 사이에서도 상이할 수 있다. 이러한 차이를 수용하기 위해, 배선 트레이스들을 위한 스트레인 감소 트레이스 설계는 고르지 않은 표면들 상의 배선 트레이스의 일부에 대해 수정된 트레이스 설계를 포함할 수 있다.
- [0170] 도 14a는 보다 신뢰성 있는 벤딩을 용이하게 하도록 몇몇 절연층들이 벤딩 부분으로부터 제거되는, 플렉서블 디스플레이 (100) 를 위한 예시적인 백플레인 구성을 도시하는 확대된 단면도이다.
- [0171] 몇몇 유기층들 및 무기층들은 베이스층 (106) 과 OLED 소자 층 (102) 사이에 형성될 수도 있다. 이 특정한 예에서, SiNx 층 및 SiO₂ 층의 교번하는 스택들은 버퍼층 (126) 으로서 기능하도록 베이스층 (106) 상에 배치될 수 있다. TFT의 반도체층은 액티브 버퍼층과 SiO₂ 층으로 형성된 게이트 절연층에 샌드위치될 수도 있다. TFT의 게이트는 ILD (interlayer dielectric layer) 상에 배치되고, 상기 논의된 바와 같이 다층 구조를 갖는 TFT의 소스/드레인 ILD와 패시베이션층 사이에 샌드위치된다. 여기서, ILD는 SiNx 및 SiO₂의 스택으로 형성될 수도 있고, 패시베이션층은 SiNx로 형성된다. 이어서, 패시베이션층 위에 평탄화층이 배치되고, OLED를 위한 애노드가 패시베이션층 위에 배치될 수 있다.
- [0172] 상기 언급된 바와 같이, 스트레인 감소 트레이스 설계의 사용은 벤딩 부분 내의 배선 트레이스들의 일부로만 제한되지 않는다. 또한, 스트레인 감소 트레이스 설계는 벤딩 허용 부분 외측의 라우팅 영역들의 배선 트레이스들의 일부에 적용될 수 있다. 이러한 라우팅 영역 내에서 배선 트레이스를 위해 스트레인 감소 트레이스 설계를 사용하는 것은 배선 트레이스로 벤딩 응력에 대하여 증가된 보호를 제공할 수 있다.
- [0173] 그러나, 라우팅 영역에서, 베이스층 (106) 과 OLED 소자 층 (102) 사이의 유기 재료층 및/또는 무기 재료층들의 몇몇 층들은 플렉서블 디스플레이 (100) 의 벤딩을 용이하게 하도록 존재하지 않을 수도 있다. 이러한 유기층 및/또는 무기층들, 예를 들어, 이로 제한되는 것은 아니지만, ILD, 게이트 절연층, 버퍼층, 패시베이션층, 평탄화층, 등은 플렉서블 디스플레이 (100) 의 벤딩 부분에 존재하지 않을 수도 있다. 이들 층들 중 일부는 몇몇 에칭 프로세스들에 의해 영역으로부터 제거되었을 수도 있다.
- [0174] 예로서, 버퍼층 (126) 상의 몇몇 절연층들은 제 1 에칭 프로세스 EB1에 의해 에칭될 수도 있고, 이어서 제 2 에칭 프로세스 EB2가 액티브 버퍼 및 버퍼층 (126) 의 일부 (예를 들어, SiNx 층 및 SiO₂ 층의 스택) 를 에칭한다. 이들 에칭 프로세스들은, 수직으로 기울어진 표면들 및 수평으로 평탄화된 (leveled) 표면들 중 하나 이상을 갖고, 그 위에 배선 트레이스가 배치되는, 도 16a에 도시된 바와 같이 복수의 스텝된 영역들을 생성한다. 수직으로 기울어진 표면들 및 수평으로 평탄화된 표면들 위에 놓인 배선 트레이스는 EB1 영역 및 EB2 영역과 같은 몇몇 벤딩 스팟들을 가질 것이다.
- [0175] 벤딩 부분에서 플렉서블 디스플레이 (100) 가 벤딩할 때, 배선 트레이스는 스텝된 영역이나 그 근방에서 보다 큰 스트레인을 경험할 수도 있다. 다수의 테스트들 및 실험들은 EB1 영역과 EB2 영역 사이의 스텝된 영역 위를 가로지르는 배선 트레이스에서 크랙 가능성이 특히 높다는 것을 나타낸다. 따라서, 일부 실시예들에서, 배선 트레이스에 대한 스트레인 감소 트레이스 설계는 플렉서블 디스플레이의 절연층들에 의해 제공된 저평탄화된 표면과 고평탄화된 표면 사이의 스텝된 영역이나 근방에 보강된 부분을 갖는다.
- [0176] 도 14b에 도시된 예에서, 배선 트레이스는 양 단부들에서 단순한 직선 트레이스를 갖는다. 그러나, 벤딩된 영역들 EB1과 EB2 위에서 교차하는 도전 라인 (120) 의 일부는 수정된 트레이스 설계로 보강된다. 수정된 부분에서, 도전 라인 (120) 에는 EB1 영역들 및 EB2 영역들 근방의 절연층으로부터 크랙이 개시되어도 도전 라인 (120) 의 보호를 확실하게 하도록 보다 넓은 추가 폭 W_R 이 제공된다. 도전 라인 (120) 이 수정된 트레이스 설계의 거리 D_R 은 에칭 프로세스들에 의해 에칭된 절연층들의 두께뿐만 아니라 제 1 평탄화된 표면 (예를 들어, EB1에서 평면 레벨) 과 제 2 평탄화된 표면 (예를 들어, EB2에서 평면 레벨) 사이의 거리에 따라 결정된다.
- [0177] 수정된 부분 (즉, 보강된 부분) 을 지나, 배선 트레이스는 도 11a를 참조하여 이전에 설명된, 스트레인 감소 트레이스 설계 (즉, 다이아몬드 트레이스 설계) 를 갖는 것으로 도시된다. 수정된 부분이 적용된 배선 트레이스의 스크레인 감소 트레이스 설계는 도 14b에 도시된 스트레인 감소 트레이스 설계에 제한되지 않는다는 것이 이해될 것이다. 스트레인 감소 트레이스 설계의 다양한 실시예들은 2개의 상이하게 평탄화된 표면들의 스텝된 영역들에 대응하는 배선 트레이스의 부분에 대해 수정된 트레이스 설계를 포함할 수 있다.
- [0178] 언제나 사실이 아닐 수 있으나, 벤딩 허용 부분에 인접한 라우팅 영역들은 플렉서블 디스플레이 (100) 의 실질

적으로 평탄한 부분들일 수도 있다. 이러한 경우들에서, EB1 영역들 및 EB2 영역들은 벤딩 부분에서 벤딩 허용 부분에 또는 벤딩 허용 부분의 바로 외측 개시부에 위치될 것이고, 배선 트레이스는 트레이스 설계시 보강된 부분을 구비할 수도 있다.

[0179] 보강된 도전 라인 부분의 증가된 폭 W_R 은 곡률이 상대적으로 작은 벤딩 허용 부분의 시작 및 종료부나 근방에서 목적대로 역할을 우수하게 수행할 수도 있다. 배선 트레이스의 보다 넓은 폭 W_R 및 수정된 트레이스 부분이 배선 트레이스에 적용된 길이는 벤딩 방향에 평행하게 정렬된 배선 트레이스의 길이를 증가시킬 수 있다. 이는 보다 큰 벤딩 반경을 갖는 영역에서 벤딩 응력을 버틸 수 있도록 배선 트레이스를 보다 강하게 할 것이다.

[0180] 이러한 이유로, 보강된 도전 라인 부분이 벤딩 허용 부분을 향해 과도하게 연장되지 않도록, 보강된 부분을 제한하는 거리인 D_R 가 제한되어야 한다. 따라서, 보강된 도전 라인 부분의 거리 D_R 은 보강된 도전 라인 부분의 트레이스 설계가, 미리 결정된 문턱값 벤딩 각도보다 크게 벤딩하는 벤딩 허용 부분을 넘어 연장하지 않도록 제한될 수도 있다. 예로서, 보강된 도전 라인 부분은 굽혀진 부분의 접선 평면으로부터 30° 굽혀진 지점을 넘어 연장하지 않을 수도 있다. 문턱값 벤딩 각도는 20° 미만, 예를 들어 10° , 그리고 보다 바람직하게 7° 미만일 수도 있다.

[0181] 스텝된 영역들에 보강된 부분을 구비한 배선 트레이스는 벤딩 허용 부분을 가로질러 연장할 수도 있고 COF 또는 플렉서블 디스플레이 (100)의 다른 컴포넌트들을 위한 패드들로 라우팅될 수도 있다. 이러한 경우들에서, 부가적인 스텝된 영역 (EB1 및 EB2와 유사)은 벤딩 허용 부분의 반대되는 단부나 근방에 존재할 수도 있다. 이러한 벤딩 스팟들이나 근방의 도전 라인은 도 14b에 도시된 바와 같이 반대되는 단부에서 배선 트레이스의 수정된 부분과 유사한 방식으로 보강될 수도 있다. 원한다면, 벤딩 허용 부분의 반대되는 단부들에서 스텝된 영역들이나 근방의 보강된 도전 라인 부분은 도 14b에 도시된 바와 같이 상이한 형상을 가질 수도 있다.

[0182] 도 15a 및 도 15b는 각각, 본 개시의 실시예에 따라 도 1에서 A-A'로 마킹된 선을 따른 플렉서블 디스플레이의 단면도를 도시한다. 도 15a 및 도 15b에 도시된 구성들은, GIP (gate-in-panel) 회로 및 외부 인쇄 회로가 서로 상이한 측 상에 제공된 예들을 제공할 수도 있다. 예를 들어, GIP는 및/또는 중앙 액티브 영역의 좌측 및/또는 우측에 있을 수도 있고, 그리고 외부 인쇄 회로는 중앙 액티브 영역의 상단 측 및/또는 하단 측에 있을 수도 있다.

[0183] 상기 언급된 바와 같이, 플렉서블 디스플레이 (100)의 벤딩 라인은 플렉서블 디스플레이 (100)의 상단 에지 및 하단 에지뿐만 아니라 측 에지들에도 제공될 수 있다. 따라서, GIP 회로를 갖는 인액티브 영역들은 플렉서블 디스플레이 (100)의 벤딩 부분들일 수 있다. 이 경우, 상부에 GIP가 배치된 베이스층 (106)의 일부는 내부에 액티브 영역이 제공된 베이스층 (106)의 일부의 평면으로부터 굽혀진다. 즉, GIP 영역과 액티브 영역 사이에 벤딩 허용 부분이 제공된다. GIP 영역과 액티브 영역 사이의 벤딩 허용 부분은, 외부 인쇄 회로가 부착된 액티브 영역과 인액티브 영역 사이의 벤딩 허용 부분과 유사한 방식으로 구성될 수도 있다.

[0184] 예를 들어, GIP 회로로부터 액티브 영역으로 연장하는 도전 라인들 중 적어도 일부는 본 개시에서 설명된 스트레인 감소 트레이스 설계 (즉, 도 10, 도 11a 및 도 11b, 도 14a 및 도 14b, 도 20에 도시된 스트레인 감소 트레이스 설계들)를 가질 수도 있다. 특히, 액티브 영역의 대응하는 게이트선으로 시프트 레지스터의 스테이지의 스캔 아웃 단자에 연결하는 벤딩 허용 부분의 도전 라인은, 본 개시에서 논의된 스트레인 감소 트레이스 설계들 중 어느 하나가 적용될 수도 있고 적용된 스트레인 감소 트레이스 설계와 연관된 다른 관련된 특징들이 적용될 수도 있다.

[0185] 또한, 상기 논의된 패터닝된 절연층들과 유사하게, 도전 라인 아래 및/또는 위에 제공된 절연층들, 특히 무기 재료들로 형성된 층들은 도전 라인의 트레이스에 따라 패터닝될 수도 있다. 예를 들어, GIP 영역과 액티브 영역 사이의 도전 라인 위 및 아래에 제공된 버퍼층 (126) 및 패시베이션층 (128)은 도 13a 및 도 13b 및 도 14a 및 도 14b에 도시된 바와 같이 패터닝될 수 있다.

[0186] 플렉서블 디스플레이 (100)의 백플레인에는 베이스층 (106) 상에 구현된 상이한 회로들에 대해 상이한 타입들의 박막 트랜지스터를 채용할 수도 있다는 것을 기억해야 한다. 즉, 일부 박막 트랜지스터들은 다른 박막 트랜지스터들과 상이한 스택 구조를 가질 수 있다. 또한, 일부는 N형 트랜지스터들로 구성될 수 있지만 일부는 P형 트랜지스터들로 구성된다. 또한, 일부 박막 트랜지스터들은 동일한 될 수 있다. 백플레인 상의 다른 박막 트랜지스터들 중 일부로부터 상이한 종류들의 반도체 재료들을 채용할 수도 있다.

[0187] 따라서, GIP 영역의 TFT들의 반도체층은 LTPS (low-temperature-poly-silicon)으로 형성될 수도 있지만, 액티

브 영역의 TFT들의 반도체층은 IGZO (indium-gallium-zinc-oxide) 와 같은 산화물 반도체로 형성될 수도 있다. 간결함을 위해, 액티브 영역 및 GIP 영역 각각으로부터 단 하나의 TFT만이 도 15a 및 도 15b에 도시된다. 그러나, 연결된 OLED 소자의 발광을 제어하기 위해 부가적인 TFT들이 픽셀 회로들 및 GIP 회로 각각에 포함될 것이라는 것을 주의해야 한다. 일부 실시예들에서, GIP 회로를 구현하는 전체 TFT들은 LTPS TFT들로 형성될 수도 있지만 액티브 영역의 픽셀 회로들의 어레이를 구현하는 전체 TFT들은 산화물 TFT들로 형성된다. 일부 다른 실시예들에서, 픽셀 회로의 TFT들 중 일부만 및/또는 GIP 회로의 TFT들 중 일부만이 플렉서블 디스플레이 (100) 의 TFT들과 상이한 반도체층을 가질 수도 있다. 이와 같이, 도 15a 및 도 15b에서 액티브 영역 및 GIP 영역에 도시된 TFT들은 동일한 종류의 반도체층 (예를 들어, LTPS) 을 가질 수도 있지만, 다른 TFT들과 상이한 종류의 반도체층 (예를 들어, 산화물) 을 갖는 액티브 영역의 TFT가 있을 수도 있다. 유사하게, 도 15a 및 도 15b에서 액티브 영역 및 GIP 영역에 도시된 TFT는 동일한 종류의 반도체층을 가질 수도 있지만, 다른 TFT들과 상이한 종류의 반도체층을 갖는 GIP 영역의 또 다른 TFT가 있을 수도 있다.

[0188] GIP 영역 및 액티브 영역 중 적어도 하나가 산화물 반도체계 TFT를 포함하고 다른 영역이 LTPS TFT를 포함할 때, 산화물 반도체층은, GIP 영역과 액티브 영역 사이에 선들이 놓이기 때문에 액티브 영역과 GIP 영역 사이에 패터닝될 수 있다. 캐리어 농도를 증가시키기 위한 플라즈마 처리 또는 다른 주입 및/또는 열적 어닐링 프로세스들과 같은 후 처리들은 산화물 반도체의 패터닝된 라인들을 도전 라인들로 바꾸기 위해 산화물 반도체의 패터닝된 라인들에 대해 수행될 수 있다. 즉, 플렉서블 디스플레이의 백플레인인 산화물 반도체, 금속 산화물 반도체층을 포함하는 복수의 종류들의 반도체 재료들로 구현될 때, 반도체층은 플렉서블 디스플레이 (100) 내의 도전 라인들로 선택적으로 바뀌고 패터닝될 수 있다. 예로서, 벤딩 허용 부분 내의 도전 라인들은 도전 라인들로 바뀌는 금속 산화물 반도체층으로부터 형성될 수도 있다.

[0189] GIP 영역 및 액티브 영역 내의 TFT들의 스택 구조에 대해, GIP를 구현하는 TFT들 및 픽셀 회로를 구현하는 TFT들은 모두 도 15a에 도시된 바와 같이 코플래너 구조를 가질 수도 있다. 그러나, 플렉서블 디스플레이 (100) 의 또 다른 적합한 실시예에서, GIP를 구현하는 TFT들은 코플래너 구조를 가질 수도 있지만, 픽셀 회로를 구현하는 TFT들은 도 15b에 도시된 바와 같이 바텀 게이트 구조를 갖는다. GIP를 구현하는 TFT들은 바텀 게이트 구조를 갖고 픽셀 회로를 구현하는 TFT들은 코플래너 구조를 갖는 것도 또한 가능하다.

[0190] 도 15a 및 도 15b의 액티브 영역들은 플렉서블 디스플레이의 중앙 부분의 액티브 영역으로서 도시되지만, GIP는, 또 다른 액티브 영역 (예를 들어, 중앙 액티브 영역) 의 평면으로부터 벤딩된 영역에 배치될 보조 액티브 영역에 인접한 인액티브 영역에 제공될 수도 있다는 것을 주의해야 한다. 예를 들어, 제 1 액티브 영역과 보조 액티브 영역 간의 벤딩 허용 부분의 벤딩 각도는 90° 일 수도 있고, 제 2 액티브 영역과 GIP 영역 간의 벤딩 허용 부분의 벤딩 각도는 90° 일 수도 있다. 이 경우, 내부에 GIP가 배치되는 베이스층 (106) 의 일부는 제 1 액티브 영역의 평면 아래에 위치될 것이다.

[0191] 도 15a 및 도 15b에서, OLED 소자의 유기 발광층, 캐소드등 뿐만 아니라 OLED 소자 상의 다른 컴포넌트들의 층들은 편의를 위해 도면으로부터 생략되었다. GIP 영역은 쌍으로, 예를 들어 도 1에 도시된 바와 같이 액티브 영역의 좌측에 하나 그리고 우측에 다른 하나가 형성될 수 있다는 것이 이해될 것이다. GIP 영역은 또한 플렉서블 디스플레이 (100) 에 포함된 액티브 영역의 일 측에만 형성될 수 있다. 예를 들어, 중앙 액티브 영역을 위해 중앙 액티브 영역의 일 측에 GIP가 제공될 수도 있고, 보조 액티브 영역을 위해 보조 액티브 영역의 일 측 상에 또 다른 GIP 영역이 있을 수도 있다.

[0192] 일부 실시예들에서, 벤딩 허용 부분은 GIP 영역과 GIP 입력 신호 라인 영역으로서 본 개시에서 지칭될 수도 있는, 보다 더 베이스층 (106) 의 스크라이빙 라인을 향해 위치된 영역 사이에 제공될 수도 있다. 이들로 제한되는 것은 아니지만, 디스플레이 D-IC로부터의 데이터 신호 라인들 및 전력 공급 유닛으로부터의 VDD/VSS 라인들 및/또는 베이스층 (106) 의 일부 다른 부분 또는 베이스층 (106) 에 부착된 별도의 인쇄 회로 상에 배치된 플렉서블 디스플레이 (100) 의 다른 컴포넌트들을 포함하는 다양한 신호 라인들이 GIP 입력 신호 라인 영역에서 라우팅될 수도 있다. GIP 회로에 의해 관리된 픽셀들의 수가 증가함에 따라, 부가적인 수의 신호 라인들이 GIP 입력 신호 라인 영역에 위치되어야 할 수도 있다.

[0193] 따라서, 벤딩 허용 부분은 입력 신호 라인 영역이 GIP 영역을 갖는 베이스층 (106) 의 평면으로부터 벤딩될 수 있도록 GIP 입력 신호 라인 영역과 GIP 영역 사이에 제공될 수 있다. 도 15a 및 도 15b를 참조하여 상기 논의된 GIP 영역과 액티브 영역 사이의 벤딩 허용 부분의 도전 라인들과 유사하게, GIP 입력 신호 라인 영역과 GIP 영역 사이의 벤딩 허용 부분에 걸쳐 연장하는 도전 라인들은 GIP 입력 신호 라인들을 GIP의 대응하는 부분에 연결할 수 있다. 이러한 구성은 GIP 영역과 액티브 영역 사이에 벤딩 허용 부분을 제공하는 것이 실현가능하지 않거

나 목표되지 않는다면, 특히 유용할 수도 있다.

- [0194] 플렉서블 디스플레이 (100) 의 스크라이빙 라인 및/또는 챔퍼 라인 근방의 영역들은 크랙들에 취약한 또 다른 스팟들일 수도 있다. 예를 들어, 베이스층 (106) 을 스크라이빙하는 동안 또는 베이스층 (106) 의 부분을 챔퍼링하는 동안 절연층들로부터 시작될 수 있다.
- [0195] 플렉서블 디스플레이 (100) 의 원단부에서 생성된 크랙들은 중앙 부분을 향해 전파될 수 있다. 플렉서블 디스플레이 (100) 의 챔퍼 라인으로부터의 크랙들은 벤딩 영역 및 벤딩 영역에 인접한 라우팅 영역들 내로 전파될 수 있다. 일부 경우들에서, 플렉서블 디스플레이 (100) 의 평탄한 중앙 부분에 제공된 인액티브 영역들에서의 스크라이빙 라인들로부터의 크랙들은 액티브 영역을 향해 전파될 수 있고 인액티브 영역들 내의 다양한 회로들, 예컨대 GIP에 손상을 줄 수 있다.
- [0196] 따라서, 플렉서블 디스플레이 (100) 의 하나 이상의 스크라이빙 라인을 따른 선택적인 영역들에는 실질적으로 무기 재료층들이 없을 수도 있다. 예를 들어, 도 16a에서 “스크라이빙 라인 에칭 영역” 으로 표기된, 플렉서블 디스플레이 (100) 의 베이스층 (106) 의 하나 이상의 에지들에서의 영역들은, 버퍼층 (126) 과 같은 무기 재료층들의 절연층들이 실질적으로 없을 수도 있다. 스크라이빙 라인 에칭 영역들에서, 베이스층 (106) 은 노출될 수도 있고 또는 버퍼층 (126) 의 미리 결정된 최소 두께만이 남을 수도 있다. 도 16a에서 스크라이빙 라인 에칭 영역들이 플렉서블 디스플레이 (100) 의 탑 에지 및 바텀 에지로 마킹되지만, 스크라이빙 라인 에칭 영역의 위치, 사이즈 및 형상은 도 16a에 도시된 바와 같이 특별히 제한되지 않는다. 스크라이빙 라인 에칭 영역은 플렉서블 디스플레이 (100) 의 측 에지들에 제공될 수 있다. 즉, 하나 이상의 절연층들, 특히 무기 절연층들은 GIP 들 옆의 플렉서블 베이스층의 에지들로부터 에칭될 수도 있다. 플렉서블 디스플레이 (100) 가 라운드 형상의 베이스층 (106) 을 구비하는 실시예에서, 스크라이빙 라인 에칭 영역은 액티브 영역 주변에 제공될 수도 있다.
- [0197] 몇몇 측 크랙 스톱퍼 구조체들은 또한 에지 (즉, 스크라이빙 라인/챔퍼 라인) 와 플렉서블 디스플레이 (100) 의 중앙 부분의 액티브 영역 사이의 영역에 제공될 수도 있다. 예를 들어, 리세스된 채널은 도 16a에 도시된 바와 같이 (좌측 에지에 제공됨) 절연층들을 에칭함으로써 인액티브 영역 내에 형성될 수 있다. 또한, 인액티브 영역 내의 회로들을 향해 플렉서블 디스플레이 (100) 의 외측 에지로부터 크랙이 전파되는 방향을 변화시키기 위해 더미 배선 트레이스 패턴이 인액티브 영역에 배치될 수도 있다. 이러한 크랙 스톱퍼 구조체들은 인액티브 영역 내에 위치한 회로 (또는 다른 취약한 엘리먼트들) 와 플렉서블 디스플레이 (100) 의 외측 에지 사이에 제공될 수 있다. 예를 들어, 스트레인 감소 트레이스 설계를 갖는 금속 트레이스 및 금속 트레이스를 커버하는 절연층은 도 16a에 도시된 바와 같이 (우측 에지에 제공됨) GIP와 플렉서블 디스플레이 (100) 의 에지 사이에 형성될 수 있다. 리세스된 채널 및 더미 배선 패턴이 좌측 및 우측에 각각 제공되지만, 이러한 크랙 스톱퍼 구조체들은 상단 측 및 하단 측에도 제공될 수 있다.
- [0198] 액티브 영역의 좌측 상의 리세스된 채널은 또한 액티브 영역의 우측 상에 제공될 수 있다는 것을 주의해야 한다. 유사하게, 인액티브 영역의 우측 상에 제공된 스트레인 감소 패턴을 갖는 더미 배선 트레이스는 또한 인액티브 영역의 좌측에 제공될 수 있다. 일부 실시예들에서, 리세스된 채널 및 스트레인 감소 패턴을 갖는 금속 트레이스는 액티브 영역의 하나 이상의 측들 상에 제공될 수 있다. 이 구성에서, GIP를 향하는 방향에서 인액티브 영역의 외측 에지로부터 전파되는 크랙들은 GIP 전에 형성된 다이아몬드/절연 트레이스의 각도에 의해 코스를 변경할 수도 있다.
- [0199] 절연층들, 특히 무기 절연층들의 패턴닝은, 또한 액티브 영역과 벤딩 허용 부분 간의 라우팅 영역뿐만 아니라 연결 인터페이스와 벤딩 허용 부분 간의 라우팅 영역에서 수행될 수 있다. 또한, 무기 재료층들은 크랙들이 챔퍼 라인으로부터 도전 라인들 (120) 을 향해 전파되지 않도록 챔퍼 라인에 인접한 영역들의 적어도 일부 부분으로부터 제거될 수도 있다.
- [0200] 도 16b는 노치된 영역 근방의 플렉서블 디스플레이의 하부 좌측 코너부의 확대도이다. 챔퍼 라인 근방의 무기층들로부터 크랙 시작 및 전파를 감소시키기 위해, 절연층은 배선 트레이스 (예를 들어, VSS/VDD 라인) 간의 영역에서 챔퍼 라인으로 에칭된다. 특히, 버퍼층 (126) 은 벤딩 허용 부분의 도전 라인 (120) 과 챔퍼 라인 사이의 영역의 베이스층 (106) 상에 배치되고, 챔퍼 라인 (예를 들어, VSS/VDD 라인) 에 가장 가까운 벤딩 허용 부분은 제거될 수 있다. 이 영역에서, 베이스층 (106) 은 노출될 수도 있고 또는 제한된 두께를 갖는 (즉, 도전 라인 (120) 아래의 버퍼층 (126) 보다 얇은) 버퍼층 (126) 은 남아 있을 수도 있다. 따라서, 챔퍼 라인으로부터 크랙 시작 및 전파는 버퍼층 에칭된 영역에 의해 방해될 수 있다.
- [0201] 챔퍼 라인 근방의 버퍼층 (126) 을 에칭할 때, 버퍼층 (126) 의 스트라이프는 도 16b에 도시된 바와 같이 챔퍼

라인에 가장 가까운 배선 트레이스와 챔퍼 라인 사이에 남아 있도록 구성될 수 있다. 이 버퍼층의 스트라이프는 플렉서블 디스플레이 (100) 의 챔퍼링된 측으로부터 배선 트레이스에 다른 이질적인 재료 또는 수분들이 도달하는 것을 억제하기 위한 댐 (dam) 으로서 역할을 할 수 있다.

[0202] 전술한 버퍼층에칭된 영역은 또한 챔퍼 라인과 가장 가까운 배선 트레이스 사이의 라우팅 영역에 적용될 수 있다. 버퍼층 (126) 의 선은 또한 라우팅 영역에 적용될 수도 있다. 또한, 도전 라인들 (120) 아래의 버퍼층 (126) 및 도전 라인들 (120) 상의 패시베이션층 (128) 은 벤딩 허용 부분 옆의 라우팅 영역들의 무기 절연층들에 의한 크랙 전파 가능성을 더 감소시키도록 라우팅 영역 전체에서 도전 라인들 (120) 의 트레이스에 대응하도록 패터닝될 수 있다. 예를 들어, 도 10, 도 11a 및 도 11b, 도 12, 도 13a 및 도 13b, 및 도 14a 및 도 14b에 도시된 배선 트레이스 구조들의 구성은 또한 라우팅 영역들의 배선 트레이스들에 적용될 수도 있다.

[0203] 도 16c는 또 다른 타입의 크랙 스톱퍼 구조체가 구비된, 플렉서블 디스플레이 (100) 의 노치된 영역 근방의 확대도이다. 이 실시예에서, 다이아몬드 트레이스 패턴을 갖는 보조 도전 라인 (130) 이 챔퍼 라인과 배선 트레이스 (예를 들어, VSS/VDD) 사이에 제공된다. 보조 도전 라인 (130) 아래의 버퍼층 (126) 및 보조 도전 라인 (130) 상의 패시베이션층 (128) 은 도 13a 및 도 13b에 도시된 것과 유사한 방식으로 에칭될 수 있다. 따라서, 보조 도전 라인 (130) 은 챔퍼 라인으로부터 배선 트레이스로 크랙들의 전파를 억제할 수도 있다. 보조 도전 라인 (130) 은 플로팅하는 라인일 수도 있다. 필요한 경우, 보조 도전 라인 (130) 은 플렉서블 디스플레이 (100) 의 바텀 에지를 향해 라우팅 영역 외측으로 연장할 수도 있다. 일부 실시예들에서, 보조 도전 라인 (130) 은 인접한 도전 라인 (120) 과 접촉할 수도 있다. 보조 도전 라인 (130) 에 부가하여, 버퍼층 (126) 의 스트라이프는 또한 보조 도전 라인 (130) 을 향해 수분 또는 다른 이질적인 재료들이 이동하는 것을 중단시키도록 제공될 수도 있다.

[0204] **마이크로 코팅층**

[0205] 플렉서블 디스플레이 (100) 의 벤딩 부분에 다양한 층들이 없이, 보호층이 배선 트레이스들, 특히 플렉서블 디스플레이 (100) 의 벤딩 허용 부분의 배선 트레이스들을 위해 필요할 수도 있다. 또한, 벤딩 부분의 배선 트레이스들은, 무기 절연층들이 플렉서블 디스플레이 (100) 의 벤딩 부분으로부터 에칭될 수 있기 때문에 수분 및 다른 이질적인 재료들에 취약할 수 있다. 특히, 플렉서블 디스플레이 (100) 의 제조 동안 컴포넌트들을 테스트하기 위해 다양한 패드들 및 도전 라인들이 챔퍼링될 수도 있고, 이는 플렉서블 디스플레이 (100) 의 노치된 에지로 연장된 도전 라인들을 남길 수 있다. 이러한 도전 라인들은 근방의 도전 라인들로 확장될 수 있는 수분에 의해 쉽게 부식될 수 있다. 따라서, “마이크로 코팅층” 으로 지칭될 수도 있는, 보호 코팅층이 플렉서블 디스플레이 (100) 의 벤딩 부분의 배선 트레이스들 위에 제공될 수 있다.

[0206] 마이크로 코팅층 (132) 은 벤딩 부분에서 플렉서블 디스플레이 (100) 의 중립면을 조정하도록 미리 결정된 두께로 벤딩 허용 부분 위에 코팅될 수도 있다. 보다 구체적으로, 플렉서블 디스플레이 (100) 의 벤딩 부분에서 마이크로 코팅층 (132) 의 부가된 두께는 배선 트레이스들의 평면을 중립면에 보다 가깝게 시프트할 수 있다.

[0207] 일부 실시예들에서, 베이스층 (106) 의 표면으로부터 측정된, 봉지층 (104) 과 인쇄 회로 (134) 사이의 영역에서 마이크로 코팅층 (132) 의 두께는 봉지층 (104) 의 상단 표면까지의 베이스층 (106) 상의 봉지층 (104) 의 두께와 실질적으로 동일할 수도 있다.

[0208] 마이크로 코팅층은 플렉서블 디스플레이 (100) 의 벤딩 부분에서 사용될 수 있도록 충분한 가요성을 가져야 한다. 또한, 마이크로 코팅층의 재료는, 마이크로 코팅층 아래의 컴포넌트들이 경화 프로세스 동안 손상을 받지 않도록 제한된 시간 내에 저 에너지로 경화가능한 재료여야 한다. 마이크로 코팅층 (132) 은 광 경화성 (예를 들어, UV 광, 가시광, UV LED) 아크릴 수지로 형성될 수도 있고 플렉서블 디스플레이 (100) 의 목표된 영역들 위에 코팅될 수도 있다. 마이크로 코팅층을 통한 원치 않는 수분의 침투를 억제하기 위해, 하나 이상의 게터 재료가 마이크로 코팅층에 혼합될 수도 있다.

[0209] 다양한 수지 디스펜싱 방법들, 예를 들어, 슬릿 코팅, 제트 등은 타깃팅된 표면에 마이크로 코팅층 (132) 을 디스펜싱하도록 사용될 수도 있다. 예로서, 마이크로 코팅층 (132) 은 제트 밸브를 사용하여 디스펜싱될 수 있다. 제트 밸브(들)로부터의 디스펜싱 레이트는 타깃팅된 표면에서 마이크로 코팅층 (132) 의 두께 및 확산 사이즈의 정확한 제어를 위해 코팅 프로세스 동안 조정될 수도 있다. 또한, 목표된 영역 위의 마이크로 코팅층 (132) 을 디스펜싱하는 제트 밸브들의 수는, 제한되지 않고, 마이크로 코팅층 (132) 이 경화되기 전에 디스펜싱된 표면 상에서 확산량 및 디스펜싱 시간을 조정하도록 가변할 수 있다.

[0210] 도 17a는 플렉서블 디스플레이 (100) 의 실시예에서 마이크로 코팅층 (132) 의 일 적합한 예시적인 구성을 예시

한다. 언급된 바와 같이, 마이크로 코팅층 (132) 은 봉지층 (104) 과 인쇄 회로 (134) 사이의 영역에 코팅될 수 있다. 그러나, 마이크로 코팅층 (132) 의 접착 특성 및 벤딩 능력의 양에 따라, 마이크로 코팅층 (132) 은 봉지층 (104) 및/또는 인쇄 회로 (134) 로부터 탈착될 수 있다. 마이크로 코팅층 (132) 과 봉지층 (104) 또는 인쇄 회로 (134) 사이의 모든 개방 공간은 수분이 침투할 수 있는 결합 사이트가 될 수 있다.

[0211] 따라서, 일부 실시예들에서, 마이크로 코팅층 (132) 은 도 17a에 도시된 바와 같이 봉지층 (104) 의 일부 상으로 오버플로우할 수 있다. 즉, 봉지층 (104) 의 에지에서 상단 표면은 마이크로 코팅층 (132) 으로 코팅될 수 있다. 마이크로 코팅층 (132) 으로 코팅된 봉지층 (104) 의 표면 상의 추가적인 접촉 영역은 벤딩 능력에 의해 봉지층 (104) 으로부터 마이크로 코팅층 (132) 이 떨어져 나가는 것을 억제한다. 봉지층 (104) 의 에지에서 마이크로 코팅층 (132) 에 의해 제공된 향상된 시일링은 플렉서블 디스플레이 (100) 의 벤딩 부분에서 배선 트레이이스들의 부식을 감소시킬 수 있다. 유사하게, 마이크로 코팅층 (132) 은 인쇄 회로 (134) 의 에지에서 개선된 시일링을 위해 인쇄 회로 (134) 의 적어도 일부 부분 상으로 오버플로우할 수 있다.

[0212] 도 17b 및 도 17c를 참조하면, 마이크로 코팅층 (132) 으로 코팅된 봉지층 (104) 상의 영역의 폭은 “Overflow_W1” 로 표기되고, 마이크로 코팅층 (132) 으로 코팅된 인쇄 회로 (134) 상의 영역의 폭은 “Overflow_W2” 로 표기된다. 봉지층 (104) 및 인쇄 회로 (134) 상의 영역들에 오버플로우된 마이크로 코팅층 (132) 의 사이즈들은 특별히 제한되지 않고 마이크로 코팅층 (132) 의 접착성에 따라 가변할 수도 있다.

[0213] 도 17b에 도시된 바와 같이, 플렉서블 디스플레이 (100) 는 봉지층 (104) 상의 마이크로 코팅층 (132) 이 편광층 (110) 의 에지로부터 이격되는 부분을 포함할 수도 있다. 그러나, 일부 실시예들에서, 플렉서블 디스플레이 (100) 는 도 17c에 도시된 바와 같이, 봉지층 (104) 상의 마이크로 코팅층 (132) 이 봉지층 (104) 상에 배치된 편광층 (110) 과 접촉하는 부분을 포함할 수도 있다.

[0214] 디스펜싱된 표면 상의 마이크로 코팅층 (132) 의 확산 다이내믹은 마이크로 코팅층 (132) 의 점도뿐만 아니라 마이크로 코팅층 (132) 이 디스펜싱되는 표면 에너지에 따라 결정된다. 이와 같이, 봉지층 (104) 내로 오버플로우된 마이크로 코팅층 (132) 이 편광층 (110) 에 도달할 수도 있다. 편광층 (110) 의 측면과 접촉하는 마이크로 코팅층 (132) 은 편광층 (110) 을 제자리에 홀딩하는 것을 도울 수 있다. 그러나, 편광층 (110) 의 측면에 도달하는 마이크로 코팅층 (132) 은 편광층 (110) 의 측면 위로 올라갈 수도 있다. 이러한 마이크로 코팅층 (132) 의 측면 웨팅 (wetting) 은 편광층 (110) 의 표면 위에 고르지 않은 에지들을 생성할 수 있고, 이는 그 위에 또 다른 층을 배치할 때 다양한 문제들을 유발할 수도 있다. 따라서, 타깃팅된 표면 상에 디스펜싱된 마이크로 코팅층 (132) 의 양은 봉지층 (104) 상의 마이크로 코팅층 (132) 의 폭을 제어하도록 조정될 수 있다. 또한, 마이크로 코팅층 (132) 은 편광층 (110) 의 선택된 영역들 중 일부만이 마이크로 코팅층 (132) 과 접촉하도록 디스펜싱될 수도 있다.

[0215] 하나의 적합한 구성에서, 마이크로 코팅층 (132) 은 2개의 반대되는 코너부들 (도 17a에서 “POL_CT” 로 표기됨) 에서 편광층 (110) 과 접촉할 수도 있지만, 2개의 코너부들 간의 마이크로 코팅층 (132) 은 편광층 (110) 의 에지에 도달하지 않는다. 2개의 반대되는 코너부들 (POL_CT) 사이의 마이크로 코팅층 (132) 은 봉지층 (104) 의 일부 부분까지만 커버한다. 벤딩 프로세스 후에, 마이크로 코팅층 (132) 이 편광층 (110) 으로부터 이격되는 플렉서블 디스플레이 (100) 의 일부는 도 18a에 도시된 바와 같이 구성될 수도 있다. 마이크로 코팅층 (132) 이 편광층 (110) 과 접촉하도록 구성된 영역에서, 플렉서블 디스플레이 (100) 는 도 18b에 도시된 바와 같이 구성될 수도 있다.

[0216] 마이크로 코팅층은 산소 그리고 특히 수분에 완벽히 불침투성이 아니어서, 플렉서블 디스플레이 (100) 에 제공된 마이크로 코팅층은 대체로 다소 유한한 침투 레이트를 가질 것이다. 마이크로 코팅층 (132) 을 통해 침투하는 가스들 및 수분들은 반응 사이트들에서 도전 라인들과 반응할 수 있다. 마이크로 코팅층에 의해 제공된 시일링부를 통해 침투하는 가스들 및 수분은, 예를 들어, 인쇄 회로 (134) 상에 남아 있는 배리 패턴들 또는 베이스층 (106) 의 스크라이빙된/철퍼링된 에지의 도전 라인들과 반응할 수도 있다. 마이크로 코팅층 (132) 은 벤딩 허용 부분 위에 배치되기 때문에, 마이크로 코팅층 (132) 은 원래 부착되어 있던 표면으로부터 풀링될 수 있고, 가스들 및 수분에 취약한 도전 라인들을 남길 수 있다. 결국, 반응 사이트들이 어떠한 특정 양에 도달하고, 플렉서블 디스플레이 (100) 가 동작하지 못하게 한다.

[0217] 마이크로 코팅층 (132) 내에 게터 재료들을 채용하는 것은 디바이스의 사용가능 수명을 연장할 수 있다. 이들 게터 재료들은 도전 라인들을 부식시킬 수증기와 반응하고/하거나 수증기를 흡수한다. 따라서, 일부 실시예들에서, 복수의 종류들의 마이크로 코팅층들이 플렉서블 디스플레이 (100) 에서 사용될 수 있다. 보다 구체적으로,

복수의 마이크로 코팅층들은 플렉서블 디스플레이 장치 (100) 의 제 1 부분과 제 2 부분 사이의 벤딩 허용 부분 위에 제공될 수 있다.

[0218] 도 19a에 도시된 실시예에서, 제 1 마이크로 코팅층 (132)(A) 플렉서블 디스플레이 (100) 의 벤딩 허용 부분의 배선 트레이스들 위에 코팅될 수 있고, 제 2 타입의 마이크로 코팅층 (132)(B) 은 제 1 타입의 마이크로 코팅층 (132)(A) 위에 코팅될 수도 있다. 제 1 마이크로 코팅층 및 제 2 마이크로 코팅층 중 하나는 수분의 침투를 감소시키도록 하나 이상의 게터 재료들을 포함한다. 마이크로 코팅층에 포함될 수 있는 게터 재료들의 예들은 실리카 입자들, 제올라이트, 제올라이트 클레이들 (zeolitic clays), CaO 입자들, BaO 입자들, Ba 금속들 등을 포함한다. 본 발명의 일부 실시예들에서, 다음의 열적으로 활성화된 게터들 중 하나 이상이 사용될 수도 있다: 제올라이트 클레이, 바륨 산화물, 칼슘 산화물 및 다른 반응성 또는 물 흡수 산화물들, 활성화된 카본 또는 다른 흡수성 무기 재료 또는 유기 재료.

[0219] 하나의 적합한 구성에서, 제 1 마이크로 코팅층 (132)(A) 은 벤딩 허용 부분의 수분의 침투를 감소시키기 위해 하나 이상의 게터 재료들을 포함할 수도 있다. 또 다른 구성에서, 복수의 마이크로 코팅층들 중 외측 층인, 제 2 마이크로 코팅층 (132)(B) 은 하나 이상의 게터 재료들을 포함할 수도 있다.

[0220] 또한, 일부 실시예들에서, 제 2 마이크로 코팅층 (132)(B) 아래에 있는 제 1 마이크로 코팅층 (132)(A) 은 더 연장되고 봉지층 (104) 의 적어도 일부 부분 위에 제공된다. 유사하게, 도 19b에 도시된 바와 같이, 제 1 마이크로 코팅층 (132)(A) 은 더 연장될 수도 있고 벤딩 허용 부분의 반대되는 단부에서 인쇄 회로 (134) 의 적어도 일부 부분 위에 제공될 수도 있다. 부가적으로, 벤딩 허용 부분 위에 코팅된 제 1 마이크로 코팅층 (132)(A) 은 봉지층 (104) 의 일부뿐만 아니라 인쇄 회로 (134) 의 일부 위에 코팅될 수 있다. 봉지층 (104) 의 일부 상에 코팅된 제 1 마이크로 코팅층 (132)(A) 및/또는 인쇄 회로 (134) 는 각각의 영역들에서 개선된 시일링을 위해 봉지층 및/또는 인쇄 회로 (134) 로 보다 강한 접착력을 제공할 수 있다.

[0221] 일부 경우들에서, 제 1 마이크로 코팅층 (132)(A) 상의 제 2 마이크로 코팅층 (132)(B) 은 제 1 마이크로 코팅층 (132)(A) 보다 봉지층 (104) 및/또는 인쇄 회로 (134) 의 표면과의 보다 강한 접착력을 제공할 수도 있다. 따라서, 도 17a 내지 도 17c에 도시된 바와 같이, 봉지층 (104) 및 인쇄 회로 (134) 의 에지들에서 개선된 시일링을 위해, 제 1 마이크로 코팅층 (132)(A) 상의 제 2 마이크로 코팅층 (132)(B) 은 봉지층 (104) 의 적어도 일부 부분 및/또는 인쇄 회로 (134) 의 적어도 일부 부분 위에 코팅될 수도 있다. 필요한 경우, 제 1 마이크로 코팅층 및 제 2 마이크로 코팅층은 봉지층 (104) 및/또는 인쇄 회로 (134) 의 적어도 일부 부분 상에 제공될 수도 있다.

[0222] 벤딩 허용 부분 위에 복수의 마이크로 코팅층들을 코팅하기 보다, 상이한 타입들의 마이크로 코팅층은 플렉서블 디스플레이 장치 (100) 의 2개의 부분 사이의 상이한 영역들에 선택적으로 사용될 수 있다. 예를 들어, 봉지층 (104) 및/또는 인쇄 회로 (134) 의 에지 근방에 제공된 마이크로 코팅층은 봉지층 (104) 과 인쇄 회로 (134) 사이의 영역에 제공된 마이크로 코팅층과 상이할 수도 있다.

[0223] 도 20a에 도시된 실시예에서, 벤딩 허용 부분 위의 영역은 제 1 타입의 마이크로 코팅층 (132)(A) 으로 코팅된다. 또 다른 타입의 마이크로 코팅층 (132)(B) 이 제 1 타입의 마이크로 코팅층 (132)(A) 으로 코팅된 영역 옆의 영역들에 코팅된다. 보다 구체적으로, 제 2 타입의 마이크로 코팅층 (132)(B) 은 봉지층 (104) 과 제 1 타입의 마이크로 코팅층 (132)(A) 으로 코팅된 영역 사이의 영역에 제공된다. 유사하게, 제 2 타입의 마이크로 코팅층 (132)(B) 은 인쇄 회로 (134) 와 제 1 타입의 마이크로 코팅층 (132)(A) 으로 코팅된 영역 사이의 영역에 제공된다.

[0224] 경화될 때, 제 1 타입의 마이크로 코팅층 (132)(A) 은 제 2 타입의 마이크로 코팅층 (132)(B) 보다 플렉서블할 수도 있다. 제 2 타입의 마이크로 코팅층 (132)(B) 에 의해 코팅된 영역들이 제 1 타입의 마이크로 코팅층 (132)(A) 으로 코팅된 영역보다 작은 곡률을 갖기 때문에, 제 2 타입의 마이크로 코팅층 (132)(B) 은 제 1 타입의 마이크로 코팅층 (132)(A) 만큼 플렉서블할 필요는 없다. 제 2 타입의 마이크로 코팅층 (132)(B) 은 제 1 타입의 마이크로 코팅층 (132)(A) 만큼 플렉서블할 필요는 없을 수도 있지만, 제 1 타입의 마이크로 코팅층 (132)(A) 보다 높은 접착 특성을 제공하는 타입의 마이크로 코팅층일 수도 있다. 이러한 방식으로, 봉지층 (104) 및 인쇄 회로 (134) 의 에지들 또는 표면들 상에 제공된 제 2 타입의 마이크로 코팅층 (132)(B) 은 그 아래의 도전 라인들의 가능한 부식을 억제하기 위해 각각의 영역들에서 시일링을 개선할 수 있다.

[0225] 제 2 영역이 제 1 영역과 봉지층 사이에 제공된 실시예들에서, 제 2 타입의 마이크로 코팅층은 봉지층 (104) 의 적어도 일부 부분 상에 오버플로우할 수도 있다. 유사하게, 제 2 영역이 제 1 영역과 인쇄 회로 (134) 사이에

제공된 실시예들에서, 제 2 타입의 마이크로 코팅층은 인쇄 회로 (134) 의 적어도 일부 부분 상에 오버플로우한다. 도 17a 내지 도 17c를 참조하여 상술한 바와 같이, 봉지층 (104) 및/또는 인쇄 회로 (134) 의 에지들에서 적어도 일부 상부 표면의 코팅은 각각의 영역들에서 시일링을 더 개선할 수 있다. 일부 실시예들에서, 벤딩 허용 부분에 제공된 제 1 타입의 마이크로 코팅층 (132)(A) 은 제 2 타입의 마이크로 코팅층 (132)(B) 위에 그리고 봉지층 (104) 및/또는 인쇄 회로 (134) 의 에지들에서 적어도 일부 상부 표면 위에 코팅될 수도 있다.

[0226] 일부 실시예들에서, 제 1 영역에 코팅된 제 1 타입의 마이크로 코팅층은 제 2 타입의 마이크로 코팅층 상에 코팅될 수도 있다. 또한, 제 1 영역의 제 1 타입의 마이크로 코팅층은 봉지층의 적어도 일부 부분 및/또는 인쇄 회로의 적어도 일부 부분 상에 코팅될 수도 있다.

[0227] 제 1 타입의 마이크로 코팅층 (132)(A) 보다 높은 접착 특성을 갖는 것에 부가하여, 제 2 타입의 마이크로 코팅층은 내부에 분산된 하나 이상의 게터 재료들을 포함할 수도 있다. 게터 재료들은 마이크로 코팅층 (132) 아래의 배선 트레이스들을 부식시킬 수 있는 수증기를 흡수하고/하거나 수증기와 반응한다. 일부 실시예들에서, 도 20b에 도시된 바와 같이, 하나 이상의 게터 재료들을 포함하는 제 3 타입의 마이크로 코팅층 (132)(C)) 이 제 1 타입의 마이크로 코팅층 (132)(A) 및 제 2 타입의 마이크로 코팅층 (132)(B) 아래에 제공될 수도 있다.

[0228] 편의성을 위해, 복수의 종류들의 마이크로 코팅층들을 구비한 벤딩 허용 부분은 봉지층을 갖는 디스플레이 영역과 인쇄 회로 (134) 를 갖는 비디스플레이 영역 사이에 제공된다. 그러나, 복수의 종류들의 마이크로 코팅층들을 구비한 벤딩 허용 부분은, 각각 내부에 디스플레이 영역을 포함하는 플렉서블 디스플레이 장치 (100) 의 2 부분들 사이에 제공될 수 있다는 것을 주의해야 한다. 또한, 복수의 종류들의 마이크로 코팅층들을 구비한 벤딩 허용 부분은, 인쇄 회로와 부착될 수도 있는 2개의 비디스플레이 영역들 사이에 제공될 수 있다.

[0229] 분할된 VSS-VDD 배선 트레이스

[0230] 배선 트레이스들 위의 마이크로 코팅층 (132) 의 확산 다이намик은 배선 트레이스들의 트레이스 설계에 영향을 받을 수 있다. 보다 구체적으로, 플렉서블 디스플레이 (100) 의 벤딩 부분의 배선 트레이스를 따르는 절연층들의 패터닝은, 마이크로 코팅층 (132) 에 의해 커버될 마이크로 홈부 표면이 되는, 리세스된 영역들 및 돌출된 영역들을 생성한다.

[0231] 배선 트레이스들에 스트레인 감소 트레이스 설계를 적용할 때, 분할된 서브-트레이스들 둘레의 절연층들의 패터닝은, 배선 트레이스들의 돌출된 스텝에 의해 둘러싸인, 리세스된 개방 영역을 생성한다. 마이크로 코팅층 (132) 의 코팅 동안, 마이크로 코팅층 드롭렛의 일부 부분은 리세스된 개방 영역 내로 침투할 수 있다. 이는 이러한 마이크로 홈부 표면 상에서 확산을 방해하고 마이크로 코팅층 (132) 의 최대 확산 직경을 감소시킬 수 있고, 벤딩 부분의 일부 부분이 마이크로 코팅층 (132) 없이 노출되게 한다.

[0232] 리세스된 영역들 및 돌출된 영역들의 분포에 의한 마이크로 코팅층 (132) 의 습윤성 (wettability) 의 감소는 도 11b에 도시된 그리드형 트레이스 설계가 적용된 배선 트레이스 위의 영역에서 훨씬 보다 확대될 수도 있다. 점성 드레그(viscid drag)에 대처하기 위해, 일부 실시예들에서, 나란히 인접한 복수의 다이아몬드 체인 트레이스들을 포함하는 배선 트레이스는 배선 트레이스의 2개의 부분들 사이에 레일을 구비할 수 있다.

[0233] 도 21을 참조하면, 그리드형 트레이스 스트레인 감소 트레이스 설계를 갖는 배선 트레이스는 배선 트레이스의 분할된 그리드부들 사이에 연장된 채널을 구비한다. 연장된 채널 내에서, 도전 라인 (120) 은 형성되지 않는다. 또한, 베이스층 (106) 상의 적어도 일부의 무기 절연층들은 연장된 채널에서 제거된다. 배선 트레이스의 그리드부들 사이의 연장된 채널은 배선 트레이스의 신호 공급측으로부터 신호 수신측으로 연장된다. 즉, 연장된 채널은 벤딩 방향에 평행한 방향으로 연장될 수도 있다. 연장된 채널의 일 측 상의 배선 트레이스의 분리된 부분들이 연장된 채널의 반대되는 측 상의 배선 트레이스의 일부에 연결되고, 따라서 배선 트레이스의 두 부분들은 동일한 신호를 송신한다는 것을 주의해야 한다. 배선 트레이스의 분할된 부분들 사이의 연결은, 배선 트레이스의 일부일 수도 있는 도전 경로에 의해 배선 트레이스의 단부들 중 하나 또는 모든 단부들에서 달성될 수도 있다. 배선 트레이스의 분할된 부분들의 연결은 벤딩 허용 부분 내에서 또는 벤딩 허용 부분 외부에서 달성될 수도 있다.

[0234] 연장된 채널의 측 각각 상의 배선 트레이스의 부분들이 그리드형 트레이스 설계를 갖지만, 그리드부 및 그리드부들 간의 채널 각각에 인접한 감소된 수의 다이아몬드 체인 트레이스들은 마이크로 코팅층 (132) 의 점성 드레그를 감소시킬 수 있다. 보다 중요하게, 배선 트레이스의 부분들 사이의 연장된 리세스된 채널은 배선 트레이스 위의 마이크로 코팅층 (132) 의 습윤성을 개선하는 경로로서 역할을 한다. 요약하면, 마이크로 코팅층 (132) 의 최대 확산 직경의 증가는 그리드형 스트레인 감소 트레이스 설계를 갖는 배선 내에 하나 이상의 연장된 채널을

위치시킴으로써 달성될 수 있다.

- [0235] 배선 트레이스의 저항은 복수의 그리드부들로 배선 트레이스를 분할하는 연장된 채널을 사용하여 증가될 수 있다는 것을 주의해야 한다. 배선의 저항의 증가는 배선 트레이스에 신호가 공급될 때 배선 트레이스의 온도를 상승시킬 수 있다. 따라서, 단일 배선 트레이스에 제공된 연장된 채널들의 수는 배선 트레이스를 통해 송신된 신호에 따라 결정될 수 있다. 일부 경우들에서, 그리드형 배선 트레이스의 다이아몬드 형상 링크 각각의 사이즈는 플렉서블 디스플레이 (100) 의 다른 배선 트레이스들의 다이아몬드 형상 링크들의 사이즈보다 클 수도 있다.
- [0236] 하나의 적합한 구성에서, 플렉서블 디스플레이 (100) 의 하나 이상의 전력 신호 배선들, 예를 들어 VDD 및/또는 VSS는 도 21에 도시된 바와 같이 나란히 인접한 복수의 다이아몬드 체인 트레이스들로 형성된 그리드형 배선 트레이스를 갖는다. 그리드형 배선 트레이스에 전력 신호 배선 트레이스는 하나 이상의 연장된 채널들을 포함한다. 연장된 채널들 각각은 연장된 채널의 반대되는 측들 상에 있는, 2개의 분할된 그리드부들 사이에 제공된다. 분할된 그리드부들은 전력 신호 배선의 단부들 중 하나 또는 양쪽에 연결된다. 분할된 그리드부들의 사이즈는 실질적으로 동일할 수도 있다. 즉, 연장된 채널의 일 측 상에 그리드부를 형성하는 다이아몬드 체인 트레이스들의 수는 반대되는 측 상에 그리드부를 형성하는 다이아몬드 체인 트레이스들의 수와 동일할 수도 있다. 그러나, 필요한 경우, 일 그리드부를 형성하기 위해 서로 인접한 다이아몬드 체인 트레이스들의 수는 또 다른 그리드부를 형성하는 다이아몬드 체인의 수와 상이할 수도 있다.
- [0237] **부식 내성 인쇄 회로패들**
- [0238] 언급된 바와 같이, 디스플레이 구동-IC 및/또는 터치 구동-IC와 같은 하나 이상의 구동 회로들은 인쇄 회로 상에 배치될 수 있다. 인쇄 회로 상의 도전 라인들은 베이스층 (106) 상에 제공된 컴포넌트들뿐만 아니라 또 다른 인쇄 회로 상에 배치된 컴포넌트들로부터 신호들을 송신한다. 도 22를 참조하면, 제 1 인쇄 회로 (134) 의 일 단부 상에서, 도전 라인들이 베이스층 (106) 상의 도전 라인들과 접촉하도록 배열된다. 제 1 인쇄 회로 (134) 의 다른 단부 상에서, 도전 라인들은, 상부에 제공된 부가적인 회로들 및/또는 컴포넌트들을 포함할 수도 있는, 또 다른 인쇄 회로 (136) (예를 들어, PCB) 와 접촉하도록 라우팅된다. 본 예시에서, 베이스층 (106) 에 부착된 제 1 인쇄 회로 (134) 는 COF (chip-on-film) 로서 설명되고, 제 1 인쇄 회로 (134) 에 부착된 제 2 인쇄 회로 (136) 는 PCB (printed circuit board) 로서 설명된다. 제 1 인쇄 회로 (134) 의 일부 및 베이스층 (106) 이 함께 부착된 영역은 "FOP (Flex-on-Panel) 영역"으로 지칭될 수도 있다. 또한, 인쇄 회로들이 함께 부착된 영역은 "FOF (flex-on-flex) 영역"으로 지칭될 수도 있다. 제 2 인쇄 회로 (136) 는 플렉서블 디스플레이 (100) 의 일부 실시예들에서 필요하지 않을 수도 있다는 것을 주의해야 한다. 예를 들어, 제 1 인쇄 회로 (134) 및 제 2 인쇄 회로 (136) 상의 컴포넌트들은 베이스층 (106) 에 부착된 단일 인쇄 회로에 제공될 수도 있다.
- [0239] 제 1 인쇄 회로 (134) 의 FOP 영역 또는 FOF 영역에서, 도전 라인들의 일부는 베이스층 (106) 상의 대응하는 커넥터 및 제 2 인쇄 회로 (136) 의 커넥터에 연결되는 커넥터 (예를 들어, 패드들 또는 핀들) 로서 역할을 할 수 있다. 접촉 영역들에서, 이방성 도전 접착제 (예를 들어, ACF : anisotropic conductive film) 또는 다른 타입들의 접착제들이 커넥터들 사이에 제공될 수도 있다. 제 1 인쇄 회로 (134) 를 베이스층 (106) 및 제 2 인쇄 회로 (136) 에 본딩하기 전에, 보통 제 1 인쇄 회로 (134) 상의 도전 라인들이 그 위에 배치된 컴포넌트들에 적절하게 연결되었는지 여부를 검사하기 위한 테스트들이 수행된다. 그러나, 도전 라인들은 FOP/FOF 영역들의 매우 좁은 피치 내에 배치되고, 따라서 이들 영역들에서 도전 라인들 상에서 테스트 신호들을 공급/수신하는 것이 어렵다. 따라서, 제 1 인쇄 회로 상의 도전 라인들은, 도전 라인들이 보다 큰 피치로 배열되고/되거나 테스트 패드들이 구비되는 영역으로 FOP/FOF 영역들을 넘어 라우팅된다.
- [0240] 도 8a 및 도 8b를 참조하여 설명된 테스트 패드들 (120_P) 및 테스트 라인들 (120_C) 과 유사하게, FOP/FOF 영역들을 넘어 라우팅된 제 1 인쇄 회로 (134) 상의 도전 라인들의 일부는 제 1 인쇄 회로 (134) 를 목표된 형상 및 사이즈로 스크라이빙/챔퍼링할 때 제 1 인쇄 회로 (134) 로부터 제거될 수 있다. 따라서, 제 1 인쇄 회로 (134) 상에 남아 있는 도전 라인들은 제 1 인쇄 회로 (134) 의 에지들이 스크라이빙/챔퍼링될 때까지 연장될 수 있다. 커넥터들 간의 신뢰성 있는 연결을 위해, 제 1 인쇄 회로 (134) 를 스크라이빙하는 것은 보통 도전 라인들의 일부가 커넥터들로서 역할을 하는 접촉 영역과 스크라이빙된 에지 사이에서 특정한 마진을 갖고 수행된다.
- [0241] 언급된 바와 같이, 때때로 “벨리 패턴” 으로 지칭되는, 스크라이빙된 에지를 향해 접촉 영역 외측으로 라우팅된 도전 라인들의 일부는, 마이크로 코팅층 (132) 을 통과하는 수분 및 가스들로부터의 부식에 특히 민감하다. 따라서, 플렉서블 디스플레이 (100) 의 실시예는 제 1 인쇄 회로 (134) 상의 도전 라인들의 부식을 최소화하는 것을 도울 수 있는 몇몇 특징들을 채용할 수도 있다. 도 23a는 제 1 인쇄 회로 (134) 상의 FOP 영역의 도전 라인들의 예시적인 구성을 예시하는 평면도다. 도시된 바와 같이, 제 1 인쇄 회로 (134) 상에 배치된 특정한 도전

라인들은 접착 영역들을 넘어 연장하지 않도록 배열된다. 즉, 제 1 인쇄 회로 (134) 상에서, 일부 커넥터들은 뱀리 패턴들을 구비하지만 일부 선택된 커넥터들은 뱀리 패턴들을 구비하지 않는다. 뱀리 패턴을 갖지 않고 접착 영역에서 종결되는 도전 라인들은 제 1 인쇄 회로 (134) 의 컴포넌트들, 예를 들어 Drive-IC (138) 에 연결되지 않고 FOP 영역과 FOF 영역 사이에서 라우팅되는 도전 라인일 수도 있다. 이러한 도전 라인들은 단순히 베이스층 (106) 상의 컴포넌트들과 제 2 인쇄 회로 (136) 상의 컴포넌트들 사이의 상호연결을 제공하도록 제 1 인쇄 회로 (134) 상으로 라우팅되고, 따라서, 이러한 도전 라인들의 결함들의 가능성이 매우 축소된다. 뱀리 패턴이 없는, 도전 라인의 단부는 스크라이빙 프로세스에 의해 절단되지 않고, 도전 라인의 외부층 (예를 들어, Sn 층) 은 도전 라인의 내부층 (예를 들어, Cu 층) 을 커버할 수 있고, 결국 부식을 억제한다. 또한, 이러한 바이패스 도전 라인들의 뱀리 패턴을 제거하는 것은 다른 도전 라인들의 뱀리 패턴들 사이의 거리 X를 증가시킬 수 있다. 부식에 필수적인 엘리먼트 중 하나가 되는 애노드 금속과 캐소드 금속 간의 전기적 흐름은 이들 뱀리 패턴들 상의 부식을 감소시키는 것을 도울 수 있다. 부가적으로, 뱀리 패턴들 간의 거리 X를 증가시키는 것은 부식 잔해 및 다른 침전물들에 의해 유발된 도전 라인들 간의 쇼트 가능성들을 저감할 수 있다.

[0242] 상술한 것과 유사한 이유로, 일부 실시예들에서, 더미 커넥터가 서로 큰 전압차의 신호들을 송신하는 커넥터들 사이에 제공될 수도 있다. 도 23b를 참조하면, 더미 커넥터는 VGH를 송신하기 위한 도전 라인과 VGL를 송신하기 위한 도전 라인 사이에 위치될 수 있다. 또한, 더미 커넥터는 VSS 라인 커넥터와 VDD 라인 커넥터 사이에 위치될 수 있다. VGH/VGL 라인 커넥터 및 VDD/VSS 라인 커넥터는 제 1 인쇄 회로 (134) 의 스크라이빙된 에지로 연장하는 뱀리 패턴을 가지지만, 더미 커넥터들은 뱀리 패턴들을 가지지 않는다. 반대로 대전된 도전 라인들의 커넥터들 간의 공간은 더미 커넥터의 폭만큼 증가된다. 더미 커넥터의 단부는 제 1 인쇄 회로 (134) 의 스크라이빙된 에지로부터 이격된다. 이와 같이, 큰 전압차를 갖는 도전 라인들의 뱀리 패턴들에 대한 부식 제어가 실현될 수 있다.

[0243] 일부 경우들에서, 일부 신호들, 예를 들어 게이트 하이/로우 신호들 및/또는 전력 신호들은 제 1 인쇄 회로 (134) 상에서 서로 옆에 위치한 몇몇 도전 라인들의 그룹을 사용하여 송신될 수도 있다. 또한, 유사한 신호들 (예를 들어, 클록 신호들) 을 송신하는 도전 라인들은 제 1 인쇄 회로 (134) 상에서 서로 옆에 배열될 수도 있다. 이러한 경우들에서, 동일한 그룹의 모든 도전 라인들에 대한 검사는 불필요할 수도 있다. 따라서, 일부 실시예들에서, 동일하거나 유사한 타입의 신호들을 송신하는 인접하게 위치한 커넥터들의 그룹의 적어도 하나 이상의 커넥터들은 뱀리 패턴을 갖지 않고 제 1 인쇄 회로 (134) 상에 제공될 수도 있다.

[0244] 도 23c를 참조하면, “커넥터 그룹” 으로 표기된, 유사한 타입의 신호들을 송신하기 위한 커넥터들은 서로 인접하게 제공된다. 또한, 동일한 신호를 송신하기 위해 인접하게 위치한 커넥터들은 “멀티-핀 커넥터” 로서 표기된다. 도시된 바와 같이, 멀티-핀 커넥터 사이의 커넥터들 중 적어도 하나는 뱀리 패턴을 갖지 않고 제 1 인쇄 회로 (134) 상에 형성될 수도 있다. 유사하게, 유사한 신호들을 제공하는 커넥터들의 그룹 사이의 커넥터들 중 적어도 하나는 뱀리 패턴을 구비하지 않을 수도 있다. 예를 들어, 도전 라인들 (CLK1, CLK2 및 CLK 3) 중 어느 하나는 뱀리 패턴을 갖지 않는 커넥터로 종결할 수도 있다. 이러한 방식으로, 남아 있는 뱀리 패턴들 사이의 거리 X는 증가될 수 있고, 이는 이들 뱀리 패턴들에 대한 부식을 감소시키는 것을 도울 수 있다. 또한, 부식 잔해 및 다른 침전물들로 인한 뱀리 패턴들 사이의 쇼트 가능성들이 뱀리 패턴들 간의 거리 X를 증가시킴으로써 감소될 수 있다.

[0245] 일부 실시예들에서, 뱀리 패턴을 갖지 않는 커넥터는 커넥터들의 그룹 중에서 제 1 커넥터 및/또는 마지막 커넥터일 수도 있다. 도 23c에서, 커넥터 그룹 또는 멀티-핀 커넥터들 옆에 위치한 커넥터 B는 커넥터 그룹 및 멀티-핀 커넥터들 상에서 송신된 신호들로부터 상이한 타입의 신호를 송신하도록 구성될 수도 있다. 예로서, 커넥터 그룹의 커넥터들은 클록 신호들을 송신하도록 구성될 수도 있고 커넥터 B는 VGH 신호, VGL 신호, VDD 신호 및 VSS 신호 중 어느 하나를 송신하도록 구성될 수도 있다. 커넥터 그룹 및 멀티-핀 커넥터들에 포함된 커넥터들 중에서, 커넥터 B에 바로 인접하게 위치한 커넥터는 뱀리 패턴을 갖지 않는 제 1 인쇄 회로 (134) 상에 제공될 수도 있다.

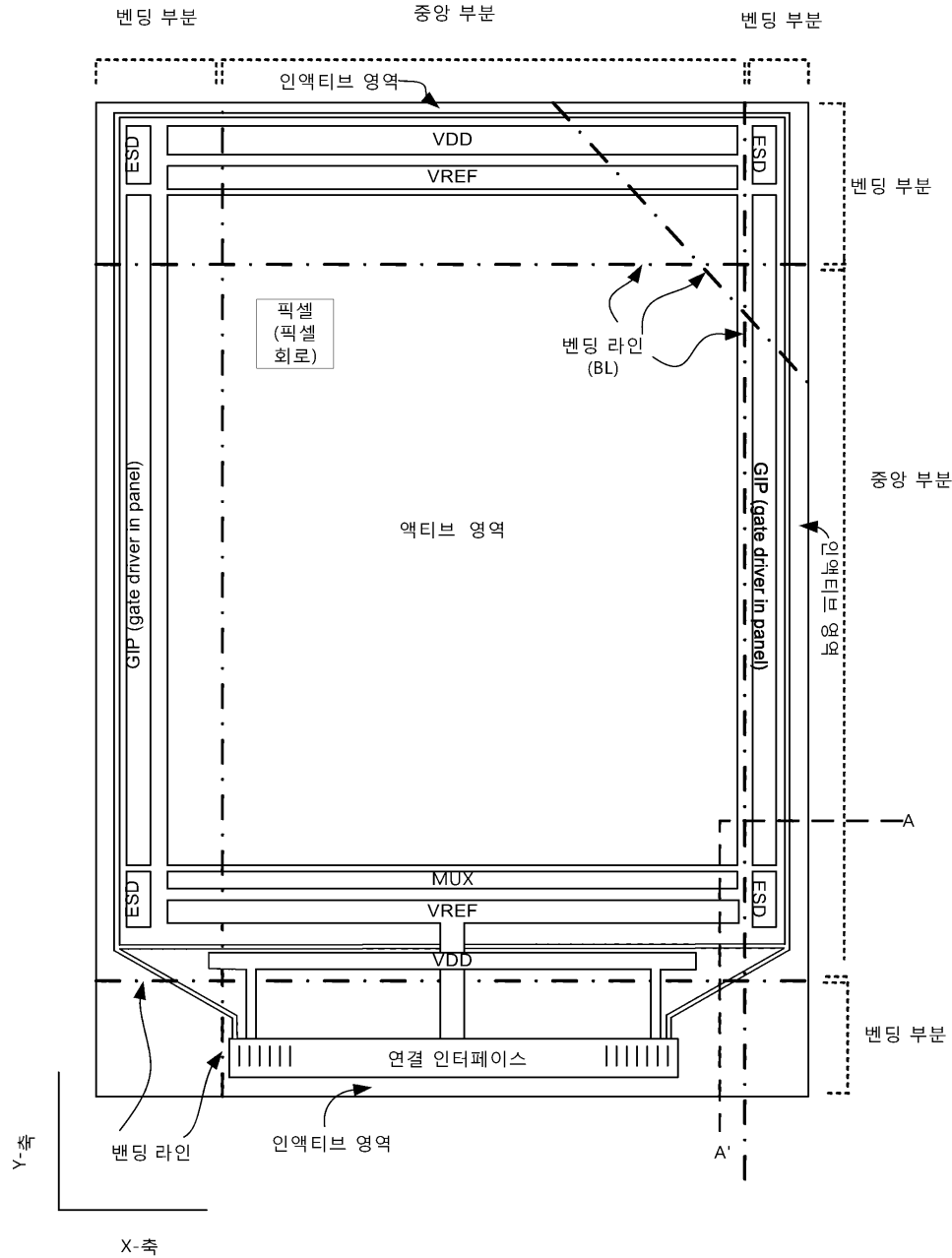
[0246] 게다가, 일부 실시예들에서, 도 23d에 도시된 바와 같이 접착 영역 외측의 도전 라인들을 커버하는 SR (solder resist) 은 또한 스크라이빙된 에지를 따라 뱀리 패턴들 위에 제공될 수도 있다. 이 점에서, SR은 제 1 인쇄 회로 (134) 를 스크라이빙하기 전에 뱀리 패턴들 위에 코팅될 수도 있다. 대안적으로, SR은 제 1 인쇄 회로 (134) 의 스크라이빙이 수행된 후 뱀리 패턴들 위에 코팅될 수도 있다. 후자의 경우, SR은 뱀리 패턴의 노출된 단면 측면을 커버할 수도 있다. 커넥터들의 구성들이 FOP 영역의 커넥터들을 참조하여 설명되었지만, 이러한 구성들은 또한 FOF 영역의 커넥터들에 사용될 수 있다.

- [0247] 본 개시의 개념들 및 교시들이 OLED 디스플레이 기술을 참조하여 앞에서 설명되었지만, 몇몇 특징들이 전기영동, 액정, 일렉트로크로믹, 플렉서블 기관들 상에 별도의 무기 LED 에미터들을 포함하는 디스플레이들, 전기유체 (electrofluidic), 및 일렉트로키네틱스 (electrokinetic) 디스플레이들과 같은 임의의 형태의 플렉서블 디스플레이 기술뿐만 아니라 임의의 다른 적합한 형태의 디스플레이 기술로 확장가능할 수도 있다는 것이 이해될 것이다.
- [0248] 상술한 바와 같이, 보다 사이즈를 감소시키고/시키거나 조립된 및/또는 플렉서블 디스플레이 (100)의 측면을 활용하기 위해, 플렉서블 디스플레이 (100)는, 부분 또는 부분들의 벤딩을 허용하도록 구성된 복수의 혁신들을 포함할 수도 있다. 일부 실시예들에서, 벤딩은, 액티브 디스플레이 컴포넌트들 또는 주변 회로들보다는 도전 라인 (120)만을 갖는 벤딩 부분 및/또는 벤딩 허용 부분에서만 수행될 수도 있다. 일부 실시예들에서, 베이스층 (106) 및/또는 벤딩될 다른 층들 및 기관들은 파손없이 벤딩을 촉진하도록 가열될 수도 있고, 이어서 벤딩 후에 냉각될 수도 있다. 일부 실시예들에서, 패시브 유전체층을 갖는 스테인레스 스틸과 같은 금속들은 상기 논의된 폴리머 재료들 대신 베이스층 (106)으로서 사용될 수도 있다. 감지 컴포넌트들의 파손 없이 적절한 벤딩을 보장하기 위해 몇몇 식별 및 정렬 프로세스 단계들에서 광학적 마커들이 사용될 수도 있다. 플렉서블 디스플레이 (100)의 컴포넌트들은 컴포넌트들 및 상호연결부들에 대한 손상을 모니터링하기 위해 디바이스 어셈블리 및 벤딩 동작들 동안 능동적으로 모니터링될 수도 있다.
- [0249] 도전 라인 (120) 및/또는 절연층들의 구성 재료들은 벤딩 영역에서 파손하는 대신 스트레칭 및/또는 압축을 촉진하도록 최적화될 수도 있다. 도전 라인 (120)의 두께는 플렉서블 디스플레이 (100)의 벤딩 허용 부분 또는 벤딩 부분에 대한 응력들을 최소화하도록 벤딩 영역 및/또는 벤딩 허용 부분에 걸쳐 가변할 수도 있다. 도전 라인 (120) 및 절연층들의 트레이스 설계는 벤딩 방향 (즉, 굽혀진 부분의 접선 벡터), 미앤더링 (meandering), 너울 (waving)로부터 기울어질 수도 있고, 그렇지 않으면 벤딩 동안 단절 가능성을 감소시키기도록 배열될 수도 있다. 도전 라인 (120), 절연층들 및 다른 컴포넌트들의 두께는 벤딩 동안 파손을 감소시키도록 플렉서블 디스플레이 (100)의 벤딩 부분에서 변경되거나 최적화될 수도 있다. 개시된 봉지층들에 부가하여 컴포넌트들 위에 보호 마이크로 코팅층(들)을 부가함으로써 벤딩 응력들이 감소될 수도 있다. 도전필름들은 벤딩 전, 벤딩 동안, 또는 벤딩 후에 리페어 프로세스에서 도전 라인 (120)에 적용될 수도 있다. 게다가, 플렉서블 디스플레이 (100)의 실질적으로 평탄한 영역의 도전 라인 (120)을 위한 구성 재료 및/또는 구조는 벤딩 부분 및/또는 벤딩 허용 부분의 도전 라인 (120)과 상이할 수도 있다.
- [0250] 이들 다양한 양태들, 실시예들, 구현예들 또는 설명된 실시예들의 특징들은 개별적으로 또는 임의의 조합으로 사용될 수 있다. 전술한 바는 본 발명의 원리들의 단순한 예시이고, 다양한 수정들이 본 발명의 범위로부터 벗어나지 않고 당업자에 의해 이루어질 수 있다.

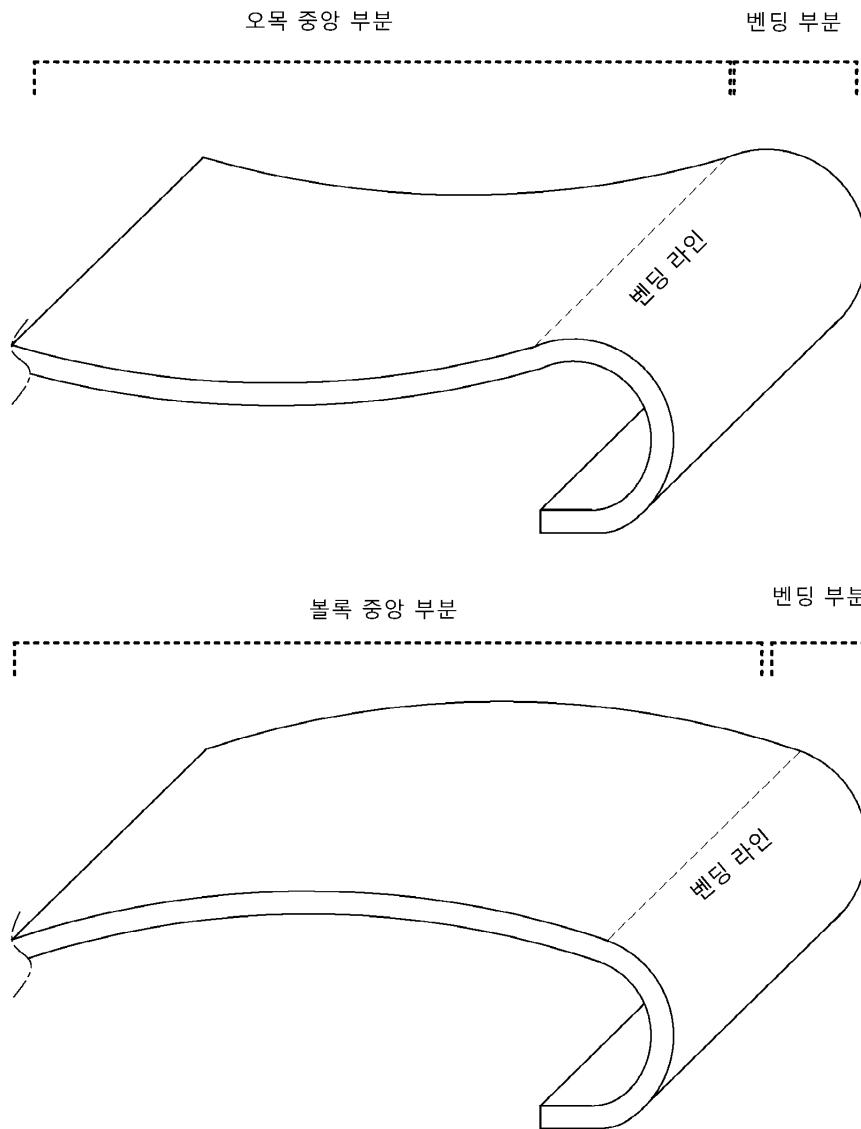
도면

도면1

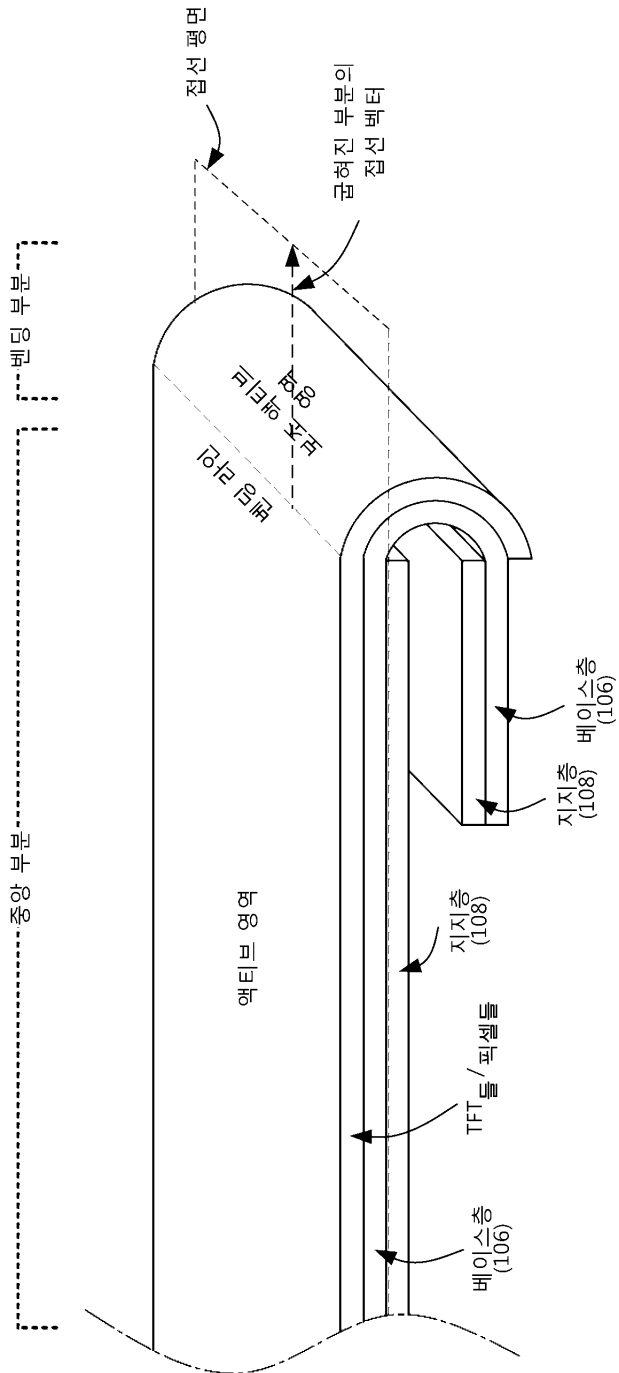
100



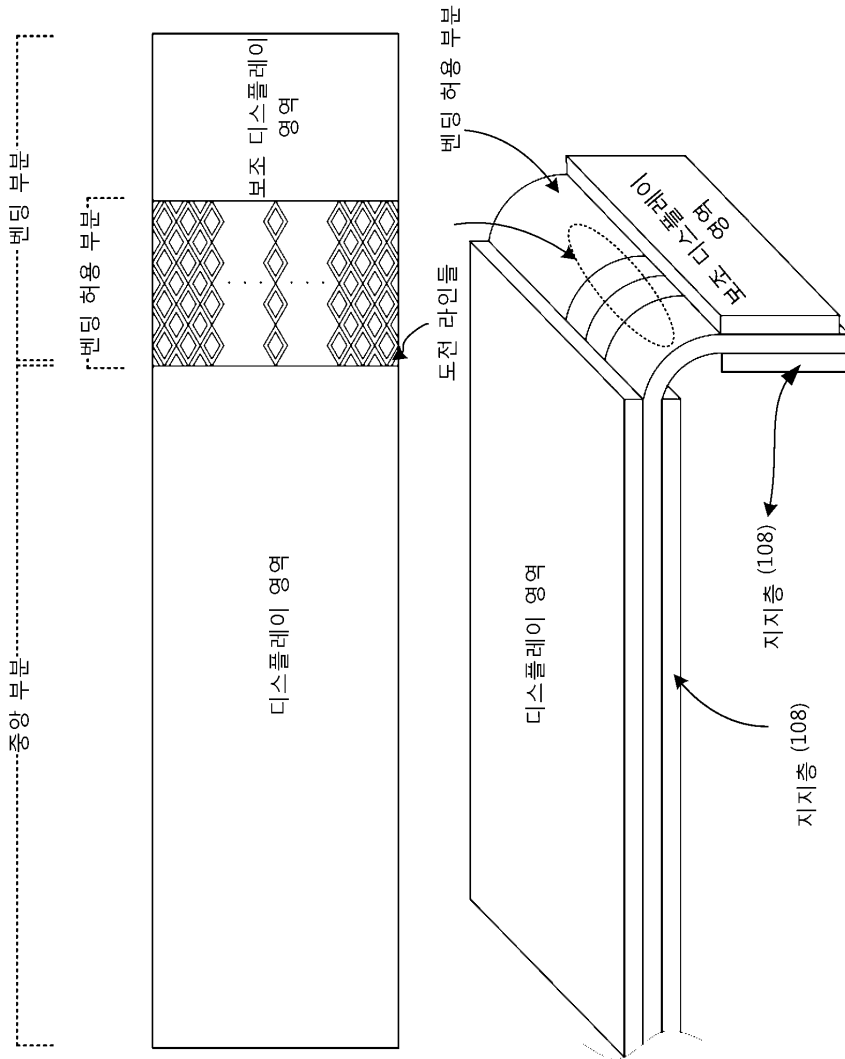
도면2



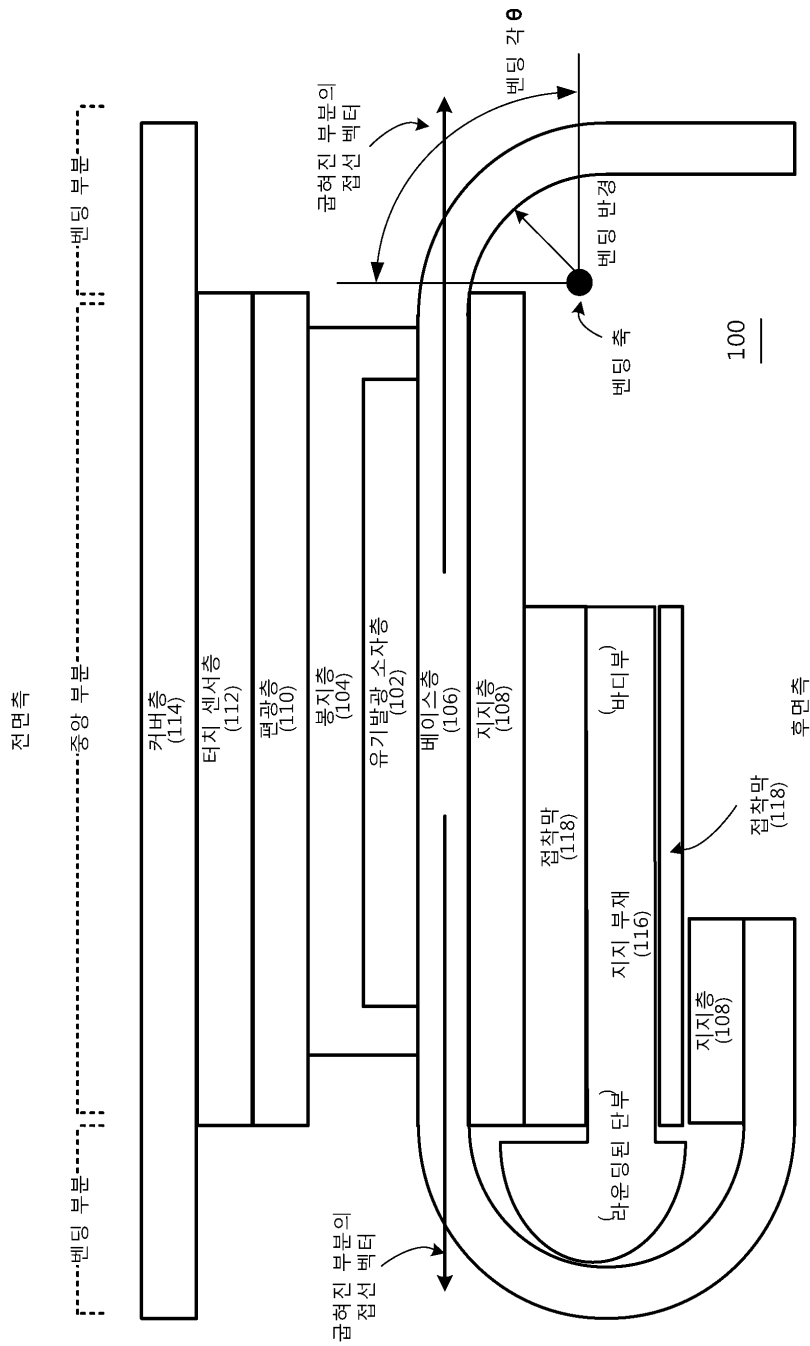
도면3a



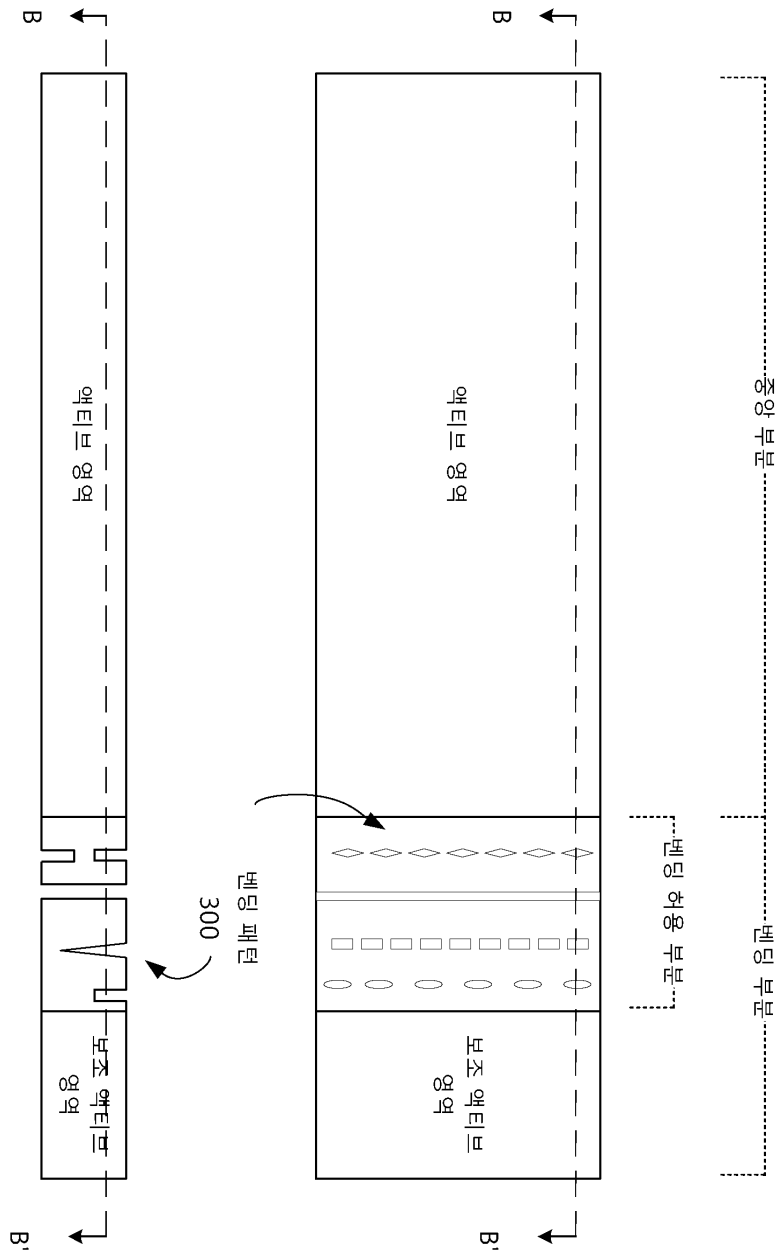
도면3b



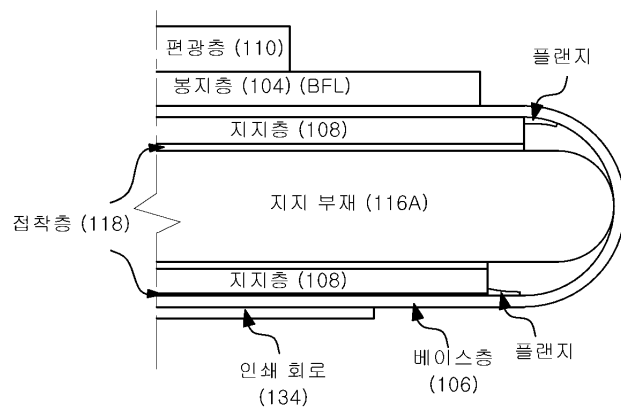
도면4



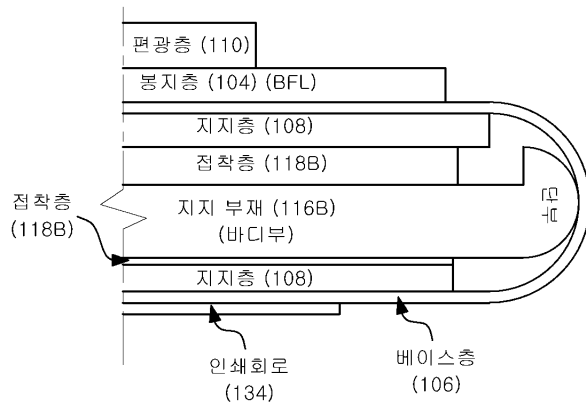
도면5



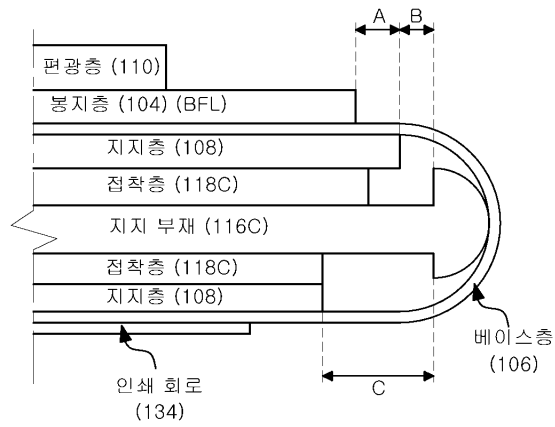
도면6a



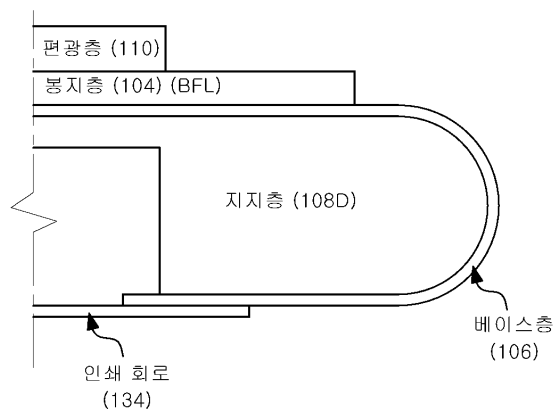
도면6b



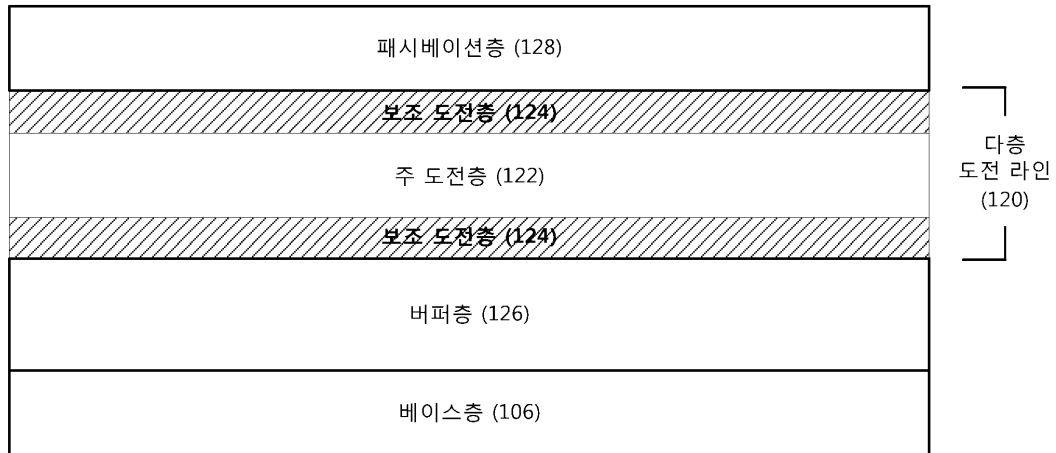
도면6c



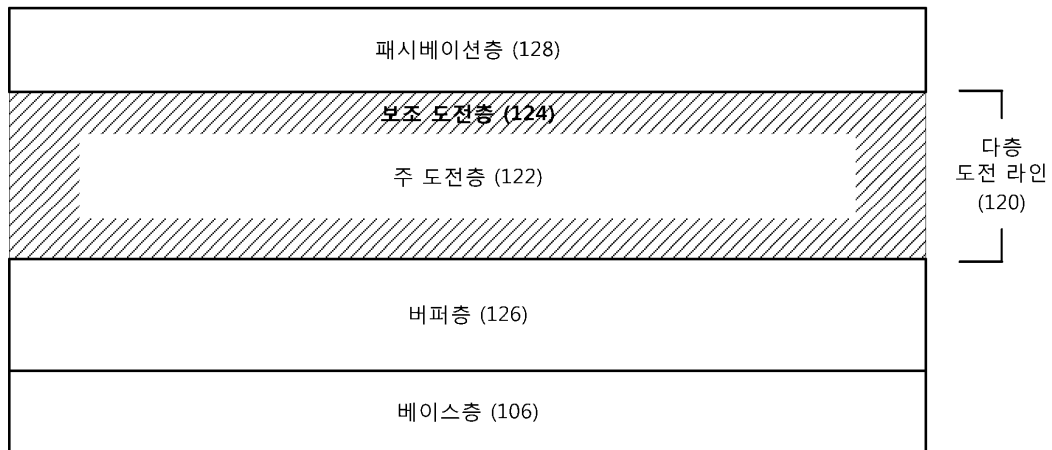
도면6d



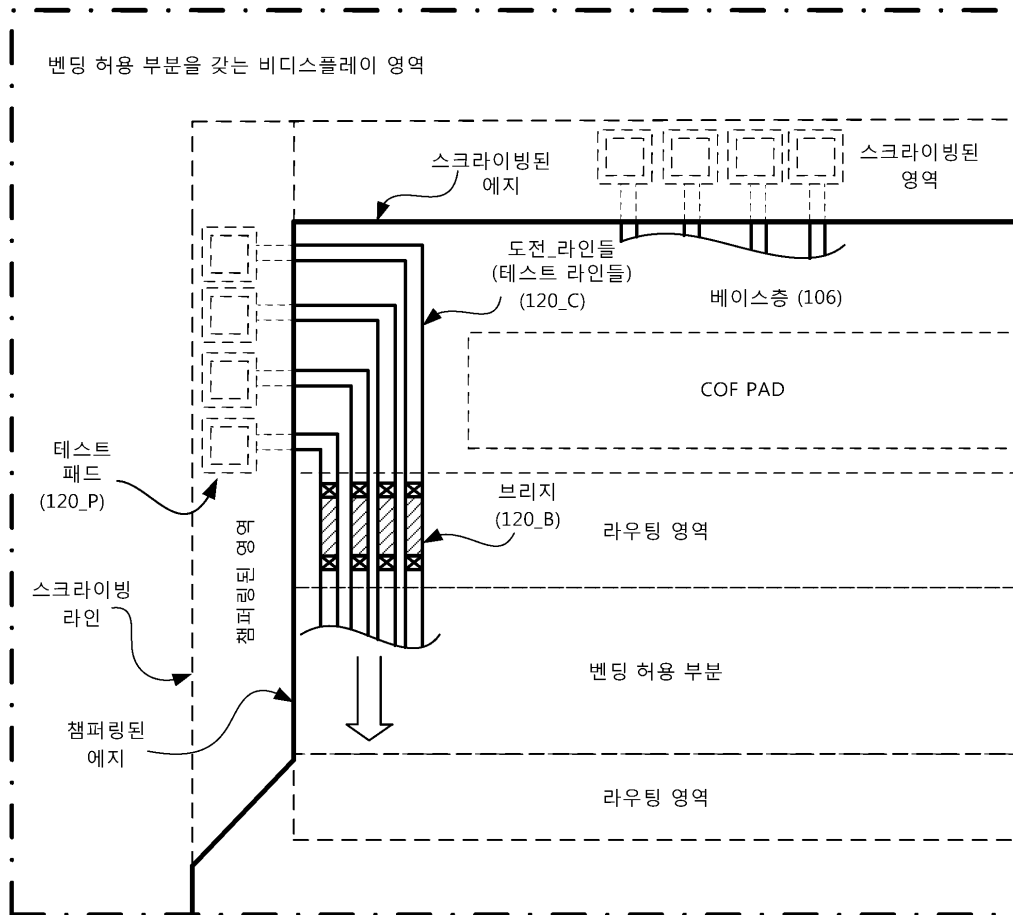
도면7a



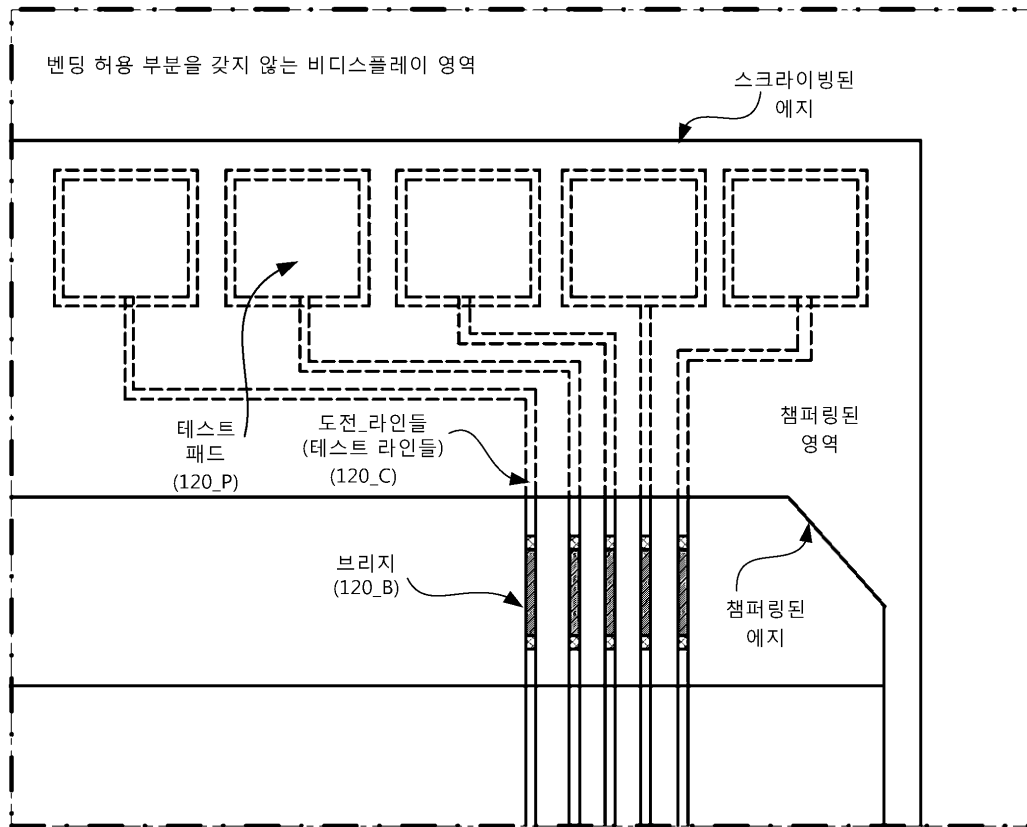
도면7b



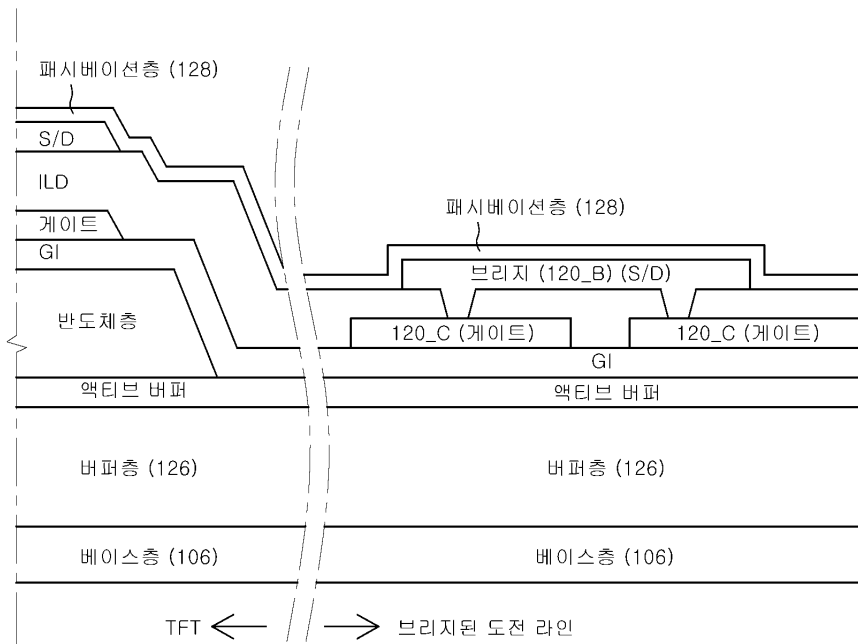
도면8a



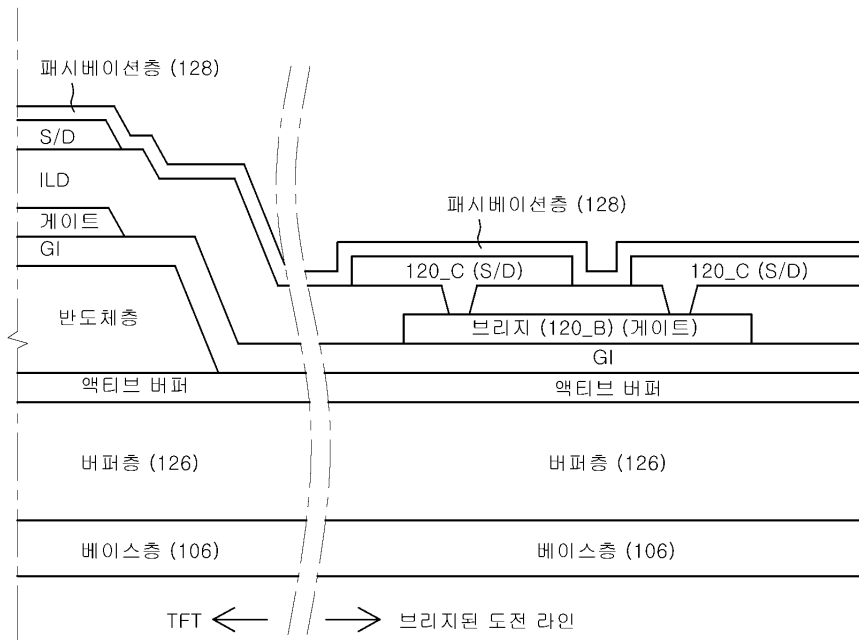
도면8b



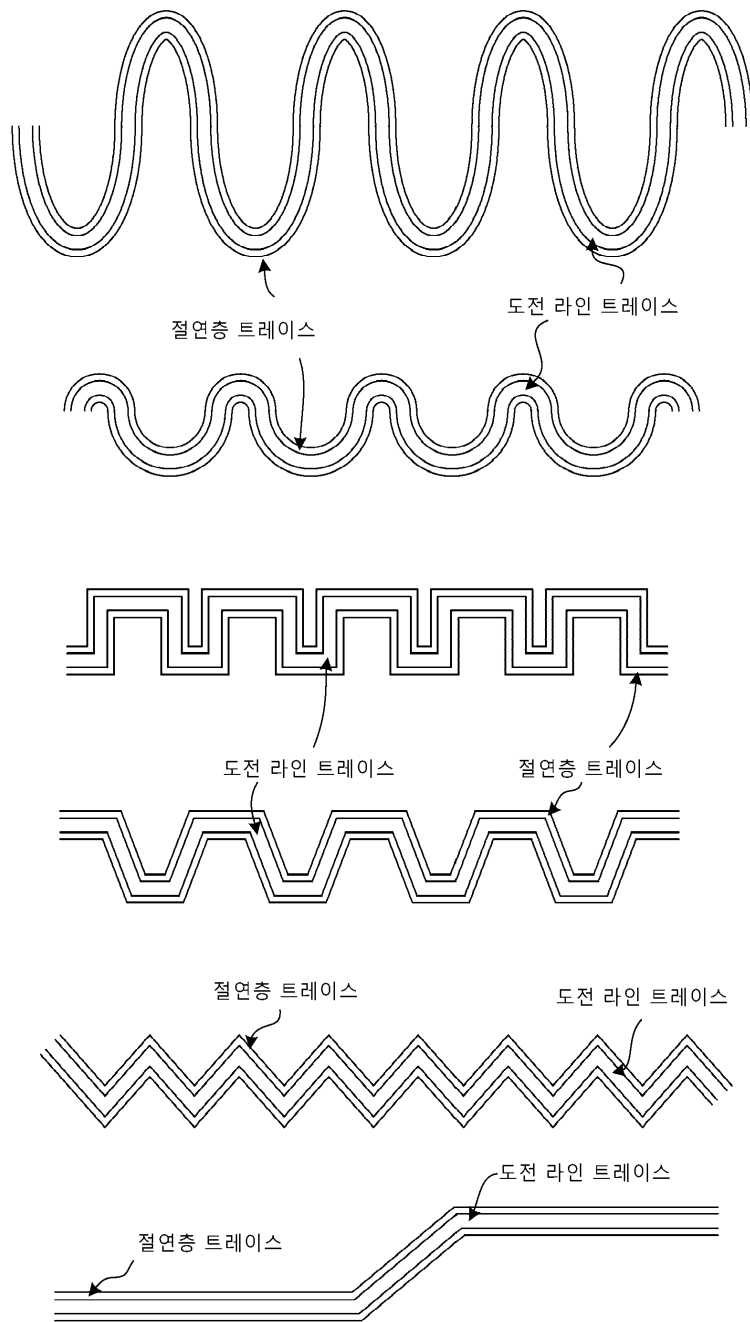
도면9a



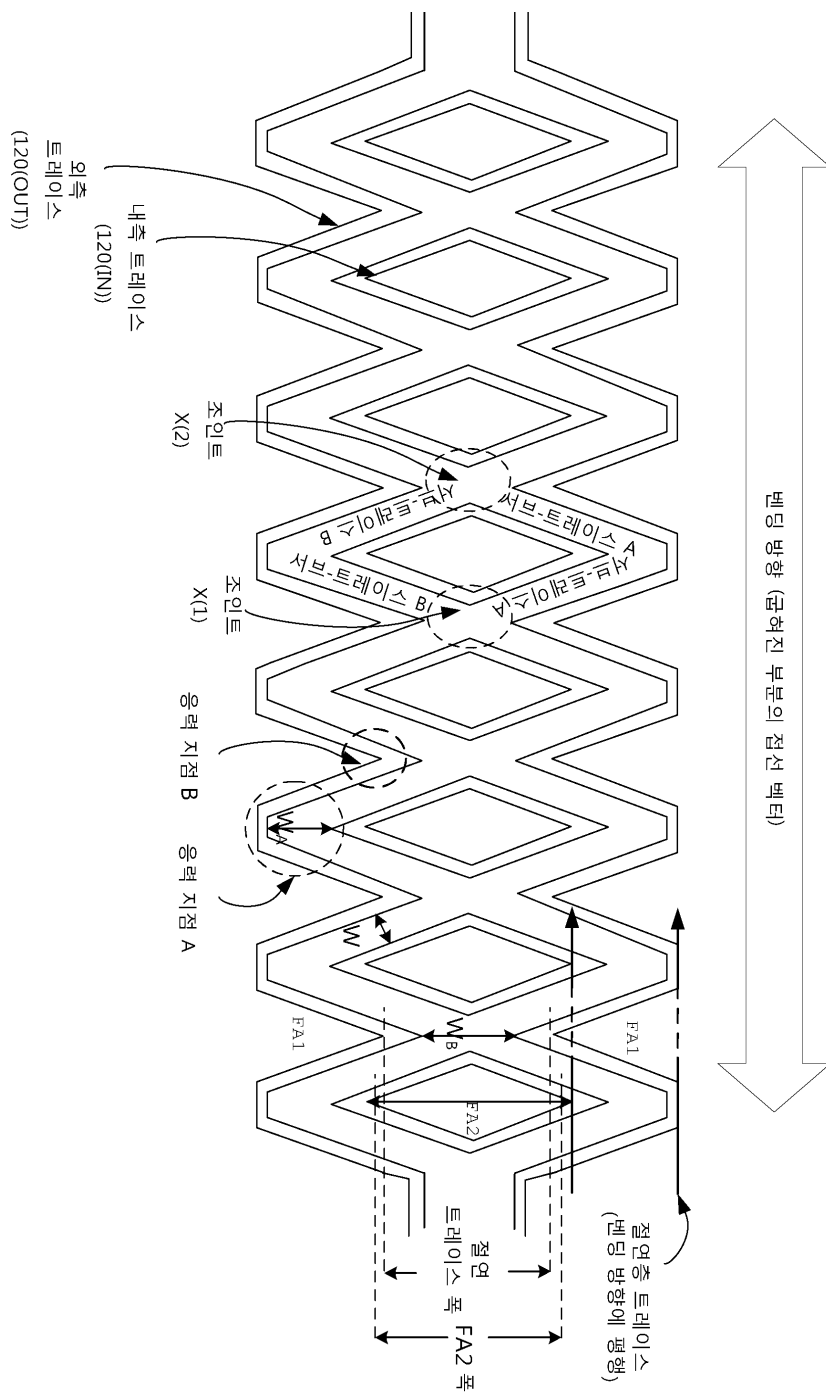
도면9b



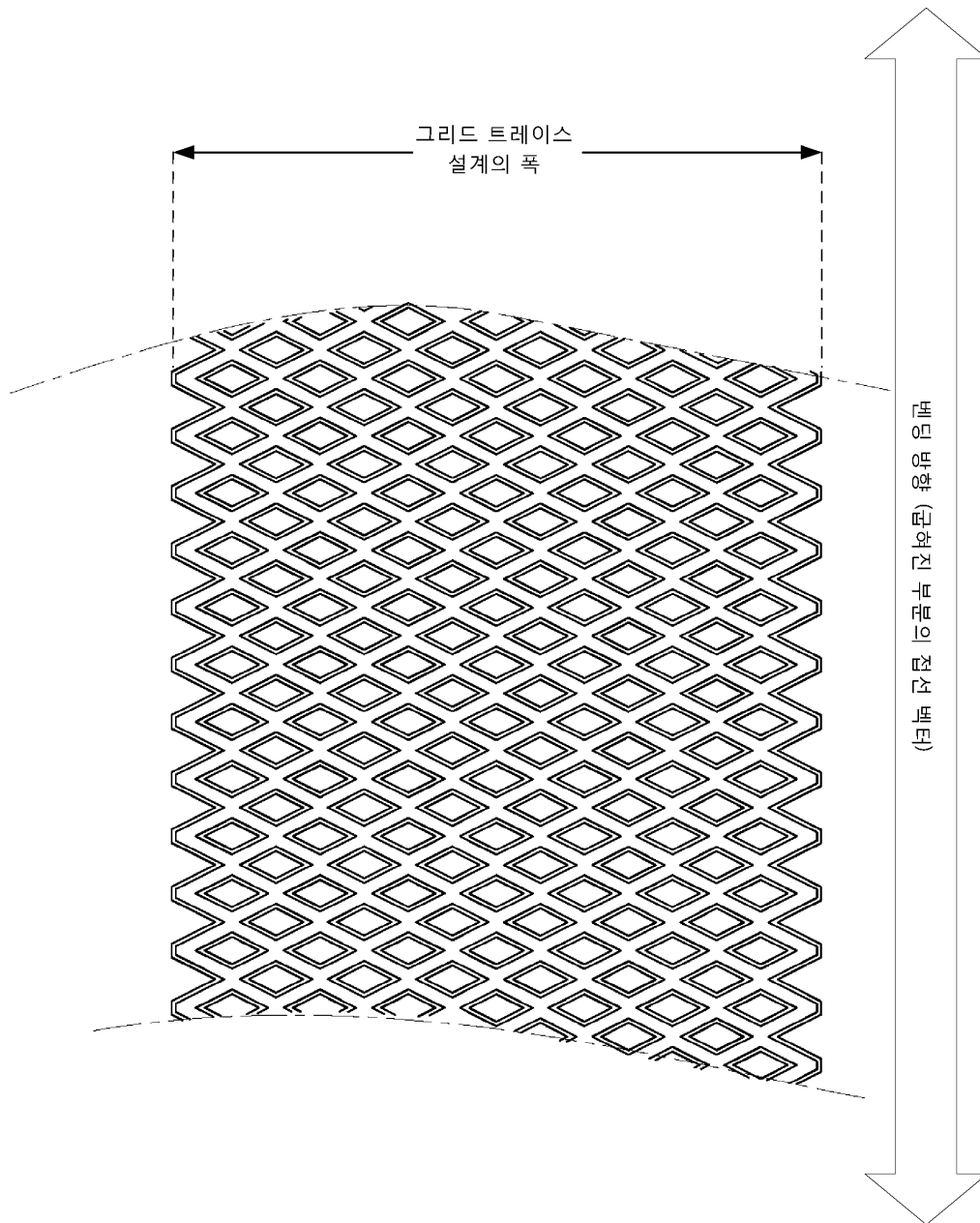
도면10



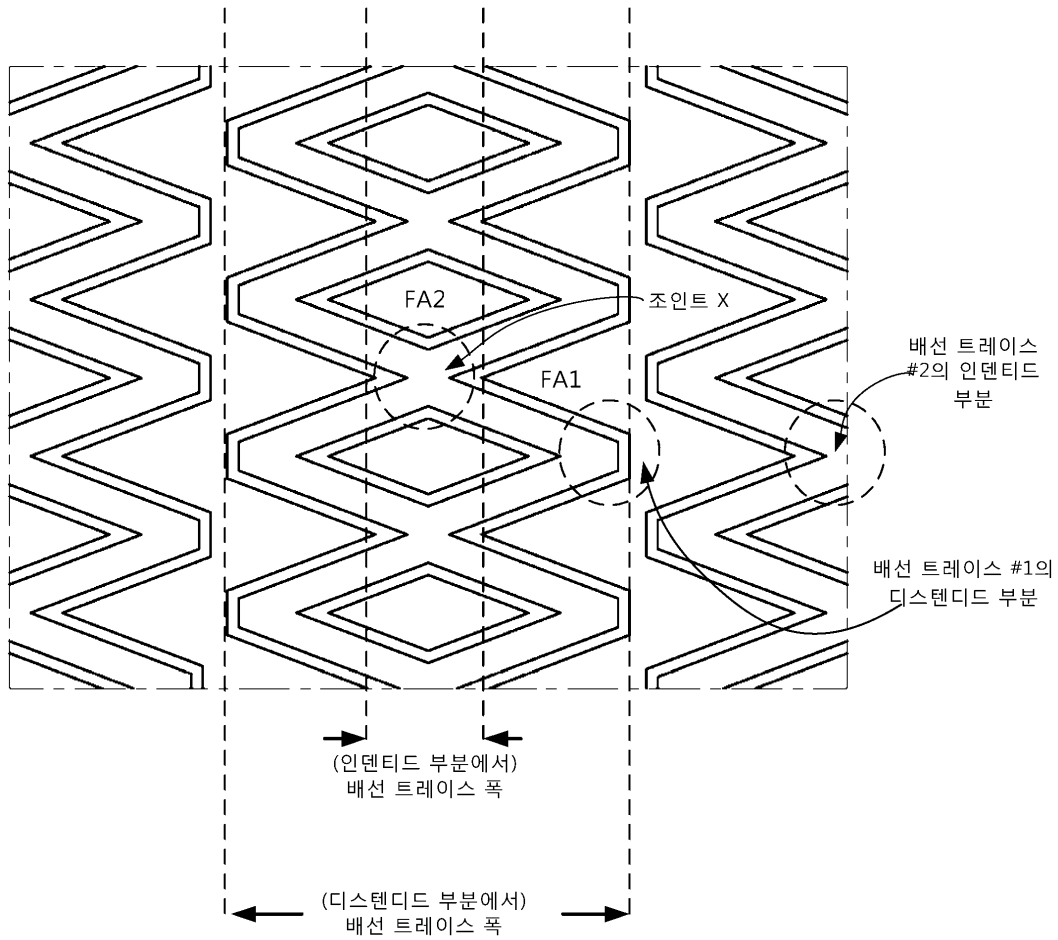
도면11a



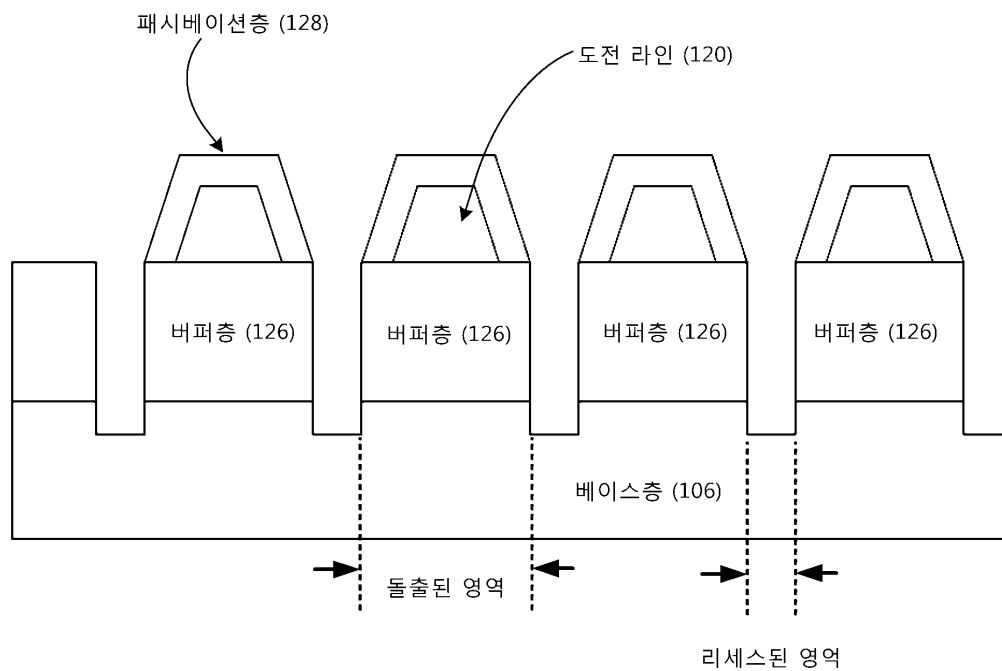
도면11b



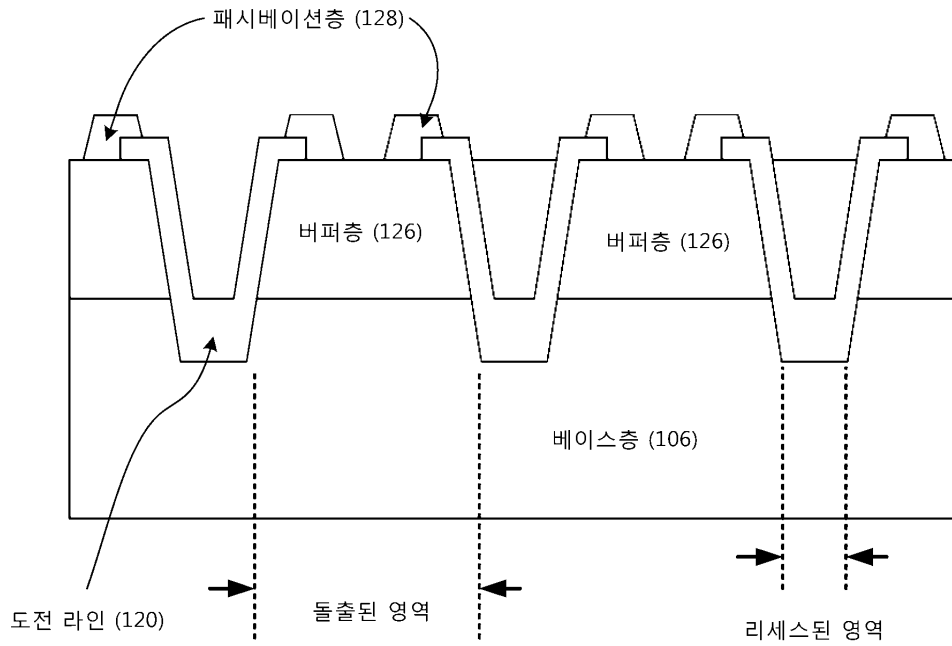
도면12



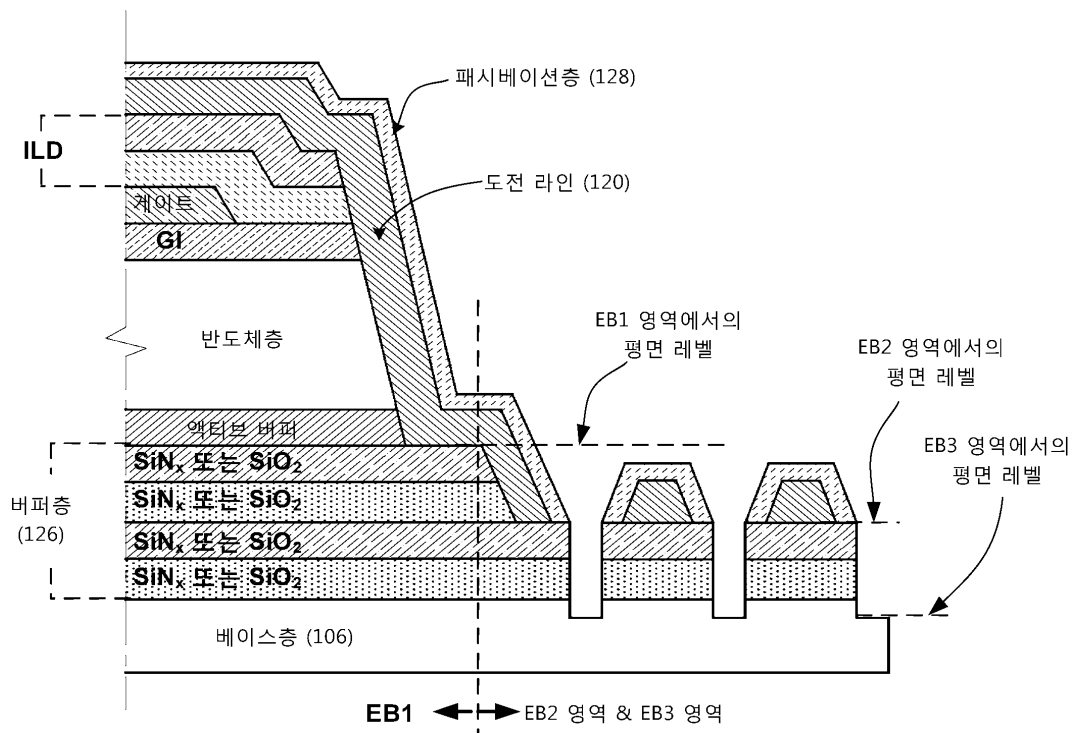
도면13a



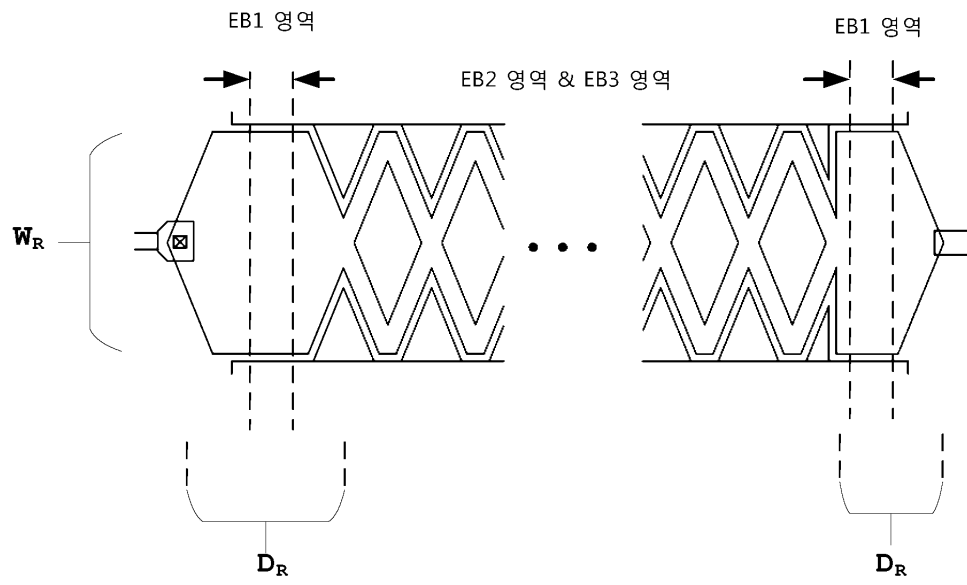
도면13b



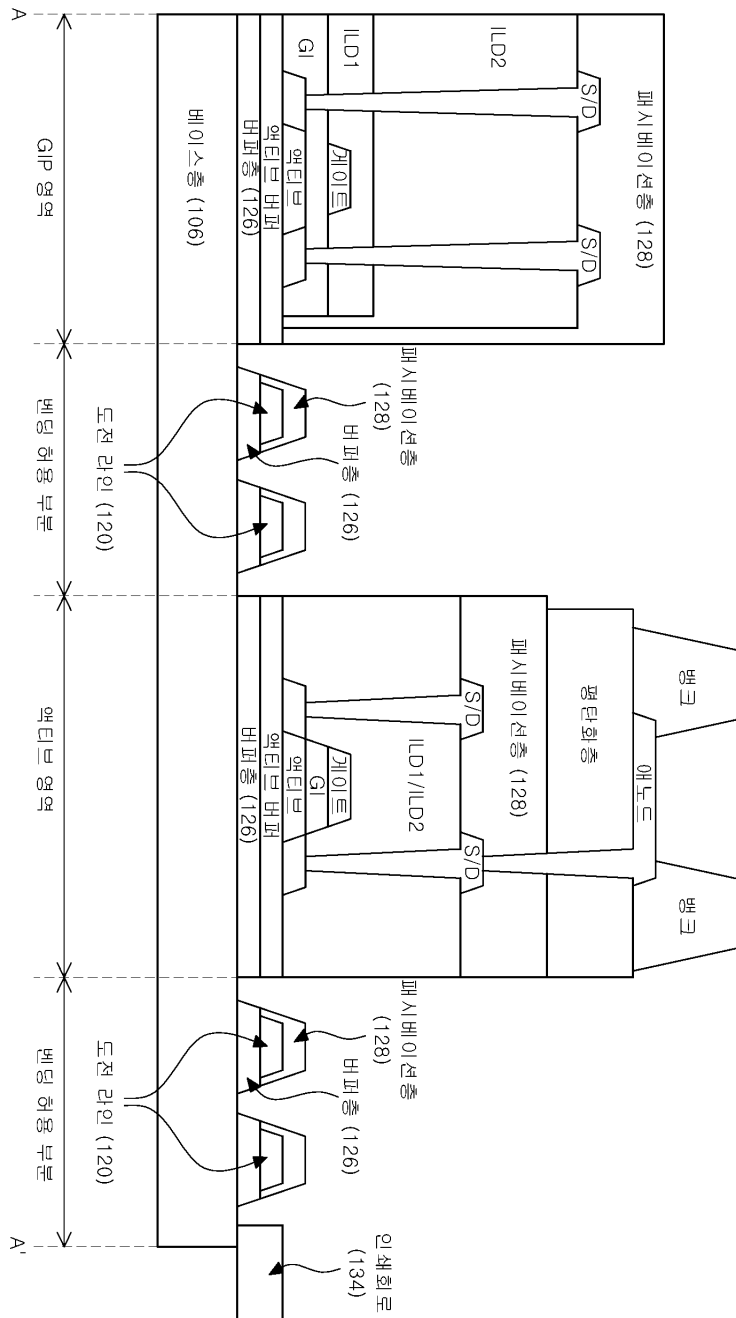
도면14a



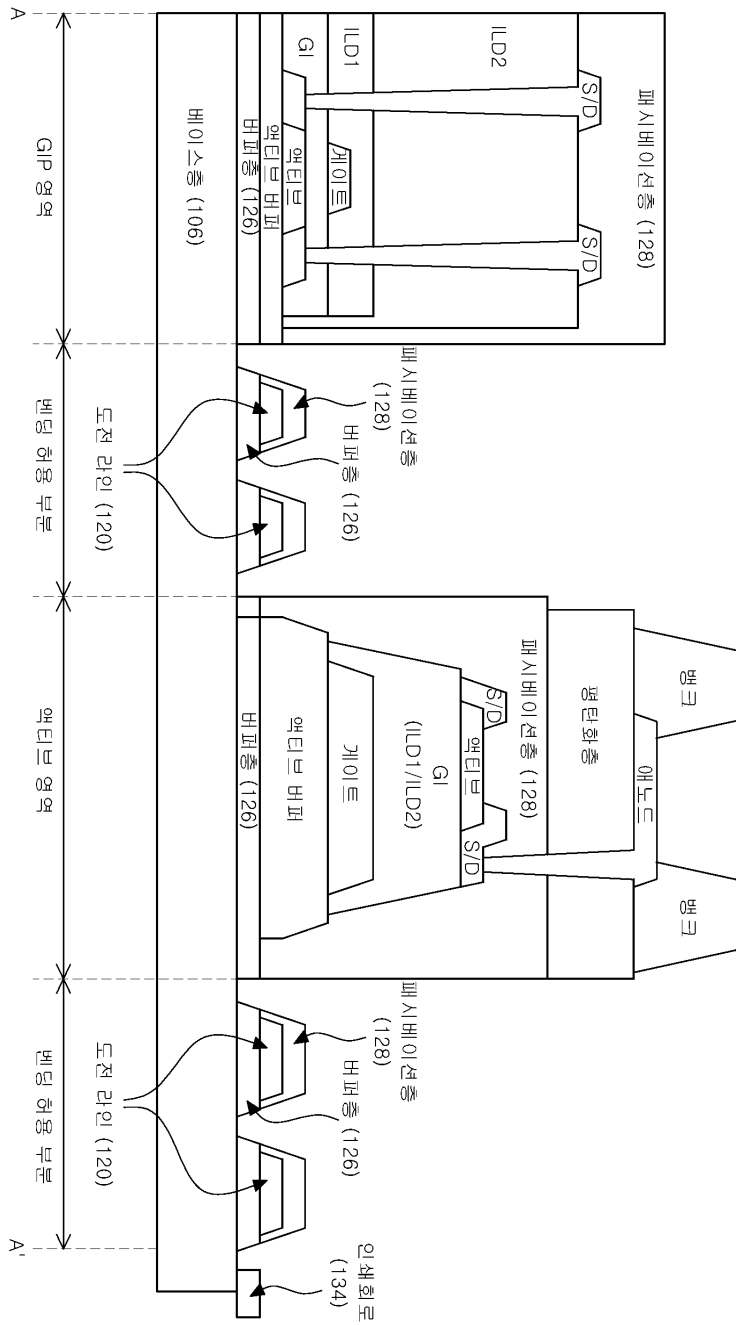
도면14b



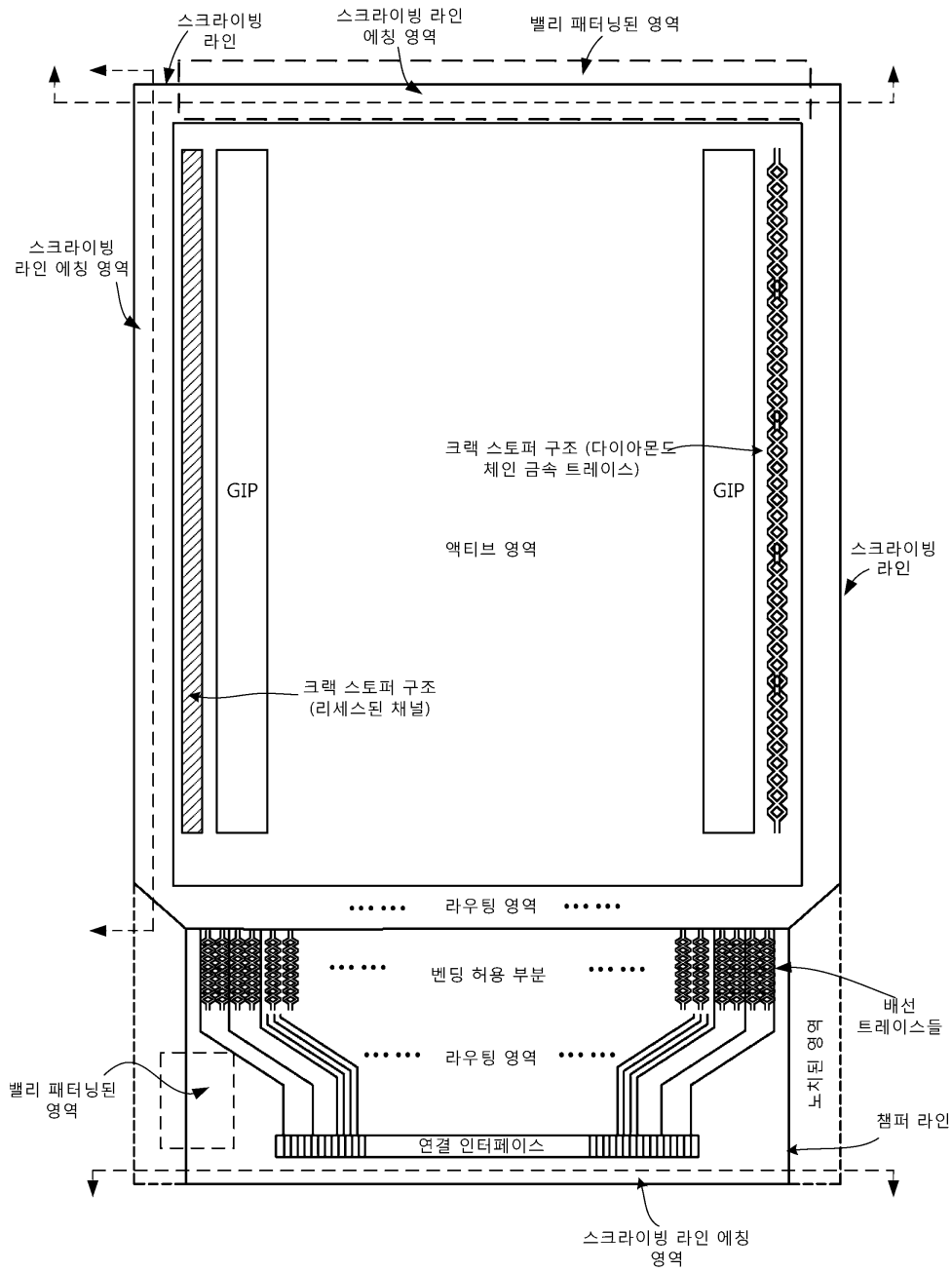
도면15a



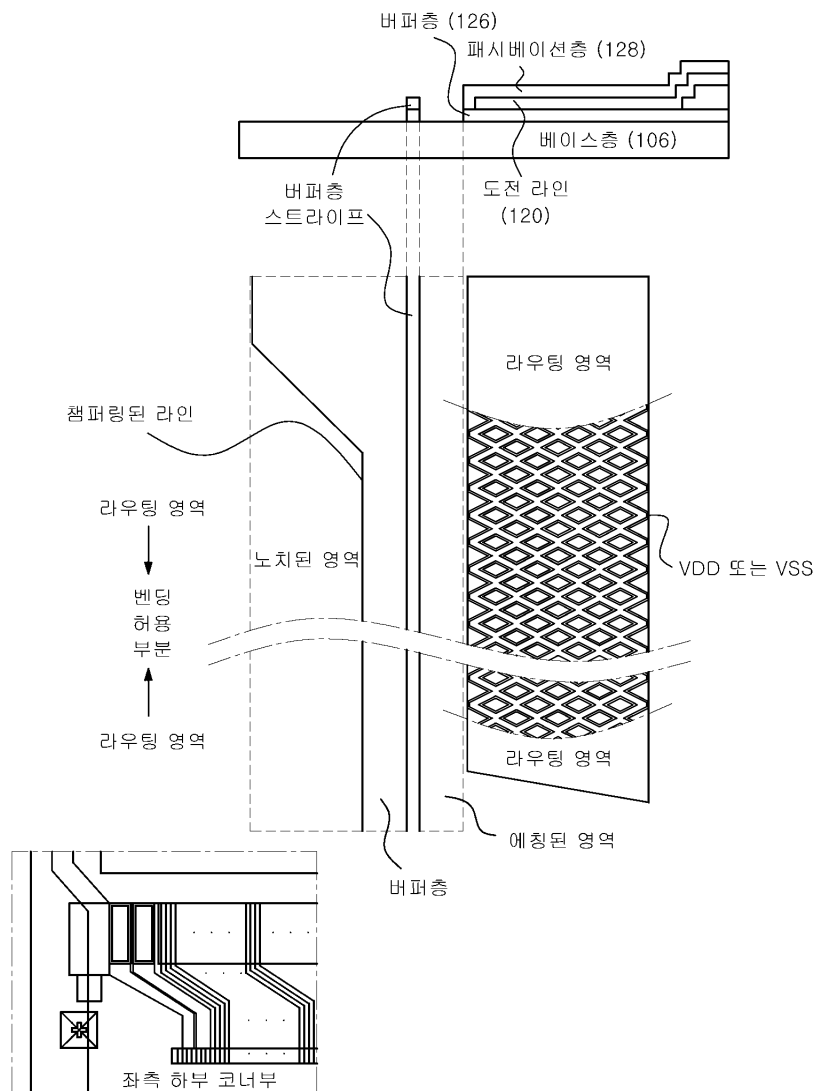
도면15b



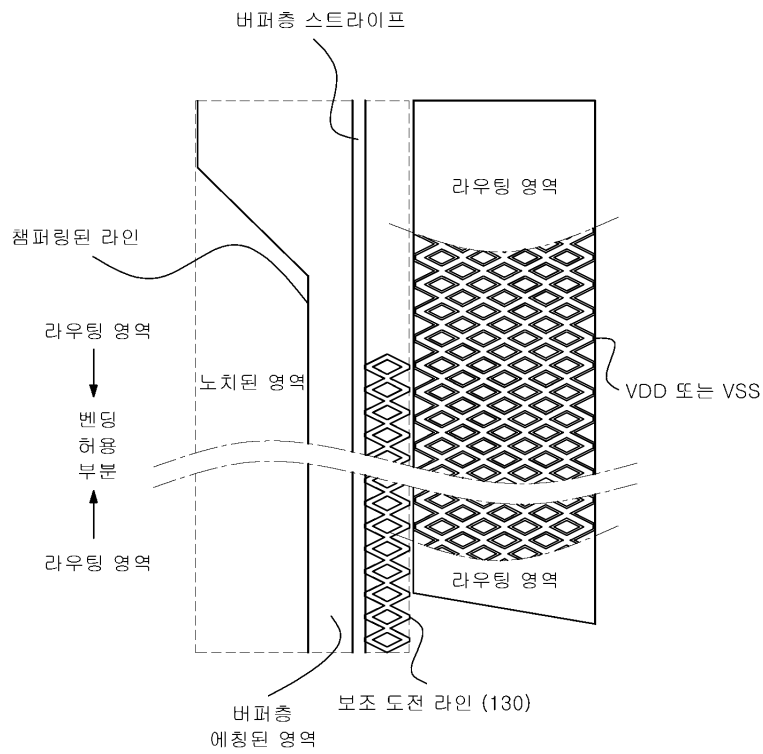
도면16a



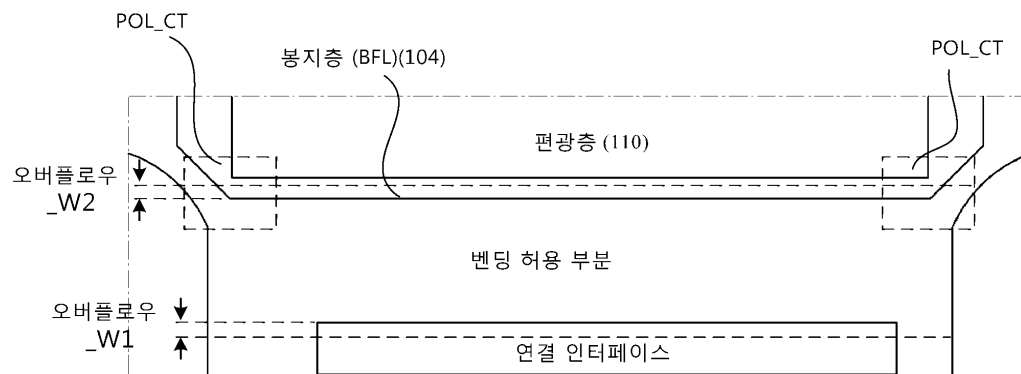
도면16b



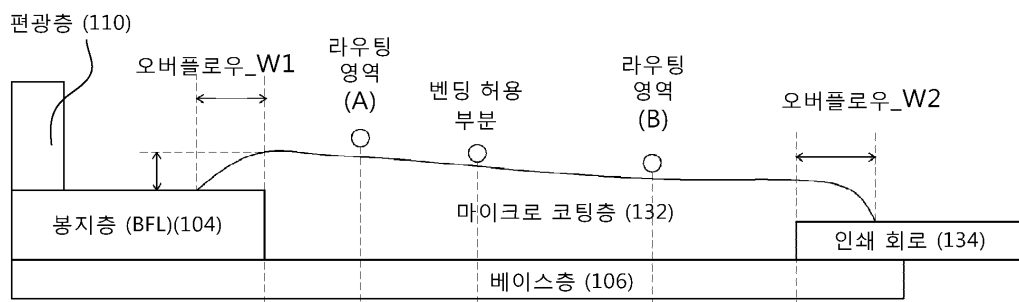
도면16c



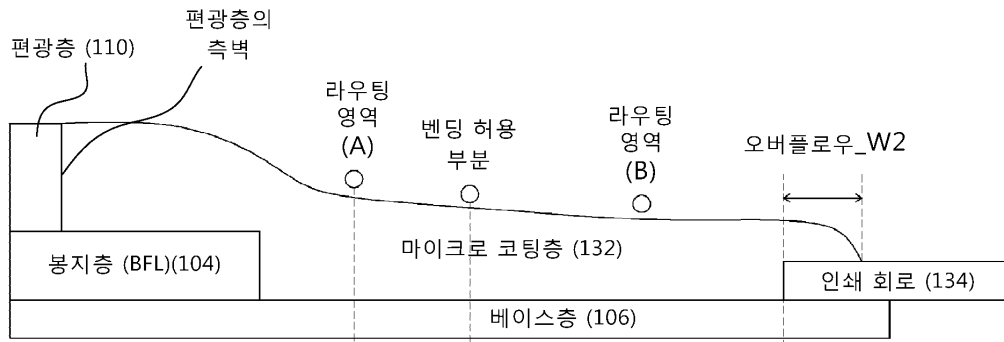
도면17a



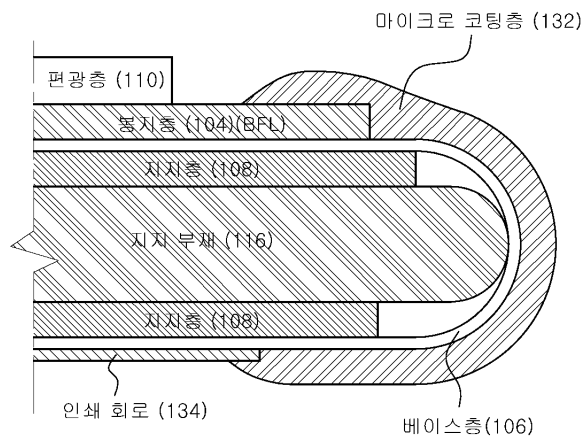
도면17b



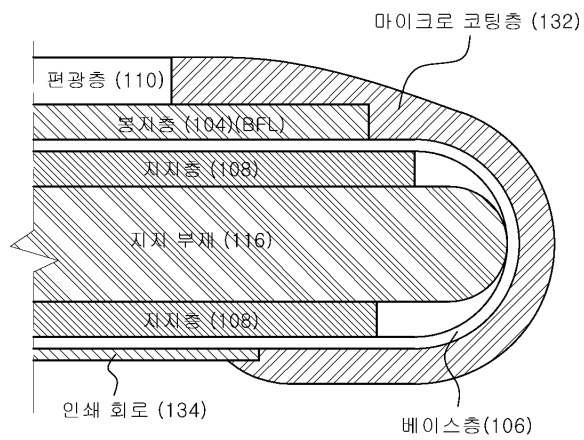
도면17c



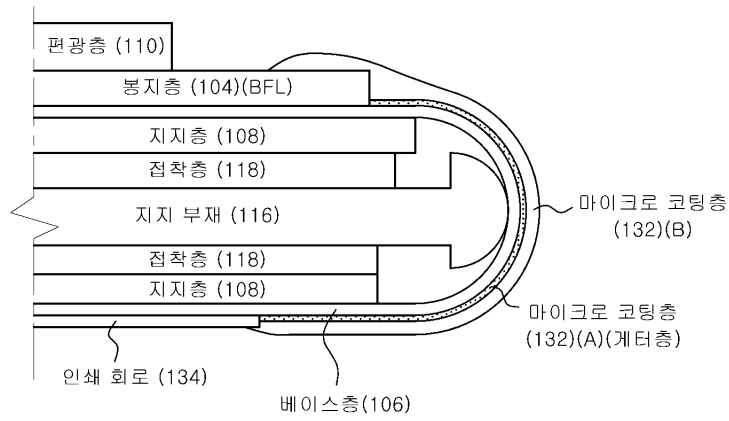
도면18a



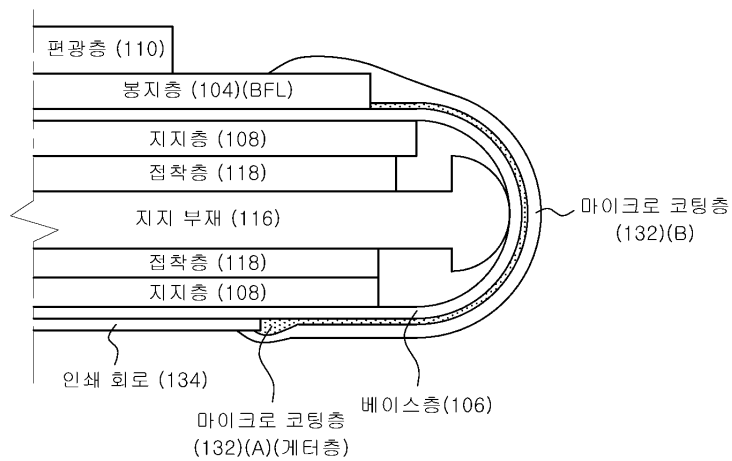
도면18b



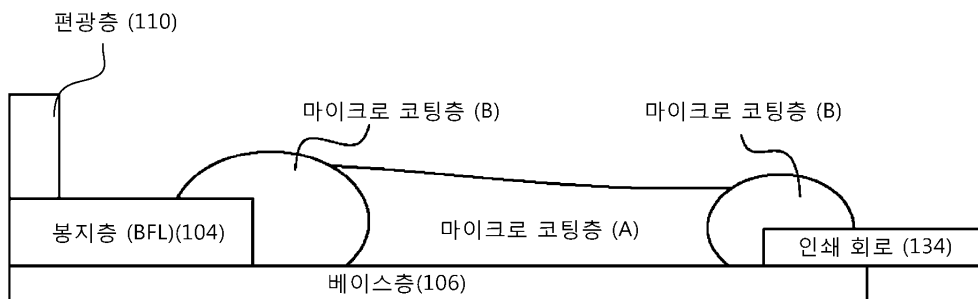
도면19a



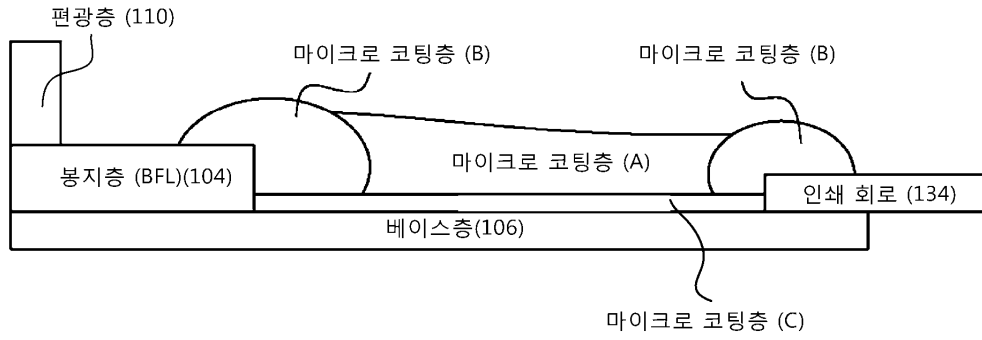
도면19b



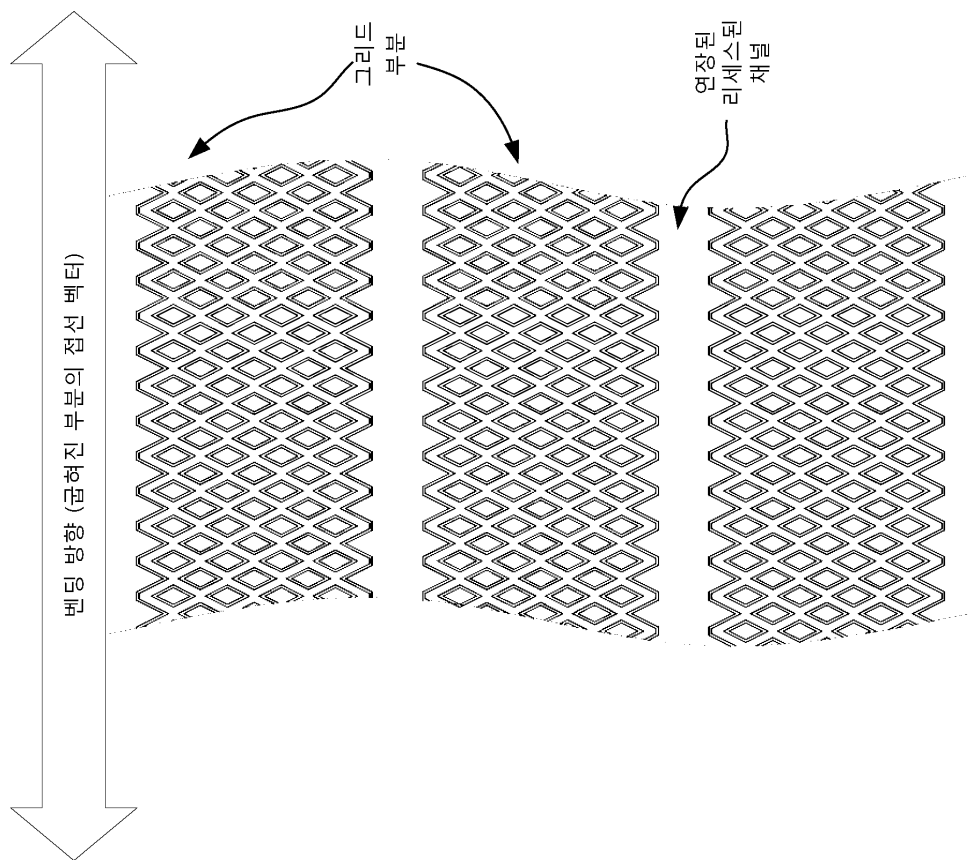
도면20a



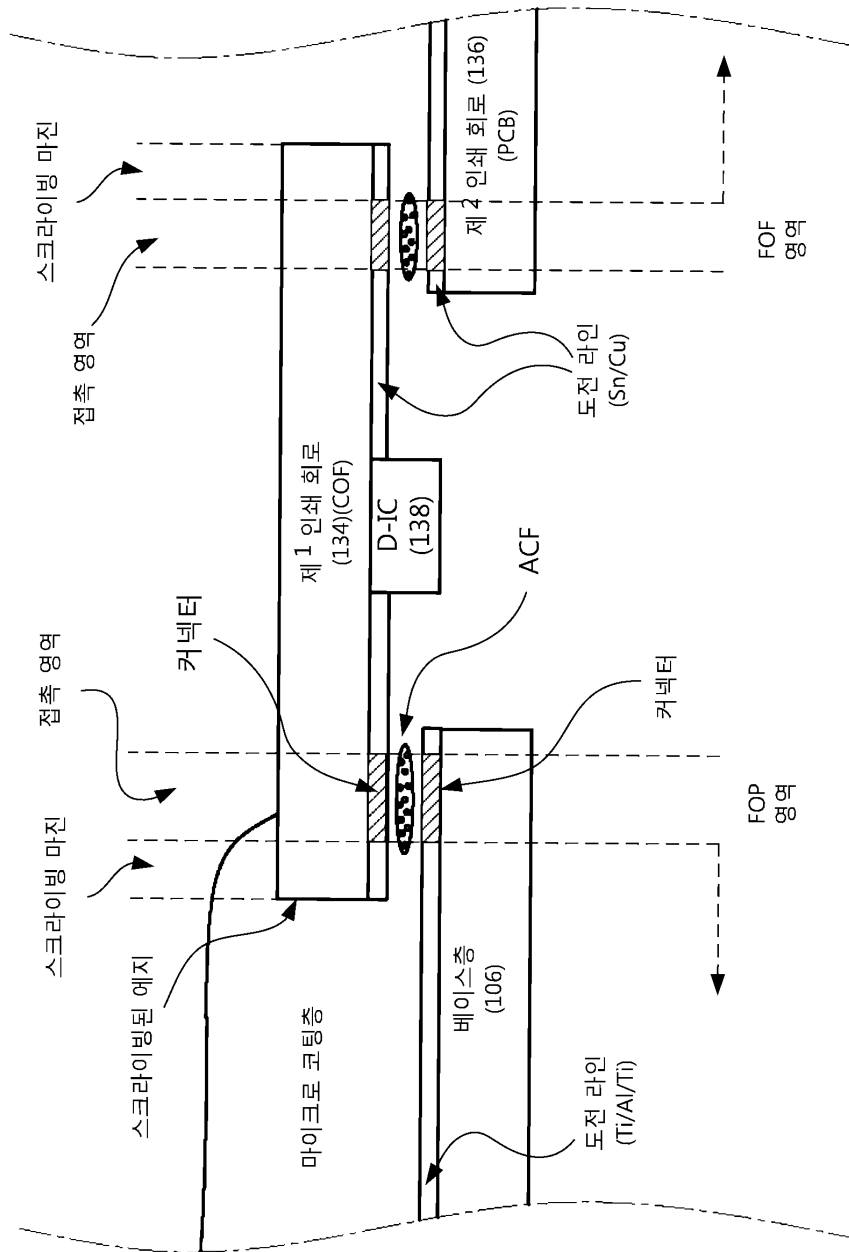
도면20b



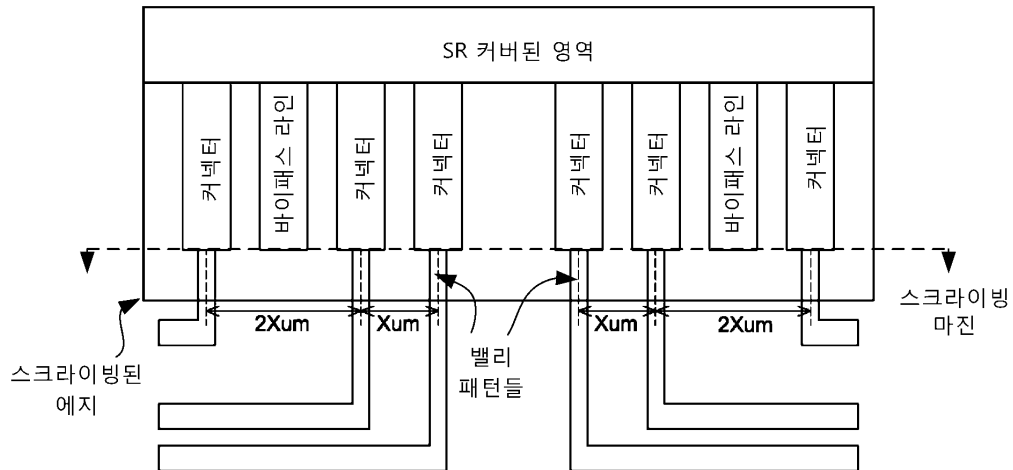
도면21



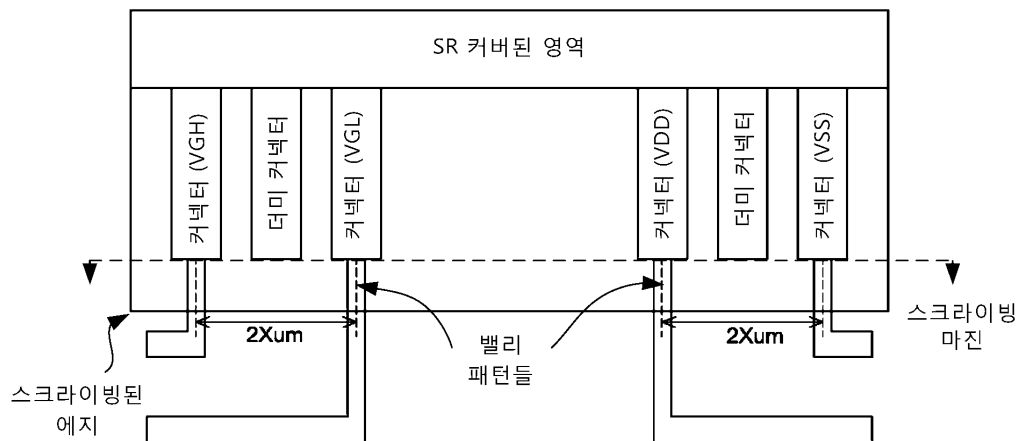
도면22



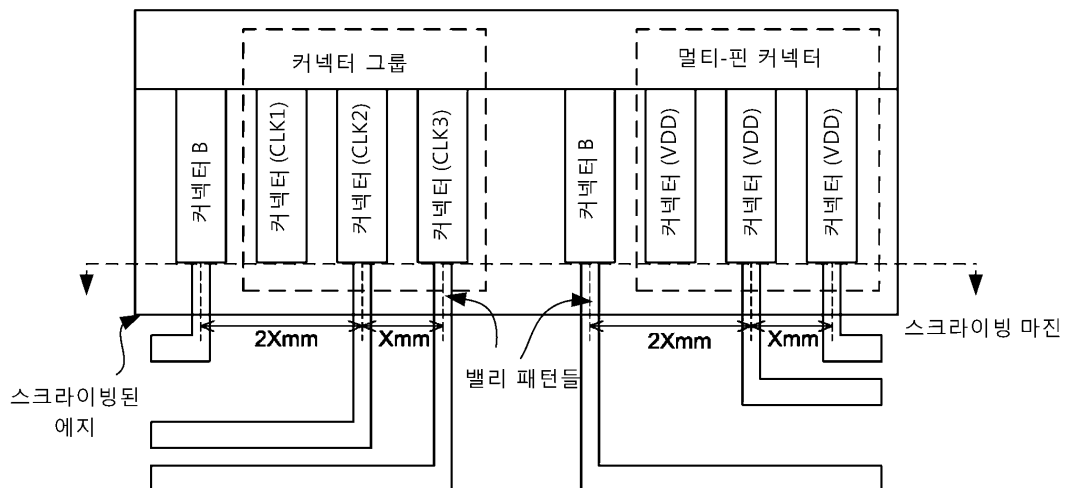
도면23a



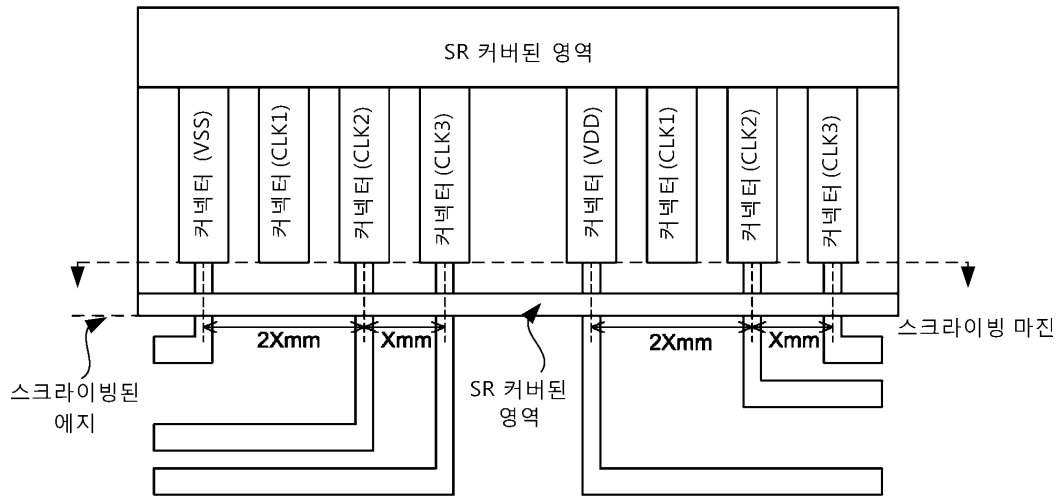
도면23b



도면23c



도면23d



专利名称(译)	标题：具有面板内栅电路的柔性显示器件		
公开(公告)号	KR1020170095809A	公开(公告)日	2017-08-23
申请号	KR1020177011222	申请日	2015-11-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON SE YEOUL 권세열 SHIN HYUN SOO 신현수		
发明人	권세열 신현수		
IPC分类号	H01L27/32 H01L51/00 H01L51/52		
CPC分类号	H01L27/3262 H01L27/3276 H01L51/0097 H01L27/323 H01L51/524 H01L51/5253 H01L2251/5338 Y02E10/549 H01L2924/0002 H01L2924/00 H01L27/1218 H01L27/124 Y02P70/521		
优先权	14/581515 2014-12-23 US		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的柔性显示装置包括柔性基层，该柔性基层由第一区域，第二区域和位于第一区域和第二区域之间的第一弯曲余量部分组成，布置在第一区域中的有机发光二极管（OLED）元件阵列和像素电路阵列，其配置成控制OLED元件阵列和柔性基层的第二区域中的面板内栅极（GIP）栅极的发射-面板电路。具有多个创新的柔性显示器，其被配置为允许弯曲部分或部分以减小明显的边界尺寸并利用组装的柔性显示器的侧表面

