(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0005925
(43) 공개일자 2017년01월17일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 27/3262 (2013.01)
H01L 27/3211 (2013.01)
(21) 출원번호 10-2015-0095826
(22) 출원일자 2015년07월06일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정기영
경기도 파주시 책향기로 210 1301동 505호 (동패동,책향기마을경남아파트)
장동운
경기도 파주시 해솔로 20 410동 603호 (목동동,해솔마을4단지벽산우남연리지아파트)
최재영
서울특별시 노원구 월계로 334 324호 (월계동,그랑디오피스텔)
(74) 대리인
특허법인로알

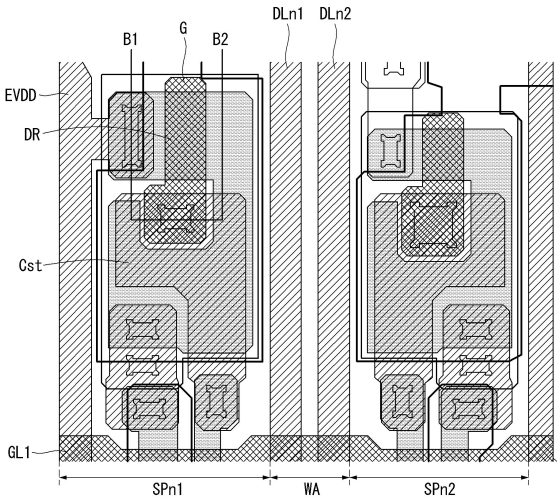
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **유기전계발광표시장치**

(57) 요 약

본 발명은 공정 상에서 발생하는 이물이나 파티클에 의한 전극 간의 쇼트 발생으로 커패시터가 형성되지 않고 사라지는 문제를 해소할 수 있는 유기전계발광표시장치를 제공한다. 반도체층의 도체영역은 제1기판 상에 위치하는 반도체층으로 이루어지되 도체화된다. 제1절연층은 반도체층의 도체영역 상에 위치한다. 게이트금속층은 제1절연층 상에 위치한다. 제2절연층은 게이트금속층의 일부를 노출하는 콘택홀을 갖는다. 소오스 드레인금속층은 제2절연층 상에 위치하고 콘택홀을 통해 게이트금속층에 전기적으로 연결된다. 반도체층의 도체영역은 게이트금속층과 비중첩한다.

대 표 도 - 도10



(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3258 (2013.01)
H01L 2227/32 (2013.01)

명 세 서

청구범위

청구항 1

제1기판;

상기 제1기판 상에 위치하는 반도체층으로 이루어지되 도체화된 반도체층의 도체영역;

상기 반도체층의 도체영역 상에 위치하는 제1절연층;

상기 제1절연층 상에 위치하는 게이트금속층;

상기 게이트금속층의 일부를 노출하는 콘택홀을 갖는 제2절연층; 및

상기 제2절연층 상에 위치하고 상기 콘택홀을 통해 상기 게이트금속층에 전기적으로 연결되는 소오스 드레인금속층을 포함하고,

상기 반도체층의 도체영역은 상기 게이트금속층과 비중첩하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 반도체층의 도체영역과 상기 소오스 드레인금속층은

이들 사이에 위치하는 절연층과 함께 커패시터를 형성하는 유기전계발광표시장치.

청구항 3

제2항에 있어서,

상기 제1절연층과 상기 게이트금속층은

섬(Island) 형상을 갖는 유기전계발광표시장치.

청구항 4

제3항에 있어서,

상기 반도체층의 도체영역과 상기 게이트금속층 사이에는 이격 공간이 위치하는 유기전계발광표시장치.

청구항 5

제3항에 있어서,

상기 반도체층의 도체영역은

상기 게이트금속층의 콘택홀 주변을 둘러싸는 형상을 갖는 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 제1절연층은

상기 제2절연층보다 얇은 두께를 갖는 유기전계발광표시장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기전계발광표시장치에 관한 것이다.

배 경 기 술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 유기전계발광표시장치(Organic Light Emitting Display: OLED), 액정표시장치(Liquid Crystal Display: LCD) 및 플라즈마표시장치(Plasma Display Panel: PDP) 등과 같은 표시장치의 사용이 증가하고 있다.

[0003] 앞서 설명한 표시장치 중 유기전계발광표시장치에는 복수의 서브 픽셀을 포함하는 표시 패널과 표시 패널을 구동하는 구동부가 포함된다. 구동부에는 표시 패널에 스캔신호(또는 게이트신호)를 공급하는 스캔 구동부 및 표시 패널에 데이터신호를 공급하는 데이터 구동부 등이 포함된다.

[0004] 유기전계발광표시장치는 매트릭스 형태로 배치된 서브 픽셀들에 스캔신호 및 데이터신호 등이 공급되면, 선택된 서브 픽셀이 발광을 하게 됨으로써 영상을 표시할 수 있게 된다.

[0005] 서브 픽셀에는 데이터신호를 전달하는 스위칭 트랜지스터, 데이터신호를 데이터전압으로 저장하는 커패시터, 데이터전압에 기초하여 구동전류를 생성하는 구동 트랜지스터 및 구동전류에 대응하여 빛을 발광하는 유기 발광다이오드가 포함된다. 데이터전압을 저장하는 커패시터는 게이트금속층의 일부, 반도체층의 일부, 소오스 드레인 금속층의 일부 등과 같이 서브 픽셀 내에 위치하는 전극의 일부와 절연층에 의해 구성된다.

[0006] 표시 패널을 고해상도(UHD 이상)로 구현할 경우, 서브 픽셀의 크기는 이전과 대비하여 더 작아진다. 때문에 서브 픽셀의 한정된 공간 내에 회로를 구성해야 하는 레이아웃 상의 한계 설계치 조건은 상승하게 된다. 이와 같은 경우 공정 상에서 발생하는 이물이나 파티클에 의해 전극 간의 쇼트 발생으로 커패시터가 형성되지 않고 사라지는 등의 문제(구조적 취약부)가 발생할 수 있어 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0007] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 표시 패널을 고해상도(UHD 이상)로 구현시 서브 픽셀의 한정된 공간 내에 회로를 구성해야 하는 레이아웃 상의 한계 설계치 조건의 상승과 공정 상에서 발생하는 이물이나 파티클에 의한 전극 간의 쇼트 발생으로 커패시터가 형성되지 않고 사라지는 문제를 해소하는 것이다.

과제의 해결 수단

[0008] 상술한 과제 해결 수단으로 본 발명은 공정 상에서 발생하는 이물이나 파티클에 의한 전극 간의 쇼트 발생으로 커패시터가 형성되지 않고 사라지는 문제를 해소할 수 있는 유기전계발광표시장치를 제공한다. 반도체층의 도체영역은 제1기판 상에 위치하는 반도체층으로 이루어지되 도체화된다. 제1절연층은 반도체층의 도체영역 상에 위치한다. 게이트금속층은 제1절연층 상에 위치한다. 제2절연층은 게이트금속층의 일부를 노출하는 콘택홀을 갖는다. 소오스 드레인금속층은 제2절연층 상에 위치하고 콘택홀을 통해 게이트금속층에 전기적으로 연결된다. 반도체층의 도체영역은 게이트금속층과 비중첩한다.

[0009] 반도체층의 도체영역과 소오스 드레인금속층은 이들 사이에 위치하는 절연층과 함께 커패시터를 형성할 수 있다.

[0010] 제1절연층과 게이트금속층은 섬(Island) 형상을 가질 수 있다.

[0011] 반도체층의 도체영역과 게이트금속층 사이에는 이격 공간이 위치할 수 있다.

[0012] 반도체층의 도체영역은 게이트금속층의 콘택홀 주변을 둘러싸는 형상을 가질 수 있다.

[0013] 제1절연층은 제2절연층보다 얇은 두께를 가질 수 있다.

발명의 효과

[0014] 본 발명은 표시 패널을 고해상도(UHD 이상)로 구현할 경우, 서브 픽셀의 한정된 공간 내에 회로를 구성해야 하는 레이아웃 상의 한계 설계치 조건의 상승과 공정 상에서 발생하는 이물이나 파티클에 의한 전극 간의 쇼트 발생으로 커패시터가 형성되지 않고 사라지는 문제를 해소할 수 있는 효과가 있다. 또한, 본 발명은 서브 픽셀 내의 커패시터가 이물이나 파티클에 강건하도록 취약 구조를 제거 또는 회피하여 표시 패널의 신뢰성이나 생산 수율을 향상하는 효과가 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 블록도.

도 2는 서브 픽셀의 개략적인 회로 구성도.

도 3은 본 발명의 실시예에 따른 서브 픽셀의 제1회로 구성 예시도.

도 4는 본 발명의 실시예에 따른 서브 픽셀의 제2회로 구성 예시도.

도 5는 본 발명의 실시예에 따른 표시 패널의 단면 예시도.

도 6은 본 발명의 실시예에 따른 서브 픽셀의 일부를 나타낸 평면도.

도 7은 도 6에 도시된 A1-A2영역의 단면도.

도 8은 실험예에 따른 서브 픽셀의 일부를 보여주는 평면도.

도 9는 도 8에 도시된 B1-B2영역의 단면도.

도 10은 본 발명의 실시예에 따른 서브 픽셀의 일부를 보여주는 평면도.

도 11은 도 10에 도시된 B1-B2영역의 단면도.

도 12는 실험예와 실시예 간의 특징부를 평면 상에서 비교 설명하기 위한 도면.

도 13은 실험예와 실시예 간의 특징부를 단면 상에서 비교 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

[0017] 도 1은 본 발명의 실시예에 따른 유기전계발광표시장치의 개략적인 블록도이고, 도 2는 서브 픽셀의 개략적인 회로 구성도이며, 도 3은 본 발명의 실시예에 따른 서브 픽셀의 제1회로 구성 예시도이고, 도 4는 본 발명의 실시예에 따른 서브 픽셀의 제2회로 구성 예시도이며, 도 5는 본 발명의 실시예에 따른 표시 패널의 단면 예시도이다.

[0018] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 유기전계발광표시장치에는 영상 처리부(110), 타이밍 제어부(120), 데이터 구동부(130), 스캔 구동부(140) 및 표시 패널(150)이 포함된다.

[0019] 영상 처리부(110)는 외부로부터 공급된 데이터신호(DATA)와 더불어 데이터 인에이블 신호(DE) 등을 출력한다. 영상 처리부(110)는 데이터 인에이블 신호(DE) 외에도 수직 동기신호, 수평 동기신호 및 클럭신호 중 하나 이상을 출력할 수 있으나 이 신호들은 설명의 편의상 생략 도시한다.

[0020] 타이밍 제어부(120)는 영상 처리부(110)로부터 데이터 인에이블 신호(DE) 또는 수직 동기신호, 수평 동기신호 및 클럭신호 등을 포함하는 구동신호와 더불어 데이터신호(DATA)를 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 스캔 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터 구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다.

[0021] 데이터 구동부(130)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍 제어부(120)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 감마 기준전압으로 변환하여 출력한다. 데이터 구동부(130)는 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 출력한다. 데이터 구동부(130)는 IC(Integrated Circuit) 형태로 형성될 수 있다.

[0022] 스캔 구동부(140)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트전압의 레벨을 시프트시키면서 스캔신호를 출력한다. 스캔 구동부(140)는 스캔라인들(GL1 ~ GLm)을 통해 스캔신호를 출력한다. 스캔 구동부(140)는 IC(Integrated Circuit) 형태로 형성되거나 표시 패널(150)에 게이트인패널(Gate In Panel) 방식으로 형성된다.

[0023] 표시 패널(150)은 데이터 구동부(130) 및 스캔 구동부(140)로부터 공급된 데이터신호(DATA) 및 스캔신호에 대응하여 영상을 표시한다. 표시 패널(150)은 영상을 표시할 수 있도록 동작하는 서브 픽셀들(SP)을 포함한다.

[0024] 서브 픽셀은 구조에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-

Emission) 방식으로 형성된다. 서브 픽셀들(SP)은 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함한다. 서브 픽셀들(SP)은 발광 특성에 따라 하나 이상 다른 발광 면적을 가질 수 있다.

[0025] 도 2에 도시된 바와 같이, 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.

[0026] 스위칭 트랜지스터(SW)는 제1스캔라인(GL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DR)는 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원라인(EVDD)과 제2전원라인(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.

[0027] 보상회로(CC)는 구동 트랜지스터(DR)의 문턱전압 등을 보상하기 위해 서브 픽셀 내에 추가된 회로이다. 보상회로(CC)는 하나 이상의 트랜지스터로 구성된다. 보상회로(CC)의 구성은 보상 방법에 따라 매우 다양한바 이에 대한 예시를 설명하면 다음과 같다.

[0028] 도 3 및 도 4에 도시된 바와 같이, 보상회로(CC)에는 센싱 트랜지스터(ST)와 센싱라인(VREF)이 포함된다. 센싱 트랜지스터(ST)는 구동 트랜지스터(DR)의 소오스라인과 유기 발광다이오드(OLED)의 애노드전극 사이(이하 센싱노드)에 접속된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)을 통해 전달되는 초기화전압(또는 센싱전압)을 센싱노드에 공급하거나 센싱노드의 전압 또는 전류를 센싱할 수 있도록 동작한다.

[0029] 스위칭 트랜지스터(SW)는 제1데이터라인(DL1)에 제1전극이 연결되고, 구동 트랜지스터(DR)의 게이트전극에 제2전극이 연결된다. 구동 트랜지스터(DR)는 제1전원라인(EVDD)에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 커패시터(Cst)는 구동 트랜지스터(DR)의 게이트전극에 제1전극이 연결되고 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DR)의 제2전극에 애노드전극이 연결되고 제2전원라인(EVSS)에 캐소드전극이 연결된다. 센싱 트랜지스터(ST)는 센싱라인(VREF)에 제1전극이 연결되고 센싱노드인 유기 발광다이오드(OLED)의 애노드전극에 제2전극이 연결된다.

[0030] 센싱 트랜지스터(ST)의 동작 시간은 보상 알고리즘(또는 보상 회로의 구성)에 따라 스위칭 트랜지스터(SW)와 유사/동일하거나 다를 수 있다. 일례로, 스위칭 트랜지스터(SW)는 제1a스캔라인(GL1a)에 게이트전극이 연결되고, 센싱 트랜지스터(ST)는 제1b스캔라인(GL1b)에 게이트전극이 연결될 수 있다. 다른 예로, 스위칭 트랜지스터(SW)의 게이트전극에 연결된 제1a스캔라인(GL1a)과 센싱 트랜지스터(ST)의 게이트전극에 연결된 제1b스캔라인(GL1b)은 공통으로 공유하도록 연결될 수 있다.

[0031] 센싱라인(VREF)은 데이터 구동부에 연결될 수 있다. 이 경우, 데이터 구동부는 실시간, 영상의 비표시기간 또는 N 프레임(N은 1 이상 정수) 기간 동안 서브 픽셀의 센싱노드를 센싱하고 센싱결과를 생성할 수 있게 된다. 한편, 스위칭 트랜지스터(SW)와 센싱 트랜지스터(ST)는 동일한 시간에 턴온될 수 있다. 이 경우, 데이터 구동부의 시분할 방식에 의거 센싱라인(VREF)을 통한 센싱 동작과 데이터신호를 출력하는 데이터 출력 동작은 상호 분리(구분) 된다.

[0032] 이 밖에, 센싱결과에 따른 보상 대상은 디지털 형태의 데이터신호, 아날로그 형태의 데이터신호 또는 감마 등이 될 수 있다. 그리고 센싱결과를 기반으로 보상신호(또는 보상전압) 등을 생성하는 보상 회로는 데이터 구동부의 내부, 타이밍 제어부의 내부 또는 별도의 회로로 구현될 수 있다.

[0033] 기타, 도 3 및 도 4에서는 스위칭 트랜지스터(SW), 구동 트랜지스터(DR), 커패시터(Cst), 유기 발광다이오드(OLED), 센싱 트랜지스터(ST)를 포함하는 3T(Transistor)1C(Capacitor) 구조의 서브 픽셀을 일례로 설명하였지만, 보상회로(CC)가 추가된 경우 3T2C, 4T2C, 5T1C, 6T2C 등으로 구성될 수도 있다.

[0034] 한편, 도 3의 서브 픽셀의 회로와 도 4의 서브 픽셀의 회로를 비교해 보면, 두 회로에는 광차단층(LS)의 구성에 차이가 있다. 광차단층(LS)은 외광을 차단하는 역할을 하기 위해 존재한다. 광차단층(LS)이 금속성 재료로 형성될 경우 기생 전압이 충전되는 문제가 유발된다. 때문에, 광차단층(LS)은 구동 트랜지스터(DR)의 소오스전극에 접속된다.

[0035] 구체적으로 설명하면, 광차단층(LS)은 도 3과 같이 구동 트랜지스터(DR)의 채널영역 하부에만 배치되거나, 도 4와 같이 광차단층(LS)은 구동 트랜지스터(DR)의 채널영역 하부뿐만 아니라 스위칭 트랜지스터(SW) 및 센싱 트랜지스터(ST)의 채널영역 하부에도 배치될 수 있다.

[0036] 광차단층(LS)은 단순히 외광을 차단할 목적으로 사용하거나(도 3), 광차단층(LS)을 다른 전극이나 라인과의 연결을 도모하고, 커패시터 등을 구성하는 전극으로 활용할 수 있다.

[0037] 도 5에 도시된 바와 같이, 제1기판(150a)의 표시영역(AA) 상에는 도 3 또는 도 4에서 설명된 회로를 기반으로 서브 픽셀들이 형성된다. 표시영역(AA) 상에 형성된 서브 픽셀들은 보호필름(또는 보호기판)(150b)에 의해 밀봉된다. 기타 미설명된 NA는 비표시영역을 의미한다.

[0038] 서브 픽셀들은 표시영역(AA) 상에서 적색(R), 백색(W), 청색(B) 및 녹색(G)의 순으로 수평 또는 수직하게 배치된다. 그리고 서브 픽셀들은 적색(R), 백색(W), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 된다. 그러나 서브 픽셀들의 배치 순서는 발광재료, 발광면적, 보상회로의 구성(또는 구조) 등에 따라 다양하게 변경될 수 있다. 또한, 서브 픽셀들은 적색(R), 청색(B) 및 녹색(G)이 하나의 픽셀(P)이 될 수 있다.

[0039] 도 6은 본 발명의 실시예에 따른 서브 픽셀의 일부를 나타낸 평면도이고, 도 7은 도 6에 도시된 A1-A2영역의 단면도이다.

[0040] 도 6 및 도 7에 도시된 바와 같이, 수평방향으로 배치된 제1 내지 제4서브 픽셀(SPn1 ~ SPn4)은 하나의 픽셀을 이루게 된다. 예컨대, 제1서브 픽셀(SPn1)은 적색 서브 픽셀(R)이고, 제2서브 픽셀(SPn2)은 백색 서브 픽셀(W)이고, 제3서브 픽셀(SPn3)은 청색 서브 픽셀(B)이고, 제4서브 픽셀(SPn4)은 녹색 서브 픽셀(G)로 선택될 수 있다.

[0041] 제1서브 픽셀(SPn1)의 좌측에는 수직방향을 따라 제1전원라인(EVDD)이 배치된다. 제1전원라인(EVDD)은 제1서브 픽셀(SPn1) 및 제2서브 픽셀(SPn2)에 공통으로 연결된다. 제1서브 픽셀(SPn1) 및 제2서브 픽셀(SPn2) 사이(WA)에는 수직방향을 따라 제1데이터라인(DLn1) 및 제2데이터라인(DLn2)이 배치된다. 제1데이터라인(DLn1)은 제1서브 픽셀(SPn1)에 연결되고, 제2데이터라인(DLn2)은 제2서브 픽셀(SPn2)에 연결된다. "WA"는 배선영역으로 정의된다.

[0042] 제3서브 픽셀(SPn3)의 좌측에는 수직방향을 따라 센싱라인(VREF)이 배치된다. 센싱라인(VREF)은 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)에 공통으로 연결된다. 제3서브 픽셀(SPn3) 및 제4서브 픽셀(SPn3) 사이(WA)에는 수직방향을 따라 제3데이터라인(DLn3) 및 제4데이터라인(DLn4)이 배치된다. 제3데이터라인(DLn3)은 제3서브 픽셀(SPn3)에 연결되고, 제4데이터라인(DLn4)은 제4서브 픽셀(SPn4)에 연결된다.

[0043] 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)에 포함된 센싱 트랜지스터(ST)의 영역에는 수평방향을 따라 스캔라인(GL1)이 배치된다. 스캔라인(GL1)은 센싱 트랜지스터(ST) 및 스위칭 트랜지스터(SW)의 게이트전극에 연결된다. 센싱라인(VREF)은 수직방향을 따라 배치된 수직 센싱라인(VREFM)과 수평방향을 따라 배치된 수평 센싱라인(VREFS)을 포함한다. 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 센싱 트랜지스터(ST)는 수평 센싱라인(VREFS)을 거쳐 수직 센싱라인(VREFM)에 연결된다.

[0044] 제1서브 픽셀(SPn1)의 일부를 일례로 표시 패널의 단면 구조를 설명하면 다음과 같다.

[0045] 제1기판(150a) 상에는 광차단층(151)이 형성된다. 광차단층(151)은 구동 트랜지스터(DR)의 채널 영역에 대응하여 형성되거나 구동 트랜지스터(DR), 센싱 트랜지스터(ST) 및 스위칭 트랜지스터(SW)의 채널 영역에 각각 대응하도록 분리되어 형성된다.

[0046] 광차단층(151) 상에는 버퍼층(152) 및 반도체층(153)이 형성된다. 광차단층(151), 버퍼층(152) 및 반도체층(153)은 제1기판(150a) 상에 순차 적층된 이후 동일한 마스크에 의해 모두 섬(Island) 형태로 패턴(일괄 패턴)될 수 있다. 도시된 반도체층(153)은 구동 트랜지스터(DR)의 반도체층으로서 산화물 반도체층(예: IGZO)으로 구성된다. 그리고 반도체층(153)에서 채널영역에 해당하는 부분을 제외한 소오스영역 및 드레인영역에 해당하는 부분은 도체화되어 금속전극 또는 배선(Metalization)이 된다. 도체화 공정은 플라즈마나 식각 공정을 이용할 수 있으나 이에 한정되지 않는다.

[0047] 반도체층(153) 상에는 제1절연층(154)이 형성되고, 제1절연층(154) 상에는 게이트금속층(155)이 형성된다. 제1절연층(154)은 게이트절연층으로 정의될 수 있는데, 이는 상부에 형성되는 게이트전극(또는 게이트금속층)과 동일하게 섬(Island) 형태로 패턴될 수 있다. 제1절연층(154)은 실리콘(Si) 계열의 SiO2, SiNx, SiON 중 하나로 선택될 수 있다.

[0048] 게이트금속층(155)은 제1서브 픽셀(SPn1)의 구동 트랜지스터(DR)의 게이트전극으로 사용된다. 또한, 게이트금속층(155)은 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)과 제1전원라인(EVDD)을 전기적으로 연결하는 전극 등으

로 사용된다.

[0049] 게이트금속층(155) 상에는 제2절연층(156)이 형성된다. 제2절연층(156)은 하부 구조물과 상부에 형성되는 구조물 간의 전기적 절연을 하는 층간 절연층으로 정의될 수 있다. 제2절연층(156)에는 하부 구조물의 일부를 노출하는 다수의 콘택홀이 형성된다. 다수의 콘택홀은 홀 마스크에 의해 형성된다.

[0050] 제2절연층(156) 상에는 소오스 드레인금속층(157)이 형성된다. 소오스 드레인금속층(157)은 제1전원라인(EVDD), 데이터라인들(DLn1 ~ DLn4), 센싱라인(VREF)을 구성하는 라인과 서브 픽셀의 내부에 포함되는 트랜지스터 및 커패시터를 구성하는 전극으로 각각 분리된다.

[0051] 소오스 드레인금속층(157)의 일부에 해당하는 구동 트랜지스터(DR) 부분을 참조하면, 소오스 드레인금속층(157) 중 일부는 소오스영역 및 드레인영역의 반도체층(153s, 153d)에 연결되며 이는 구동 트랜지스터(DR)의 소오스전극(157s)과 드레인전극(157d)이 된다. 채널영역의 반도체층(153a)은 광차단층(151)에 의해 보호된다.

[0052] 소오스 드레인금속층(157) 상에는 제3절연층(158)이 형성된다. 제3절연층(158)은 제1기판(150a) 상에 형성된 트랜지스터 등의 구조물을 보호하기 위한 보호층으로 정의될 수 있다.

[0053] 제3절연층(158) 상에는 개구영역에 대응하여 컬러필터(159)가 형성된다. 이하에 형성되는 유기 발광다이오드가 백색을 발광하는 경우 제3절연층(158) 상에는 컬러필터(159)가 형성된다. 그러나 유기 발광다이오드가 적색, 녹색, 청색 등의 유색을 발광할 경우, 제3절연층(158) 상에는 컬러필터(159)가 미형성된다.

[0054] 제3절연층(158) 상에는 제4절연층(160)이 형성된다. 제4절연층(160)은 표면을 평탄화하는 코팅층으로 정의될 수 있다. 제3절연층(158) 및 제4절연층(160)은 소오스전극(157s)(또는 드레인전극; 트랜지스터는 P타입과 N타입이 있고 이들의 타입에 따라 소오스전극과 드레인전극은 달라지므로)의 일부를 노출하는 콘택홀을 갖는다.

[0055] 제4절연층(160) 상에는 화소전극(161)이 형성된다. 화소전극(161)은 유기 발광다이오드의 애노드전극으로 정의될 수 있다. 화소전극(161)은 제4절연층(160)을 통해 노출된 소오스전극(157s)에 전기적으로 연결된다. 화소전극(161)은 유기 발광층으로부터 발광된 빛을 제1기판(150a) 방향으로 출사할 수 있도록 투명전극으로 선택될 수 있다.

[0056] 제4절연층(160) 상에는 뱅크층(162)이 형성된다. 뱅크층(162)은 화소전극(161)의 일부를 노출하는 개구영역을 가지며, 실질적인 발광영역을 정의하게 된다.

[0057] 뱅크층(162) 상에는 유기 발광층(163)이 형성된다. 유기 발광층(163)은 빛을 발광하는 층으로서, 백색 또는 적색, 녹색, 청색 등의 유색을 발광할 수 있다. 유기 발광층(163)은 발광층과 더불어 정공주입층, 정공수송층, 전자수송층 및 전자주입층과 같은 기능층 또는 이밖에 정공차단층, 계면버퍼층 등과 같은 보상층을 더 포함할 수 있다.

[0058] 유기 발광층(163) 상에는 상부전극(164)이 형성된다. 상부전극(164)은 유기 발광다이오드의 캐소드전극으로 정의될 수 있다. 상부전극(164)은 미도시된 제2전원라인에 전기적으로 연결된다. 상부전극(164)은 유기 발광층으로부터 발광된 빛이 제1기판(150a) 방향으로만 출사되도록 불투명전극으로 선택될 수 있다. 그러나 표시 패널의 목적, 기능 등에 따라 유기 발광층으로부터 발광된 빛을 제1기판(150a)의 반대방향으로 출사하기 위해 상부전극(164) 또한 투명전극으로 선택하는 경우도 있다.

[0059] 제1서브 픽셀(SPn1) 내지 제4서브 픽셀(SPn4)의 내부에는 커패시터(Cst)가 각각 형성된다. 커패시터(Cst)는 광차단층의 일부, 게이트금속층의 일부, 반도체층의 일부, 소오스 드레인금속층의 일부, 화소전극의 일부와 이들 사이에 위치하는 절연층을 이용하여 단층 또는 복층 구조로 형성할 수 있다.

[0060] 표시 패널을 고해상도(UHD 이상)로 구현할 경우, 서브 픽셀의 크기는 이전과 대비하여 더 작아진다. 서브 픽셀의 크기는 이전과 대비하여 더 작아진다. 때문에 서브 픽셀의 한정된 공간 내에 회로를 구성해야 하는 레이아웃상의 한계 설계치 조건은 상승하게 된다. 이와 같은 경우 공정 상에서 발생하는 이물이나 파티클에 의해 전극 간의 쇼트 발생 확률이 증가하여 커패시터가 형성되지 않고 사라지는 등 구조적인 문제(구조적 취약부)가 발생할 수 있다.

[0061] 이하, 위와 관련된 문제가 발생하는 실험예에 대해 고찰하고 이를 개선할 수 있는 실시예의 구조에 대해 설명한다.

[0062] 도 8은 실험예에 따른 서브 픽셀의 일부를 보여주는 평면도이고, 도 9는 도 8에 도시된 B1-B2영역의 단면도이며, 도 10은 본 발명의 실시예에 따른 서브 픽셀의 일부를 보여주는 평면도이고, 도 11은 도 10에 도시

된 B1-B2영역의 단면도이며, 도 12는 실험예와 실시예 간의 특징부를 평면 상에서 비교 설명하기 위한 도면이고, 도 13은 실험예와 실시예 간의 특징부를 단면 상에서 비교 설명하기 위한 도면이다.

[0063] - 실험예 -

[0064] 도 8, 도 9, 도 12의 (a) 및 도 13의 (b)에 도시된 바와 같이, 실험예에서는 구동 트랜지스터(DR)의 반도체층(153M)의 일부를 커패시터(Cst)의 하부전극으로 구성하고, 구동 트랜지스터(DR)의 소오스 드레인금속층(157)의 일부를 커패시터(Cst)의 상부전극으로 구성한다.

[0065] 그리고 구동 트랜지스터(DR)의 게이트전극을 구성하는 게이트금속층(155)의 일부를 이용하여 구동 트랜지스터(DR)의 게이트전극과 커패시터(Cst)의 상부전극을 전기적으로 연결한다. 즉, 게이트금속층의 일부(155)는 구동 트랜지스터(DR)의 게이트전극이면서 구동 트랜지스터(DR)의 게이트전극과 커패시터(Cst)의 상부전극을 전기적으로 연결하는 연결전극 역할을 한다.

[0066] 이하, 구동 트랜지스터(DR)의 반도체층(153M)의 일부인 소오스영역 및 드레인영역은 도체화되어 반도체층이 아닌 도체로 변경된 부분에 해당하는바, 이하에서는 반도체층의 도체영역(153M)으로 명명한다.

[0067] 실험예의 일부 단면을 참조하여 커패시터(Cst)를 구성하는 부분에 위치하는 구조물에 대해 설명하면 다음과 같다.

[0068] 제1기판(150a)을 덮는 버퍼층(152) 상에는 반도체층의 도체영역(153M)이 형성된다. 반도체층의 도체영역(153M) 상에는 섬 형태로 위치하는 제1절연층(154)이 형성된다. 제1절연층(154) 상에는 게이트금속층(155)이 형성된다. 게이트금속층(155) 상에는 게이트금속층(155)의 일부를 노출하는 콘택홀을 갖는 제2절연층(156)이 형성된다. 제2절연층(156) 상에는 콘택홀을 통해 게이트금속층(155)에 전기적으로 연결되는 소오스 드레인금속층(157)이 형성된다.

[0069] 실험예는 반도체층의 도체영역(153M)이 연결전극 역할을 하는 게이트금속층(155)의 콘택홀과 그 주변을 덮는 형상을 갖게 된다.

[0070] 한편, 커패시터(Cst)의 정전 용량은 반도체층의 도체영역(153M)의 일부와 상부전극에 해당하는 소오스 드레인금속층(157)의 일부 간에 존재하는 중첩 영역에 대응하여 결정된다.

[0071] 제1절연층(154)은 탑게이트형 구동 트랜지스터의 구동 능력 향상 등 고해상도 공정 요건을 만족시키기 위해 제2절연층(156) 등과 대비하여 두께를 얇게 형성한다. 이 경우, 제1절연층(154)의 얇은 두께를 보상/보완하기 위해 제2절연층(154)의 두께는 제1절연층(154)의 두께 대비 적어도 2배 이상 두껍게 형성한다. 예컨대, 제1절연층(154)의 두께는 300Å ~ 2500Å으로 형성되고, 제2절연층(156)의 두께는 4000Å ~ 6000Å으로 형성될 수 있다.

[0072] 위와 같은 조건에 의해, 탑게이트형 구동 트랜지스터의 구동 능력 등은 향상되지만 커패시터(Cst)가 형성되는 영역에 위치하는 게이트금속층(155)의 일부와 반도체층의 도체영역(153M) 간의 이격 거리는 낮아진다.

[0073] 그 결과, 실험예는 커패시터(Cst)가 형성되는 영역에 위치하는 제1절연층(154)의 부근(특히 하부)에 공정 상에서 발생하는 이물이나 파티클(PT)이 존재할 경우, 연결전극 역할을 하는 게이트금속층(155)과 반도체층의 도체영역(153M) 간에 쇼트가 발생하여 결국 커패시터(Cst)가 형성되지 않고 사라진다. 즉, 위와 같은 조건에 의해, 탑게이트형 구동 트랜지스터의 구동 능력 등은 향상되지만 커패시터(Cst)를 형성하는 전극부의 구조적인 문제(구조적 취약부)로 표시 패널의 신뢰성이나 생산 수율이 하락할 수 있는 결과를 초래할 수 있다.

[0074] - 실시예 -

[0075] 도 10, 도 11, 도 12의 (b) 및 도 13의 (b)에 도시된 바와 같이, 실시예에서는 구동 트랜지스터(DR)의 반도체층(153M)의 일부를 커패시터(Cst)의 하부전극으로 구성하고, 구동 트랜지스터(DR)의 소오스 드레인금속층(157)의 일부를 커패시터(Cst)의 상부전극으로 구성한다.

[0076] 그리고 구동 트랜지스터(DR)의 게이트전극을 구성하는 게이트금속층(155)의 일부를 이용하여 구동 트랜지스터(DR)의 게이트전극과 커패시터(Cst)의 상부전극을 전기적으로 연결한다. 즉, 게이트금속층의 일부(155)는 구동 트랜지스터(DR)의 게이트전극이면서 구동 트랜지스터(DR)의 게이트전극과 커패시터(Cst)의 상부전극을 전기적으로 연결하는 연결전극 역할을 한다.

[0077] 이하, 구동 트랜지스터(DR)의 반도체층(153M)의 일부인 소오스영역 및 드레인영역은 도체화되어 반도체층이 아닌 도체로 변경된 부분에 해당하는바, 이하에서는 반도체층의 도체영역(153M)으로 명명한다.

[0078] 실시예의 일부 단면을 참조하여 커패시터(Cst)를 구성하는 부분에 위치하는 구조물에 대해 설명하면 다음과 같다.

[0079] 제1기판(150a)을 덮는 버퍼층(152) 상에는 반도체층의 도체영역(153M)이 형성된다. 반도체층의 도체영역(153M) 상에는 섬 형태로 위치하는 제1절연층(154)이 형성된다. 제1절연층(154) 상에는 게이트금속층(155)이 형성된다. 게이트금속층(155) 상에는 게이트금속층(155)의 일부를 노출하는 콘택홀을 갖는 제2절연층(156)이 형성된다. 제2절연층(156) 상에는 콘택홀을 통해 게이트금속층(155)에 전기적으로 연결되는 소오스 드레인금속층(157)이 형성된다.

[0080] 실험예는 반도체층의 도체영역(153M)이 연결전극 역할을 하는 게이트금속층(155)의 콘택홀과 그 주변을 둘러싸는 형상을 갖게 된다.

[0081] 한편, 커패시터(Cst)의 정전 용량은 반도체층의 도체영역(153M)의 일부와 상부전극에 해당하는 소오스 드레인금속층(157)의 일부 간에 존재하는 중첩 영역에 대응하여 결정된다.

[0082] 제1절연층(154)은 탑게이트형 구동 트랜지스터의 구동 능력 향상 등 고해상도 공정 요건을 만족시키기 위해 제2절연층(156) 등과 대비하여 두께를 얇게 형성한다. 이 경우, 제1절연층(154)의 얇은 두께를 보상/보완하기 위해 제2절연층(154)의 두께는 제1절연층(154)의 두께 대비 적어도 2배 이상 두껍게 형성한다.예컨대, 제1절연층(154)의 두께는 300Å ~ 2500Å으로 형성되고, 제2절연층(156)의 두께는 4000Å ~ 6000Å으로 형성될 수 있다. 이때, 제1절연층(154)의 두께를 300Å ~ 2500Å와 같이 얇게 형성하면 구동 트랜지스터의 구동 능력(전류 이동도 향상, 트랜지스터 온 전압 균일화 등) 등을 향상할 수 있다.

[0083] 위와 같은 조건에 의해, 탑게이트형 구동 트랜지스터의 구동 능력은 향상되지만 커패시터(Cst)가 형성되는 영역에 위치하는 게이트금속층(155)의 일부와 반도체층의 도체영역(153M) 간의 이격 거리는 낮아진다.

[0084] 하지만, 실시예에서는 실험예에서 나타난 문제를 해결하기 위해 연결전극 역할을 하는 게이트금속층(155)과 중첩하는 영역에 위치하는 반도체층의 도체영역(153M)의 일부를 패터닝하여 제거한다. 즉, 연결전극 역할을 하는 게이트금속층(155)과 반도체층의 도체영역(153M)이 수직방향(단면상)에서 비중첩하도록 반도체층의 도체영역(153M)의 일부를 패터닝하여 두 전극 간의 중첩 영역을 제거한다.

[0085] 이때, 반도체층의 도체영역(153M)과 연결전극 역할을 하는 게이트금속층(155)이 수평방향에서(평면상)에서 상호 이격하는 공간(도 12 b의 L1, L2)을 갖도록 반도체층의 도체영역(153M)의 일부를 깊게 패터닝할 수 있다. 이 경우, 공정 상에서 발생하는 이물이나 파티클(PT)이 존재하더라도, 반도체층의 도체영역(153M)과 연결전극 역할을 하는 게이트금속층(155)의 외곽에서 이루어질 수 있는 쇼트 또한 제거할 수 있다.

[0086] 그 결과, 실시예는 커패시터(Cst)가 형성되는 영역에 위치하는 제1절연층(154)의 부근(특히 하부)에 공정 상에서 발생하는 이물이나 파티클(PT)이 존재하더라도, 연결전극 역할을 하는 게이트금속층(155)과 반도체층의 도체영역(153M) 간의 쇼트가 발생하지 않으므로 결국 커패시터(Cst)가 사라지는 문제는 해소된다. 즉, 위와 같은 조건에 의해, 탑게이트형 구동 트랜지스터의 구동 능력은 향상되고, 커패시터(Cst)를 형성하는 전극부의 구조적인 문제(구조적 취약부) 또한 해소되므로 표시 패널의 신뢰성이나 생산 수율이 하락할 수 있는 문제는 사라진다.

[0087] 실험예와 실시예의 비교를 통해 알 수 있듯이, 실험예와 같은 문제가 일어나는 이유는 탑게이트형 구동 트랜지스터의 구동 능력을 향상하기 위해 제2절연층(156)보다 제1절연층(154)의 두께를 얇게(예컨대 300Å ~ 2500Å) 형성할 때 발생 빈도가 높아진다. 그러므로 본 발명의 실시예는 게이트절연막에 해당하는 제1절연층의 두께를 얇게 하게 됨에 따라 커패시터를 구성하는 상하 전극 간에 발생할 수 있는 문제를 개선할 수 있는바, 당업자라면 본 발명을 기반으로 다른 레이아웃 형태의 커패시터에도 적용 가능할 것이다.

[0088] 한편, 실험예와 같이 연결전극 역할을 하는 게이트금속층(155)과 반도체층의 도체영역(153M) 간의 중첩 영역이 존재할 경우, 이들 간에 정전 용량이 형성되어 커패시터(Cst)의 실질적인 정전 용량을 정확히 산출(게이트전극에 걸리는 전위에 따라 커패시터의 정전 용량이 바뀌므로)하기 어려운 문제가 있었다.

[0089] 하지만, 실시예와 같이 연결전극 역할을 하는 게이트금속층(155)과 반도체층의 도체영역(153M) 간의 중첩 영역이 미존재할 경우, 이들 간에 정전 용량이 미형성되어 커패시터(Cst)의 실질적인 정전 용량을 비교적 정확히 산출할 수 있다.

[0090] 도 12의 (a)와 도 12의 (b) 간의 비교를 통해 알 수 있듯이, 실시예는 연결전극 역할을 하는 게이트금속층(155)과 반도체층의 도체영역(153M) 간의 중첩 영역을 제거하고 이들 간의 이격 공간(L1, L2)을 형성하여 공정 상

에서 발생할 수 있는 문제를 해소한다.

[0091] 이때, 연결전극 역할을 하는 게이트금속층(155)과 반도체층의 도체영역(153M) 간의 이격 공간(L1, L2)은 설계마진 등에 따라 L1 = L2, L1 ≠ L2, L1 > L2, L1 < L2와 같이 달라질 수 있다. 연결전극 역할을 하는 게이트금속층(155)과 반도체층의 도체영역(153M) 간에 이격 공간(L1, L2)이 형성됨에 따라 반도체층의 도체영역(153M)은 연결전극 역할을 하는 게이트금속층(155)의 콘택홀 주변을 둘러싸는 형상을 갖게 된다.

[0092] 이상 본 발명은 표시 패널을 고해상도(UHD 이상)로 구현할 경우, 서브 픽셀의 한정된 공간 내에 회로를 구성해야 하는 레이아웃 상의 한계 설계치 조건의 상승과 공정 상에서 발생하는 이물이나 파티클에 의한 전극 간의 쇼트 발생으로 커패시터가 형성되지 않고 사라지는 문제를 해소할 수 있는 효과가 있다. 또한, 본 발명은 서브 픽셀 내의 커패시터가 이물이나 파티클에 강건하도록 취약 구조를 제거 또는 회피하여 표시 패널의 신뢰성이나 생산 수율을 향상하는 효과가 있다.

[0093] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0094] 110: 영상 처리부 120: 타이밍 제어부

130: 데이터 구동부 140: 스캔 구동부

150: 표시 패널 153: 반도체층

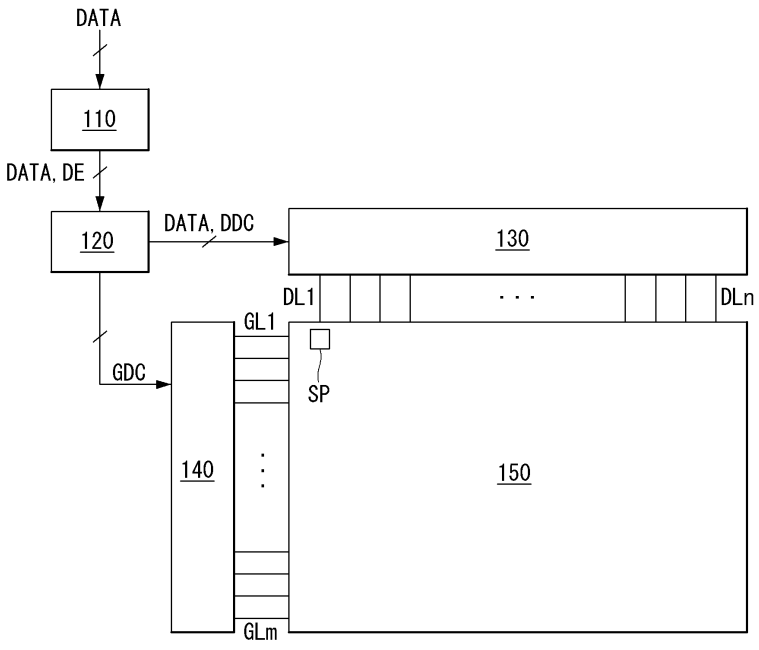
154: 제1절연층 155: 게이트금속층

156: 제2절연층 157: 소오스 드레인금속층

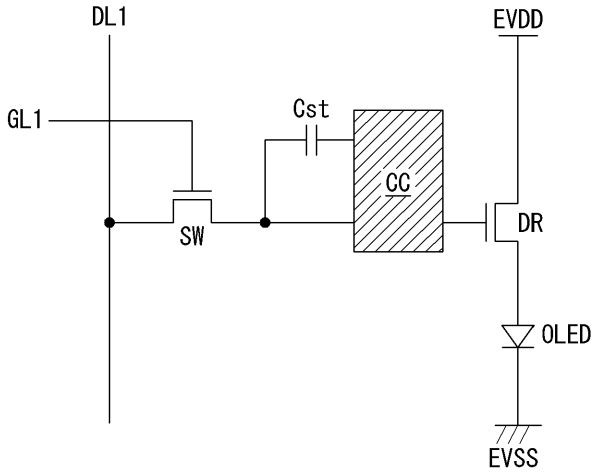
DR: 구동 트랜지스터 153M: 반도체층의 도체영역

도면

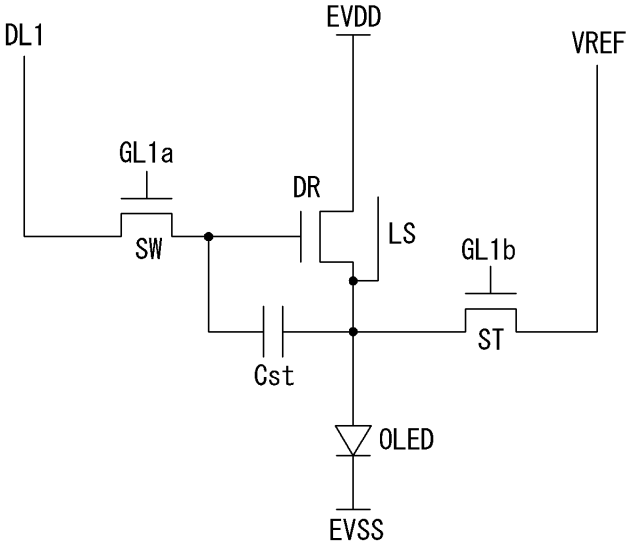
도면1



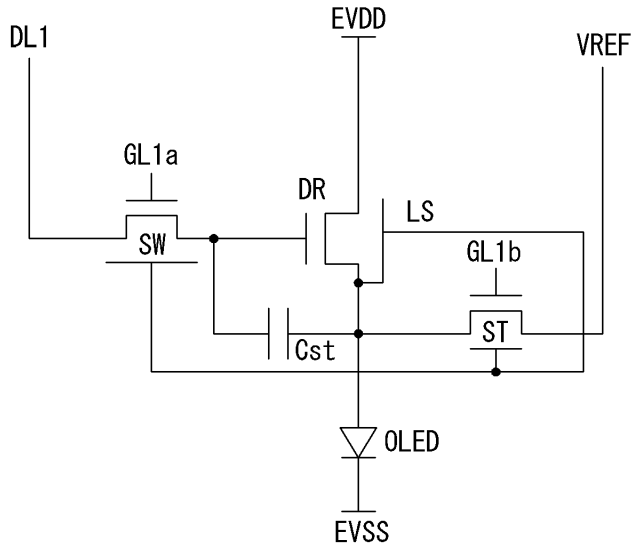
도면2


DL1
EVDD
GL1
Cst
CC
SW
DR
OLED
EVSS

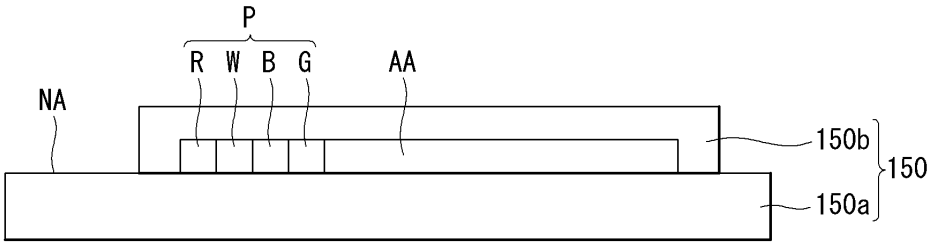
도면3


DL1
EVDD
VREF
GL1a
DR
LS
SW
GL1b
ST
Cst
OLED
EVSS

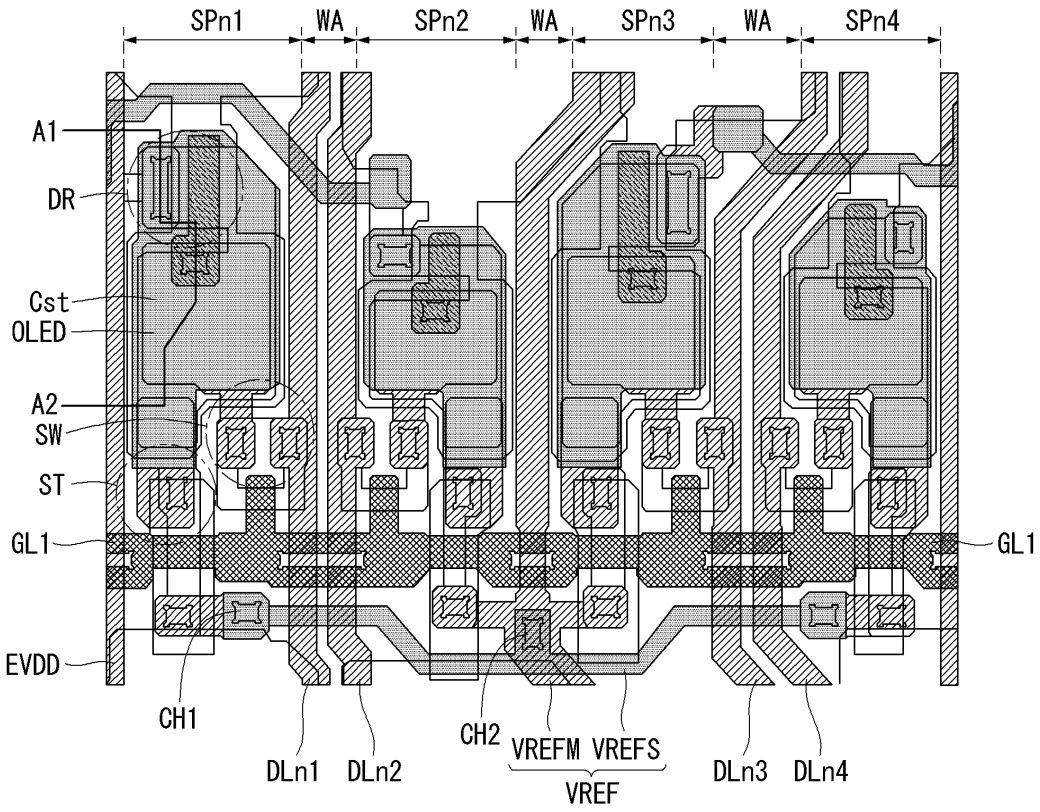
도면4


DL1
EVDD
VREF
GL1a
DR
LS
SW
GL1b
ST
Cst
OLED
EVSS

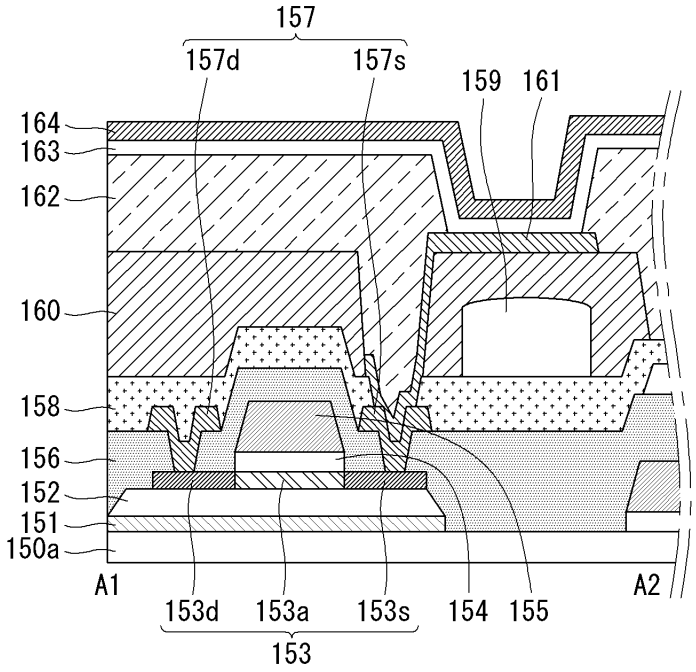
도면5


P
R
W
B
G
AA
NA
150b
150
150a

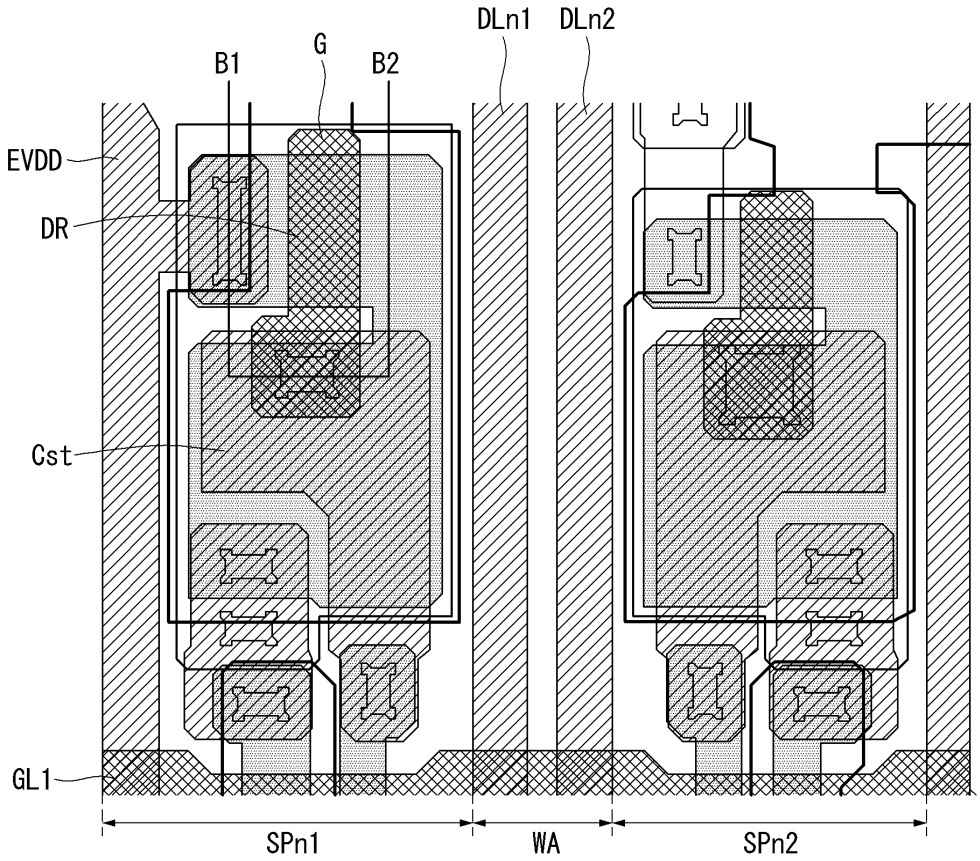
도면6


SPn1
WA
SPn2
WA
SPn3
WA
SPn4
A1
DR
Cst
OLED
A2
SW
ST
GL1
EVDD
CH1
DLn1
DLn2
CH2
VREFM
VREFS
VREF
DLn3
DLn4
GL1

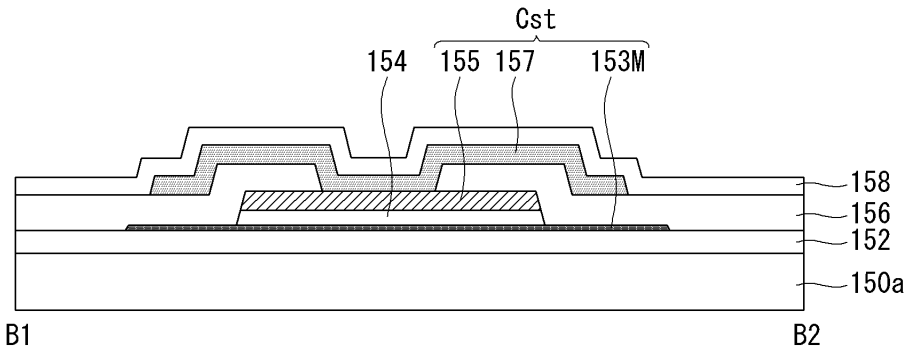
도면7


157
157d
157s
159
161
164
163
162
160
158
156
152
151
150a
A1
A2
153d
153a
153s
154
155
153

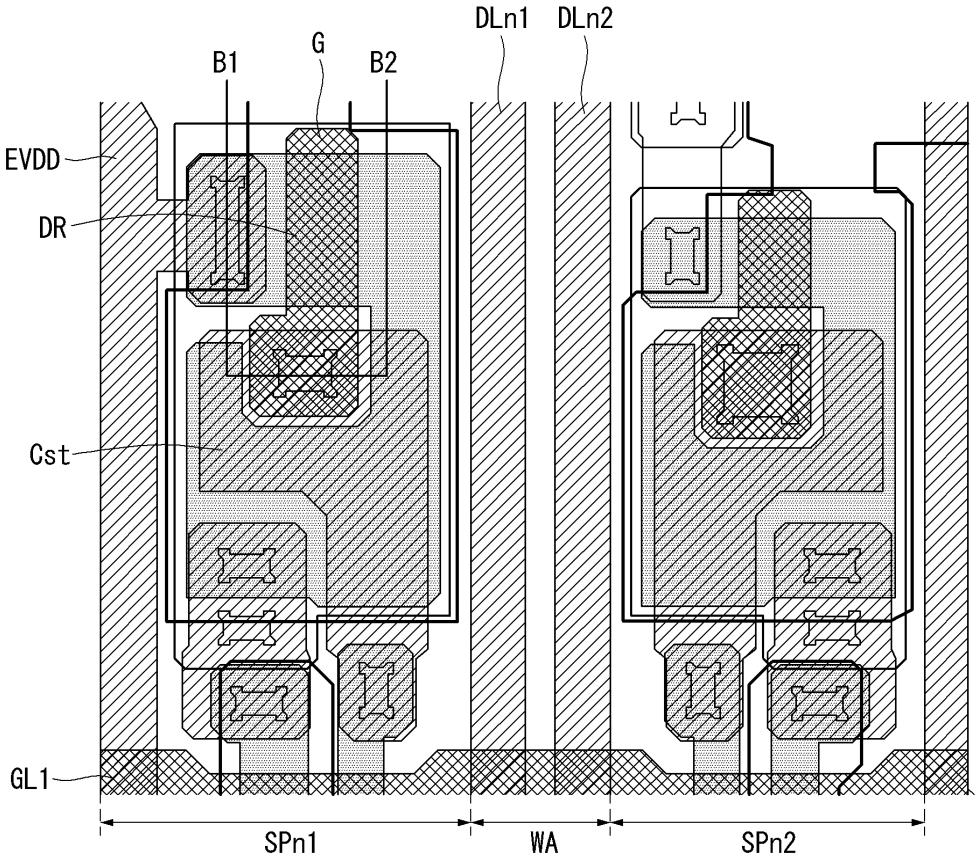
도면8


DLn1
DLn2
G
B1
B2
EVDD
DR
Cst
GL1
SPn1
WA
SPn2

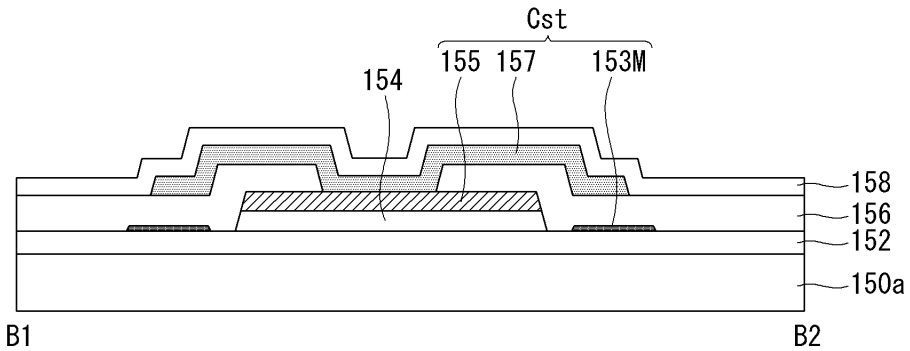
도면9


Cst
154
155
157
153M
158
156
152
150a
B1
B2

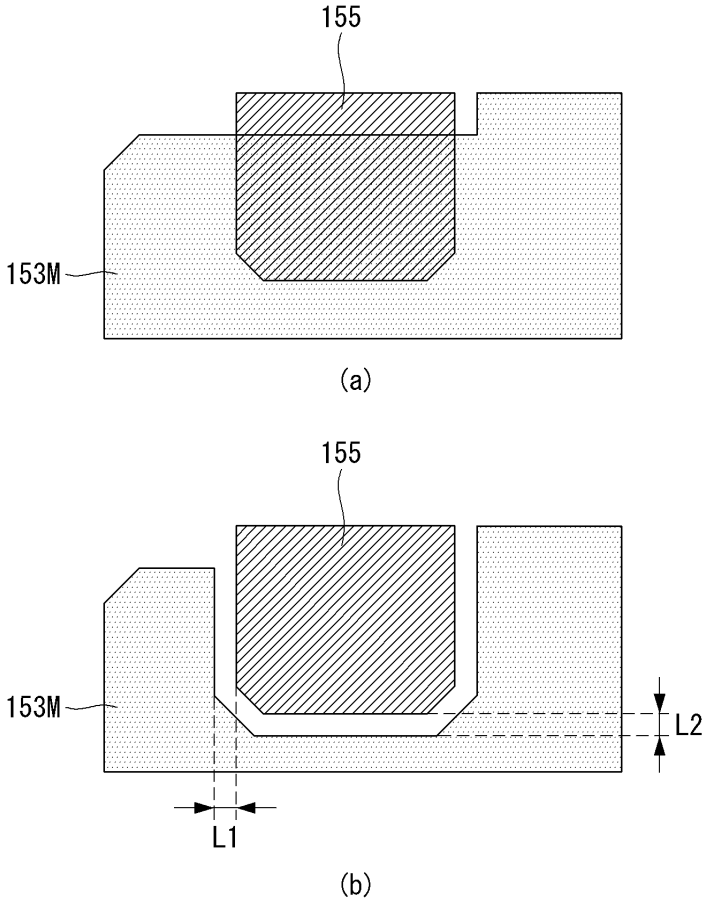
도면10


DLn1
DLn2
B1
G
B2
EVDD
DR
Cst
GL1
SPn1
WA
SPn2

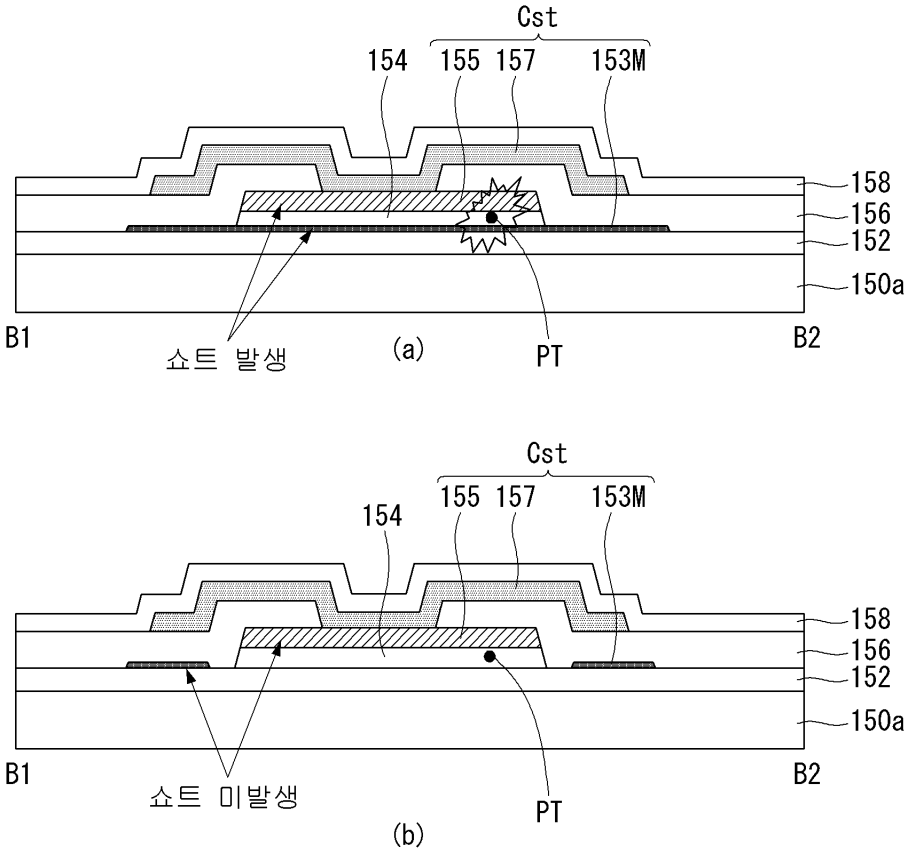
도면11


Cst
155
157
153M
154
158
156
152
150a
B1
B2

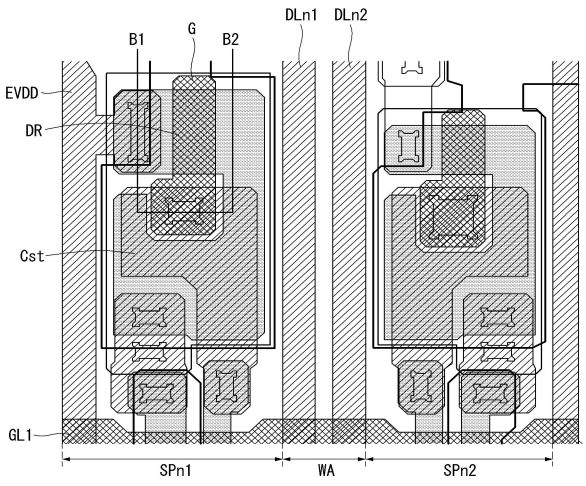
도면12



도면13


Cst
154
155
157
153M
158
156
152
150a
B1
B2
쇼트 발생
(a)
PT
Cst
155
157
153M
154
158
156
152
150a
B1
B2
쇼트 미발생
PT
(b)

专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR1020170005925A	公开(公告)日	2017-01-17
申请号	KR1020150095826	申请日	2015-07-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JUNG KI YOUNG 정기영 JANG DONG UN 장동운 CHOI JAE YEONG 최재영		
发明人	정기영 장동운 최재영		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3262 H01L27/3211 H01L27/3258 H01L27/3248 H01L2227/32		
外部链接	Espacenet		

摘要(译)

本发明的目的在于提供一种有机电致发光显示装置，其解决了电极不会在电极之间产生由于工艺中产生的异物或颗粒而产生的短暂消失的问题。它由半导体层制成，其中半导体层的导体区位于第一基板的表面上并且它变成导体。第一绝缘层位于半导体层的导体区域的表面上。栅极金属层位于第一绝缘层的表面上。它具有接触孔，其中第二绝缘层暴露出栅极金属层的一部分。源极和漏极金属层位于第二绝缘层的表面上，并且通过接触孔电连接到栅极金属层。半导体层的导体区域不与栅极金属层重复。