



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0033296

(43) 공개일자 2016년03월28일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0123409

(22) 출원일자 2014년09월17일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김봉철

대구 북구 매천로2길 19, 113동 703호 (팔달동, 두산위브2001아파트)

김세준

경기 파주시 미래로 345, 701동 1102호 (동패동, 한울마을7단지삼부르네상스아파트)

장민호

서울 성동구 무학로 50, 101동 604호 (하왕십리동, 청계벽산아파트)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 14 항

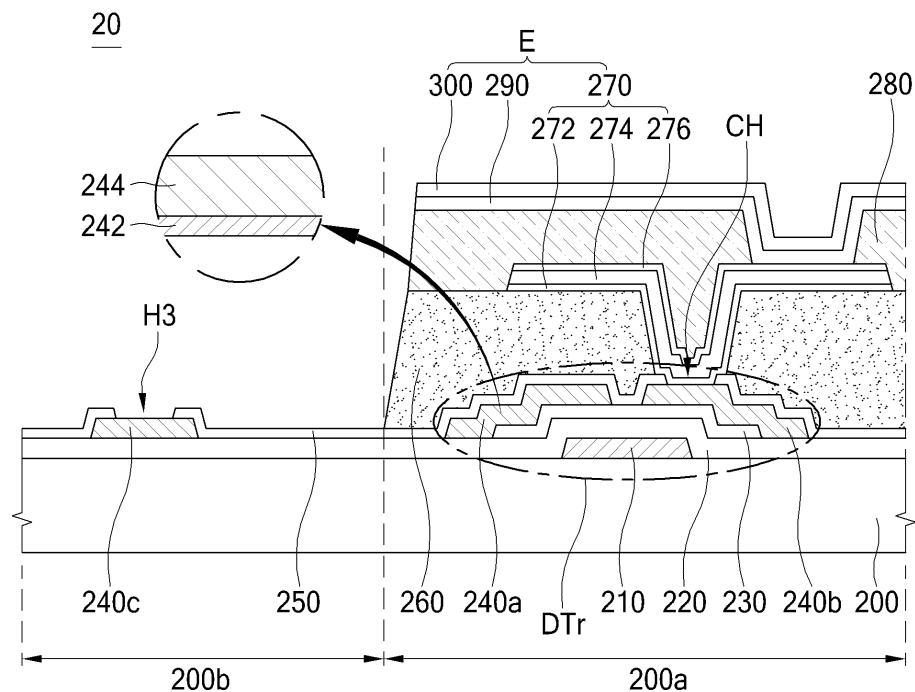
(54) 발명의 명칭 유기발광표시장치 및 그 제조방법

(57) 요약

게이트 전극, 상기 게이트 전극 상에 형성된 게이트 절연막, 및 상기 게이트 절연막 상에 패터닝된 반도체층을 포함하는 기판 상에 소스/드레인 전극층을 형성하는 단계; 상기 소스/드레인 전극층을 패터닝하여 상기 반도체층 상에 소스전극 및 드레인 전극을 형성하고, 상기 게이트 절연막 상에 패드부를 형성하는 단계; 상기 패드부

(뒷면에 계속)

대표도 - 도2



를 포함하는 기관의 전체면에 보호층을 형성하는 단계; 상기 패드부를 제외한 상기 보호층 상에 상기 보호층의 일부가 노출되도록 평탄화층을 패턴 형성하는 단계; 상기 평탄화층을 통해 노출되는 상기 보호층을 식각하여 상기 드레인 전극을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되도록 상기 평탄화층 상에 제1 전극을 패턴 형성하는 단계; 상기 패드부 상에 형성된 보호층의 적어도 일부 및 상기 제1 전극의 적어도 일부를 노출시키도록 상기 제1 전극 및 상기 보호층상에 뱅크층을 패턴 형성하는 단계; 상기 뱅크층을 마스크로 하여 상기 보호층의 일부를 식각하여 상기 패드부를 노출시키는 제1 홀을 형성하는 단계; 및 상기 제1 전극 상에 유기발광층 및 제2 전극을 순차 형성하는 단계를 포함하는 것을 특징으로 한다.

명세서

청구범위

청구항 1

게이트 전극, 상기 게이트 전극 상에 형성된 게이트 절연막, 및 상기 게이트 절연막 상에 패턴 형성된 반도체층을 포함하는 기판 상에 소스/드레인 전극층을 형성하는 단계;

상기 소스/드레인 전극층을 패터닝하여 상기 반도체층 상에 소스전극 및 드레인 전극을 형성하고, 상기 게이트 절연막 상에 패드부를 형성하는 단계;

상기 패드부를 포함하는 기판의 전체면에 보호층을 형성하는 단계;

상기 패드부를 제외한 상기 보호층 상에 상기 보호층의 일부가 노출되도록 평탄화층을 패턴 형성하는 단계;

상기 평탄화층을 통해 노출되는 상기 보호층을 식각하여 상기 드레인 전극을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되도록 상기 평탄화층 상에 제1 전극을 패턴 형성하는 단계;

상기 패드부 상에 형성된 보호층의 적어도 일부 및 상기 제1 전극의 적어도 일부를 노출시키도록 상기 제1 전극 및 상기 보호층상에 बैं크층을 패턴 형성하는 단계;

상기 बैं크층을 마스크로 하여 상기 보호층의 일부를 식각하여 상기 패드부를 노출시키는 제1 홀을 형성하는 단계; 및

상기 제1 전극 상에 유기발광층 및 제2 전극을 순차 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 2

제1항에 있어서,

상기 홀을 형성하는 단계 이후에,

애싱(Ashing)을 통해 상기 평탄화층 상에 형성되어 있는 제1 बैं크층 패턴을 제외한 나머지 बैं크층 패턴인 제2 बैं크층 패턴을 제거하는 단계를 더 포함하는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 3

제1항에 있어서,

상기 बैं크층을 패턴 형성하는 단계는,

상기 제1 전극을 포함하는 기판의 전체면에 बैं크층 형성을 위한 제1 물질층을 형성하는 단계; 및

하프톤 마스크를 이용하여 상기 제1 물질층을 패터닝하여 상기 평탄화층 상에 제1 बैं크층 패턴을 형성하고, 상기 평탄화층을 제외한 영역에 제2 बैं크층 패턴을 형성하는 단계를 포함하고,

상기 제1 बैं크층 패턴은 제1 두께를 갖고 상기 제1 전극을 노출시키는 제2 홀이 형성되어 있고,

상기 제2 बैं크층 패턴은 상기 제1 두께보다 얇은 제2 두께를 갖고 상기 패드부 상에 형성된 보호층의 적어도 일부를 노출시키는 제3 홀이 형성되어 있는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 4

제1항에 있어서,

상기 बैं크층을 패턴 형성하는 단계에서,

상기 बैं크층은 BOE(Buffered Oxide Echant)에 의해 식각되지 않는 물질로 형성되는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 5

제1항에 있어서,

상기 बैं크층을 패터닝 형성하는 단계에서,

상기 बैं크층은 알루미늄(Al) 또는 실리콘 질화물(Silicon Nitride)로 형성되는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 6

제1항에 있어서,

상기 제1 홀을 형성하는 단계에서,

BOE를 식각액으로 하는 습식 식각을 수행하여 상기 보호층에 상기 제1 홀을 형성하는 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 7

제1항에 있어서,

상기 제1 전극을 패터닝 형성하는 단계는,

상기 평탄화층을 포함하는 기판의 전체면에 제1 투명 전도성 물질층을 형성하는 단계;

상기 제1 투명 전도성 물질층 상에 반사율이 미리 정해진 기준치 이상인 금속물질을 이용하여 제1 금속 물질층을 형성하는 단계;

상기 제1 금속 물질층 상에 제2 투명 전도성 물질층을 형성하는 단계; 및

상기 제1 투명 전도성 물질층, 제1 금속 물질층, 및 제2 투명 전도성 물질층을 패터닝하여 상기 제1 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 8

제1항에 있어서,

상기 제1 전극을 패터닝 형성하는 단계는,

상기 평탄화층을 포함하는 기판의 전체면에 제1 투명 전도성 물질층을 형성하는 단계; 및

상기 제1 투명 전도성 물질층 반사율이 미리 정해진 기준치 이상인 금속물질을 이용하여 제1 금속 물질층을 형성하는 단계를 포함하고,

상기 제1 투명 전도성 물질층 및 상기 제1 금속 물질층을 패터닝하여 상기 제1 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 9

제7항 또는 제8항에 있어서,

상기 제1 투명 전도성 물질 및 제2 투명 전도성 물질은 ITO(Indium-Tin-Oxide)이고,

상기 반사율이 미리 정해진 기준치 이상인 금속물질은 Al, Ag, 또는 Ag를 포함하는 합금인 것을 특징으로 하는 유기발광표시장치의 제조 방법.

청구항 10

제1항에 있어서,

상기 소스/드레인 전극층은,

MoTi 또는 ITO를 이용하여 형성된 제1 물질층; 및

상기 접착층 상에 Cu를 이용하여 형성된 제2 물질층을 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 11

표시영역 및 비표시영역이 정의되어 있는 기판;

상기 표시영역에 형성되고, 게이트 전극, 반도체층, 소스 전극, 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 비표시영역에 형성된 패드부;

상기 박막트랜지스터 및 패드부를 포함하는 기판 상에 형성되고, 상기 드레인 전극의 일부를 노출시키기 위한 콘택홀 및 상기 패드부의 일부를 노출시키는 제1 홀이 형성되어 있는 보호층;

상기 표시영역에서 상기 보호층 상에 상기 드레인 전극이 노출되도록 패턴 형성된 평탄화층;

상기 평탄화층 상에 형성되고, 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 제1 전극;

상기 제1 전극의 적어도 일부를 노출시키도록 상기 평탄화층 상에 패턴 형성된 뱅크층;

상기 제1 전극 상에 형성된 유기발광층; 및

상기 유기발광층 상에 형성된 제2 전극을 포함하고,

상기 제1 홀은 상기 뱅크층을 마스크로 하여 형성되는 것을 특징으로 하는 유기발광표시장치.

청구항 12

제11항에 있어서,

상기 뱅크층 패턴은,

상기 표시영역에서 상기 평탄화층 상에 형성되고, 상기 제1 전극의 적어도 일부를 노출시키기 위한 제2 홀이 형성되어 있는 제1 뱅크층 패턴; 및

상기 비표시영역에서 상기 패드부의 적어도 일부를 노출시키기 위한 제3 홀이 형성되어 있는 제2 뱅크층 패턴을 포함하고,

상기 제1 뱅크층 패턴은 제1 두께를 갖고, 상기 제2 뱅크층 패턴은 상기 제1 두께보다 얇은 제2 두께를 갖는 것을 특징으로 하는 유기발광표시장치.

청구항 13

제11항에 있어서,

상기 소스 전극, 상기 드레인 전극, 및 상기 패드부는, MoTi 또는 ITO를 이용하여 형성된 제1 물질층 및 상기 제1 물질층 상에 Cu를 이용하여 형성된 제2 물질층으로 구성된 것을 특징으로 하는 유기발광표시장치.

청구항 14

제11항에 있어서,

상기 제1 전극은,

ITO를 이용하여 형성된 제1 투명 전극;

상기 제1 투명 전극상에 Al, Ag, 또는 Ag를 포함하는 합금을 이용하여 형성된 제1 금속전극; 및

상기 제1 금속전극 상에 ITO를 이용하여 형성된 제2 투명 전극을 포함하는 것을 특징으로 하는 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 멀티미디어의 발달과 함께 평판표시장치(FPD: Flat Panel Display)의 중요성이 증대되고 있고, 이에 따라 액정표시장치(Liquid Crystal Display: LCD)를 비롯하여 전계방출표시장치(Field Emission Display: FED)나 유기발광표시장치(Organic Light Emitting Device) 등과 같은 다양한 종류의 평판표시장치가 실용화되고 있다.

[0003] 이와 같은 평판표시장치 중에서 유기발광표시장치는 자발광소자로서, 비발광소자인 액정표시장치에 비해 백라이트가 필요하지 않기 때문에 경량 박형이 가능할 뿐만 아니라 시야각 및 대비비가 우수하고, 소비전력 측면에서도 유리하며, 응답속도가 빠르다는 장점이 있어 액정표시장치를 대신할 표시장치로 급부상하고 있다.

[0004] 이하, 도 1a 내지 도 1d를 참조하여 종래기술에 따른 유기발광표시장치의 제조방법에 대해 간략히 설명한다.

[0005] 도 1a 내지 도 1d는 종래기술에 따른 유기발광표시장치의 제조방법을 보여주는 제조공정 단면도이다.

[0006] 도 1a에 도시된 바와 같이, 게이트 전극(110), 게이트 전극(110) 상에 형성된 게이트 절연막(120), 및 게이트 절연막(120) 상에 패턴 형성된 반도체층(130)을 포함하는 기판 상에 소스전극(140a), 드레인 전극(140b), 및 패드부(140c) 형성한 후, 기판(100)의 전체면에 보호층(250)을 형성하고, 패드부(140c)를 제외한 보호층(250) 상에 평탄화층(160)을 패턴 형성한다.

[0007] 이후, 도 1b에 도시된 바와 같이, 평탄화층(160)을 통해 노출되는 보호층(250)을 패터닝하여 보호층(250)에 드레인 전극(140c)을 노출시키기 위한 콘택홀(CH)을 형성함과 동시에 패드부(140c)를 노출시키기 위한 홀(H)을 형성한다.

[0008] 이후, 도 1c에 도시된 바와 같이, 콘택홀(CH)을 통해 드레인 전극(140b)과 전기적으로 연결되도록 평탄화층(160) 상에 제1 전극(170)을 패턴 형성한다. 이러한 제1 전극(270)은 유기발광표시장치(10)의 애노드(Anode) 전극으로써 동작하게 된다.

[0009] 이후, 도 1d에 도시된 바와 같이, 평탄화층(160) 상에 बैं크층(180)을 패턴 형성한 후, बैं크층(180) 및 제1 전극(170) 상에 유기발광층(190) 및 제2 전극(195)을 순차 형성하여 유기발광소자(E)를 완성한다. 제2 전극(195)은 유기발광표시장치(10)에서 캐소드(Cathode) 전극으로써 동작하게 된다.

[0010] 하지만, 도 1에 도시된 유기발광표시장치(10)의 경우, 도 1c에 도시된 바와 같이 패드부(140c)가 외부로 노출된 상태에서 제1 전극(170)이 패턴 형성되기 때문에, 외부로 노출된 패드부(140c)가 제1 전극(170)의 패턴 형성을 위한 식각액(Etchant)에 의해 손상될 수 있다는 문제점이 있다.

[0011] 이러한 패드부(140c)의 손상으로 인해 구동 회로로부터의 신호 전달이 원활하게 이루어지지 않아 유기발광표시장치의 불량률이 발생할 수 있고, 이로 인해 유기발광표시장치의 신뢰성이 저하된다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 상술한 문제점을 해결하고자 안출된 것으로, 패드부의 손상을 방지할 수 있는 유기발광표시장치 및 그 제조방법을 제공하는 것을 그 기술적 과제로 한다.

[0013] 또한, 본 발명은 제조비용 증가 없이도 유기발광표시장치의 신뢰성을 향상시킬 수 있는 유기발광표시장치 및 그 제조방법을 제공하는 것을 다른 기술적 과제로 한다.

과제의 해결 수단

[0014] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따른 유기발광표시장치의 제조방법은, 게이트 전극, 상기 게이트 전극 상에 형성된 게이트 절연막, 및 상기 게이트 절연막 상에 패턴 형성된 반도체층을 포함하는 기판 상에 소스/드레인 전극층을 형성하는 단계; 상기 소스/드레인 전극층을 패터닝하여 상기 반도체층 상에 소스전극 및 드레인 전극을 형성하고, 상기 게이트 절연막 상에 패드부를 형성하는 단계; 상기 패드부를 포함하는 기판의 전체면에 보호층을 형성하는 단계; 상기 패드부를 제외한 상기 보호층 상에 상기 보호층의 일부가 노출

되도록 평탄화층을 패턴 형성하는 단계; 상기 평탄화층을 통해 노출되는 상기 보호층을 식각하여 상기 드레인 전극을 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되도록 상기 평탄화층 상에 제1 전극을 패턴 형성하는 단계; 상기 패드부 상에 형성된 보호층의 적어도 일부 및 상기 제1 전극의 적어도 일부를 노출시키도록 상기 제1 전극 및 상기 보호층상에 뱅크층을 패턴 형성하는 단계; 상기 뱅크층을 마스크로 하여 상기 보호층의 일부를 식각하여 상기 패드부를 노출시키는 제1 홀을 형성하는 단계; 및 상기 제1 전극 상에 유기발광층 및 제2 전극을 순차 형성하는 단계를 포함하는 것을 특징으로 한다.

[0015]

상술한 기술적 과제를 달성하기 위한 본 발명의 다른 측면에 따른 유기발광표시장치는, 표시영역 및 비표시영역이 정의되어 있는 기판; 상기 표시영역에 형성되고, 게이트 전극, 반도체층, 소스 전극, 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 비표시영역에 형성된 패드부; 상기 박막트랜지스터 및 패드부를 포함하는 기판 상에 형성되고, 상기 드레인 전극의 일부를 노출시키기 위한 콘택홀 및 상기 패드부의 일부를 노출시키는 제1 홀이 형성되어 있는 보호층; 상기 표시영역에서 상기 보호층 상에 상기 드레인 전극이 노출되도록 패턴 형성된 평탄화층; 상기 평탄화층 상에 형성되고, 상기 콘택홀을 통해 상기 드레인 전극과 전기적으로 연결되는 제1 전극; 상기 제1 전극의 적어도 일부를 노출시키도록 상기 평탄화층 상에 패턴 형성된 뱅크층; 상기 제1 전극 상에 형성된 유기발광층; 및 상기 유기발광층 상에 형성된 제2 전극을 포함하고, 상기 제1 홀은 상기 뱅크층을 마스크로 하여 형성되는 것을 특징으로 한다.

발명의 효과

[0016]

본 발명에 따르면, 제1 전극의 패턴형성이 완료된 이후에 패드부가 노출되기 때문에 제1 전극의 패턴 형성시 패드부가 손상되는 것을 방지할 수 있고, 이로 인해 유기발광표시장치의 불량 발생의 방지는 물론 유기발광표시장치의 신뢰성을 향상시킬 수 있다는 효과가 있다.

[0017]

또한, 본 발명에 따르면 뱅크층 패턴을 마스크로 하여 패드부를 노출시키기 때문에 제조공정의 증가 및 마스크 개수의 증가 없이도 패드부 손상을 방지할 수 있어 유기발광표시장치의 제조비용 증가 없이도 신뢰성을 향상시킬 수 있다는 효과가 있다.

도면의 간단한 설명

[0018]

도 1a 내지 도 1d는 종래기술에 따른 유기발광표시장치의 제조 방법을 개략적으로 도시한 공정 단면도.

도 2는 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 단면도.

도 3a 내지 도 3i는 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법을 개략적으로 도시한 공정 단면도.

발명을 실시하기 위한 구체적인 내용

[0019]

본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.

[0020]

한편, 본 명세서에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0021]

단수의 표현은 문맥상 명백하게 다르게 정의하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로, 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다.

[0022]

"포함하다" 또는 "가지다" 등의 용어는 하나 또는 그 이상의 다른 특징이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0023]

어떤 구조물이 다른 구조물 "상에" 또는 "아래에" 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다. 다만, "바로 위에" 또는 "바로 아래에"라는 용어가 사용될 경우에는, 이 구조물들이 서로 접촉되어 있는 것으로 제한되어 해석되어야 한다.

- [0024] 이하, 첨부되는 도면을 참고하여 본 발명의 실시예에 대해 상세히 설명한다.
- [0025] 유기발광표시장치
- [0026] 도 2는 본 발명의 일 실시예에 따른 유기발광표시장치를 개략적으로 도시한 단면도이다.
- [0027] 도 2에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기발광표시장치(20)는 표시영역(200a) 및 비표시영역(200b)이 정의되어 있는 기판(200)을 포함한다.
- [0028] 기판(200) 상에서 표시영역(200a)에는 유기발광소자(E) 및 유기발광소자(E)의 구동을 위한 구동소자(DTr)가 형성된다. 일 실시예에 있어서, 구동소자는 하나 이상의 박막 트랜지스터(Thin Film Transistor: TFT)로 구현될 수 있다. 이러한 유기발광소자(E) 및 구동소자(DTr)의 조합에 하나의 화소(P)가 정의될 수 있다.
- [0029] 보다 구체적으로 설명하면, 본 발명의 일 실시예에 따른 유기발광표시장치(20)는, 기판(200), 게이트 전극(210), 게이트 절연막(220), 액티브층(230), 소스 전극(240a), 드레인 전극(240b), 패드부(240c), 보호층(250), 평탄화층(260), 제1 전극(270), बैं크층(280), 유기 발광층(290), 및 제2 전극(300)을 포함한다.
- [0030] 기판(200)은 유리가 주로 이용되지만, 구부러거나 휘 수 있는 투명한 플라스틱, 예로서, 폴리이미드(Polyimide)가 이용될 수 있다. 폴리이미드를 기판(200)의 재료로 이용할 경우에는, 기판(200) 상에서 고온의 증착 공정이 이루어짐을 감안할 때, 고온에서 견딜 수 있는 내열성이 우수한 폴리이미드가 이용될 수 있다.
- [0031] 게이트 전극(210)은 기판(200) 상에 패턴 형성되어 있다. 즉, 게이트 전극(210)은 기판(200) 상에서 표시영역(200a)에 형성되어 있다. 게이트 전극(210)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.
- [0032] 게이트 절연막(220)은 게이트 전극(210)을 포함하는 기판(200)의 전체면에 형성되어 있고, 게이트 전극(210)을 액티브층(230)으로부터 절연시킨다. 게이트 절연막(220)은 실리콘 산화물(Silicon Oxide) 또는 실리콘 질화물(Silicon Nitride)과 같은 무기계 절연물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수도 있다.
- [0033] 액티브층(230)은 게이트 절연막(220) 상에 패턴 형성되어 있다. 액티브층(230)은 게이트 전극(210)과 오버랩되도록 형성되어 있다. 액티브층(230)은 In-Ga-Zn-O(IGZO)와 같은 산화물 반도체로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 실리콘계 반도체로 이루어질 수도 있다.
- [0034] 소스 전극(240a) 및 드레인 전극(240b)은 서로 마주하면서 액티브층(230) 상에 패턴 형성되어 있다. 일 실시예에 있어서, 소스 전극(240a) 및 드레인 전극(240b)은 도 2에서 알 수 있는 바와 같이 MoTi 또는 ITO(Indium-Tin-Oxide)를 이용하여 형성된 제1 물질층(242) 및 제1 물질층(242) 상에 Cu를 이용하여 형성된 제1 물질층(244)으로 구성될 수 있다. 이때, 제1 물질층(242)은 Cu를 이용하여 형성된 제1 물질층(244)의 결합을 견고히 하는 접착층(Adhesion Layer) 역할을 수행한다.
- [0035] 본 발명에서 소스전극(240a) 및 드레인 전극(240b)을 Cu를 이용하여 형성하는 이유는 대면적 제품에서 배선의 저항을 감소시키기 위한 것이다.
- [0036] 패드부(240c)는 연결배선(미도시)을 통하여 게이트 전극(210), 소스전극(240a), 및 드레인 전극(240b) 중 적어도 하나와 연결되어, 외부로부터 인가되는 전기적 신호를 게이트 전극(210), 소스전극(240a), 및 드레인 전극(240b)에 전달한다.
- [0037] 이러한 패드부(240c)는 소스전극(240a) 및 드레인 전극(240b)과 동일한 물질을 이용하여 동시에 형성되기 때문에, 패드부(240a) 또한 MoTi 또는 ITO를 이용하여 형성된 제1 물질층(242) 및 제1 물질층(242) 상에 Cu를 이용하여 형성된 제2 물질층(244)으로 구성된다.
- [0038] 도 2에 도시하지는 않았지만, 액티브층(230)과 소스전극(240a)/드레인 전극(240b) 사이에는 에치 스톱퍼(미도시)가 개재될 수 있다. 에치 스톱퍼는 소스 전극(240a) 및 드레인 전극(240b)의 패터닝을 위한 에칭 공정시 액티브층(230)의 채널영역이 에칭되는 것을 방지하는 역할을 한다. 에치 스톱퍼는 실리콘 산화물 또는 실리콘 질화물과 같은 무기계 절연물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0039] 보호층(250)은 표시영역(200a)에서 드레인 전극(240b)의 일부를 제외한 영역 및 비표시영역(200b)에서 패드부

(240c)의 일부를 제외한 영역에 형성된다. 보호층(250)에는 드레인 전극(240b)의 일부를 노출시키기 위한 콘택홀(CH) 및 패드부(240c)의 일부를 노출시키기 위한 제3 홀(H3)이 형성되어 있다.

[0040] 보호층(250)은 실리콘 산화물과 같은 무기계 절연물질이나 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수 있다. 일 실시예에 있어서, 보호층(250)에 패드부(240c)를 노출시키기 위한 제3 홀(H3)을 형성하기 위해 보호층(250)은 BOE(Buffered Oxide Echant)에 의해 식각 가능한 물질로 형성될 수 있다.

[0041] 평탄화층(260)은 콘택홀(CH)을 통해 드레인 전극(240b)의 일부가 노출되도록 보호층(250) 상에 패턴 형성되어 있다. 평탄화층(260)은 유기발광표시장치(20)의 표면 단차를 줄이는 역할을 한다. 이와 같은 평탄화층(260)은 포토아크릴(Photo acryl: PAC) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수 있다.

[0042] 제1 전극(270)은 평탄화층(260) 상에 패턴 형성되어 있다. 제1 전극(270)은 콘택홀(CH)을 통해서 드레인 전극(240b)과 전기적으로 연결되어 있다. 제1 전극(270)은 유기발광표시장치(20)의 애노드(Anode) 전극으로써 동작함과 동시에 유기발광층(280)에서 발생된 광을 제2 전극(300) 방향으로 반사시키는 반사판으로써 동작한다.

[0043] 일 실시예에 있어서, 제1 전극(270)은 일함수 값이 비교적 큰 투명 도전성 물질 예를 들어, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 형성될 수 있다.

[0044] 다른 실시예에 있어서, 제1 전극(270)은 반사효율이 우수한 금속물질 예를 들어, 알루미늄(Al), 은(Ag), APC(Ag:Pb;Cu) 등을 포함하는 복수개의 층으로 구성될 수 있다.

[0045] 제1 전극(270)이 복수개의 층으로 구성되는 경우, 도 2에 도시된 바와 같이, 제1 전극(270)은 ITO를 이용하여 형성된 제1 투명 전극(272), 제1 투명 전극(272)상에 반사율이 높은 물질, 예컨대 Al, Ag, 또는 Ag를 포함하는 합금(APC(Ag:Pb;Cu))을 이용하여 형성된 제1 금속전극(274), 제1 금속전극(274) 상에 ITO를 이용하여 형성된 제2 투명 전극(276)으로 구성될 수 있다. 이와 같이, 본 발명은 제1 전극(270)이 Al, Ag, 또는 Ag를 포함하는 합금(APC(Ag:Pb;Cu))을 이용하여 형성된 제1 금속전극(274) 및 ITO를 이용하여 형성된 제1 및 제2 투명전극(272, 274)으로 구성되기 때문에 유기발광표시장치(20)의 휘도를 향상시킬 수 있게 된다.

[0046] 상술한 예에서는 제1 전극(270)이 3층 구조로 형성되는 것으로 설명하였지만, 다른 예에 있어서 제1 전극(270)은, ITO를 이용하여 형성된 투명전극층 및 Al, Ag, 또는 Ag를 포함하는 합금(APC(Ag:Pb;Cu))을 이용하여 형성된 금속전극이 순차적으로 형성된 2층구조로 형성될 수도 있다.

[0047] 뱅크층(280)은 평탄화층(260) 상에 형성되어 있다. 구체적으로, 뱅크층(280)은 구동소자(DTr)와 오버랩되도록 패턴 형성되어 있으며, 이와 같은 뱅크층(280)에 의해서 유기발광소자(E)가 형성되는 유기발광소자 영역이 정의된다.

[0048] 일 실시예에 있어서, 뱅크층(280)은 뱅크층(280) 형성을 위한 물질층(미도시)을 기판(200)의 전체면에 형성한 이후 하프톤 마스크(Half Tone Mask)를 이용하여 뱅크층(280) 형성을 위한 물질층을 패턴닝함으로써 형성된다. 보다 구체적으로, 뱅크층(280) 형성을 위한 물질층의 패턴닝을 통해 기판(200)의 표시영역(200a)에 제1 뱅크층 패턴을 형성하고 기판의(200)의 비표시영역(200b)에 제2 뱅크층 패턴을 형성하며, 제1 및 제2 뱅크층 패턴을 마스크로 하여 패드부(240c) 상에 형성된 보호층(250)의 적어도 일부를 식각함으로써 패드부(240c)를 외부로 노출시키기 위한 제3 홀(T3)을 형성한 후, 제2 뱅크층 패턴을 제거함으로써 최종적으로 뱅크층(280)이 형성된다.

[0049] 일 실시예에 있어서, 뱅크층(280)은 BOE(Buffered Oxide Echant)에 의해 식각되지 않는 물질로 이루어질 수 있다. 예컨대, 뱅크층(280)은 알루미나(Alumina) 또는 실리콘 질화물(Silicon Nitride)을 포함하는 물질로 이루어질 수 있다. BOE(Buffered Oxide Echant)는 반도체 공정에서 식각액으로 잘 알려져 있는 것으로서, 예로서 NH4F와 HF를 포함한 약액으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.

[0050] 상술한 실시예에 있어서는, 기판(200)의 비표시영역(200b)에 형성된 제2 뱅크층 패턴은 제거되는 것으로 설명하였지만, 다른 실시예에 있어서, 기판(200)의 비표시영역(200b)에 형성된 제2 뱅크층 패턴 중 패드부(240c)를 노출시키는 제3 홀(H3)에 상응하는 영역만이 제거될 수도 있을 것이다.

[0051] 유기 발광층(290)은 제1 전극(270) 상에 형성되어 있다. 도시하지는 않았지만, 유기 발광층(290)은 정공주입층, 정공수송층, 유기발광층, 전자수송층, 및 전자주입층이 차례로 적층된 구조로 형성될 수 있다. 다만, 상기 정공주입층, 정공수송층, 전자수송층 및 전자주입층 중 하나 또는 둘 이상의 층은 생략이 가능하다. 유기 발광층(280)은 화소 별로 동일한 색, 예로서 화이트(White)의 광을 발광하도록 형성될 수도 있고, 화소 별

로 상이한 색, 예로서, 적색, 녹색, 청색, 또는 백색의 광을 발광하도록 형성될 수도 있다.

- [0052] 제2 전극(300)은 유기 발광층(290) 상에 형성되어 있다. 제2 전극(300)은 화소 별로 구분되지 않고 전체 화소에 공통되는 전극 형태로 형성될 수 있다. 즉, 제2 전극(300)은 유기 발광층(290) 뿐만 아니라 뱅크층(280) 상에도 형성될 수 있다. 제2 전극(300)은 유기발광표시장치(20)에서 캐소드(Cathode) 전극 및 반투과막 역할을 수행한다.
- [0053] 상술한 바와 같은 제1 전극(270), 유기 발광층(280), 및 제2 전극(280)이 유기발광소자(E)를 구성하게 된다.
- [0054] 도 3a 내지 도 3i는 본 발명의 일 실시예에 따른 유기발광표시장치의 제조 방법을 보여주는 공정 단면도이다.
- [0055] 도 3a에서 알 수 있듯이, 기판(200)상에 게이트 전극(210) 게이트 절연막(220), 및 반도체층(230)을 순차 형성한 후 소스/드레인 전극층(240)을 기판(200)의 전체면에 형성한다.
- [0056] 도 3a에 도시된 바와 같이, 기판(200)에는 유기발광소자 및 유기발광소자의 구동을 위한 구동소자가 형성되는 표시영역(200a)과 표시영역(200a)을 제외한 비표시영역(200b)이 정의되어 있다.
- [0057] 일 실시예에 있어서, 구동소자는 하나 이상의 박막 트랜지스터(Thin Film Transistor: TFT)로 구현될 수 있다. 이러한 유기발광소자 및 구동소자의 조합에 하나의 화소(P)가 정의될 수 있다.
- [0058] 기판(200)은 유리가 주로 이용되지만, 구부러거나 휘 수 있는 투명한 플라스틱, 예로서, 폴리이미드(Polyimide)가 이용될 수 있다. 폴리이미드를 기판(200)의 재료로 이용할 경우에는, 기판(200) 상에서 고온의 증착 공정이 이루어짐을 감안할 때, 고온에서 견딜 수 있는 내열성이 우수한 폴리이미드가 이용될 수 있다.
- [0059] 게이트 전극(210)은 기판(200)의 표시영역(200a) 상에 패턴 형성된다. 게이트 전극(210)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금이나, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.
- [0060] 게이트 절연막(220)은 게이트 전극(210)을 액티브층(230)으로부터 절연시키기 위해 게이트 전극(210)을 포함하는 기판(200)의 전체면에 형성된다. 게이트 절연막(220)은 실리콘 산화물(Silicon Oxide)이나 실리콘 질화물(Silicon Nitride)과 같은 무기계 절연물질, 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수 있다.
- [0061] 액티브층(230)은 게이트 전극(210)을 커버하도록 게이트 절연막(220) 상에 패턴 형성된다. 액티브층(230)은 In-Ga-Zn-O(IGZO)와 같은 산화물 반도체로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고, 실리콘계 반도체로 이루어질 수도 있다.
- [0062] 소스/드레인 전극층(240)은 도 3a의 확대도에서 알 수 있는 바와 같이, MoTi 또는 ITO(Indium-Tin-Oxide)를 이용하여 형성된 제1 물질층(242)과 제1 물질층(242) 상에 Cu를 이용하여 형성된 제2 물질층(244)으로 구성될 수 있다. 본 발명에서 제1 물질층(242)을 Cu를 이용하여 형성하는 이유는 대면적 제품에서 배선의 저항을 감소시키기 위한 것이다. 이때, 제2 물질층(244)은 Cu를 이용하여 형성된 제2 금속 물질층의 결합을 견고히 하기 위한 접착층 역할을 수행한다.
- [0063] 이후, 도 3b에 도시된 바와 같이, 소스/드레인 전극층(240)을 패터닝함으로써 반도체층(230) 상에 소스전극(240a) 및 드레인 전극(240b)을 형성하고, 게이트 절연막(220) 상에 패드부(240c)를 형성한다. 이때, 소스전극(240a) 및 드레인 전극(240b)은 기판(200)의 표시영역(200a)에 형성되고, 패드부(240c)는 기판(200)의 비표시영역(200b)에 형성된다.
- [0064] 패드부(240c)는 연결배선(미도시)을 통하여 게이트 전극(210), 소스전극(240a), 및 드레인 전극(240b) 중 적어도 하나와 연결되어, 외부로부터 인가되는 전기적 신호를 게이트 전극(210), 소스전극(240a), 및 드레인 전극(240b)에 전달하는 역할을 수행한다.
- [0065] 도 3b에 도시하지는 않았지만, 소스/드레인 전극층(240)이 MoTi 또는 ITO(Indium-Tin-Oxide)를 이용하여 형성된 제1 물질층(242)과 제1 물질층(242) 상에 Cu를 이용하여 형성된 제2 물질층(244)으로 구성되기 때문에 소스/드레인 전극층(240)의 패터닝을 통해 형성되는 소스전극(240a), 드레인 전극(240b), 및 패드부(240c) 또한 MoTi 또는 ITO(Indium-Tin-Oxide)를 이용하여 형성된 제1 물질층(242)과 제1 물질층(242) 상에 Cu를 이용하여 형성된 제2 물질층(244)으로 구성된다.
- [0066] 일 실시예에 있어서, 소스/드레인 전극층(240)의 패터닝은 TLCE-05를 식각액으로 하는 습식 식각(Wet Etching)

을 통해 수행될 수 있다.

- [0067] 한편, 도 3b에 도시하지는 않았지만, 액티브층(230)과 소스전극(240a)/드레인 전극(240b) 사이에는 에치 스톱퍼(미도시)가 추가 형성될 수 있다. 에치 스톱퍼는 소스 전극(240a) 및 드레인 전극(240b)의 패터닝을 위한 식각 공정시 액티브층(230)의 채널영역이 에칭되는 것을 방지하는 역할을 한다. 에치 스톱퍼는 실리콘 산화물 또는 실리콘 질화물과 같은 무기계 절연물질로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0068] 다음, 도 3c에 도시된 바와 같이, 소스전극(240a), 드레인 전극(240b), 및 패드부(240c)를 포함하는 기관(200)의 전체면에 보호층(250)을 형성한다. 보호층(250)은 실리콘 산화물과 같은 무기계 절연물질이나 포토아크릴(Photo acryl) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수 있다.
- [0069] 일 실시예에 있어서, 보호층(250) 중 적어도 일부 영역의 제거를 통해 패드부(240c)를 외부로 노출시키기 위해 보호층(250)은 BOE(Buffered Oxide Echant)에 의해 식각 가능한 물질로 형성될 수 있다.
- [0070] 다음, 도 3d에 도시된 바와 같이, 표시영역(200a)에서 보호층(250) 상에 평탄화층(260)을 패턴 형성한다. 이때, 평탄화층(260)은 드레인 전극(240b)에 상응하는 보호층(250) 영역이 노출될 수 있도록 패턴 형성된다. 일 실시예에 있어서, 평탄화층(260)은 포토아크릴(Photo acryl: PAC) 또는 벤조사이클로부텐(BCB) 등과 같은 유기계 절연물질로 이루어질 수 있다. 평탄화층(260)은 유기발광표시장치의 표면 단차를 줄이는 역할을 한다.
- [0071] 다음, 도 3e에 도시된 바와 같이, 평탄화층(260)을 통해 노출되는 보호층(250)의 적어도 일부를 식각하여 보호층(250)에 드레인 전극(240b)을 외부로 노출시키는 콘택홀(CH)을 형성한다.
- [0072] 다음, 도 3f에 도시된 바와 같이, 콘택홀(CH)을 통해 드레인 전극(240b)과 전기적으로 연결되도록 평탄화층(260) 상에 제1 전극(270)을 패턴 형성한다. 이러한 제1 전극(270)은 유기발광표시장치의 애노드(Anode) 전극으로써 동작함과 동시에 후술할 유기발광층에서 발생한 광을 후술할 제2 전극(300)방향으로 반사시키는 반사판으로써 동작하게 된다.
- [0073] 일 실시예에 있어서, 제1 전극(270)은 일함수 값이 비교적 큰 투명 도전성 물질 예를 들어, 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 형성될 수 있다.
- [0074] 다른 실시예에 있어서, 제1 전극(270)은 반사효율이 우수한 금속물질 예를 들어, 알루미늄(Al), 은(Ag), APC(Ag:Pb;Cu) 등을 포함하는 복수개의 층으로 구성될 수 있다.
- [0075] 도 3f에 도시된 바와 같이 제1 전극(270)이 복수개의 층으로 구성되는 경우, 제1 전극(270)은 평탄화층(260)을 포함하는 기관(200)의 전체면에 ITO를 이용하여 형성된 제1 투명 전도성 물질층(미도시), 반사율이 높은 물질, 예컨대 Al, Ag, 또는 Ag를 포함하는 합금(APC(Ag:Pb;Cu))을 이용하여 형성된 제1 금속 물질층(미도시), 및 ITO를 이용하여 형성된 제2 투명 전도성 물질층(미도시)을 순차적으로 형성한 후, 제1 투명 전도성 물질층, 금속 물질층, 및 제2 투명 전도성 물질층을 패터닝함으로써 형성될 수 있다. 제1 투명 전도성 물질층, 금속 물질층, 및 제2 투명 전도성 물질층의 패터닝을 통해 제1 투명 전도성 물질층은 제1 투명 전극(272)을 형성하게 되고, 제1 금속 물질층은 제1 금속전극(274)을 형성하게 되며, 제2 투명 전도성 물질층은 제2 투명 전극(276)을 형성하게 된다.
- [0076] 이와 같이, 본 발명은 제1 전극(270)이 Al, Ag, 또는 Ag를 포함하는 합금(APC(Ag:Pb;Cu))을 이용하여 형성된 제1 금속전극(274) 및 ITO를 이용하여 형성된 제1 및 제2 투명전극(272, 274)으로 구성되기 때문에 유기발광표시장치의 회도를 향상시킬 수 있게 된다.
- [0077] 도 3f에서는 제1 전극(270)이 3층 구조로 형성되는 것으로 설명하였지만, 다른 예에 있어서 제1 전극(270)은, ITO를 이용하여 형성된 투명전극층 및 Al, Ag, 또는 Ag를 포함하는 합금(APC(Ag:Pb;Cu))을 이용하여 형성된 금속전극이 순차적으로 형성된 2층구조로 형성되거나, ITO만으로 구성된 단일층으로 형성될 수도 있을 것이다.
- [0078] 다음, 도 3g에 도시된 바와 같이, 기관(200) 상에 뱅크층(280a, 280b)을 패턴 형성한다. 구체적으로, 기관(200)의 표시영역(200a)에 제1 뱅크층 패턴(280a)을 형성하고, 기관의(200)의 비표시영역(200b)에 제2 뱅크층 패턴을 형성한다.
- [0079] 제1 뱅크층 패턴(280a) 및 제2 뱅크층 패턴(280b)은 뱅크층 형성을 위한 물질층(미도시)을 기관(200)의 전체면에 형성한 이후 하프톤 마스크(Half Tone Mask)를 이용하여 뱅크층 형성을 위한 물질층을 패터닝함으로써 형성될 수 있다.
- [0080] 일 실시예에 있어서, 뱅크층 형성을 위한 물질층은 BOE(Buffered Oxide Echant)에 의해 식각되지 않는 물질로

이루어질 수 있다. 예컨대, 뱅크층 형성을 위한 물질층은 알루미늄(Alumina) 또는 실리콘 질화물(Silicon Nitride)을 포함하는 물질로 이루어질 수 있다.

- [0081] 제1 뱅크층 패턴(280a)은 기판(200)의 표시영역(200a)에서 평탄화층(260) 상에 구동소자(DTr)와 오버랩되면서 제1 전극(270)을 노출시키기 위한 제1 홀(T1)이 형성되어 있고, 제1 두께(T1)를 갖도록 형성된다. 제1 뱅크층 패턴(280a)에 의해서 유기발광소자(E)가 형성되는 유기발광소자 영역이 정의된다.
- [0082] 제2 뱅크층 패턴(280b)은 기판(200)의 비표시영역(200b)에서 보호층(250)상에 보호층(250)의 적어도 일부를 노출시키기 위한 제2 홀(T2)이 형성되어 있고, 제1 두께(T1)보다 얇은 제2 두께(T2)를 갖도록 형성된다.
- [0083] 이후, 도 3h에 도시된 바와 같이, 뱅크층(280a, 280b)을 마스크로 하여 패드부(240c) 상에 형성된 보호층(250)의 적어도 일부를 식각함으로써 패드부(240c)를 외부로 노출시키기 위한 제3 홀(T3)을 보호층(250)에 형성한다.
- [0084] 일 실시예에 있어서, BOE(Buffered Oxide Echant)를 식각액으로 하는 습식 식각을 통해 보호층(250)의 일부를 제거할 수 있다. BOE(Buffered Oxide Echant)는 반도체 공정에서 식각액으로 잘 알려져 있는 것으로서, 예로서 NH₄F와 HF를 포함한 약액으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니다.
- [0085] 이와 같이, BOE를 식각액으로 하여 습식 식각을 수행하기 때문에, BOE에 의해 식각 되지 않는 물질로 형성된 뱅크층(280a, 280b)은 식각되지 않지만, BOE에 의해 식각 가능한 물질로 형성된 보호층(250) 중 제2 뱅크층 패턴(280b)에 형성된 제2 홀(T2)을 통해 노출된 영역이 식각됨으로써 보호층(250)에 패드부(240c)를 외부로 노출시키는 제3 홀(T3)이 형성되게 된다.
- [0086] 이와 같이, 본 발명은 제1 전극(270)의 패터닝이 완료된 이후에 패드부(240c)를 노출시키기 때문에 제1 전극(270)의 패터닝에 이용되는 식각액에 의해 패드부(240c)가 손상되는 것을 방지할 수 있다. 또한, 본 발명은 뱅크층(280a, 280b)을 마스크로 이용하여 패드부(240c)를 노출시키기 때문에 패드부(240c)의 노출을 위해 별도의 마스크가 요구되지 않아 유기발광표시장치의 제조공정 간소화는 물론 유기발광표시장치의 제조비용을 감소시킬 수 있다.
- [0087] 이후, 도 3i에 도시된 바와 같이, 애싱(Ashing)공정을 통해 평탄화층(260) 상에 형성되어 있는 제1 뱅크층 패턴(280a)을 제외한 제2 뱅크층 패턴(280b)을 제거한다. 이와 같은 애싱공정을 통해 제1 뱅크층 패턴(280a)의 두께는 제1 두께(T1)보다 얇은 제3 두께(T3)로 감소하게 된다. 예컨대, 제3 두께(T3)는 제1 두께(T1)와 제2 두께(T2)이 차이값과 동일한 값일 수 있다.
- [0088] 상술한 실시예에 있어서는, 애싱공정을 통해 제2 뱅크층 패턴(280b)을 완전히 제거하는 것을 설명하였지만, 변형된 실시예에 있어서는 제2 뱅크층 패턴(280b)이 잔존하도록 할 수도 있을 것이다.
- [0089] 이후, 도 3j에 도시된 바와 같이 제1 뱅크층 패턴(280a) 및 제1 전극(270) 상에 유기발광층(290) 및 제2 전극(300)을 순차 형성하여 유기발광소자(E)를 완성한다.
- [0090] 제2 전극(300)은 유기발광표시장치(20)에서 캐소드(Cathode) 전극 및 반투과막 역할을 수행한다.
- [0091] 도 3j에 도시하지는 않았지만, 유기 발광층(290)은 정공주입층, 정공수송층, 유기발광층, 전자수송층, 및 전자주입층이 차례로 적층된 구조로 형성될 수 있다. 다만, 상기 정공주입층, 정공수송층, 전자수송층 및 전자주입층 중 하나 또는 둘 이상의 층은 생략이 가능하다. 유기 발광층(280)은 화소 별로 동일한 색, 예로서 화이트(White)의 광을 발광하도록 형성될 수도 있고, 화소 별로 상이한 색, 예로서, 적색, 녹색, 청색, 또는 백색의 광을 발광하도록 형성될 수도 있다.
- [0092] 제2 전극(300)은 유기 발광층(290) 상에 형성되어 있다. 제2 전극(300)은 화소 별로 구분되지 않고 전체 화소에 공통되는 전극 형태로 형성될 수 있다. 즉, 제2 전극(300)은 유기 발광층(290) 뿐만 아니라 제1 뱅크층 패턴(280a) 상에도 형성될 수 있다. 제2 전극(300)은 유기발광표시장치(20)에서 캐소드(Cathode) 전극 및 반투과막 역할을 수행한다.
- [0093] 상술한 바와 같은 제1 전극(270), 유기 발광층(280), 및 제2 전극(280)이 유기발광소자(E)를 구성하게 된다.
- [0094] 본 발명이 속하는 기술분야의 당업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- [0095] 예컨대, 상술한 실시예에 있어서는 뱅크층(280a, 280b)을 마스크로 하여 패드부(240c)를 노출시키는 것으로 설명하였지만, 다른 실시예에 있어서는 제1 전극(270) 패턴을 마스크로 하여 패드부(240c)를 노출시킬 수도 있을

것이다.

[0096] 이와 같이 제1 전극(270) 패턴을 마스크로 하여 패드부(240c)를 노출시키는 경우에도 패드부(240c)를 노출시키기 위한 별도의 마스크가 요구되지 않을 뿐만 아니라 제1 전극(270)의 패턴 형성이 완료된 이후에 패드부(240c)가 노출되기 때문에 제1 전극(170)의 패턴 형성을 위한 식각액에 의해 패드부(240c)가 손상되는 것을 방지할 수 있게 된다.

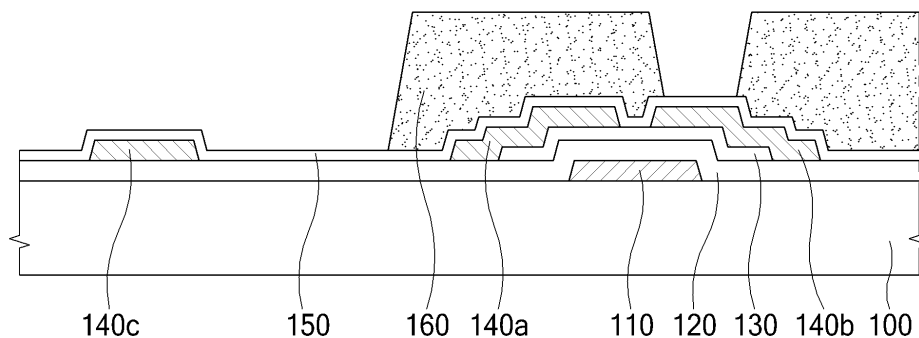
[0097] 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

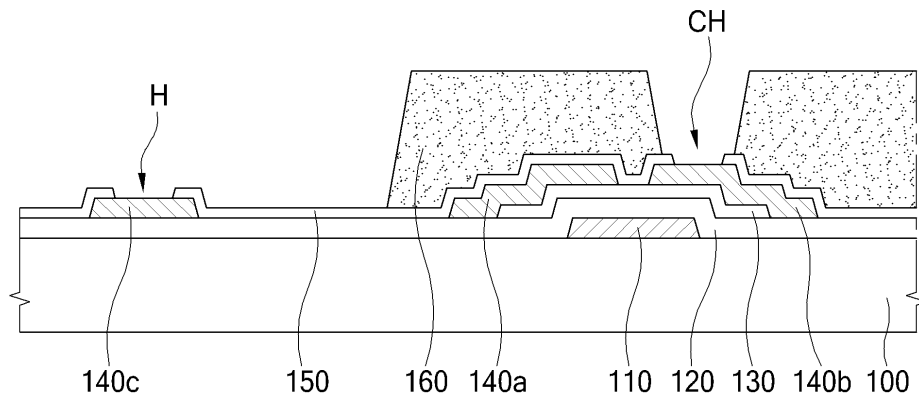
[0098] 200: 기관 210: 게이트 전극
220: 게이트 절연막 230: 액티브층
240: 소스/드레인 전극층 240a: 소스전극
240b: 드레인 전극 240c: 패드부
250: 보호층 260: 평탄화층
270: 제1 전극 280: 뱅크층
280a: 제1 뱅크층 패턴 280b: 제2 뱅크층 패턴
290: 유기발광층 300: 제2 전극

도면

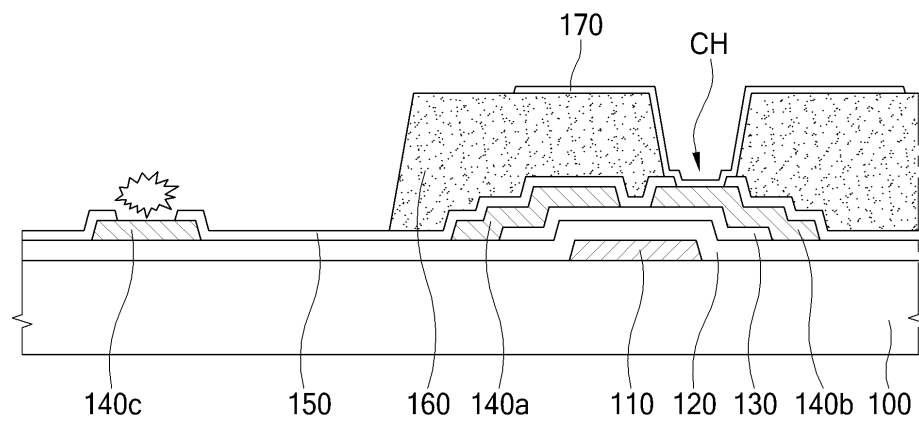
도면1a



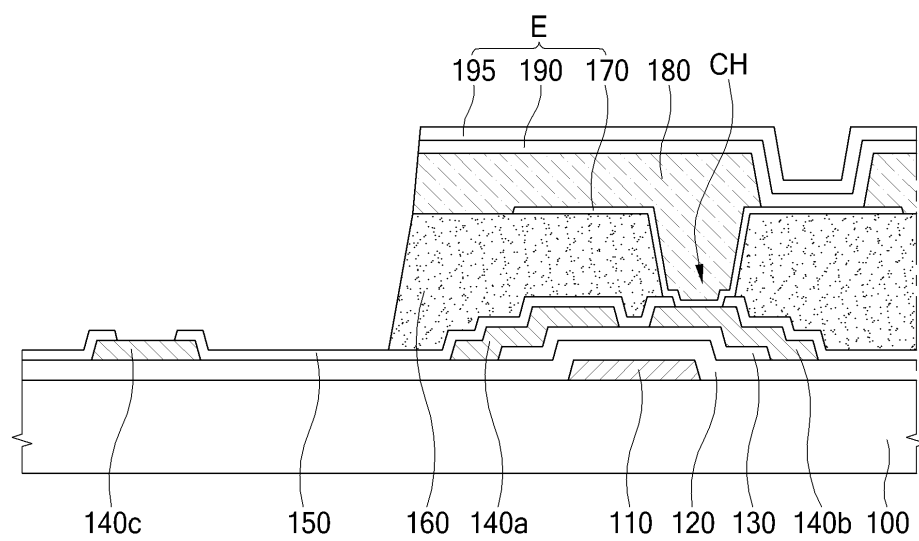
도면1b



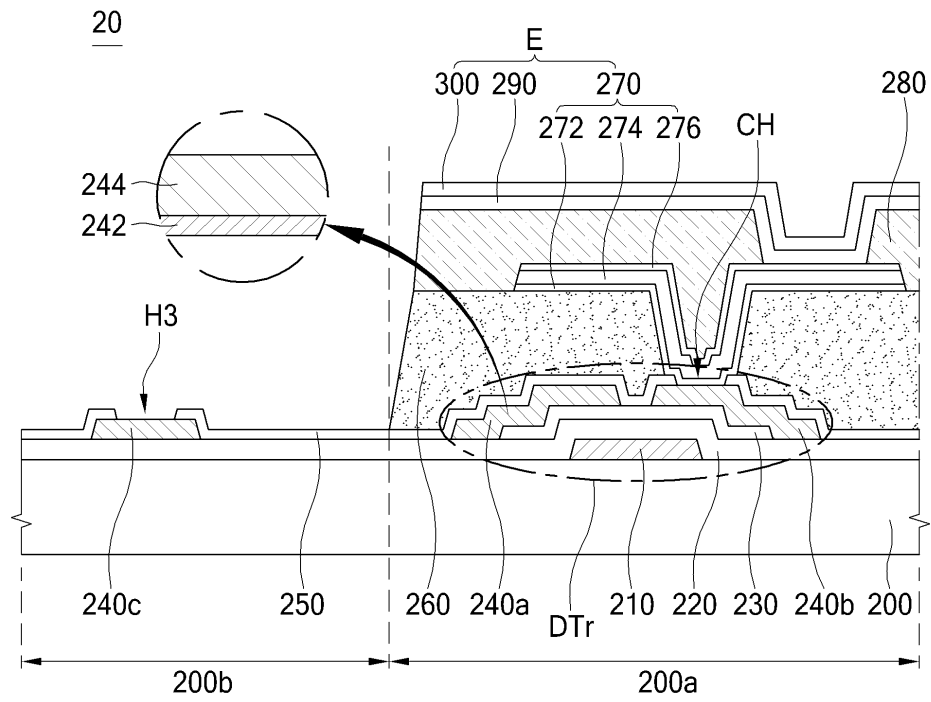
도면1c



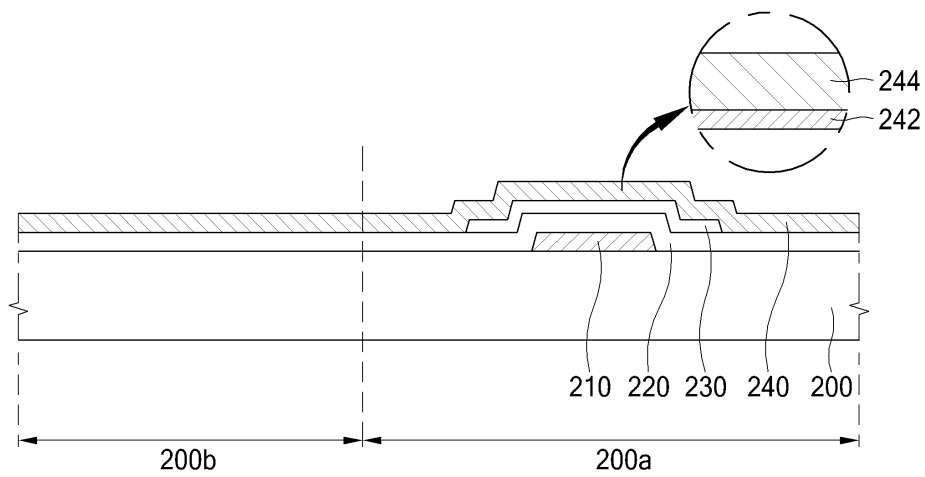
도면1d



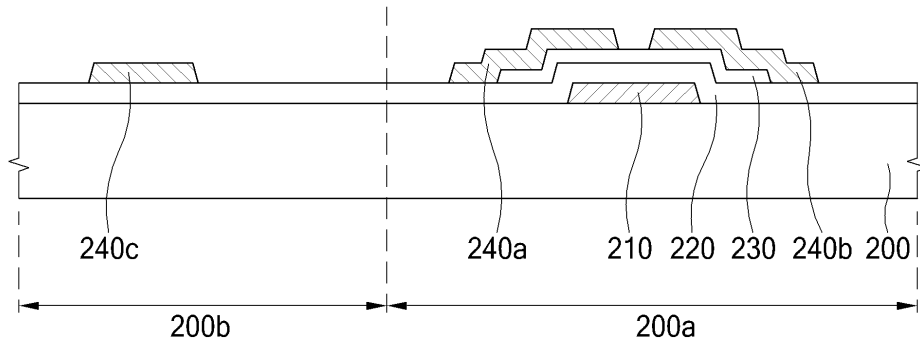
도면2



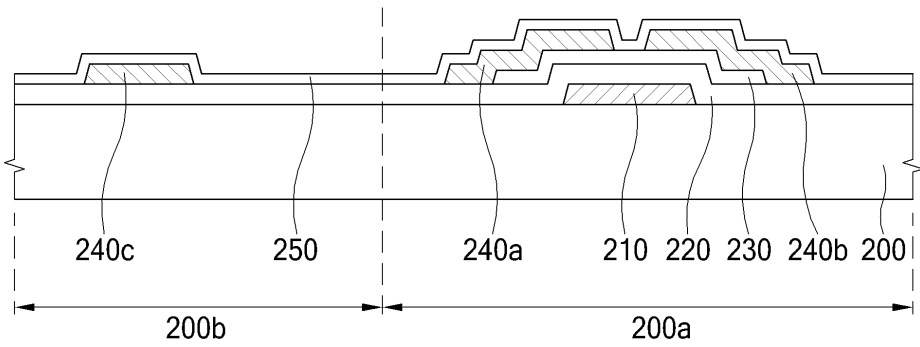
도면3a



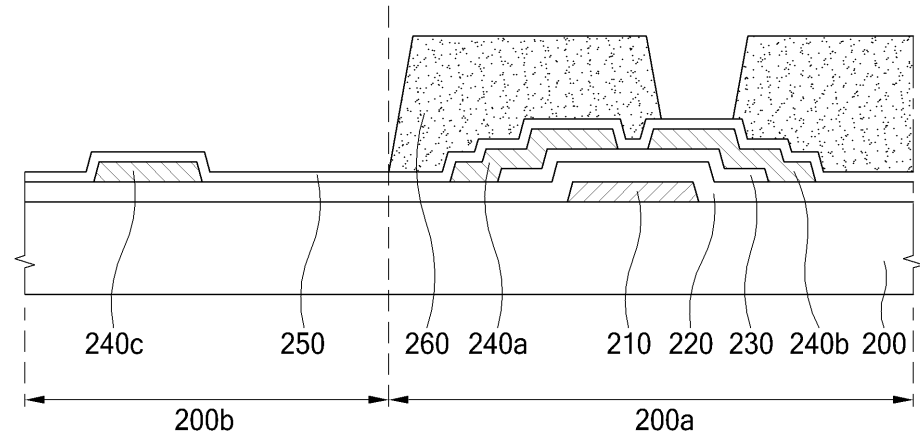
도면3b



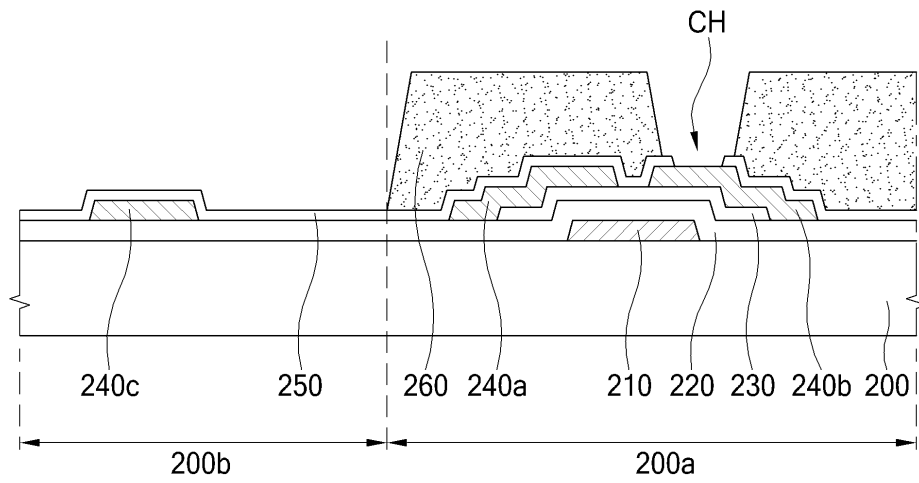
도면3c



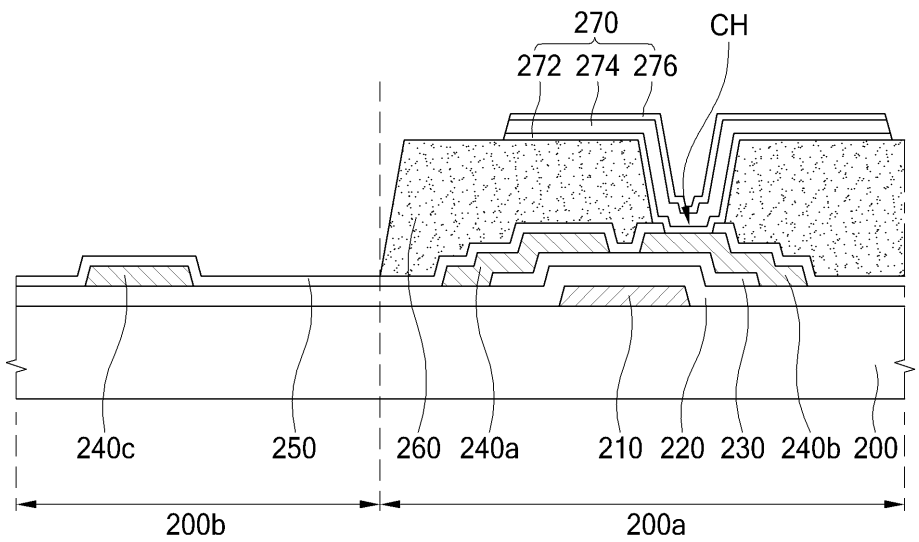
도면3d



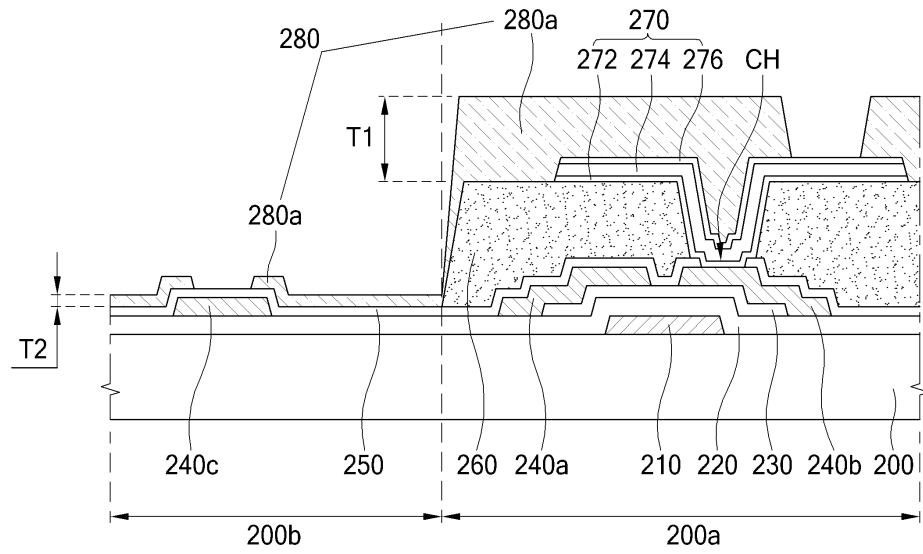
도면3e



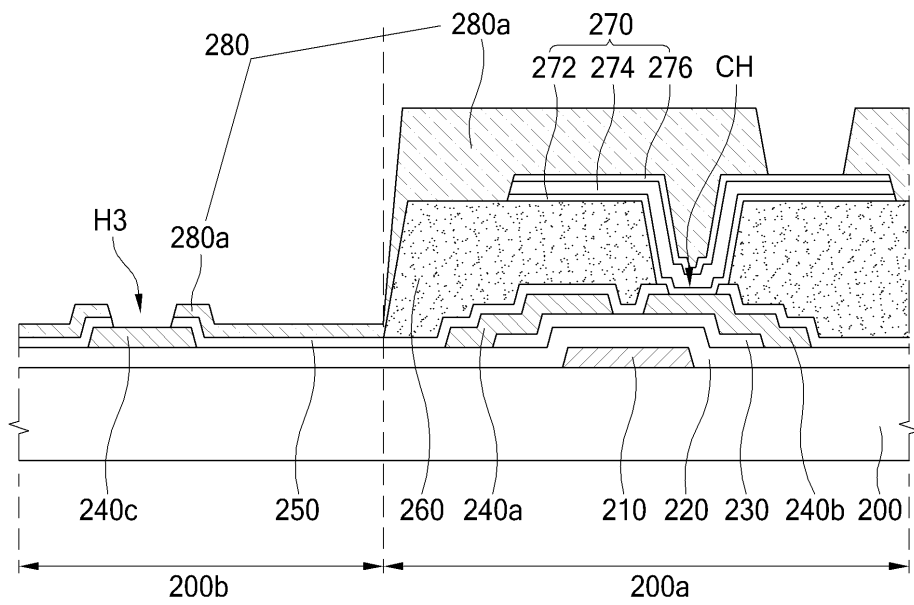
도면3f



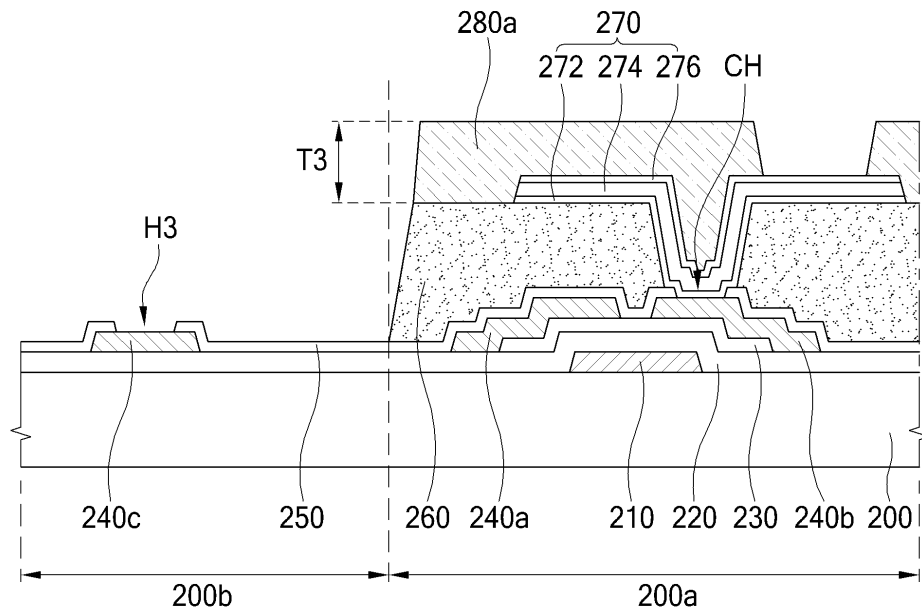
도면3g



도면3h



도면3i



도면3j

