



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0007982
(43) 공개일자 2016년01월21일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/50 (2006.01)
(21) 출원번호 10-2014-0086975
(22) 출원일자 2014년07월10일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로1(농서동)
(72) 발명자
정철윤
경기도 성남시 분당구 분당로 190, 107동 2001호
(분당동, 샛별마을라이프아파트)
최종현
서울특별시 강동구 고덕로 210, 506동 107호 (명
일동, 삼익그린아파트)
(74) 대리인
팬코리아특허법인

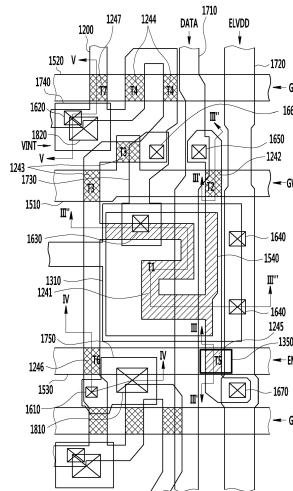
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치, 그 구동 방법 및 제조 방법

(57) 요약

본 발명은 유기 발광 표시 장치, 그 구동 방법 및 제조 방법에 관한 것이다. 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 청구항 기관, 상기 기관 위에 위치하고 복수의 채널 영역을 포함하는 반도체 패턴, 상기 반도체 패턴 위에 위치하는 제1 게이트 절연막, 상기 제1 게이트 절연막 위에 위치하는 복수의 제1 게이트 도전층, 상기 복수의 게이트 패턴 위에 위치하는 제2 게이트 절연막, 그리고 상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전층을 포함하고, 상기 복수의 채널 영역은 상기 제1 게이트 도전층과 중첩하는 제1 채널 영역, 그리고 상기 제1 게이트 도전층과 중첩하지 않는 제2 채널 영역을 포함하고, 상기 제2 채널 영역의 도핑 농도는 상기 제1 채널 영역의 도핑 농도와 다르다.

대표도 - 도2



명세서

청구범위

청구항 1

기관,

상기 기관 위에 위치하고 복수의 채널 영역을 포함하는 반도체 패턴,

상기 반도체 패턴 위에 위치하는 제1 게이트 절연막,

상기 제1 게이트 절연막 위에 위치하는 복수의 제1 게이트 도전층,

상기 복수의 게이트 패턴 위에 위치하는 제2 게이트 절연막, 그리고

상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전층

을 포함하고,

상기 복수의 채널 영역은 상기 제1 게이트 도전층과 중첩하는 제1 채널 영역, 그리고 상기 제1 게이트 도전층과 중첩하지 않는 제2 채널 영역을 포함하고,

상기 제2 채널 영역의 도핑 농도는 상기 제1 채널 영역의 도핑 농도와 다른

유기 발광 표시 장치.

청구항 2

제1항에서,

상기 제2 게이트 도전층은 상기 복수의 채널 영역 각각과 중첩하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 제1 채널 영역은 구동 트랜지스터에 포함된 구동 채널 영역 및 제1 스위칭 트랜지스터에 포함된 제1 스위칭 채널 영역을 포함하고,

상기 제2 채널 영역은 제2 스위칭 트랜지스터에 포함된 제2 스위칭 채널 영역을 포함하고,

상기 제1 스위칭 트랜지스터의 문턱 전압과 상기 제2 스위칭 트랜지스터의 문턱 전압은 서로 다른

유기 발광 표시 장치.

청구항 4

제3항에서,

상기 구동 채널 영역과 중첩하는 상기 제1 게이트 도전층과 상기 제2 게이트 도전층은 상기 제2 게이트 절연막과 함께 유지 축전기를 형성하는 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 구동 채널 영역과 중첩하는 상기 제1 게이트 도전층은 구동 전압을 인가받는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 제1 채널 영역과 중첩하는 상기 제1 게이트 도전층은 섬형인 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 제1 스위칭 트랜지스터는 상기 구동 트랜지스터의 드레인 전극과 연결되어 있는 소스 전극을 포함하는 유기 발광 표시 장치.

청구항 8

유지 축전기와 연결되어 있는 구동 게이트 전극을 포함하는 구동 트랜지스터,

상기 구동 트랜지스터의 구동 드레인 전극과 연결되어 있는 제1 소스 전극을 포함하는 제1 스위칭 트랜지스터, 그리고

상기 구동 트랜지스터의 구동 소스 전극과 연결되어 있는 제2 드레인 전극을 포함하는 제2 스위칭 트랜지스터를 포함하고,

상기 제2 스위칭 트랜지스터의 제2 소스 전극은 구동 전압을 인가받고,

상기 제1 스위칭 트랜지스터의 채널 영역의 도핑 농도는 상기 제2 스위칭 트랜지스터의 채널 영역의 도핑 농도와 다른

유기 발광 표시 장치.

청구항 9

제8항에서,

상기 제1 스위칭 트랜지스터의 채널 영역의 도핑 농도는 상기 구동 트랜지스터의 채널 영역의 도핑 농도와 실질적으로 동일한 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 제1 스위칭 트랜지스터의 게이트 전극과 상기 제1 스위칭 트랜지스터의 채널 영역 사이에 위치하는 부분을 포함하는 제1 게이트 도전층을 더 포함하는 유기 발광 표시 장치.

청구항 11

제10항에서,

상기 제1 게이트 도전층은 상기 구동 트랜지스터의 상기 구동 게이트 전극과 상기 구동 트랜지스터의 채널 영역 사이에 위치하는 부분을 더 포함하는 유기 발광 표시 장치.

청구항 12

기판 위에 반도체층을 적층하고 패터닝하여 반도체 패턴층을 형성하는 단계,

상기 반도체 패턴층 위에 제1 게이트 절연막을 형성하는 단계,

상기 제1 게이트 절연막 위에 복수의 제1 게이트 도전층을 형성하는 단계,

상기 제1 게이트 도전층을 형성한 다음 불순물을 도핑하여 상기 반도체 패턴층을 도핑하여 도핑 농도가 서로 다른 제1 채널 영역 및 제2 채널 영역을 형성하는 단계,

상기 제1 게이트 도전층 위에 제2 게이트 절연막을 형성하는 단계,

상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전층을 형성하는 단계, 그리고

상기 제2 게이트 도전층을 형성한 후 불순물을 도핑하여 상기 반도체 패턴층의 일부를 도전성 영역으로 만드는 단계

를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제12항에서,
 상기 제1 채널 영역은 상기 제1 게이트 도전층과 중첩하고,
 상기 제2 채널 영역은 상기 제1 게이트 도전층과 중첩하지 않는
 유기 발광 표시 장치의 제조 방법.

청구항 14

제13항에서,
 상기 제2 게이트 도전층은 상기 제1 채널 영역 및 상기 제2 채널 영역과 중첩하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제14항에서,
 상기 반도체 패터층을 형성한 후 상기 제1 게이트 절연막을 형성하기 전에 불순물을 주입하여 상기 반도체 패터층을 전체적으로 채널 도핑하는 단계를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제15항에서,
 상기 제2 게이트 도전층 위에 층간 절연막을 형성하는 단계, 그리고
 상기 층간 절연막 위에 데이터 도전층을 형성하는 단계
 를 더 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 17

구동 트랜지스터, 스위칭 트랜지스터, 보상 트랜지스터, 초기화 트랜지스터, 동작 제어 트랜지스터, 발광 제어 트랜지스터, 그리고 유기 발광 다이오드를 포함하는 유기 발광 표시 장치에서,

상기 스위칭 트랜지스터 및 상기 보상 트랜지스터를 턴오프하고 상기 초기화 트랜지스터, 상기 동작 제어 트랜지스터 및 상기 발광 제어 트랜지스터를 턴온하여 상기 구동 트랜지스터의 소스 전극에 구동 전압을 인가하는 소스 초기화 단계,

상기 초기화 트랜지스터를 턴온하고, 상기 스위칭 트랜지스터, 상기 보상 트랜지스터, 상기 동작 제어 트랜지스터 및 상기 발광 제어 트랜지스터를 턴오프하여 상기 초기화 전압을 상기 구동 트랜지스터의 게이트 전극에 인가하는 게이트 초기화 단계,

상기 초기화 트랜지스터, 상기 동작 제어 트랜지스터, 상기 발광 제어 트랜지스터 및 상기 바이패스 트랜지스터를 턴오프하고 상기 스위칭 트랜지스터 및 상기 보상 트랜지스터를 턴온하여 상기 구동 트랜지스터의 소스 전극에 데이터 신호를 인가하는 데이터 기입 단계, 그리고

상기 스위칭 트랜지스터, 상기 보상 트랜지스터, 상기 초기화 트랜지스터 및 상기 바이패스 트랜지스터가 턴오프하고 상기 동작 제어 트랜지스터 및 상기 발광 제어 트랜지스터를 턴온하여 상기 유기 발광 다이오드가 상기 데이터 신호에 따른 휘도로 발광하는 발광 단계

를 포함하고,
 상기 소스 초기화 단계에서, 상기 발광 제어 트랜지스터가 상기 동작 제어 트랜지스터보다 먼저 턴오프되고,
 상기 발광 제어 트랜지스터의 문턱 전압은 상기 동작 제어 트랜지스터의 문턱 전압과 다른
 유기 발광 표시 장치의 구동 방법.

청구항 18

제17항에서,

상기 발광 제어 트랜지스터의 채널 영역의 도핑 농도는 상기 동작 제어 트랜지스터의 채널 영역의 도핑 농도와 다른 유기 발광 표시 장치의 구동 방법.

청구항 19

제18항에서,

상기 발광 제어 트랜지스터와 상기 동작 제어 트랜지스터는 동일한 신호에 의해 제어되는 유기 발광 표시 장치의 구동 방법.

청구항 20

제19항에서,

상기 유기 발광 표시 장치는 상기 초기화 트랜지스터의 소스 전극과 상기 발광 제어 트랜지스터의 드레인 전극 사이에 연결되어 있는 바이패스 트랜지스터를 더 포함하고,

상기 바이패스 트랜지스터와 상기 스위칭 트랜지스터와 동일한 신호에 의해 제어되는

유기 발광 표시 장치의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치, 그 구동 방법 및 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치(organic light emitting diode display, OLED)는 자체 발광 소자인 유기 발광 다이오드(organic light emitting diode)를 이용하여 영상을 표시하는 표시 장치이다. 따라서 유기 발광 표시 장치는 별도의 광원이 필요 없으므로 소비전력 측면에서 유리할 뿐만 아니라, 응답 속도, 시야각 및 대비비(contrast ratio)도 우수하다. 또한 유기 발광 표시 장치는 박형화가 가능하면서 휘도 및 색순도가 뛰어나고 플렉서블(flexible) 디스플레이에 응용될 수 있는 장점을 가지고 있다.

[0003] 유기 발광 표시 장치는 복수의 화소(pixel)를 포함하며, 각 화소는 적색, 청색, 녹색, 백색 등의 기본색을 나타낼 수 있다. 이러한 여러 기본색을 나타내는 화소를 조합하여 풀 컬러(full color)를 표현할 수 있다.

[0004] 각 화소는 유기 발광 다이오드와 유기 발광 다이오드로 데이터 신호에 대응하는 발광 전류를 공급하여 구동하기 위한 화소 구동 회로를 포함한다.

[0005] 유기 발광 다이오드는 화소 전극, 대향 전극, 그리고 두 사이에 위치하는 발광층을 포함한다. 화소 전극 및 대향 전극 중 한 전극은 애노드 전극이 되고 다른 전극은 캐소드 전극이 된다. 캐소드 전극으로부터 주입된 전자(electron)와 애노드 전극으로부터 주입된 정공(hole)이 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다. 대향 전극은 복수의 화소에 걸쳐 형성되어 있으며 일정한 공통 전압을 인가받을 수 있다.

[0006] 화소 구동 회로의 한 예에 대해 설명하면, 화소 구동 회로는 유기 발광 다이오드와 연결되어 있는 구동 트랜지스터, 구동 트랜지스터와 연결되어 있는 적어도 하나의 축전기, 구동 트랜지스터와 연결되어 있는 스위칭 트랜지스터 등을 포함할 수 있다. 화소 구동 회로는 구동 전압(BLVDD) 단자에 연결되어 있다.

[0007] 스위칭 트랜지스터의 소스 단자는 데이터선과 연결되고 게이트 단자는 게이트선과 연결된다. 게이트선이 전달하는 게이트 신호가 게이트 온 전압일 때 스위칭 트랜지스터는 턴온(turn on)되고 게이트 오프 전압일 때 스위칭 트랜지스터는 턴오프(turn off)된다.

[0008] 스위칭 트랜지스터가 턴온되면 데이터선으로부터 전달되는 데이터 신호가 축전기와 구동 트랜지스터에 전달된다.

- [0009] 축전기는 외부에서 공급되는 구동 전압(ELVDD)에 연결되어 데이터 신호를 한 프레임 동안 유지한다. 이 때의 축전기의 용량은 구동 트랜지스터의 문턱 전압을 보상하는 역할을 하고 이에 따라 축전기의 용량은 유기발광 표시 장치의 발광 품질에 큰 영향을 준다.
- [0010] 이러한 데이터 신호에 의해 구동 트랜지스터가 턴온될 경우 구동 트랜지스터는 구동 전압(ELVDD)에서 공통 전압에 이르는 경로의 유기 발광 다이오드의 전류량을 조절하고, 유기 발광 다이오드에 전달되는 전류의 양에 따라서 화소가 빛을 방사한다. 구동 트랜지스터는 스위칭 트랜지스터와 축전기의 공통 연결 단자의 데이터 신호에 의해 한 프레임 동안 항상 턴온되어 유기 발광 다이오드에 지속적으로 전류를 인가할 수 있다.
- [0011] 유기 발광 다이오드를 구동하는 구동 트랜지스터는 오랜 시간 동작하면 그 문턱 전압 또는 이동도(mobility)가 변화하여 예상한 휘도가 나오지 않을 수 있다. 특히 구동 트랜지스터에 포함된 반도체의 특성이 표시 장치 내에서 균일하지 않을 경우 화소간 휘도 편차가 생길 수 있다. 이를 해결하기 위해 유기 발광 표시 장치의 화소 구동 회로는 문턱 전압, 이동도 등의 변화와 편차를 보상하기 위한 하나 이상의 추가 트랜지스터를 더 포함할 수 있다.
- [0012] 화소 구동 회로가 포함하는 복수의 트랜지스터는 박막 트랜지스터일 수 있다. 특히 구동 트랜지스터는 폴리 실리콘(poly silicon)을 포함하는 박막 트랜지스터일 수 있다.

발명의 내용

해결하려는 과제

- [0013] 유기 발광 표시 장치의 화소 구동 회로가 포함하는 트랜지스터들은 그 기능 별로 문턱 전압을 독립적으로 조절할 필요가 있다.
- [0014] 예를 들어 구동 트랜지스터는 순간적으로 방사되는 빛의 크기가 변화하는 전압이 인가되면 출력 특성이 달라질 수 있다. 즉, 동일한 구동 트랜지스터라 하더라도 영상 밝기의 변화 방향, 즉 바이어스(bias)의 방향에 따라 구동 트랜지스터 특성이 변할 수 있다. 이러한 특성으로 인해 유기 발광 표시 장치가 동영상을 표시할 때 원하지 않는 휘도가 표시되어 마치 영상이 끌리는 것과 같은 현상이 나타날 수 있다. 이러한 동영상 끌림을 해결하기 위해서는 화소 구동 회로의 일부 트랜지스터의 문턱 전압을 다른 트랜지스터와 다르게 조절할 필요가 있다.
- [0015] 이에 따라 본 발명이 해결하고자 하는 과제는 화소 구동 회로의 축전기의 용량을 저하시키지 않으면서 두 박막 트랜지스터의 문턱 전압을 서로 다르게 조절하는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것이다.
- [0016] 본 발명이 해결하고자 하는 또 다른 과제는 화소 구동 회로가 포함하는 두 박막 트랜지스터의 문턱 전압을 서로 다르게 분리 조절하여 동영상 끌림을 해결하여 모션 클러리티(motion clarity)를 확보할 수 있는 유기 발광 표시 장치의 구동 방법을 제공하는 것이다.

과제의 해결 수단

- [0017] 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 청구항 기관, 상기 기관 위에 위치하고 복수의 채널 영역을 포함하는 반도체 패턴, 상기 반도체 패턴 위에 위치하는 제1 게이트 절연막, 상기 제1 게이트 절연막 위에 위치하는 복수의 제1 게이트 도전층, 상기 복수의 게이트 패턴 위에 위치하는 제2 게이트 절연막, 그리고 상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전층을 포함하고, 상기 복수의 채널 영역은 상기 제1 게이트 도전층과 중첩하는 제1 채널 영역, 그리고 상기 제1 게이트 도전층과 중첩하지 않는 제2 채널 영역을 포함하고, 상기 제2 채널 영역의 도핑 농도는 상기 제1 채널 영역의 도핑 농도와 다르다.
- [0018] 상기 제2 게이트 도전층은 상기 복수의 채널 영역 각각과 중첩할 수 있다.
- [0019] 상기 제1 채널 영역은 구동 트랜지스터에 포함된 구동 채널 영역 및 제1 스위칭 트랜지스터에 포함된 제1 스위칭 채널 영역을 포함하고, 상기 제2 채널 영역은 제2 스위칭 트랜지스터에 포함된 제2 스위칭 채널 영역을 포함하고, 상기 제1 스위칭 트랜지스터의 문턱 전압과 상기 제2 스위칭 트랜지스터의 문턱 전압은 서로 다를 수 있다.
- [0020] 상기 구동 채널 영역과 중첩하는 상기 제1 게이트 도전층과 상기 제2 게이트 도전층은 상기 제2 게이트 절연막과 함께 유지 축전기를 형성할 수 있다.
- [0021] 상기 구동 채널 영역과 중첩하는 상기 제1 게이트 도전층은 구동 전압을 인가받을 수 있다.

- [0022] 상기 제1 채널 영역과 중첩하는 상기 제1 게이트 도전층은 섬형일 수 있다.
- [0023] 상기 제1 스위칭 트랜지스터는 상기 구동 트랜지스터의 드레인 전극과 연결되어 있는 소스 전극을 포함할 수 있다.
- [0024] 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 유지 축전기와 연결되어 있는 구동 게이트 전극을 포함하는 구동 트랜지스터, 상기 구동 트랜지스터의 구동 드레인 전극과 연결되어 있는 제1 소스 전극을 포함하는 제1 스위칭 트랜지스터, 그리고 상기 구동 트랜지스터의 구동 소스 전극과 연결되어 있는 제2 드레인 전극을 포함하는 제2 스위칭 트랜지스터를 포함하고, 상기 제2 스위칭 트랜지스터의 제2 소스 전극은 구동 전압을 인가받고, 상기 제1 스위칭 트랜지스터의 채널 영역의 도핑 농도는 상기 제2 스위칭 트랜지스터의 채널 영역의 도핑 농도와 다르다.
- [0025] 상기 제1 스위칭 트랜지스터의 채널 영역의 도핑 농도는 상기 구동 트랜지스터의 채널 영역의 도핑 농도와 실질적으로 동일할 수 있다.
- [0026] 상기 제1 스위칭 트랜지스터의 게이트 전극과 상기 제1 스위칭 트랜지스터의 채널 영역 사이에 위치하는 부분을 포함하는 제1 게이트 도전층을 더 포함할 수 있다.
- [0027] 상기 제1 게이트 도전층은 상기 구동 트랜지스터의 상기 구동 게이트 전극과 상기 구동 트랜지스터의 채널 영역 사이에 위치하는 부분을 더 포함할 수 있다.
- [0028] 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법은 기판 위에 반도체층을 적층하고 패터닝하여 반도체 패터층을 형성하는 단계, 상기 반도체 패터층 위에 제1 게이트 절연막을 형성하는 단계, 상기 제1 게이트 절연막 위에 복수의 제1 게이트 도전층을 형성하는 단계, 상기 제1 게이트 도전층을 형성한 다음 불순물을 도핑하여 상기 반도체 패터층을 도핑하여 도핑 농도가 서로 다른 제1 채널 영역 및 제2 채널 영역을 형성하는 단계, 상기 제1 게이트 도전층 위에 제2 게이트 절연막을 형성하는 단계, 상기 제2 게이트 절연막 위에 위치하는 제2 게이트 도전층을 형성하는 단계, 그리고 상기 제2 게이트 도전층을 형성한 후 불순물을 도핑하여 상기 반도체 패터층의 일부를 도전성 영역으로 만드는 단계를 포함한다.
- [0029] 상기 제1 채널 영역은 상기 제1 게이트 도전층과 중첩하고, 상기 제2 채널 영역은 상기 제1 게이트 도전층과 중첩하지 않을 수 있다.
- [0030] 상기 제2 게이트 도전층은 상기 제1 채널 영역 및 상기 제2 채널 영역과 중첩할 수 있다.
- [0031] 상기 반도체 패터층을 형성한 후 상기 제1 게이트 절연막을 형성하기 전에 불순물을 주입하여 상기 반도체 패터층을 전체적으로 채널 도핑하는 단계를 더 포함할 수 있다.
- [0032] 상기 제2 게이트 도전층 위에 층간 절연막을 형성하는 단계, 그리고 상기 층간 절연막 위에 데이터 도전층을 형성하는 단계를 더 포함할 수 있다.
- [0033] 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 구동 방법은 구동 트랜지스터, 스위칭 트랜지스터, 보상 트랜지스터, 초기화 트랜지스터, 동작 제어 트랜지스터, 발광 제어 트랜지스터, 그리고 유기 발광 다이오드를 포함하는 유기 발광 표시 장치에서, 상기 스위칭 트랜지스터 및 상기 보상 트랜지스터를 턴오프하고 상기 초기화 트랜지스터, 상기 동작 제어 트랜지스터 및 상기 발광 제어 트랜지스터를 턴온하여 상기 구동 트랜지스터의 소스 전극에 구동 전압을 인가하는 소스 초기화 단계, 상기 초기화 트랜지스터를 턴온하고, 상기 스위칭 트랜지스터, 상기 보상 트랜지스터, 상기 동작 제어 트랜지스터 및 상기 발광 제어 트랜지스터를 턴오프하여 상기 초기화 전압을 상기 구동 트랜지스터의 게이트 전극에 인가하는 게이트 초기화 단계, 상기 초기화 트랜지스터, 상기 동작 제어 트랜지스터, 상기 발광 제어 트랜지스터 및 상기 바이패스 트랜지스터를 턴오프하고 상기 스위칭 트랜지스터 및 상기 보상 트랜지스터를 턴온하여 상기 구동 트랜지스터의 소스 전극에 데이터 신호를 인가하는 데이터 기입 단계, 그리고 상기 스위칭 트랜지스터, 상기 보상 트랜지스터, 상기 초기화 트랜지스터 및 상기 바이패스 트랜지스터가 턴오프하고 상기 동작 제어 트랜지스터 및 상기 발광 제어 트랜지스터를 턴온하여 상기 유기 발광 다이오드가 상기 데이터 신호에 따른 휘도로 발광하는 발광 단계를 포함하고, 상기 소스 초기화 단계에서, 상기 발광 제어 트랜지스터가 상기 동작 제어 트랜지스터보다 먼저 턴오프되고, 상기 발광 제어 트랜지스터의 문턱 전압은 상기 동작 제어 트랜지스터의 문턱 전압과 다르다.
- [0034] 상기 발광 제어 트랜지스터의 채널 영역의 도핑 농도는 상기 동작 제어 트랜지스터의 채널 영역의 도핑 농도와 다를 수 있다.

- [0035] 상기 발광 제어 트랜지스터와 상기 동작 제어 트랜지스터는 동일한 신호에 의해 제어될 수 있다.
- [0036] 상기 유기 발광 표시 장치는 상기 초기화 트랜지스터의 소스 전극과 상기 발광 제어 트랜지스터의 드레인 전극 사이에 연결되어 있는 바이패스 트랜지스터를 더 포함하고, 상기 바이패스 트랜지스터와 상기 스위칭 트랜지스터와 동일한 신호에 의해 제어될 수 있다.

발명의 효과

- [0037] 본 발명의 실시예에 따르면 유기 발광 표시 장치의 화소 구동 회로가 포함하는 축전기의 용량을 저하시키지 않으면서 두 박막 트랜지스터의 문턱 전압을 서로 다르게 조절할 수 있다.
- [0038] 또한 동영상 클립 현상을 해결하여 모션 클러리티(motion clarity)를 확보할 수 있고 이를 위해 일부 트랜지스터의 오프 특성을 효과적으로 개선할 수 있다.

도면의 간단한 설명

- [0039] 도 1A는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 한 화소에 대한 등가 회로도이고,
- 도 1B는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 구동 신호의 타이밍도이고,
- 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 한 화소에 대한 배치도이고,
- 도 3은 도 2의 유기 발광 표시 장치를 III-III'-III"-III"' 선을 따라 잘라 도시한 단면도이고,
- 도 4는 도 2의 유기 발광 표시 장치를 IV-IV 선을 따라 잘라 도시한 단면도이고,
- 도 5는 도 2의 유기 발광 표시 장치를 V-V 선을 따라 잘라 도시한 단면도이고,
- 도 6, 도 7 및 도 8은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법의 한 단계에서의 유기 발광 표시 장치의 중간 제조물을 각각 도 2의 III-III'-III"-III"' 선, IV-IV 선 및 V-V 선에 대응하는 선을 따라 잘라 도시한 단면도이고,
- 도 9는 도 6 내지 도 8에 도시한 단계 이후의 한 단계에서 유기 발광 표시 장치의 중간 제조물의 한 화소에 대한 배치도이고,
- 도 10, 도 11 및 도 12는 도 9에 도시한 단계에서 유기 발광 표시 장치의 중간 제조물을 각각 X-X'-X"-X"' 선, XI-XI 선 및 XII-XII 선에 대응하는 선을 따라 잘라 도시한 단면도이고,
- 도 13은 도 9 내지 도 12에 도시한 단계 이후의 한 단계에서 유기 발광 표시 장치의 중간 제조물의 한 화소에 대한 배치도이고,
- 도 14, 도 15 및 도 16은 도 13에 도시한 단계에서 유기 발광 표시 장치의 중간 제조물을 각각 XIV-XIV'-XIV"-XIV"' 선, XV-XV 선 및 XVI-XVI 선에 대응하는 선을 따라 잘라 도시한 단면도이고,
- 도 17은 도 13 내지 도 16에 도시한 단계 이후의 한 단계에서 유기 발광 표시 장치의 중간 제조물의 한 화소에 대한 배치도이고,
- 도 18, 도 19 및 도 20은 도 17에 도시한 단계에서 유기 발광 표시 장치의 중간 제조물을 각각 XVIII-XVIII'-XVIII"-XVIII"' 선, XIX-XIX 선 및 XX-XX 선에 대응하는 선을 따라 잘라 도시한 단면도이고,
- 도 21은 도 17 내지 도 20에 도시한 단계 이후의 한 단계에서 유기 발광 표시 장치의 중간 제조물의 한 화소에 대한 배치도이고,
- 도 22, 도 23 및 도 24는 도 21에 도시한 단계에서 유기 발광 표시 장치의 중간 제조물을 각각 XXII-XXII'-XXII"-XXII"' 선, XXIII-XXIII 선 및 XXIV-XXIV 선에 대응하는 선을 따라 잘라 도시한 단면도이고,
- 도 25는 도 21 내지 도 24에 도시한 단계 이후의 한 단계에서 유기 발광 표시 장치의 중간 제조물의 한 화소에 대한 배치도이고,
- 도 26, 도 27 및 도 28은 도 25에 도시한 단계에서 유기 발광 표시 장치의 중간 제조물을 각각 XXVI-XXVI'-XXVI"-XXVI"' 선, XXVII-XXVII 선 및 XXVIII-XXVIII 선에 대응하는 선을 따라 잘라 도시한 단면도이고,
- 도 29는 도 25 내지 도 28에 도시한 단계 이후의 한 단계에서 유기 발광 표시 장치의 중간 제조물의 한 화소에 대한 배치도이고,

대한 배치도이고,

도 30, 도 31 및 도 32는 도 29에 도시한 단계에서 유기 발광 표시 장치의 중간 제조물을 각각 XXX-XXX'-XXX"-XXX"' 선, XXXI-XXXI 선 및 XXXII-XXXII 선에 대응하는 선을 따라 잘라 도시한 단면도이고,

도 33은 도 29 내지 도 32에 도시한 단계 이후의 한 단계에서 유기 발광 표시 장치의 중간 제조물의 한 화소에 대한 배치도이고,

도 34, 도 35 및 도 36은 도 33에 도시한 단계에서 유기 발광 표시 장치의 중간 제조물을 각각 도 2의 III-III'-III"-III"' 선, IV-IV 선 및 V-V 선에 대응하는 선을 따라 잘라 도시한 단면도이고,

도 37은 도 33 내지 도 36에 도시한 단계 이후의 한 단계에서 유기 발광 표시 장치의 중간 제조물의 한 화소에 대한 배치도이고,

도 38, 도 39 및 도 40은 도 37에 도시한 단계에서 유기 발광 표시 장치의 중간 제조물을 각각 XXXVIII-XXXVIII'-XXXVIII"-XXXVIII"' 선, XXXIX-XXXIX 선 및 XL-XL 선에 대응하는 선을 따라 잘라 도시한 단면도이고,

도 41 및 도 42는 각각 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법의 단계를 나타낸 흐름도이고,

도 43은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 한 화소에 대한 배치도이다.

발명을 실시하기 위한 구체적인 내용

[0040] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0041] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0042] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0043] 도 1A는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 한 화소에 대한 등가 회로도이다.

[0044] 도 1A를 참조하면, 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 한 화소(PX)는 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 유지 축전기(storage capacitor, Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.

[0045] 복수의 트랜지스터는 구동 트랜지스터(driving thin film transistor)(T1), 스위칭 트랜지스터(switching thin film transistor)(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 및 바이패스 트랜지스터(T7)를 포함할 수 있다. 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 및 바이패스 트랜지스터(T7)도 일종의 스위칭 트랜지스터이다.

[0046] 구동 트랜지스터(T1)의 게이트 전극(G1)은 유지 축전기(Cst)의 일단(Cst1)과 연결되어 있고, 구동 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 트랜지스터(T5)를 경유하여 구동 전압(ELVDD)을 전달하는 구동 전압선(도시하지 않음)과 연결되어 있으며, 구동 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다.

[0047] 구동 트랜지스터(T1)는 스위칭 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(DATA)를 전달받아 유기 발광 다이오드(OLED)에 발광 전류(Ioled)를 공급한다.

[0048] 스위칭 트랜지스터(T2)의 게이트 전극(G2)은 게이트 신호(GW)를 전달하는 게이트선(도시하지 않음)과 연결되어 있고, 스위칭 트랜지스터(T2)의 소스 전극(S2)은 데이터 신호(DATA)를 전달하는 데이터선(도시하지 않음)과 연

결되어 있으며, 스위칭 트랜지스터(T2)의 드레인 전극(D2)은 구동 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 트랜지스터(T5)를 경유하여 구동 전압(ELVDD)을 전달하는 구동 전압선과 연결되어 있다. 스위칭 트랜지스터(T2)는 게이트 신호(GW)에 따라 턴온되어 데이터선으로부터 전달된 데이터 신호(DATA)를 구동 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행할 수 있다.

- [0049] 게이트선은 데이터선과 교차할 수 있다. 구동 전압선은 데이터선과 교차할 수 있다.
- [0050] 보상 트랜지스터(T3)의 게이트 전극(G3)은 게이트 신호(GW)를 전달하는 게이트선과 직접 연결되어 있고, 보상 트랜지스터(T3)의 소스 전극(S3)은 구동 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드와 연결되어 있으며, 보상 트랜지스터(T3)의 드레인 전극(D3)은 유지 축전기(Cst)의 일단(Cst1), 초기화 트랜지스터(T4)의 드레인 전극(D4) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 보상 트랜지스터(T3)는 게이트 신호(GW)에 따라 턴온되어 구동 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 트랜지스터(T1)를 다이오드 연결시킬 수 있다.
- [0051] 초기화 트랜지스터(T4)의 게이트 전극(G4)은 게이트 신호(GI)를 전달하는 이전 게이트선(도시하지 않음)과 연결되어 있고, 초기화 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압(VINT)을 전달하는 초기화 전압선(도시하지 않음)과 연결되어 있으며, 초기화 트랜지스터(T4)의 드레인 전극(D4)은 유지 축전기(Cst)의 일단(Cst1), 보상 트랜지스터(T3)의 드레인 전극(D3) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 게이트 신호(GI)는 게이트 신호(GW)의 게이트 온 전압보다 먼저 게이트 온 전압을 전달할 수 있다. 게이트 신호(GW)의 게이트 온 전압 구간과 게이트 신호(GI)의 게이트 온 전압 구간은 서로 중첩하지 않을 수 있다.
- [0052] 초기화 트랜지스터(T4)는 게이트 신호(GI)에 따라 턴온되어 초기화 전압(VINT)을 구동 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행할 수 있다.
- [0053] 동작 제어 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어 신호(EM)를 전달하는 발광 제어선(도시하지 않음)과 연결되어 있으며, 동작 제어 트랜지스터(T5)의 소스 전극(S5)은 구동 전압(ELVDD)을 전달하는 구동 전압선과 연결되어 있고, 동작 제어 트랜지스터(T5)의 드레인 전극(D5)은 구동 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 트랜지스터(T2)의 드레인 전극(D2)에 연결되어 있다.
- [0054] 발광 제어 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어 신호(EM)를 전달하는 발광 제어선과 연결되어 있으며, 발광 제어 트랜지스터(T6)의 소스 전극(S6)은 구동 트랜지스터(T1)의 드레인 전극(D1) 및 보상 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드와 전기적으로 연결되어 있다. 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)는 발광 제어 신호(EM)에 따라 동시에 턴온되어 구동 전압(ELVDD)이 구동 트랜지스터(T1)의 소스 전극(S1)에 전달되고 유기 발광 다이오드(OLED)가 구동 트랜지스터(T1)와 연결되어 유기 발광 다이오드(OLED)에 발광 전류(Ioled)가 흐를 수 있다.
- [0055] 바이패스 트랜지스터(T7)의 게이트 전극(G7)은 바이패스 신호(GB)를 전달하는 바이패스 제어선(도시하지 않음)과 연결되어 있고, 바이패스 트랜지스터(T7)의 소스 전극(S7)은 발광 제어 트랜지스터(T6)의 드레인 전극(D6) 및 유기 발광 다이오드(OLED)의 애노드와 함께 연결되어 있고, 바이패스 트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압(VINT)을 전달하는 초기화 전압선 및 초기화 트랜지스터(T4)의 소스 전극(S4)에 함께 연결되어 있다.
- [0056] 유지 축전기(Cst)의 타단(Cst2)은 구동 전압선과 연결되어 있으며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 다이오드(OLED)는 구동 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광하여 영상을 표시할 수 있다.
- [0057] 그러면 앞에서 설명한 도 1A와 함께 도 1B를 참조하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 구동 방법의 한 예에 대하여 설명한다.
- [0058] 도 1B는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 구동 신호의 타이밍도이다.
- [0059] 본 실시예에서는 화소(PX)가 포함하는 모든 박막 트랜지스터가 PMOS인 경우를 예로 들어 설명한다. 이 경우 게이트 온 전압은 로우 레벨(low level)이고 게이트 오프 전압은 하이 레벨(high level)이다.
- [0060] 먼저, 소스 초기화 구간(P1)에서 게이트선의 게이트 신호(GW)가 하이 레벨이고 발광 제어 신호(EM)가 로우 레벨

인 동안 이전 게이트선의 게이트 신호(GI)가 로우 레벨로 떨어진다. 바이패스 신호(GB)는 게이트 신호(GI)와 동일한 파형의 신호일 수 있으나 이에 한정되지 않고 일정한 레벨을 유지하는 신호일 수도 있다. 본 실시예에서는 도 1B에 도시한 바와 같이 바이패스 신호(GB)가 게이트 신호(GI)와 동일한 파형의 신호인 경우를 예로 들어 설명한다.

[0061] 그러면 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 차단된 상태에서 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)가 턴온된다. 이때 바이패스 트랜지스터(T7)도 턴온될 수 있다. 이에 따라 턴온된 초기화 트랜지스터(T4)를 통해 초기화 전압(VINT)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가되고, 구동 트랜지스터(T1)의 소스 전극(S1)에 구동 전압(ELVDD)이 인가된다. 따라서 구동 트랜지스터(T1)의 게이트 전극(G1)이 초기화 전압(VINT)으로 초기화되고 구동 트랜지스터(T1)의 소스 전극(S1)은 구동 전압(ELVDD)으로 초기화된다. 특히 구동 트랜지스터(T1)의 소스 전극(S1)에 구동 전압(ELVDD)이 인가되면 턴온 상태와 동일한 조건으로 맞춰지게 되어 이전 프레임에서 소스 전극(S1)에 인가되어 있던 데이터 전압과 무관하게 해당 프레임의 초반에 구동 전압(ELVDD)으로 초기화될 수 있다. 따라서 이 구간을 소스 초기화 구간(P1)이라 한다.

[0062] 소스 초기화 구간(P1)에서 바이패스 트랜지스터(T7)도 턴온되어 유기 발광 다이오드(OLED)의 애노드에도 초기화 전압(VINT)이 인가될 수 있다. 또한 발광 제어 트랜지스터(T6)도 잠시나마 턴온되므로 유기 발광 다이오드(OLED)가 발광할 수 있다.

[0063] 이와 같이 발광 제어 신호(EM)와 게이트 신호(GI)가 동시에 로우 레벨이 되어 게이트 온 전압이 인가되는 구간을 둠으로써 해당 프레임의 초기에 구동 트랜지스터(T1)의 소스 전극(S1)을 초기화할 수 있고, 이에 따라 휘도의 변화 방향, 즉 바이어스 방향에 무관하게 동일한 특성을 가지고 각 프레임의 영상을 표시할 수 있다. 따라서 원하지 않는 휘도가 표시되는 것을 막아 동영상을 표시하더라도 끌림 현상을 해소할 수 있고 모션 클레리터를 확보할 수 있다.

[0064] 다만, 소스 초기화 구간(P1)에서 유기 발광 다이오드(OLED)의 불필요한 발광을 방지하기 위해 발광 제어 신호(EM)가 로우 레벨에서 하이 레벨로 변경되기 직전에 동작 제어 트랜지스터(T5)는 턴온 상태를 유지하면서 발광 제어 트랜지스터(T6)는 미리 턴오프될 필요가 있다. 이를 위해 동작 제어 트랜지스터(T5)와 발광 제어 트랜지스터(T6)는 각각의 게이트 전극(G5, G6)에 동일한 전압이 인가되어도 서로 다른 문턱 전압에 의해 시간차를 두고 턴오프되는 특성을 가질 수 있다. 특히 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)가 PMOS인 경우 발광 제어 트랜지스터(T6)의 문턱 전압이 동작 제어 트랜지스터(T5)에 비해 네거티브 방향으로 이동된 특성이 확보될 필요가 있다.

[0065] 본 발명의 한 실시예에 따르면 동작 제어 트랜지스터(T5)의 문턱 전압과 발광 제어 트랜지스터(T6)의 문턱 전압이 제조 공정 상에서 서로 다르게 조절될 수 있고, 동작 제어 트랜지스터(T5)가 턴온 상태에서 발광 제어 트랜지스터(T6)가 먼저 턴오프될 수 있다. 따라서 모션 클레리터를 위한 소스 초기화 구간(P1)에서 불필요한 발광을 방지할 수 있다.

[0066] 다음, 게이트 초기화 구간(P2)에서는 소스 초기화 구간(P1)에서와 대부분 동일한 조건에서 발광 제어 신호(EM)가 하이 레벨로 변경된다.

[0067] 그러면 초기화 트랜지스터(T4)가 턴온되고 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 차단된 상태에서, 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)가 턴오프된다. 이때 바이패스 트랜지스터(T7)는 턴온 상태를 유지할 수 있다. 이에 따라 턴온된 초기화 트랜지스터(T4)를 통해 초기화 전압(VINT)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가되어 한번 더 초기화된다.

[0068] 게이트 초기화 구간(P2)에서도 바이패스 트랜지스터(T7)도 턴온되어 유기 발광 다이오드(OLED)의 애노드에도 초기화 전압(VINT)이 인가될 수 있다.

[0069] 이와 같이 구동 트랜지스터(T1)의 게이트 전극(G1)을 초기화시킴으로써 이전 프레임에서의 최종 전압과 무관하게 구동 트랜지스터(T1)가 동일한 특성을 가지고 각 프레임의 영상을 표시할 수 있다. 따라서 원하지 않는 휘도가 표시되는 것을 막아 동영상을 표시하더라도 끌림 현상을 해소할 수 있고 모션 클레리터를 확보할 수 있다.

[0070] 다음, 데이터 기입 구간(P3)에서 이전 게이트선의 게이트 신호(GI)가 하이 레벨이고 발광 제어 신호(EM)가 하이 레벨인 동안 게이트선의 게이트 신호(GW)가 로우 레벨로 떨어진다. 이때 바이패스 신호(GB)는 하이 레벨이다.

[0071] 그러면 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 및 바이패스 트랜지스터

(T7)가 차단된 상태에서 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 턴온된다. 이때 구동 트랜지스터(T1)는 턴온된 보상 트랜지스터(T3)에 의해 다이오드 연결된다. 이에 따라 턴온된 구동 트랜지스터(T1)의 소스 전극(S1)과 드레인 전극(D1) 사이에 전류가 흐르고, 두 전극 사이의 전압차가 구동 트랜지스터(T1)의 문턱 전압(V_{th})의 절대값과 같아질 때까지 드레인 전극(D1) 및 게이트 전극(G1)의 전압 레벨이 바뀐다. 그러면 데이터 신호(DATA)의 전압 레벨에서 구동 트랜지스터(T1)의 문턱 전압(V_{th})의 절대값만큼 감소한 보상 전압($DATA - |V_{th}|$)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가된다.

[0072] 유지 축전기(Cst)의 양단(Cst1, Cst2)에는 각각 구동 전압(ELVDD)과 보상 전압($DATA - |V_{th}|$)이 인가되고, 유지 축전기(Cst)에는 양단의 전압 차에 대응하는 전하가 저장된다.

[0073] 게이트 초기화 구간(P2)과 데이터 기입 구간(P3) 사이의 구간은 게이트 신호(Gi)의 라이징 시간을 확보하기 위한 마진 구간으로서 생략될 수도 있다.

[0074] 다음, 발광 구간(P4)에서 게이트 신호(GI) 및 게이트 신호(GW), 그리고 바이패스 신호(GB)가 하이 레벨인 동안 발광 제어 신호(EM)가 로우 레벨로 변경된다. 그러면 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4) 및 바이패스 트랜지스터(T7)가 차단된 상태에서 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)가 턴온된다. 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압과 구동 전압(ELVDD) 간의 전압차에 따른 구동 전류(I_d)가 발생하고, 턴온된 발광 제어 트랜지스터(T6)를 통해 구동 전류(I_d)가 유기 발광 다이오드(OLED)에 공급된다. 이때 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압은 데이터 기입 구간(P3)에서 문턱 전압이 보상된 전압이다.

[0075] 발광 구간(P4) 동안 유지 축전기(Cst)에 의해 구동 트랜지스터(T1)의 소스-게이트 전압(V_{gs})은 $ELVDD - (DATA - |V_{th}|)$ 으로 유지된다. 구동 트랜지스터(T1)의 전류-전압 관계에 따르면 구동 전류(I_d)는 구동 트랜지스터(T1)의 소스-게이트 전압(V_{gs})에서 문턱 전압(V_{th})의 절대값을 차감한 값의 제곱, 즉 $(ELVDD - DATA)^2$ 에 비례할 수 있다. 따라서 구동 전류(I_d)는 구동 트랜지스터(T1)의 문턱 전압(V_{th})에 관계 없이 결정될 수 있다. 이로써 구동 트랜지스터(T1)의 문턱 전압(V_{th})의 편차가 보상될 수 있고 유기 발광 표시 장치의 휘도가 불균일해지는 것을 막을 수 있다.

[0076] 발광 구간(P4)에서 바이패스 트랜지스터(T7)는 턴오프된 상태일 수 있다. 발광 구간(P4)에서 바이패스 신호(BP)는 바이패스 트랜지스터(T7)를 항상 턴오프시킬 수 있는 소정 레벨을 유지할 수 있다. 이에 따라 바이패스 트랜지스터(T7)는 턴오프되고, 이 상태에서 구동 전류(I_d)의 일부는 바이패스 전류(I_{bp})로서 바이패스 트랜지스터(T7)를 통해 빠져나갈 수 있다. 따라서 블랙 휘도의 영상을 표시하는 프레임에서 구동 전류(I_d)로부터 바이패스 트랜지스터(T7)를 통해 빠지는 바이패스 전류(I_{bp})의 전류량만큼이 감소된 발광 전류(I_{oled})가 유기 발광 다이오드(OLED)로 흐르게 된다. 따라서 확실하게 블랙 영상의 휘도를 표현할 수 있는 수준으로 발광 전류(I_{oled})가 최소의 전류량을 가지게 된다. 결과적으로 바이패스 트랜지스터(T7)를 이용하여 정확한 블랙 휘도의 영상을 표시할 수 있어 영상의 대비비를 향상시킬 수 있다.

[0077] 데이터 기입 구간(P3)과 발광 구간(P4) 사이의 구간은 데이터 기입 시간을 확보하기 위한 마진 구간으로서 생략될 수도 있다.

[0078] 그러면 앞에서 설명한 도면들과 함께 도 2 내지 도 5를 참조하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 구조에 대해 설명한다.

[0079] 도 2는 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 한 화소에 대한 배치도이고, 도 3은 도 2의 유기 발광 표시 장치를 III-III'-III"-III"' 선을 따라 잘라 도시한 단면도이고, 도 4는 도 2의 유기 발광 표시 장치를 IV-IV 선을 따라 잘라 도시한 단면도이고, 도 5는 도 2의 유기 발광 표시 장치를 V-V 선을 따라 잘라 도시한 단면도이다.

[0080] 절연 기판(1100) 위에 버퍼층(1110)이 위치할 수 있다. 절연 기판(1100)은 유리, 석영, 세라믹, 플라스틱 등을 포함할 수 있다.

[0081] 버퍼층(1110) 위에는 반도체 패턴(1200)이 위치한다.

[0082] 반도체 패턴(1200)은 일체로 연결되어 있을 수 있으며 다양한 형상으로 굴곡되어 있을 수 있다.

[0083] 반도체 패턴(1200)은 각 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 채널을 형성하는 채널 영역(1241, 1242, 1245, 1246, 1247)을 제외하고는 도전성일 수 있다. 도 2에서 트랜지스터(T1-T7)를 표시한 영역이 각 트랜지스

터(T1-T7)의 채널 영역(1241, 1242, 1245, 1246, 1247)에 해당한다. 반도체 패턴(1200)의 채널 영역(1241, 1242, 1245, 1246, 1247)은 n형 불순물 또는 p형 불순물로 채널 도핑이 되어 있을 수 있다.

[0084] 화소(PX)가 포함하는 복수의 트랜지스터(T1-T7)의 각 채널 영역(1241, 1242, 1245, 1246, 1247)은 반도체 패턴(1200)을 따라 이격되어 위치한다.

[0085] 본 발명의 한 실시예에 따르면 복수의 트랜지스터(T1-T7) 중 적어도 하나의 트랜지스터의 채널 영역의 적어도 일부의 도핑 정도, 즉 전자 또는 정공의 농도는 다른 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 채널 영역의 도핑 정도와 다르게 형성되어 문턱 전압이 서로 차별화할 수 있다.

[0086] 예를 들어 도 2를 참조하면 구동 트랜지스터(T1) 및 동작 제어 트랜지스터(T5)의 채널 영역의 적어도 일부의 도핑 농도는 나머지 트랜지스터(T2, T3, T4, T6, T7)의 채널 영역의 도핑 정도와 다를 수 있다. 더 구체적인 예를 들면 구동 트랜지스터(T1) 및 동작 제어 트랜지스터(T5)의 채널 영역의 적어도 일부의 도핑 농도가 나머지 트랜지스터(T2, T3, T4, T6, T7)의 채널 영역의 도핑 정도보다 낮을 수 있다. 이에 따라 발광 제어 트랜지스터(T6)의 문턱 전압이 동작 제어 트랜지스터(T5)에 비해 네거티브 방향으로 이동될 수 있다.

[0087] 본 발명의 한 실시예에 따르면 동작 제어 트랜지스터(T5)의 문턱 전압과 발광 제어 트랜지스터(T6)의 문턱 전압이 제조 공정 상에서 서로 다르게 조절될 수 있고, 동작 제어 트랜지스터(T5)가 턴온 상태에서 발광 제어 트랜지스터(T6)가 먼저 턴오프될 수 있다. 따라서 모션 클레리티를 위한 소스 초기화 구간(P1)에서 불필요한 발광을 방지할 수 있다.

[0088] 반도체 패턴(1200)의 도전성 영역은 각 트랜지스터(T1-T7)의 소스 영역 또는 드레인 영역으로서 이는 곧 트랜지스터(T1-T7)의 소스 전극 또는 드레인 전극을 이룰 수 있다. 반도체 패턴(1200)을 따라 각 트랜지스터(T1-T7)의 채널 영역(1241, 1242, 1245, 1246, 1247) 양쪽에는 각 트랜지스터(T1-T7)의 소스 전극 및 드레인 전극이 위치한다. 각 트랜지스터(T1-T7)의 채널 영역(1241, 1242, 1245, 1246, 1247)은 해당 트랜지스터(T1-T7)의 채널 영역(1241, 1242, 1245, 1246, 1247)과 인접하며 연결되어 있다.

[0089] 도 2 내지 도 5를 참조하면, 구동 트랜지스터(T1)의 채널 영역(1241) 양쪽에는 구동 소스 전극(1231) 및 구동 드레인 전극(1251)이 위치하여 서로 마주하고, 스위칭 트랜지스터(T2)의 채널 영역(1242) 양쪽에는 스위칭 소스 전극(1232) 및 스위칭 드레인 전극(1252)이 위치하여 서로 마주하고, 보상 트랜지스터(T3)의 채널 영역(도시하지 않음) 양쪽에는 보상 소스 전극(도시하지 않음) 및 보상 드레인 전극(도시하지 않음)이 위치하여 서로 마주하고, 초기화 트랜지스터(T4)의 채널 영역(도시하지 않음) 양쪽에는 초기화 소스 전극(도시하지 않음) 및 초기화 드레인 전극(도시하지 않음)이 위치하여 서로 마주하고, 동작 제어 트랜지스터(T5)의 채널 영역(1245) 양쪽에는 동작 제어 소스 전극(1235) 및 동작 제어 드레인 전극(1255)이 위치하여 서로 마주하고, 발광 제어 트랜지스터(T6)의 채널 영역(1246) 양쪽에는 발광 제어 소스 전극(1236) 및 발광 제어 드레인 전극(1256)이 위치하여 서로 마주하고, 바이패스 트랜지스터(T7)의 채널 영역(1247) 양쪽에는 바이패스 소스 전극(1237) 및 바이패스 드레인 전극(1257)이 위치하여 서로 마주한다.

[0090] 반도체 패턴(1200)의 도전성 영역은 채널 영역에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물 또는 동일 타입의 도핑 불순물로 도핑되어 형성될 수 있다.

[0091] 반도체 패턴(1200)은 폴리 실리콘 또는 산화물 반도체를 포함할 수 있다. 산화물 반도체는 티타늄(Ti), hafnium(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨-Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO4), 인듐-아연 산화물(In-Zn-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물(In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), hafnium-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 반도체 패턴(1200)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 절연 기판(1100)과 반도체 패턴(1200) 사이에 버퍼층(1110)이 필요할 수 있다.

[0092] 반도체 패턴(1200) 위에는 제1 게이트 절연막(1410)이 위치한다. 제1 게이트 절연막(1410)은 무기 절연 물질을

포함할 수 있다.

- [0093] 제1 게이트 절연막(1410) 위에는 금속 등을 포함할 수 있는 제1 게이트 도전층이 위치한다. 제1 게이트 도전층은 앞에서 설명한 바와 같이 채널 영역의 도핑 농도가 다른 트랜지스터의 채널 영역의 도핑 농도와 다르게 차별화된 트랜지스터의 채널 영역과 중첩하는 게이트 패턴(1310, 1350)을 포함한다.
- [0094] 도 2 내지 도 5를 참조하면, 구동 트랜지스터(T1)의 채널 영역(1241)은 제1 게이트 절연막(1410)을 사이에 두고 게이트 패턴(1310)과 중첩하는 영역을 포함할 수 있고, 동작 제어 트랜지스터(T5)의 채널 영역(1245)은 제1 게이트 절연막(1410)을 사이에 두고 게이트 패턴(1350)과 중첩하는 영역을 포함할 수 있다. 게이트 패턴(1310)은 각 화소(PX) 안에 한정된 섬형일 수도 있고 이웃한 화소(PX)의 게이트 패턴(1310)이 서로 연결되어 있을 수도 있다. 게이트 패턴(1350)은 각 화소(PX) 안에 한정된 섬형일 수 있다.
- [0095] 제1 게이트 도전층 위에는 제2 게이트 절연막(1420)이 위치한다. 제1 게이트 절연막(1420)은 무기 절연 물질을 포함할 수 있다.
- [0096] 제2 게이트 절연막(1420) 위에는 금속 등을 포함할 수 있는 제2 게이트 도전층이 위치한다. 제2 게이트 도전층은 게이트선(1510), 이전 게이트선(1520), 발광 제어선(1530), 그리고 구동 게이트 전극(1540)을 포함한다. 앞에서 설명한 제1 게이트 도전층의 두께는 제2 게이트 도전층의 두께보다 얇을 수 있다.
- [0097] 게이트선(1510)은 게이트 신호(GW)를 전달하며 대략 가로 방향으로 뻗을 수 있다. 게이트선(1510)은 적어도 두 부분에서 반도체 패턴(1200)과 교차할 수 있다.
- [0098] 게이트선(1510)은 반도체 패턴(1200)과 중첩하는 스위칭 게이트 전극(1512) 및 보상 게이트 전극(도시하지 않음)을 포함한다.
- [0099] 스위칭 게이트 전극(1512)은 스위칭 트랜지스터(T2)의 채널 영역(1242)과 중첩한다. 스위칭 트랜지스터(T2)의 채널 영역(1242)은 스위칭 게이트 전극(1512)에 의해 실질적으로 덮일 수 있다.
- [0100] 보상 게이트 전극은 보상 트랜지스터(T3)의 채널 영역과 중첩한다. 도 2에 도시한 바와 같이 보상 트랜지스터(T3)가 두 개 이상의 이격된 채널 영역을 포함하는 경우 게이트선(1510)은 위 또는 아래로 뻗을 추가 보상 게이트 전극을 더 포함할 수 있다. 추가 보상 게이트 전극은 보상 게이트 전극과 중첩하는 채널 영역 이외의 채널 영역과 중첩할 수 있다. 보상 트랜지스터(T3)의 채널 영역은 보상 게이트 전극에 의해 실질적으로 덮일 수 있다.
- [0101] 이전 게이트선(1520)은 게이트 신호(GI)를 전달하며 대략 가로 방향으로 뻗을 수 있다. 이전 게이트선(1520)은 적어도 두 부분에서 반도체 패턴(1200)과 교차할 수 있다.
- [0102] 이전 게이트선(1520)은 반도체 패턴(1200)과 중첩하는 초기화 게이트 전극(도시하지 않음) 및 바이패스 게이트 전극(1527)을 포함한다.
- [0103] 초기화 게이트 전극은 초기화 트랜지스터(T4)의 채널 영역과 중첩한다. 도 2에 도시한 바와 같이 초기화 트랜지스터(T4)가 두 개 이상의 이격된 채널 영역을 포함하는 경우 이전 게이트선(1520)은 초기화 트랜지스터(T4)의 두 채널 영역과 각각 중첩할 수 있다. 초기화 트랜지스터(T4)의 채널 영역은 초기화 게이트 전극에 의해 실질적으로 덮일 수 있다.
- [0104] 바이패스 게이트 전극(1527)은 바이패스 트랜지스터(T7)의 채널 영역(1247)과 중첩한다. 바이패스 트랜지스터(T7)의 채널 영역(1247)은 바이패스 게이트 전극(1527)에 의해 실질적으로 덮일 수 있다.
- [0105] 발광 제어선(1530)은 발광 제어 신호(EM)을 전달하며 대략 가로 방향으로 뻗을 수 있다. 발광 제어선(1530)은 적어도 두 부분에서 반도체 패턴(1200)과 교차할 수 있다.
- [0106] 발광 제어선(1530)은 반도체 패턴(1200)과 중첩하는 동작 제어 게이트 전극(1535) 및 발광 제어 게이트 전극(1536)을 포함한다.
- [0107] 동작 제어 게이트 전극(1535)은 동작 제어 트랜지스터(T5)의 채널 영역(1245)과 중첩한다. 동작 제어 트랜지스터(T5)의 채널 영역은 동작 제어 게이트 전극(1535)에 의해 실질적으로 덮일 수 있다. 동작 제어 트랜지스터(T5)의 채널 영역의 면적은 반도체 패턴(1200)과 중첩하는 동작 제어 게이트 전극(1535)의 면적에 의해 결정될 수 있다.
- [0108] 동작 제어 게이트 전극(1535)은 그 아래의 게이트 패턴(1350)과 중첩하는 부분을 포함한다.

- [0109] 발광 제어 게이트 전극(1536)은 발광 제어 트랜지스터(T6)의 채널 영역(1246)과 중첩한다. 발광 제어 트랜지스터(T6)의 채널 영역(1246)은 발광 제어 게이트 전극(1536)에 의해 실질적으로 덮일 수 있다.
- [0110] 구동 게이트 전극(1540)은 구동 트랜지스터(T1)의 채널 영역(1241)과 중첩한다. 구동 트랜지스터(T1)의 채널 영역(1241)은 구동 게이트 전극(1540)에 의해 실질적으로 덮일 수 있다. 구동 게이트 전극(1540)은 각 화소(PX) 안에 한정된 범형일 수 있다.
- [0111] 구동 트랜지스터(T1)의 채널 영역(1241)은 도 2에 도시한 바와 같이 굴곡되어 있을 수 있고, 사행 형상 또는 지그재그 형상을 가질 수 있다. 이에 따르면 화소(PX)의 좁은 공간 내에서 채널 영역(1241)을 길게 형성할 수 있다. 따라서, 구동 게이트 전극(1540)에 인가되는 전압의 구동 범위(driving range)는 넓힐 수 있으며, 구동 게이트 전극(1540)에 인가되는 전압의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 휘도를 더 세밀하게 제어할 수 있다. 이에 따라 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다. 구동 트랜지스터(T1)의 채널 영역(1241)의 형상은 다양하게 변형될 수 있으며, 예를 들어 '역S', 'S', 'M', 'W' 등의 다양한 형태를 가질 수 있다.
- [0112] 구동 게이트 전극(1540)은 그 아래의 게이트 패턴(1310)과 중첩하는 부분을 포함한다.
- [0113] 구동 게이트 전극(1540), 구동 소스 전극(1231) 및 구동 드레인 전극(1251)은 채널 영역(1241)과 함께 구동 트랜지스터(T1)를 이루고, 스위칭 게이트 전극(1512), 스위칭 소스 전극(1232) 및 스위칭 드레인 전극(1252)은 채널 영역(1242)과 함께 스위칭 트랜지스터(T2)를 이루고, 스위칭 게이트 전극(1512), 스위칭 소스 전극(1232) 및 스위칭 드레인 전극(1252)은 채널 영역(1242)과 함께 스위칭 트랜지스터(T2)를 이루고, 보상 게이트 전극, 보상 소스 전극 및 보상 드레인 전극은 채널 영역과 함께 보상 트랜지스터(T3)를 이루고, 초기화 게이트 전극, 초기화 소스 전극 및 초기화 드레인 전극은 채널 영역과 함께 초기화 트랜지스터(T4)를 이루고, 동작 제어 게이트 전극(1535), 동작 제어 소스 전극(1235) 및 동작 제어 드레인 전극(1255)은 채널 영역(1245)과 함께 동작 제어 트랜지스터(T5)를 이루고, 발광 제어 게이트 전극(1536), 발광 제어 소스 전극(1236) 및 발광 제어 드레인 전극(1256)은 채널 영역(1246)과 함께 발광 제어 트랜지스터(T6)를 이루고, 바이패스 게이트 전극(1527), 바이패스 소스 전극(1237) 및 바이패스 드레인 전극(1257)은 채널 영역(1247)과 함께 바이패스 트랜지스터(T7)를 이룬다.
- [0114] 제2 게이트 도전층 위에는 층간 절연막(1600)이 위치한다. 층간 절연막(1600)은 질화 규소(SiNx) 또는 산화 규소(SiO2) 등의 세라믹(ceramic) 계열의 소재를 포함할 수 있다.
- [0115] 층간 절연막(1600)은 구동 게이트 전극(1540)을 드러내는 접촉 구멍(1630)을 포함한다. 층간 절연막(1600)과 제2 게이트 절연막(1420)은 게이트 패턴(1310)을 드러내는 접촉 구멍(1640)을 포함한다. 층간 절연막(1600), 제1 게이트 절연막(1410) 및 제2 게이트 절연막(1420)은 발광 제어 트랜지스터(T6)의 발광 제어 드레인 전극(1256)을 드러내는 접촉 구멍(1610), 바이패스 트랜지스터(T7)의 바이패스 드레인 전극(1257)을 드러내는 접촉 구멍(1620), 스위칭 트랜지스터(T2)의 스위칭 소스 전극(1232)을 드러내는 접촉 구멍(1650), 초기화 트랜지스터(T4)의 초기화 드레인 전극을 드러내는 접촉 구멍(1660), 그리고 동작 제어 트랜지스터(T5)의 동작 제어 소스 전극(1235)을 드러내는 접촉 구멍(1670)을 포함한다.
- [0116] 층간 절연막(1600) 위에는 데이터 도전층이 위치한다. 데이터 도전층은 데이터선(1710), 구동 전압선(1720), 제1 연결 부재(1730), 제2 연결 부재(1740), 그리고 제3 연결 부재(1750)를 포함한다.
- [0117] 데이터선(1710)은 데이터 신호(DATA)를 전달하며 대략 세로 방향으로 뻗어 게이트선(1510), 이전 게이트선(1520), 발광 제어선(1530) 등과 교차할 수 있다. 데이터선(1710)은 접촉 구멍(1650)을 통해 스위칭 트랜지스터(T2)의 스위칭 소스 전극(1232)과 연결되어 데이터 신호(DATA)를 전달할 수 있다.
- [0118] 구동 전압선(1720)은 구동 전압(ELVDD)을 전달하며 대략 세로 방향으로 뻗어 게이트선(1510), 이전 게이트선(1520), 발광 제어선(1530) 등과 교차할 수 있다. 구동 전압선(1720)은 접촉 구멍(1640)을 통해 게이트 패턴(1310)과 연결되어 구동 전압(ELVDD)을 전달할 수 있다. 또한 구동 전압선(1720)은 접촉 구멍(1670)을 통해 동작 제어 트랜지스터(T5)의 동작 제어 소스 전극(1235)과 연결되어 구동 전압(ELVDD)을 전달할 수 있다.
- [0119] 제1 연결 부재(1730)는 접촉 구멍(1630)을 통해 구동 게이트 전극(1540)과 물리적, 전기적으로 연결되고 접촉 구멍(1660)을 통해 초기화 트랜지스터(T4)의 초기화 드레인 전극 또는 보상 트랜지스터(T3)의 보상 드레인 전극과 물리적, 전기적으로 연결되어 결국 구동 게이트 전극(1540)과 초기화 드레인 전극 또는 보상 드레인 전극을 서로 전기적으로 연결한다.
- [0120] 제2 연결 부재(1740)는 접촉 구멍(1620)을 통해 바이패스 드레인 전극(1257)과 물리적, 전기적으로 연결되어 있

다.

- [0121] 제3 연결 부재(1750)는 접촉 구멍(1610)을 통해 발광 제어 드레인 전극(1256)과 물리적, 전기적으로 연결되어 있다.
- [0122] 구동 전압(ELVDD)을 전달받는 게이트 패턴(1310)은 제2 게이트 절연막(1420)을 사이에 두고 구동 게이트 전극(1540)과 중첩하여 유지 축전기(Cst)를 형성한다.
- [0123] 본 발명의 한 실시예에 따르면 모션 클레리티 구현을 위해 동작 제어 트랜지스터(T5)와 발광 제어 트랜지스터(T6)의 문턱 전압을 다르게 한다. 즉 앞에서 설명한 바와 같이 소스 초기화 구간(P1)에서 발광 제어 트랜지스터(T6)가 동작 제어 트랜지스터(T5)보다 먼저 턴오프되게 하기 위해 발광 제어 트랜지스터(T6)의 문턱 전압을 네거티브 방향으로 이동시켜야 한다. 이를 위해 발광 제어 트랜지스터(T6)의 채널 길이를 길게 할 수 있겠으나 이 경우 제한된 화소(PX)의 공간 안에서 트랜지스터의 길이 증가에 따라 유지 축전기(Cst)에 할당될 수 있는 공간이 줄어들 수 있다. 그러면 유지 축전기(Cst)의 용량이 제한되어 표시 영상에 얼룩 등의 불량이 생길 수 있다. 본 발명의 실시예에 따르면 발광 제어 트랜지스터(T6)의 채널 길이를 길게 할 필요 없이 도핑 농도를 동작 제어 트랜지스터(T5)와 다르게 할 수 있다. 따라서 유지 축전기(Cst)의 용량을 저하시키지 않으면서 일부 트랜지스터의 문턱 전압을 차별화할 수 있다.
- [0124] 데이터 도전층 위에는 보호막(1800)이 위치한다. 보호막(1800)은 유기 절연 물질 또는 무기 절연 물질을 포함할 수 있다. 보호막(1800)은 제3 연결 부재(1750)를 드러내는 비아홀(1810), 그리고 제2 연결 부재(1740)를 드러내는 비아홀(1820)을 포함한다.
- [0125] 보호막(1800) 위에는 화소 전극(191) 및 초기화 전압선(192)이 위치한다.
- [0126] 화소 전극(191)은 보호막(1800)에 형성된 비아홀(1810)을 통해 제3 연결 부재(1750)와 전기적, 물리적으로 연결되어 결국 발광 제어 트랜지스터(T6)의 발광 제어 드레인 전극(1256)과 전기적으로 연결될 수 있다.
- [0127] 초기화 전압선(192)은 보호막(1800)에 형성된 비아홀(1820)을 통해 제2 연결 부재(1740)와 전기적, 물리적으로 연결되어 결국 바이패스 트랜지스터(T7)의 바이패스 드레인 전극(1257)과 전기적으로 연결되어 바이패스 드레인 전극(1257)에 초기화 전압(VINT)을 전달할 수 있다.
- [0128] 화소 전극(191) 및 초기화 전압선(192)은 투명한 도전 물질을 포함할 수 있다.
- [0129] 보호막(1800) 위에는 화소 정의막(3500)이 위치한다. 화소 정의막(3500)은 화소 전극(191)의 가장자리 및 초기화 전압선(192) 중 적어도 일부를 덮을 수 있다. 화소 정의막(3500)은 화소 전극(191)을 드러내는 개구부(3505)를 포함한다.
- [0130] 화소 정의막(3500)은 비아홀(1810, 1820)을 모두 덮을 수 있다.
- [0131] 화소 정의막(3500)은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지 또는 실리카 계열의 무기물 등을 포함할 수 있다.
- [0132] 화소 정의막(3500)의 개구부(3505)에서 노출된 화소 전극(191) 위에는 발광층(370)이 위치하고, 발광층(370) 위에는 대향 전극(270)이 위치한다.
- [0133] 화소 전극(191), 발광층(370) 및 대향 전극(270)은 유기 발광 다이오드(OLED)를 형성한다. 화소 전극(191)은 유기 발광 다이오드(OLED)의 애노드를 이루고, 대향 전극(270)은 유기 발광 다이오드(OLED)의 캐소드를 이룬다. 그러나 본 발명의 다른 실시예에 따르면 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(191)이 캐소드가 되고 대향 전극(270)이 애노드가 될 수도 있다. 화소 전극(191) 및 대향 전극(270)으로부터 각각 정공과 전자가 발광층(370) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기 상태에서부터 기저 상태로 떨어질 때 발광이 이루어진다.
- [0134] 대향 전극(270)의 위에는 유기 발광 다이오드(OLED)를 보호하는 봉지 부재(도시하지 않음)가 형성될 수 있으며, 봉지 부재는 실런트에 의해 절연 기판(1100)에 밀봉될 수 있다. 본 발명의 다른 실시예에 따르면 실런트를 사용하지 않고 대향 전극(270) 위에 무기막과 유기막을 교대로 증착하여 박막 봉지층을 형성할 수도 있다.
- [0135] 이제 앞에서 설명한 도면들과 함께 도 6 내지 도 40을 참조하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대해 설명한다.
- [0136] 먼저 도 6 내지 도 8을 참조하면, 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연 기판(1100) 전면 위에

버퍼층(1110)을 형성한다. 버퍼층(1110)은 질화 규소의 단일막 또는 질화 규소와 산화 규소의 다층막으로 형성될 수 있으며, 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition, PECVD) 등의 방법으로 절연 기판(1100) 위에 전면 증착될 수 있다. 버퍼층(1110)의 형성은 생략될 수 있다.

[0137] 다음 도 9 내지 도 12를 참조하면, 버퍼층(1110) 위에 반도체층을 형성하고 패터닝하여 반도체 패턴층(1210)을 형성한다.

[0138] 반도체층은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 반도체층의 폴리 실리콘은 비정질 실리콘층을 적층한 후 이를 결정화하는 방법으로 형성할 수 있다. 비정질 실리콘층의 적층은 PECVD 또는 LPCVD(Low Pressure Chemical Vapor Deposition) 등의 증착 방법을 사용할 수 있다. 결정화 방법으로는 공지된 다양한 방법이 적용될 수 있다. 예를 들어 SPC(Solid Phase Crystallization), SLS(Sequential Lateral Solidification), ELA(Eximer Laser Annealing), MIC(Metal Induced Crystallization) 및 MILC(Metal Induced Lateral Crystallization)로 이루어진 군에서 선택된 하나를 사용하여 비정질 규소막을 결정화할 수 있다. 반도체층의 패터닝은 사진 식각 공정 등의 방법을 이용할 수 있다.

[0139] 반도체 패턴층(1210)의 형태는 앞에서 설명한 유기 발광 표시 장치의 반도체 패턴(1200)의 형태와 실질적으로 동일하다.

[0140] 다음 도 13 내지 도 16을 참조하면, 반도체 패턴층(1210) 위에 제1 게이트 절연막(1410)을 형성한다. 제1 게이트 절연막(1410)은 질화 규소(SiNx) 또는 산화 규소(SiO2) 따위를 적층하여 형성할 수 있고, PECVD 등의 방법으로 버퍼층(1110)과 반도체 패턴층(1210) 위에 전면 증착될 수 있다.

[0141] 이어서 제1 게이트 절연막(1410) 위에 게이트 패턴(1310, 1350)을 포함하는 제1 게이트 도전층을 형성한다.

[0142] 제1 게이트 도전층은 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금 등의 금속을 적층한 후 사진 식각 공정을 이용하여 패터닝하여 형성될 수 있다.

[0143] 다음 도 17 내지 도 20을 참조하면, 제1 게이트 도전층이 형성된 절연 기판(1100) 전면에서 불순물, 예를 들어 붕소(B) 또는 인(P) 등의 이온을 일정 도즈량으로 주입하여 반도체 패턴층(1210)을 채널 도핑한다. 이때 반도체 패턴층(1210) 중 게이트 패턴(1310, 1350)과 중첩하지 않은 영역은 게이트 패턴(1310, 1350)과 중첩하는 영역보다 높은 도핑 농도로 도핑되어 도핑 영역(1220)이 된다. 게이트 패턴(1310, 1350)과 중첩하는 반도체 패턴층(1210)은 게이트 패턴(1310, 1350)에 의해 덮여 있으나 어느 정도 불순물이 전달되어 도핑 영역(1220)보다 저농도로 약하게 도핑되어 각각 구동 트랜지스터(T1)의 채널 영역(1241)과 동작 제어 트랜지스터(T5)의 채널 영역(1245)을 형성한다. 이로써 반도체 패턴층(1210)의 서로 다른 영역의 도핑 농도를 다르게 하여 선택적 도핑이 가능하며, 트랜지스터 간의 문턱 전압의 비대칭을 이룰 수 있다. 이때 원하는 도핑 농도의 채널 영역(1241, 1245)이 형성될 수 있도록 게이트 패턴(1310, 1350)의 두께가 적절히 조절되어 형성되어있을 수 있다. 또한 전체적인 도핑 농도를 조절하여 후에 박막 트랜지스터의 문턱 전압, 소스-드레인 전류 등과 같은 특성을 조절할 수 있다.

[0144] 다음 도 21 내지 도 24를 참조하면, 제1 게이트 절연막(1410)과 게이트 패턴(1310, 1350) 위에 절연 물질을 적층하여 제2 게이트 절연막(1420)을 형성한다.

[0145] 이어서 제2 게이트 절연막(1420) 위에 금속 등을 적층하고 패터닝하여 게이트선(1510), 이전 게이트선(1520), 발광 제어선(1530), 그리고 구동 게이트 전극(1540)을 포함하는 제2 게이트 도전층을 형성한다. 제2 게이트 도전층은 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금 등의 단일막 또는 이들 중 어느 하나를 포함하는 금속막과 몰리브덴(Mo)과 몰리브덴 합금 중 어느 하나를 포함하는 금속막을 포함하는 다층막으로 형성될 수 있다. 게이트선(1510)은 스위칭 게이트 전극(1512) 및 보상 게이트 전극을 포함하고, 이전 게이트선(1520)은 초기화 게이트 전극 및 바이패스 게이트 전극(1527)을 포함하고, 발광 제어선(1530)은 동작 제어 게이트 전극(1535) 및 발광 제어 게이트 전극(1536)을 포함한다.

[0146] 다음 도 25 내지 도 28을 참조하면, 제2 게이트 도전층을 도핑 마스크로 사용하여 불순물 이온을 일정량 도핑하여 각 트랜지스터(T1-T7)의 드레인 전극(1251, 1252, 1255, 1256, 1257) 및 소스 전극(1231, 1232, 1235, 1236, 1237), 그리고 그 사이의 채널 영역(1241, 1242, 1245, 1246, 1247)을 형성한다. 불순물 이온은 도전형의 불순물 이온으로서 p형 불순물 또는 n형 불순물을 이용할 수 있다. p형 불순물은 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In)으로 이루어진 군에서 선택할 수 있고, n형 불순물은 인(P), 비소(As) 및 안티몬(Sb) 등으로 이루어진 군에서 선택할 수 있다.

- [0147] 다음 도 29 내지 도 32를 참조하면, 제2 게이트 절연막(1420) 및 제2 게이트 도전층 위에 유기 절연 물질 또는 무기 절연 물질을 전면 적층하여 층간 절연막(1600)을 형성한다. 이어서 층간 절연막(1600) 및 그 하부의 제1 게이트 절연막(1410)과 제2 게이트 절연막(1420)을 패터닝하여 구동 게이트 전극(1540)을 드러내는 접촉 구멍(1630), 게이트 패턴(1310)을 드러내는 접촉 구멍(1640), 발광 제어 드레인 전극(1256)을 드러내는 접촉 구멍(1610), 바이패스 드레인 전극(1257)을 드러내는 접촉 구멍(1620), 스위칭 소스 전극(1232)을 드러내는 접촉 구멍(1650), 초기화 드레인 전극을 드러내는 접촉 구멍(1660), 그리고 동작 제어 소스 전극(1235)을 드러내는 접촉 구멍(1670) 등을 형성한다.
- [0148] 다음 도 33 내지 도 36을 참조하면, 층간 절연막(1600) 위에 금속 등의 도전층을 적층한 후 패터닝하여 데이터 선(1710), 구동 전압선(1720), 제1 연결 부재(1730), 제2 연결 부재(1740), 그리고 제3 연결 부재(1750)를 포함하는 데이터 도전층을 형성한다. 데이터 도전층은 구리, 구리 합금, 알루미늄 또는 알루미늄 합금 등의 단일 막 또는 이 중 어느 하나를 포함하는 금속막과 몰리브덴과 몰리브덴 합금 중 어느 하나를 포함하는 금속막을 포함하는 다중막 등으로 형성될 수 있다. 예를 들어, 데이터 도전층은 Mo/Al/Mo의 삼중막 또는 Mo/Cu/Mo의 삼중막으로 형성될 수 있다.
- [0149] 다음 37 내지 도 40을 참조하면, 데이터 도전층 위에 유기 절연 물질 또는 무기 절연 물질을 적층하여 보호막(1800)을 형성한다. 보호막(1800)이 유기 절연 물질을 포함하는 경우 아크릴계 수지, 폴리이미드계 수지 또는 BCB(benzocyclobutene)을 사용할 수 있다.
- [0150] 이어서 보호막(1800)을 패터닝하여 제3 연결 부재(1750)를 드러내는 비아홀(1810), 그리고 제2 연결 부재(1740)를 드러내는 비아홀(1820)을 형성한다.
- [0151] 다음 도 2 내지 도 5에 도시한 바와 같이 보호막(1800) 위에 ITO, IZO 등의 투명 도전성 물질 또는 금속을 적층하고 패터닝하여 화소 전극(191) 및 초기화 전압선(192)을 형성한다.
- [0152] 이어서 그 위에 유기 물질 또는 무기 물질을 적층하고 패터닝하여 개구부(3505)를 포함하는 화소 정의막(3500)을 형성한다. 유기 물질로 화소 정의막(3500)을 형성하는 경우 BCB(benzocyclobutene), 아크릴계 고분자 및 폴리이미드로 이루어진 군에서 선택되는 하나로 형성할 수 있다. 화소 정의막(3500)의 표면은 실질적으로 평탄할 수 있다. 또한 화소 정의막(3500)은 비아홀(1810, 1820)을 충분히 채울 수 있을 정도의 두께로 형성할 수 있다.
- [0153] 이어서 화소 정의막(3500)의 개구부(3505) 안의 화소 전극(191) 상에 발광층(370) 및 대향 전극(270)을 차례대로 형성한다. 대향 전극(270)은 투명 도전 물질을 적층하여 형성할 수 있으며 예를 들어 일함수가 낮은 Mg, Ag, Al, Ca 및 이들의 합금 등을 포함하는 물질로 형성할 수 있다.
- [0154] 대향 전극(270) 상에는 유기 발광 다이오드(OLED)를 보호하는 봉지 부재(도시하지 않음)가 더 형성될 수 있다.
- [0155] 도 41은 앞에서 설명한 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적으로 나타낸 흐름도이다. 즉, 절연 기관 위에 버퍼층을 형성하고(S11), 그 위에 반도체 패턴층을 형성하고(S12), 그 위에 제1 게이트 절연막을 형성하고(S13), 그 위에 제1 게이트 도전층을 형성하고(S14), 그 다음 불순물을 도핑하여 채널 도핑하고(S15), 그 위에 제2 게이트 절연막을 형성하고(S16), 그 위에 제2 게이트 도전층을 형성하고(S17), 그 다음 제2 게이트 도전층을 도핑 마스크로 하여 불순물 이온을 주입하는 게이트 샤워를 실시하고(S18), 그 위에 층간 절연막을 형성한다(S19). 이후 공정 단계는 생략하였다.
- [0156] 도 42는 도 6 내지 도 40 또는 도 41에 도시한 실시예에 따른 제조 방법과 일부 다른 제조 방법을 개략적으로 나타낸 흐름도이다.
- [0157] 도 42를 참조하면, 절연 기관 위에 버퍼층을 형성하고(S21), 그 위에 반도체 패턴층을 형성하고(S22), 그 다음 불순물을 주입하여 반도체 패턴층(1210)을 전체적으로 제1 채널 도핑한다(S23). 그 다음 제1 게이트 절연막을 형성하고(S24), 그 위에 제1 게이트 도전층을 형성하고(S25), 그 다음 불순물을 도핑하여 제2 채널 도핑한다(S26). 여기서 제2 채널 도핑은 도 41에 도시한 채널 도핑(S15)에 대응한다. 그 다음 제2 게이트 절연막을 형성하고(S27), 그 위에 제2 게이트 도전층을 형성하고(S28), 그 다음 제2 게이트 도전층을 도핑 마스크로 하여 도전형의 불순물 이온을 주입하는 게이트 샤워를 실시하고(S29), 그 위에 층간 절연막을 형성한다(S30). 이후 공정 단계는 생략하였다.
- [0158] 도 42에 도시한 실시예에 따르면 반도체 패턴층(1210)을 형성한 직후 제1 채널 도핑을 실시하고 제1 게이트 도전층 형성 후 제2 채널 도핑하므로 트랜지스터의 문턱 전압을 더욱 세밀하게 조절하여 목적인 문턱 전압에 보다

용이하게 도달하도록 할 수 있다.

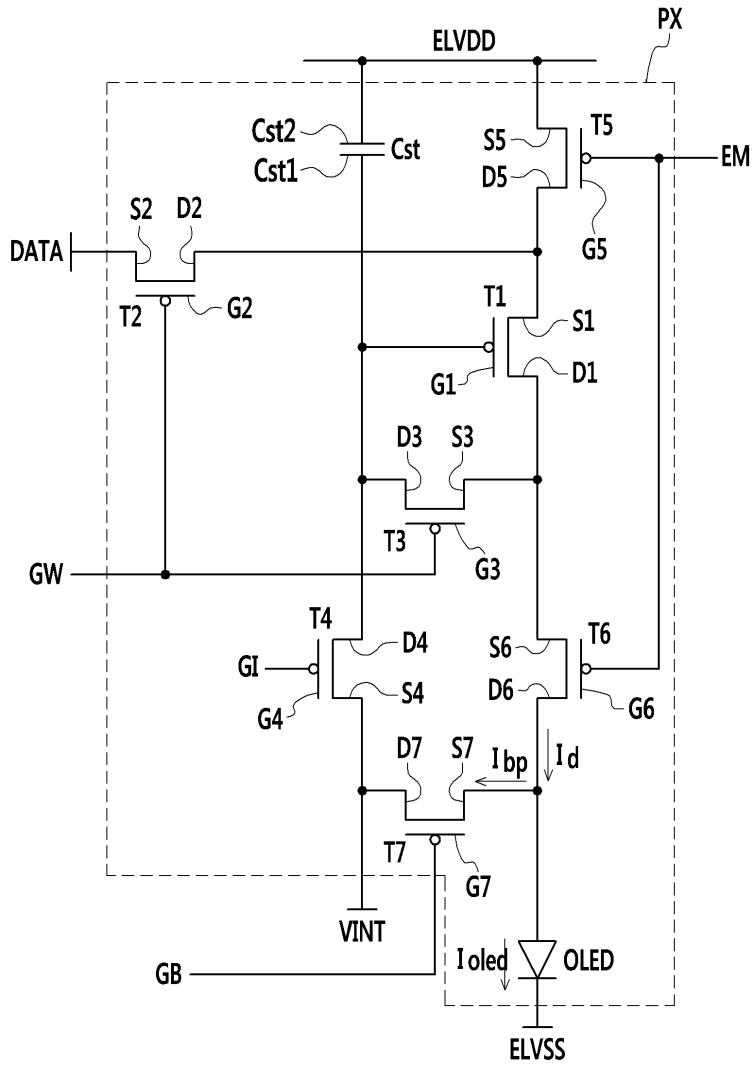
- [0159] 이와 같이 본 발명의 실시예에 따르면 별도의 마스크 추가 없이 채널 도핑 정도를 선택적으로 조절하여 트랜지스터의 문턱 전압을 서로 차별화할 수 있어 턴온/턴오프 타이밍을 다르게 조절할 수 있다. 본 발명의 실시예와 같이 동작 제어 트랜지스터(T5)와 발광 제어 트랜지스터(T6)의 턴오프 시간차를 발생하게 구동 트랜지스터(T1)의 소스 초기화 구간(P1)에서 구동 트랜지스터(T1)의 구동 소스 전극(S1)에 구동 전압(ELVDD)을 인가할 수 있어 구동 트랜지스터(T1)의 히스테리시스(hysteresis)를 초기화할 수 있다. 이에 따라 유기 발광 표시 장치의 화면 끌림(motion blur)과 같은 표시 불량을 방지할 수 있어 모션 클러티가 구현되어 표시 품질을 향상시킬 수 있다.
- [0160] 도 43은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 한 화소에 대한 배치도이다.
- [0161] 도 43을 참조하면, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 앞에서 설명한 유기 발광 표시 장치와 대부분 동일하나 채널 도핑 농도를 차별화하는 다른 예로서 보상 트랜지스터(T3)의 채널 영역(1243)도 동작 제어 트랜지스터(T5)의 채널 영역(1245)과 동일한 농도로 채널 도핑할 수 있다. 이로써 보상 트랜지스터(T3)의 오프 특성을 향상시킬 수 있어 누설 전류에 의한 명점 불량을 개선할 수 있다.
- [0162] 이를 위해 제1 게이트 절연막(1410) 위에는 적어도 하나의 게이트 패턴(1330)이 게이트 패턴(1310, 1350)과 동일한 층에 형성될 수 있다. 게이트 패턴(1330)의 제조 공정상 역할은 게이트 패턴(1310, 1350)과 대부분 동일하며 이에 따른 제조 방법은 앞에서 설명한 실시예와 대부분 동일하므로 여기서 상세한 설명은 생략한다.
- [0163] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

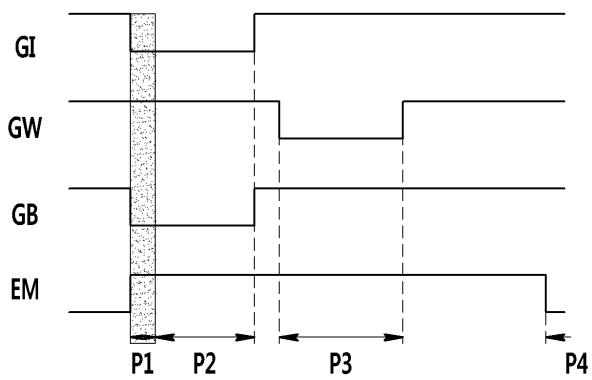
- [0164] 1110: 버퍼층
- 1200: 반도체 패턴
- 1241, 1242, 1245, 1246, 1247: 채널 영역
- 1231, 1232, 1235, 1236, 1237: 소스 전극
- 1251, 1252, 1255, 1256, 1257: 드레인 전극
- 1310, 1330, 1350: 게이트 패턴
- 1410, 1420: 게이트 절연막
- 1510: 게이트선
- 1520: 이전 게이트선
- 1530: 발광 제어선
- 1540: 구동 게이트 전극

도면

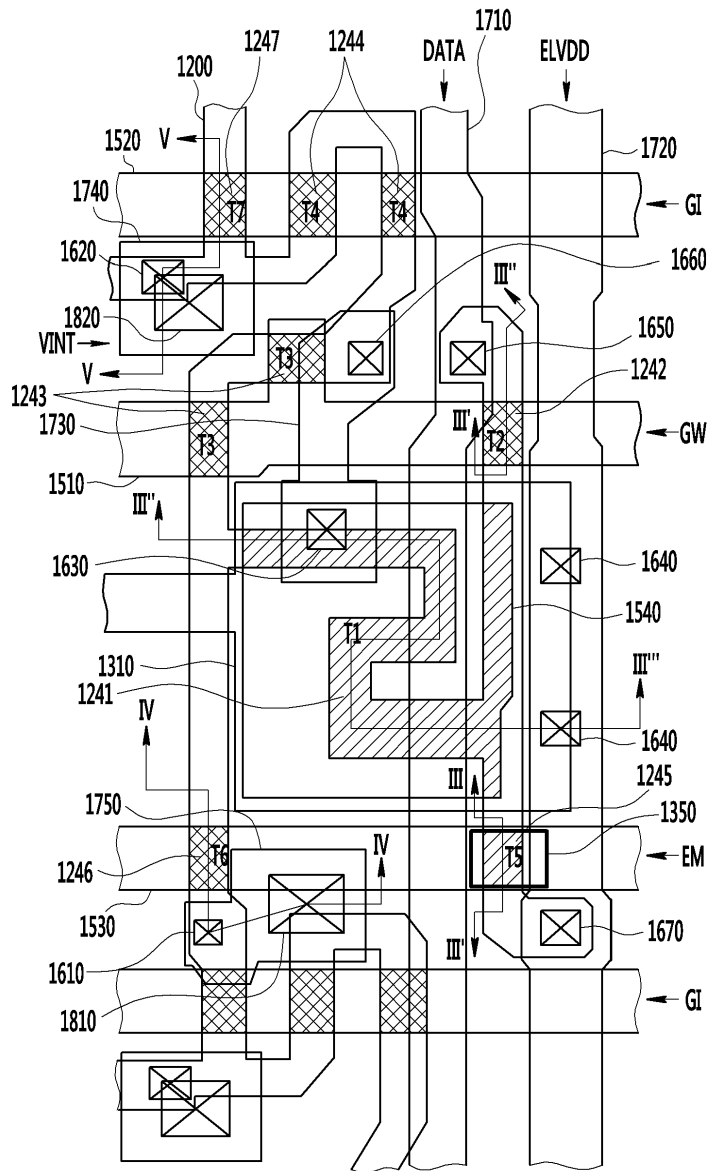
도면1a



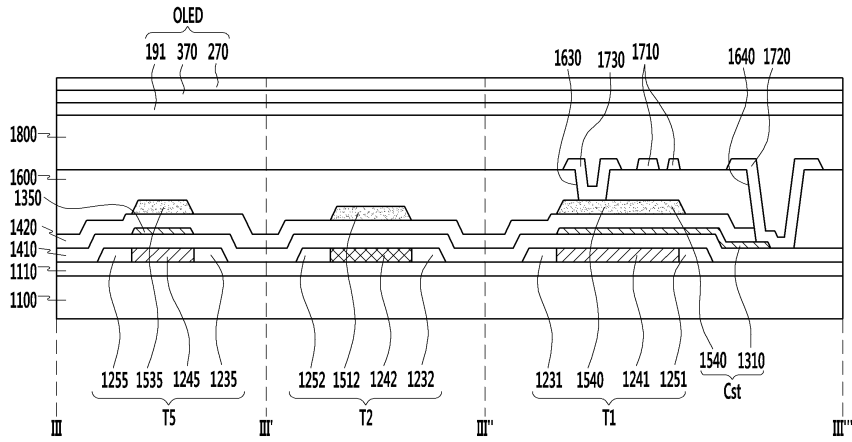
도면1b



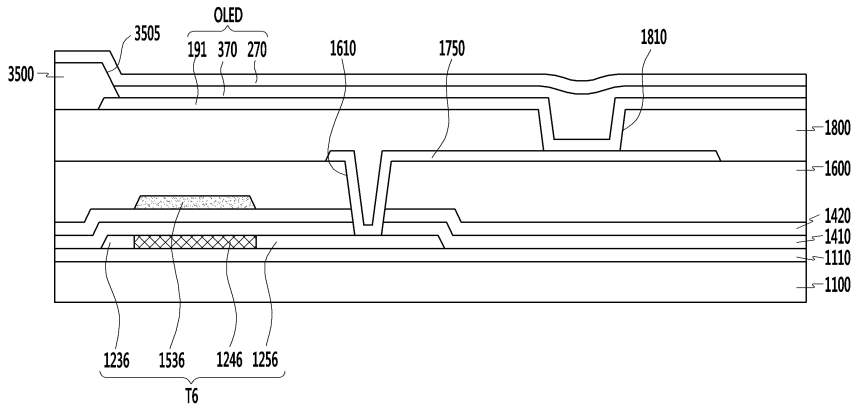
도면2



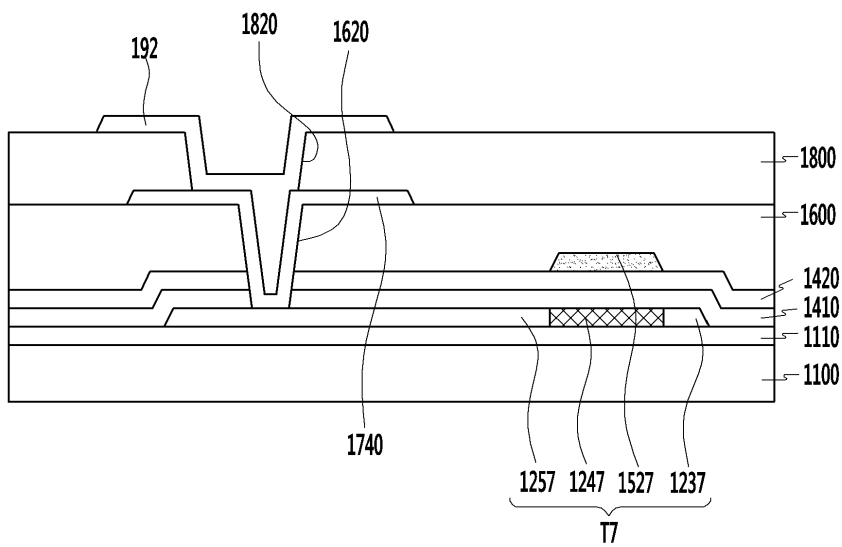
도면3



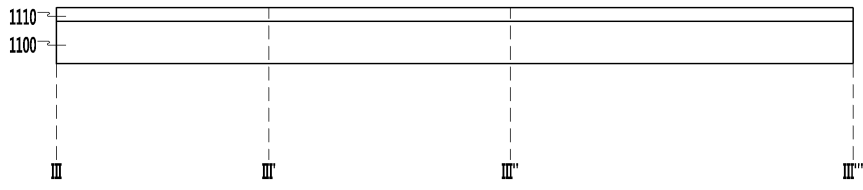
도면4



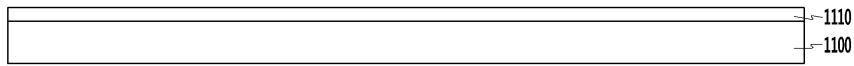
도면5



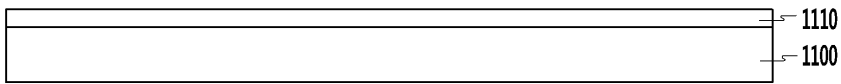
도면6



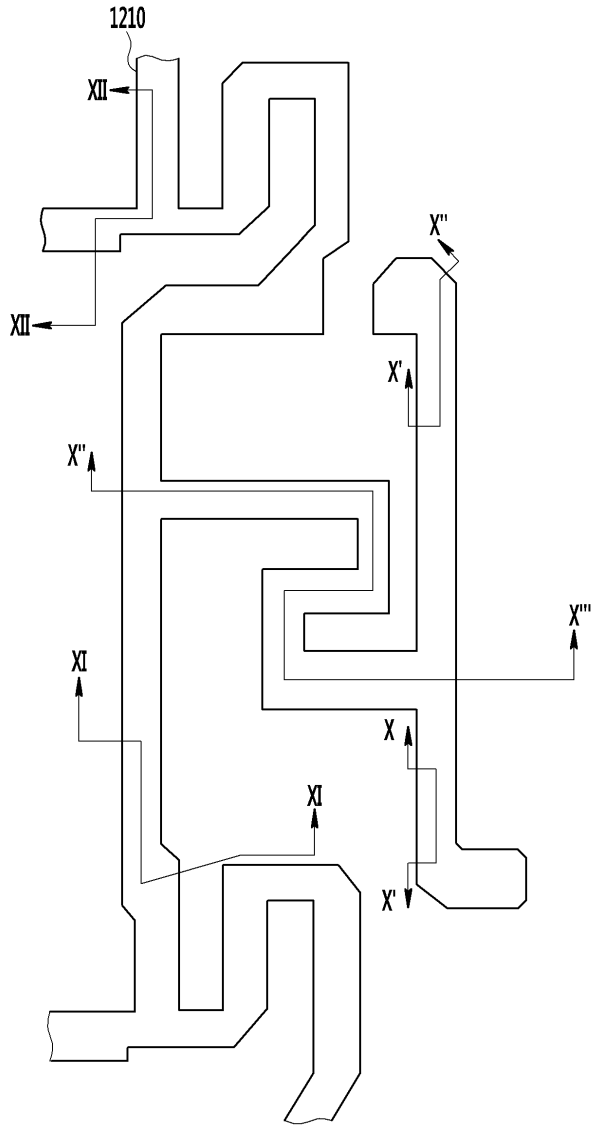
도면7



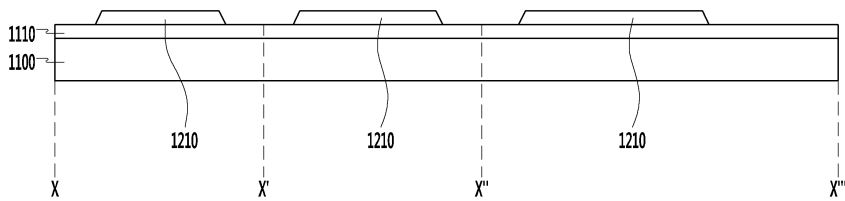
도면8



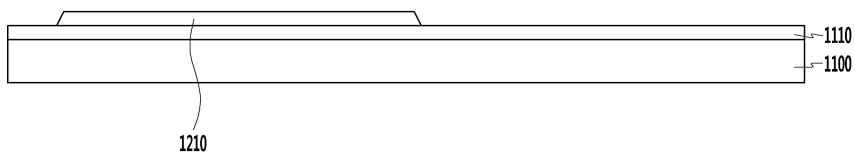
도면9



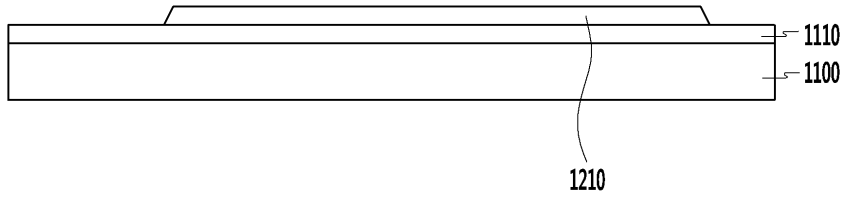
도면10



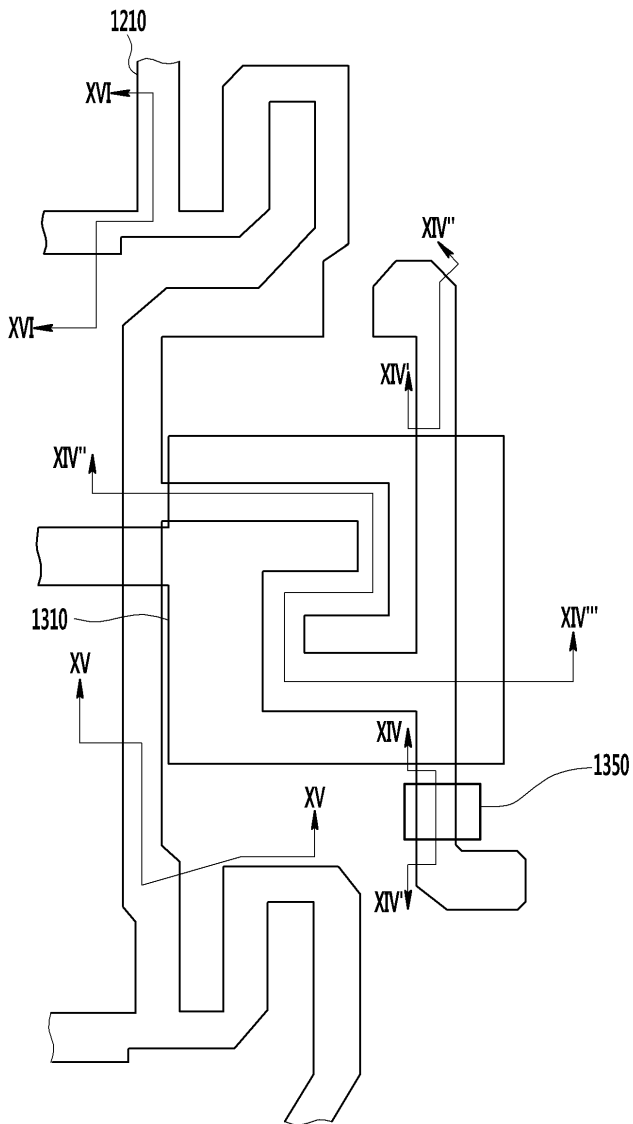
도면11



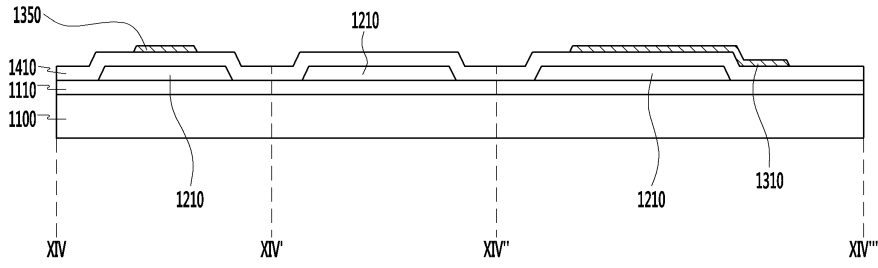
도면12



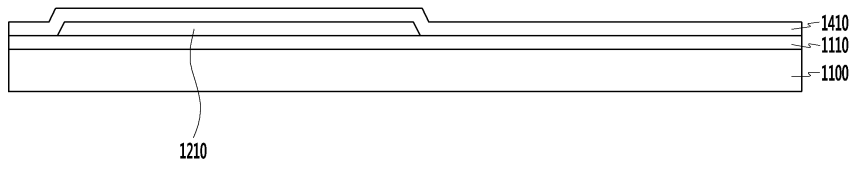
도면13



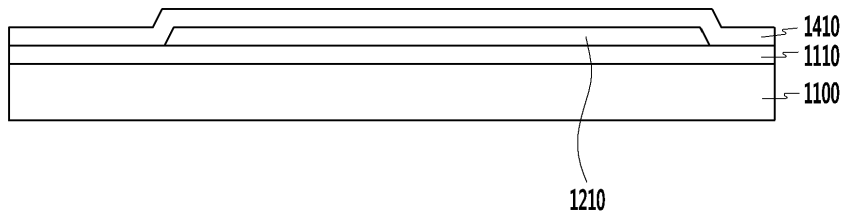
도면14



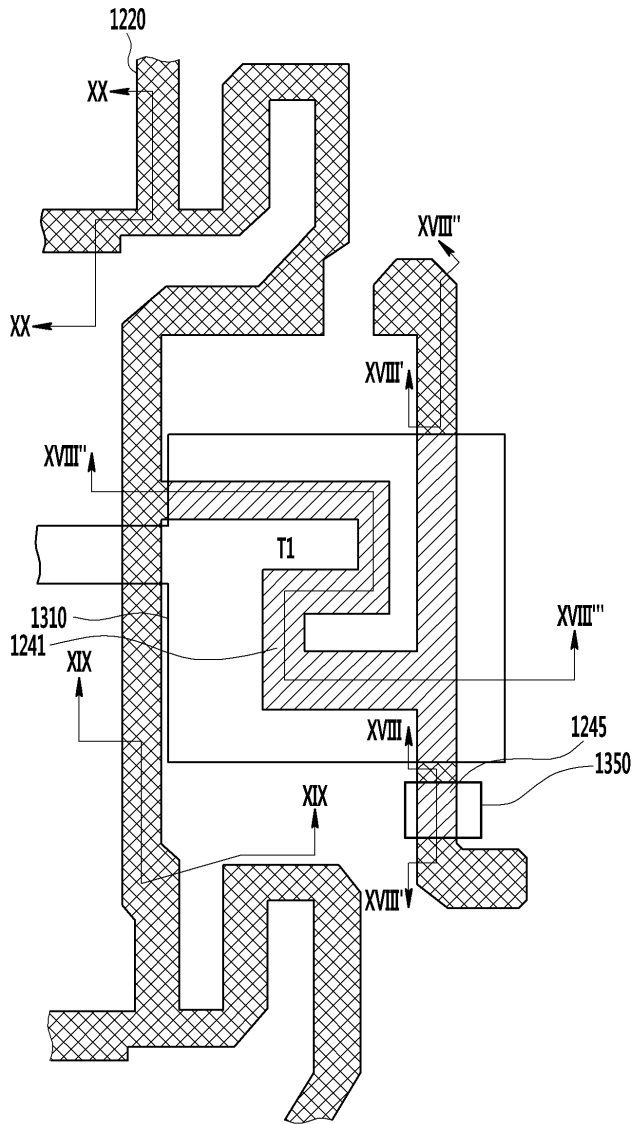
도면15



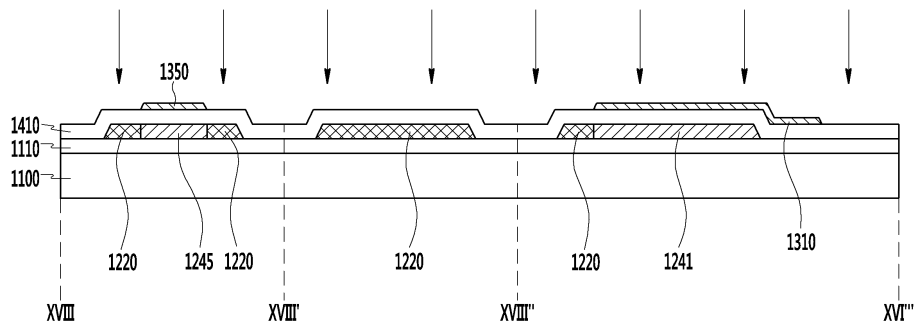
도면16



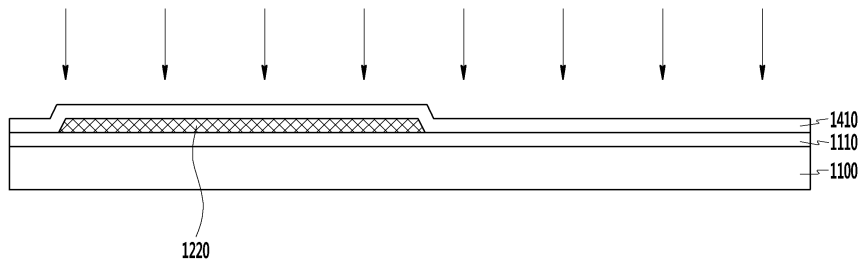
도면17



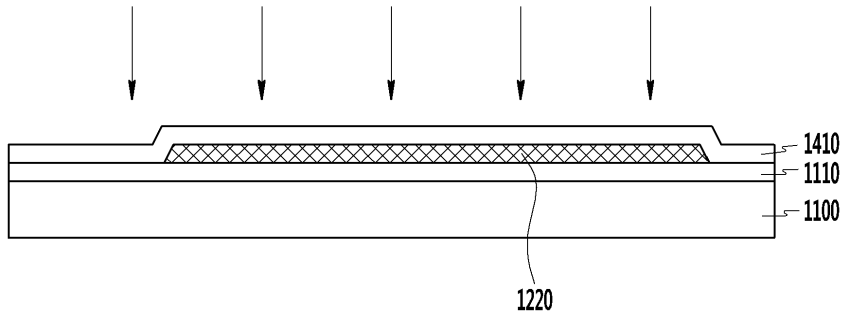
도면18



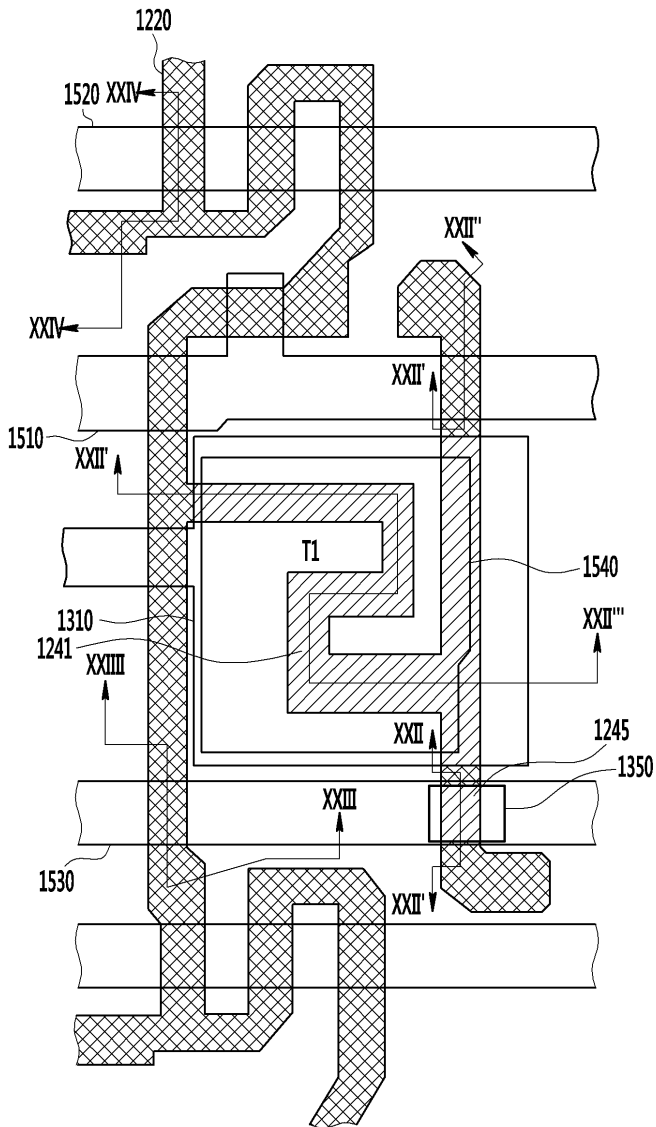
도면19



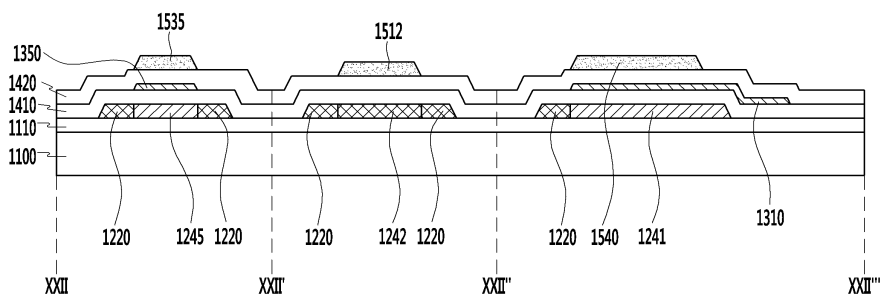
도면20



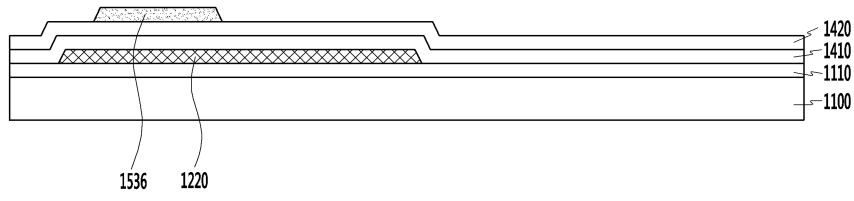
도면21



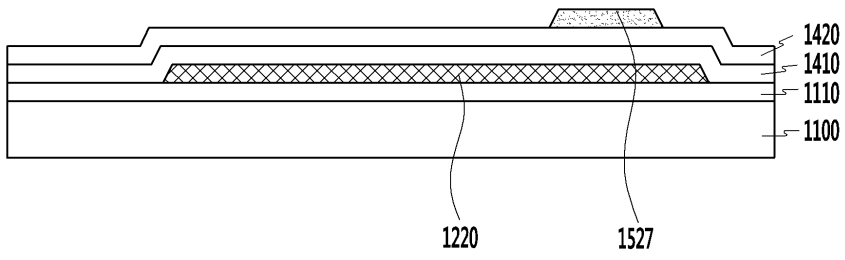
도면22



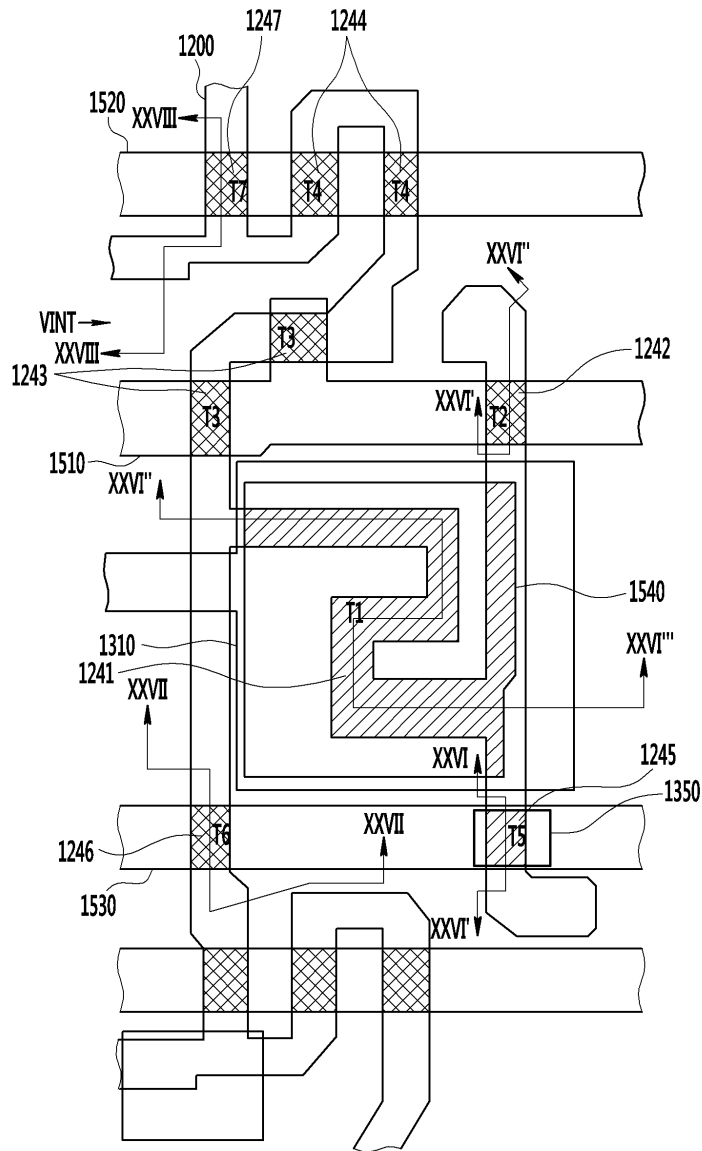
도면23



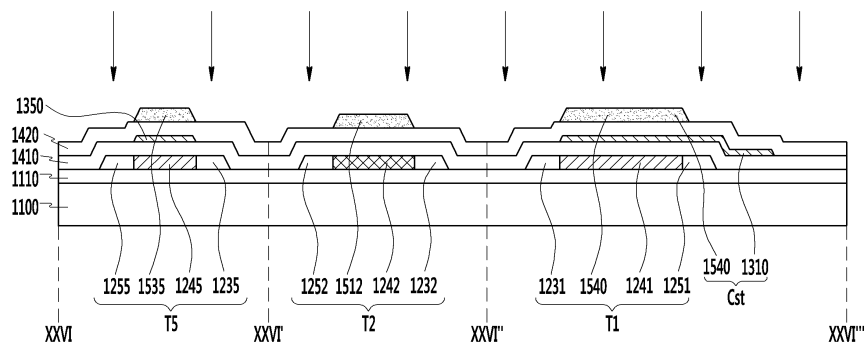
도면24



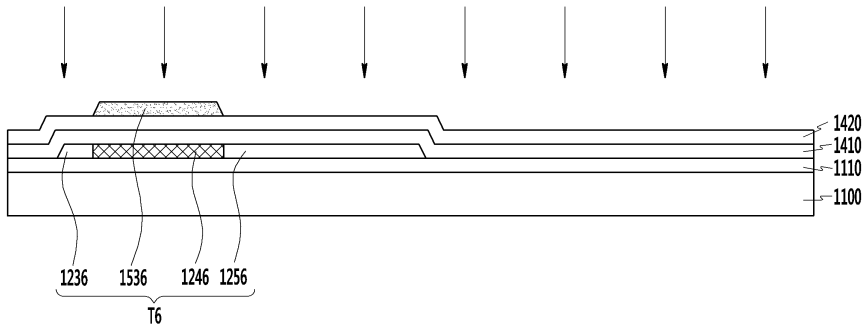
도면25



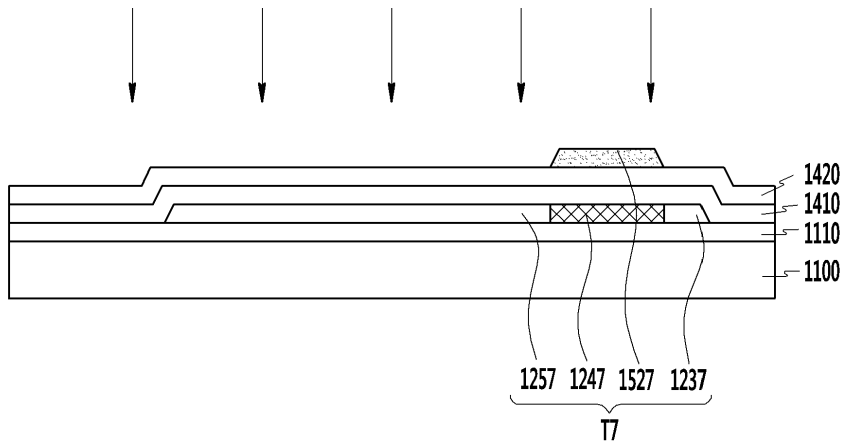
도면26



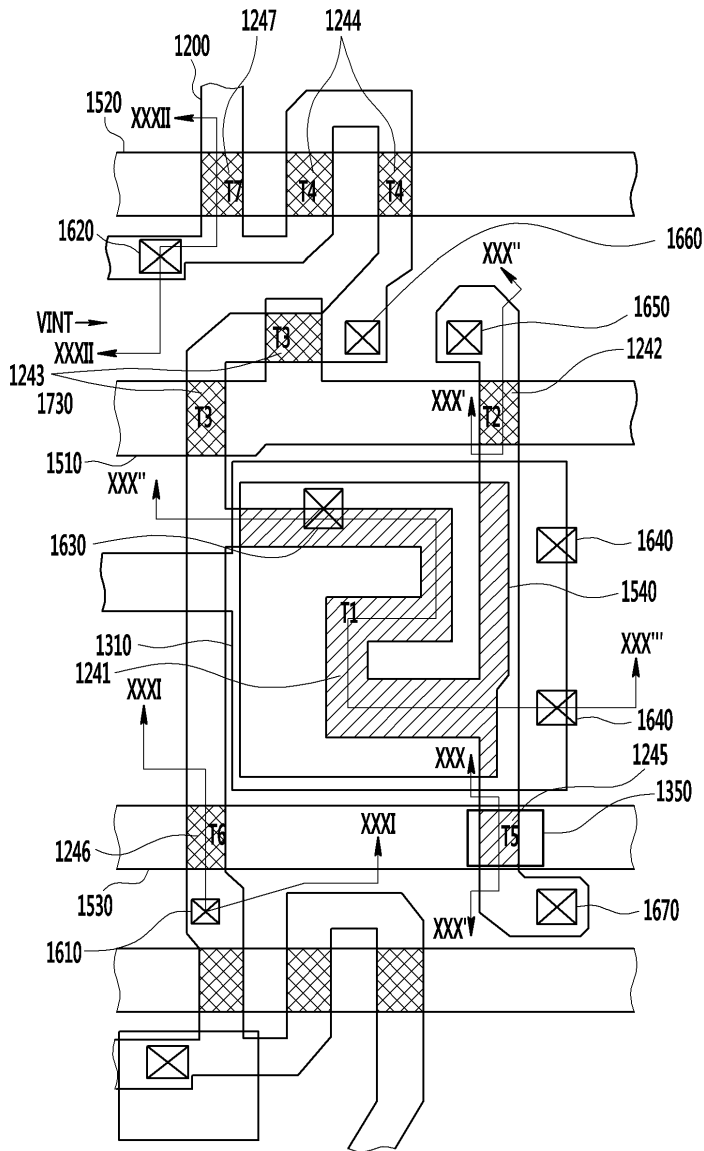
도면27



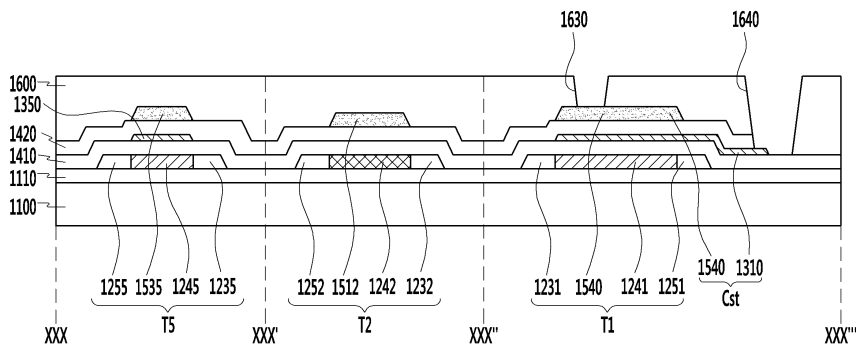
도면28



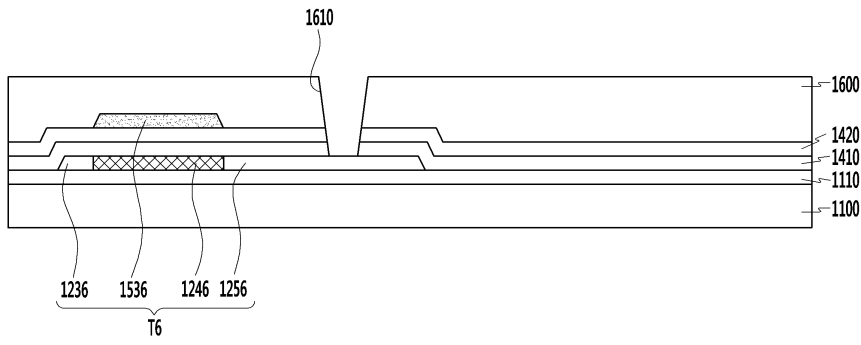
도면29



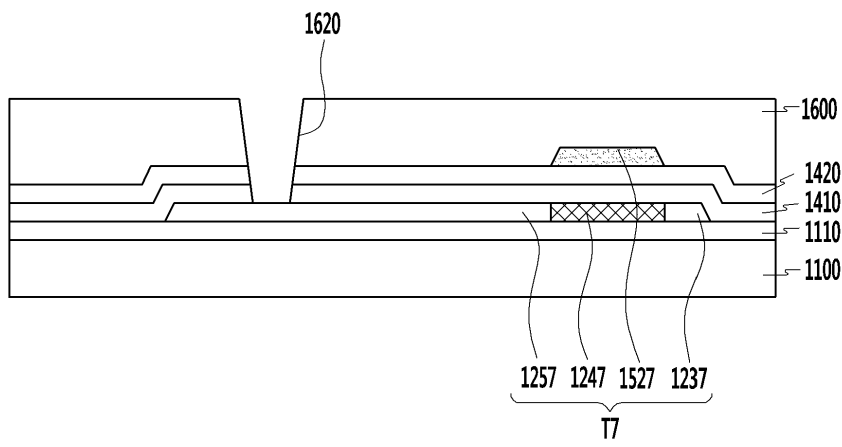
도면30



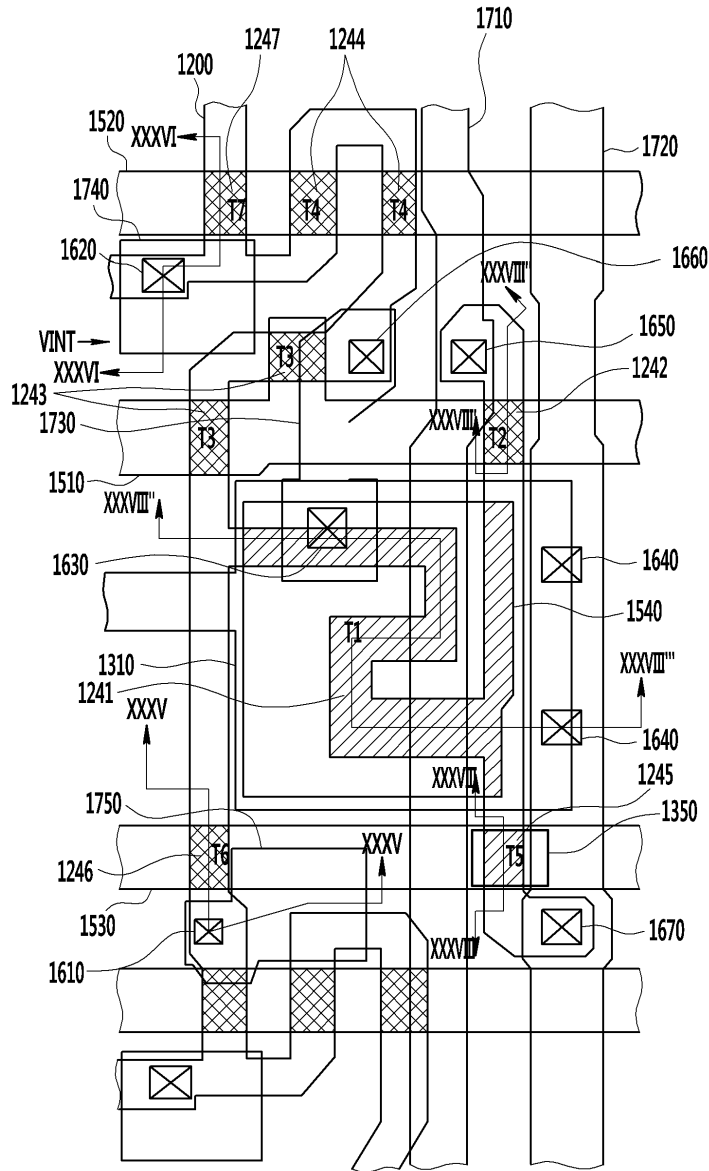
도면31



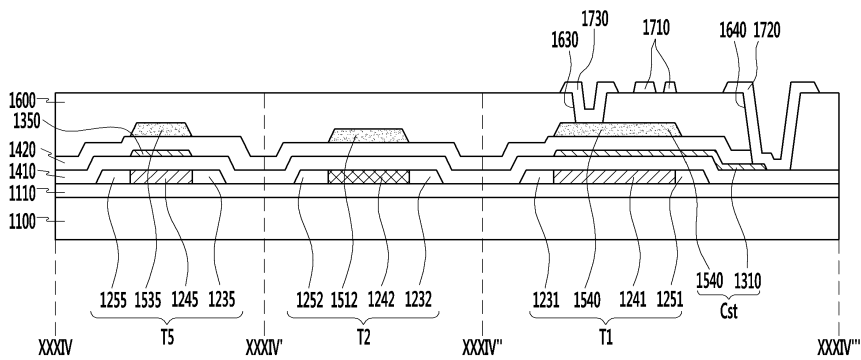
도면32



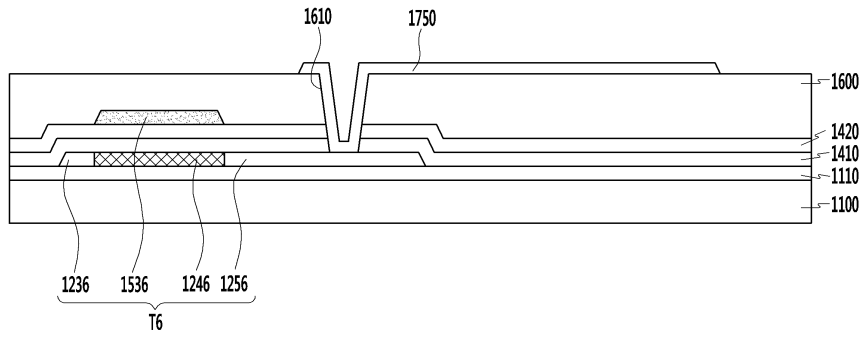
도면33



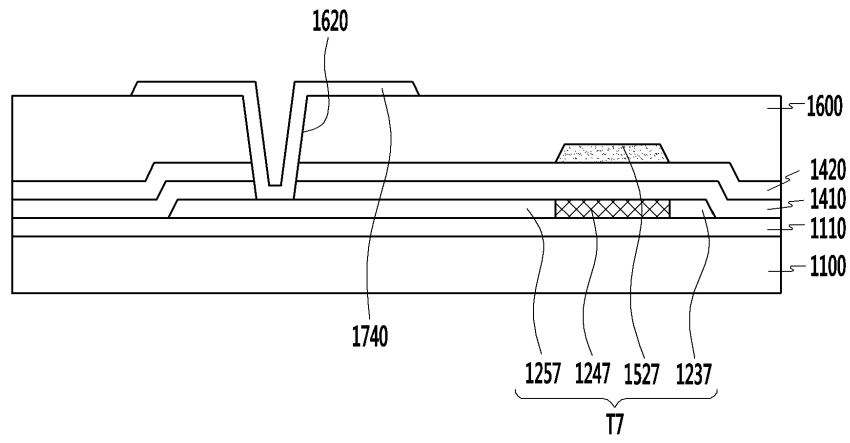
도면34



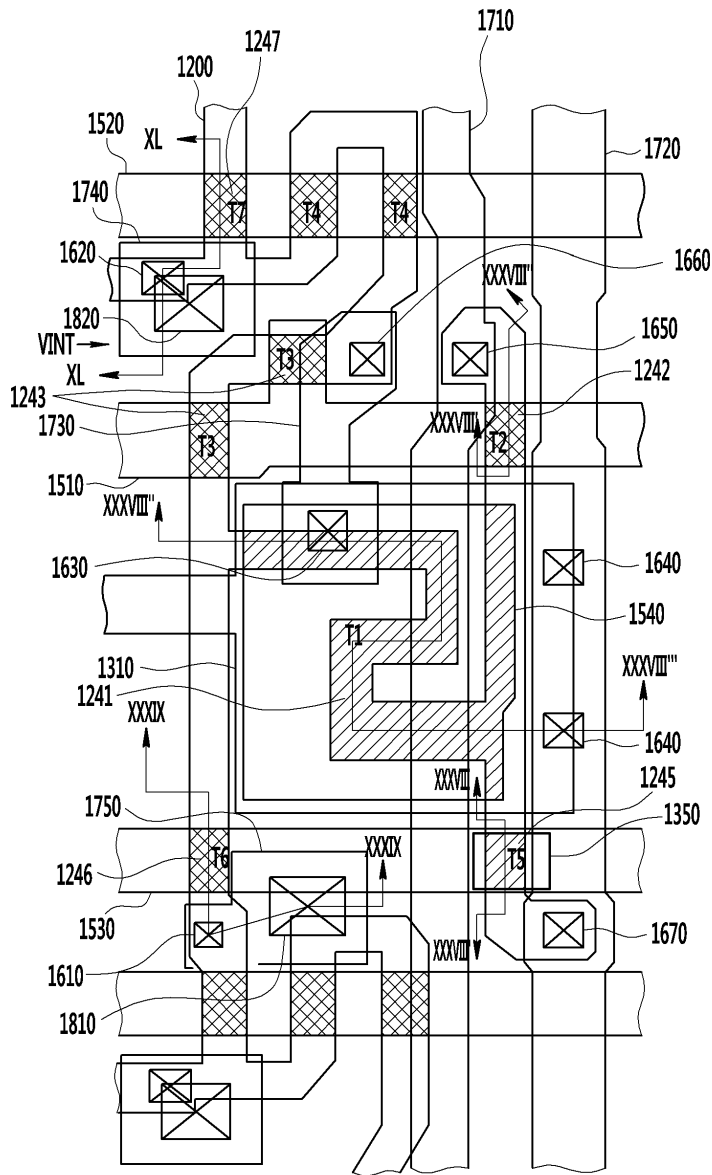
도면35



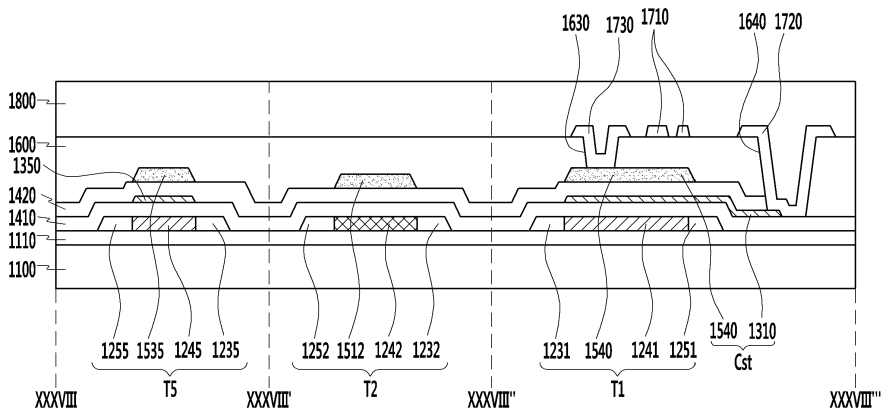
도면36



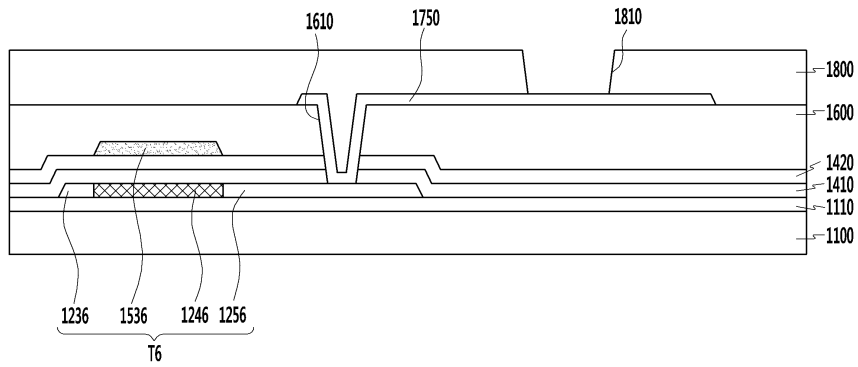
도면37



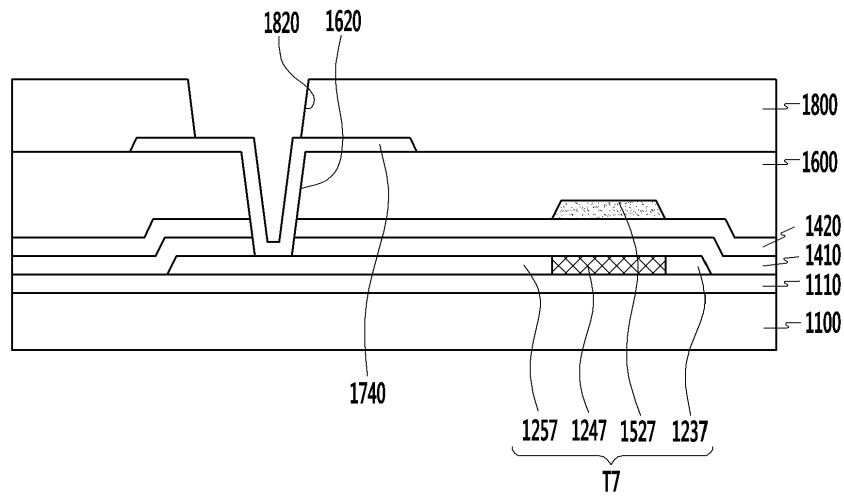
도면38



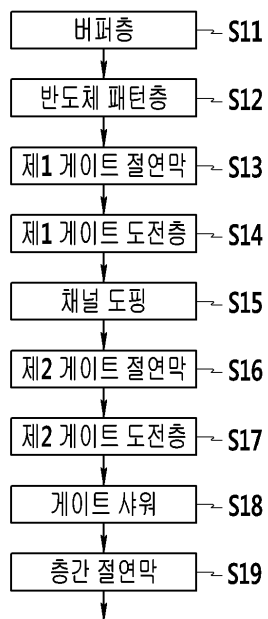
도면39



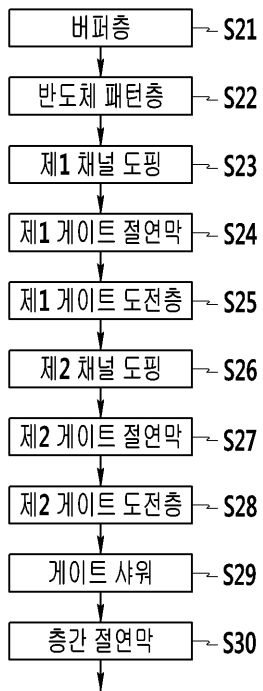
도면40



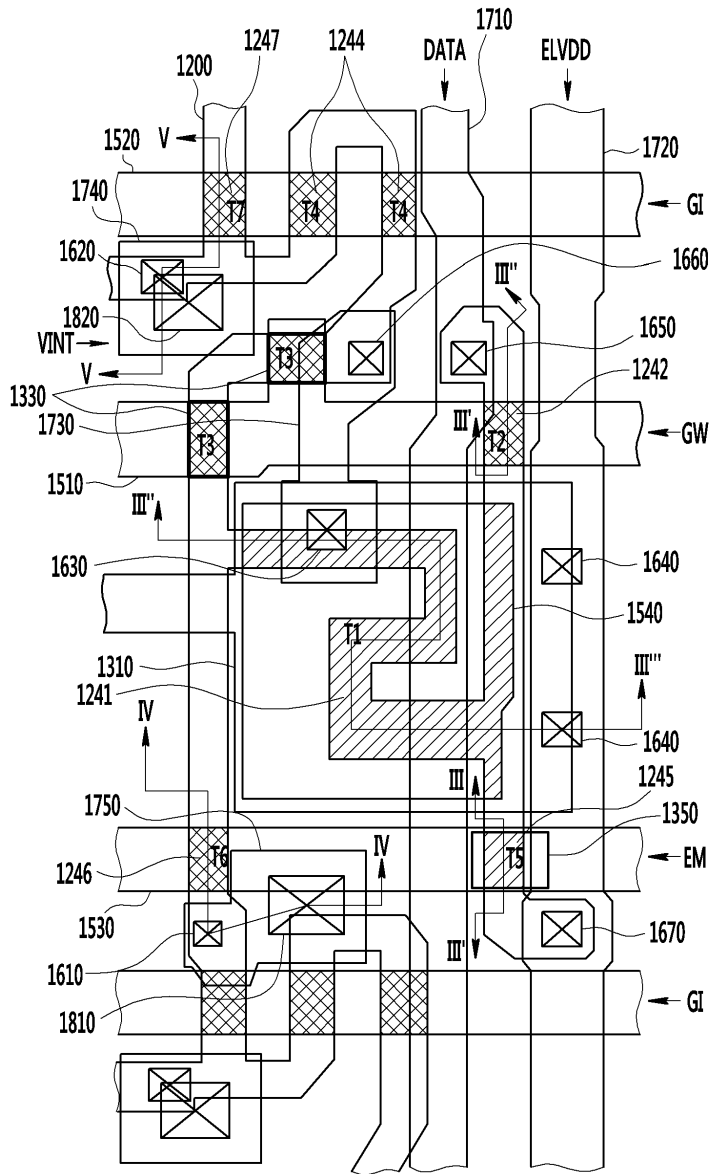
도면41



도면42



도면43



专利名称(译)	有机发光显示器，驱动方法及其制造方法		
公开(公告)号	KR1020160007982A	公开(公告)日	2016-01-21
申请号	KR1020140086975	申请日	2014-07-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEONG CHEOL YUN 정철윤 CHOI JONG HYUN 최종현		
发明人	정철윤 최종현		
IPC分类号	H01L27/32 H01L51/50		
CPC分类号	G09G3/3258 G09G3/3233 G09G3/3275 G09G2300/0426 G09G2300/0814 G09G2300/0819 G09G2320/0233 G09G2320/0238 G09G2320/045 G09G2320/0626 H01L27/1222 H01L27/124 H01L27/1255 H01L27/1262 H01L27/3262 H01L27/3265 H01L27/3276 H01L29/78696 H01L51/56 H01L2227/323		
外部链接	Espacenet		

摘要(译)

有机发光显示装置，其驱动方法及其制造方法技术领域根据本发明实施例的有机发光显示装置包括：基板；半导体图案，位于基板上，包括多个沟道区域；第一栅极绝缘膜，位于半导体图案上；多个第一栅极导电层位于第一栅极绝缘膜上；第二栅极绝缘膜，位于栅极图案上；第二栅极导电层位于第二栅极绝缘膜上。沟道区域包括与第一栅极导电层重叠的第一沟道区域，以及不与第一栅极导电层重叠的第二沟道区域。第二沟道区的掺杂浓度不同于第一沟道区的掺杂浓度。

