



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0118262
(43) 공개일자 2013년10월29일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) G09F 9/00 (2006.01)
(21) 출원번호 10-2013-0042668
(22) 출원일자 2013년04월18일
심사청구일자 2013년04월18일
(30) 우선권주장
JP-P-2012-095914 2012년04월19일 일본(JP)

(71) 출원인
가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고
(72) 발명자
사이토 노부요시
일본 도쿄도 미나토구 시바우라 1쵸메 1방 1고 가부시끼가이샤 도시바 지적재산부 내
우에다 도모마사
일본 도쿄도 미나토구 시바우라 1쵸메 1방 1고 가부시끼가이샤 도시바 지적재산부 내
(뒷면에 계속)
(74) 대리인
박충범, 장수길, 이중희

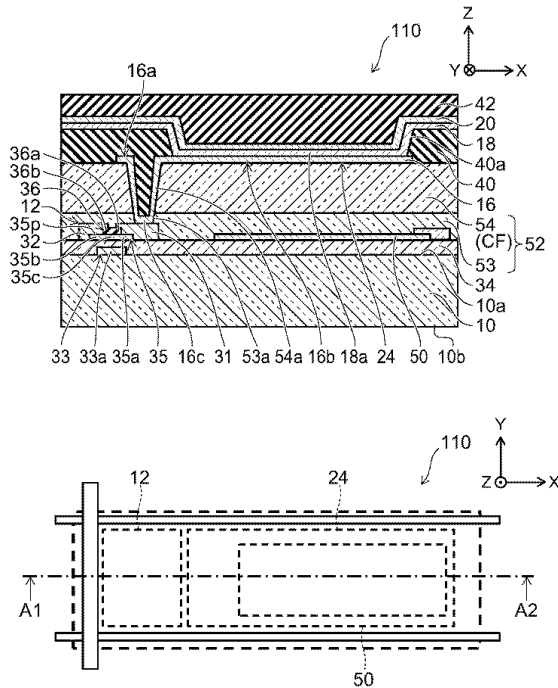
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표시 패널 및 표시 장치

(57) 요약

일 실시 형태에 따르면, 표시 패널은, 기관, 스위칭 소자, 화소 전극, 유기 발광층, 대향 전극, 검출용 전극 및 절연층을 포함한다. 기관은 주면을 갖는다. 스위칭 소자는 주면 위에 제공된다. 스위칭 소자는 반도체층을 포함한다. 화소 전극은 주면 위에 제공된다. 화소 전극은 스위칭 소자에 전기적으로 접속된다. 유기 발광층은 화소 전극 위에 제공된다. 대향 전극은 유기 발광층 위에 제공된다. 검출용 전극은 화소 전극의 적어도 일부와 기관 사이에 제공된다. 검출용 전극은 반도체층에 포함된 적어도 하나의 원소를 포함한다. 절연층은 화소 전극과 검출용 전극 사이에 제공된다.

대표도



(72) 발명자

야마구치 하지메

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

미우라 겐타로

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

나가노 신타로

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

사카노 다츠노리

일본 도쿄도 미나토꾸 시바우라 1쵸메 1방 1고 가
부시끼가이샤 도시바 지적재산부 내

특허청구의 범위

청구항 1

표시 패널로서,
주면을 갖는 광 투과성의 기판,
상기 주면 위에 제공되고, 반도체층을 포함하는 스위칭 소자,
상기 주면 위에 제공되고, 상기 스위칭 소자에 전기적으로 접속된 광 투과성의 화소 전극,
상기 화소 전극 위에 제공된 유기 발광층,
상기 유기 발광층 위에 제공된 대향 전극,
상기 화소 전극의 적어도 일부와 상기 기판 사이에 제공되고, 상기 반도체층에 포함된 적어도 하나의 원소를 포함하는 광 투과성의 검출용 전극, 및
상기 화소 전극과 상기 검출용 전극 사이에 제공된 광 투과성의 절연층을 포함하는, 표시 패널.

청구항 2

제1항에 있어서, 상기 주면에 대하여 수직인 제1 방향을 따른 상기 검출용 전극과 상기 기판 사이의 거리와, 상기 제1 방향을 따른 상기 반도체층과 상기 기판 사이의 거리의 차가 10 nm 이하인, 표시 패널.

청구항 3

제1항에 있어서, 상기 반도체층 및 상기 검출용 전극은 아몰퍼스 산화물을 포함하는, 표시 패널.

청구항 4

제3항에 있어서, 상기 반도체층 및 상기 검출용 전극은, In, Ga 및 Zn 중 적어도 하나를 포함하는, 표시 패널.

청구항 5

제4항에 있어서, 상기 반도체층의 두께는 10 nm 이상 100 nm 이하인, 표시 패널.

청구항 6

제1항에 있어서,
상기 절연층은 유기층을 포함하고,
상기 주면에 대하여 수직인 제1 방향을 따른 상기 유기층의 두께는 1 μm 이상 10 μm 이하인, 표시 패널.

청구항 7

제1항에 있어서,
상기 절연층은 상기 검출용 전극에 접하는 접촉층을 포함하고,
상기 접촉층은, 실리콘 산화물막, 실리콘 산질화물막 및 실리콘 질화물막 중 적어도 하나를 포함하는, 표시 패널.

청구항 8

제7항에 있어서, 상기 접촉층은, 1×10^{19} 원자/cm³ 이상의 농도로 수소를 포함하는, 표시 패널.

청구항 9

제7항에 있어서, 상기 접촉층의 두께는 100 nm 이상 200 nm 이하인, 표시 패널.

청구항 10

제1항에 있어서,

상기 기판은, 폴리이미드 수지 및 아라미드 수지 중 적어도 하나를 포함하고, 상기 기판은 가요성을 갖는, 표시 패널.

청구항 11

제1항에 있어서, 상기 대향 전극은 Al 및 MgAg 중 적어도 하나를 포함하는, 표시 패널.

청구항 12

제1항에 있어서, 상기 대향 전극의 두께는 5 nm 이상 500 nm 이하인, 표시 패널.

청구항 13

제1항에 있어서, 상기 화소 전극은, ITO, ITO/Ag/ITO 적층 구조 및 Al을 포함하는 ZnO 중 하나를 포함하는, 표시 패널.

청구항 14

제1항에 있어서,

상기 스위칭 소자는,

상기 주면 위에 제공된 게이트 전극,

상기 게이트 전극 위에 제공된 게이트 절연막,

상기 게이트 절연막 위에 제공되고, 제1 영역, 상기 제1 영역과 이격된 제2 영역, 상기 제1 영역과 상기 제2 영역 사이에 제공되는 제3 영역을 포함하는 상기 반도체층,

상기 제1 영역 및 상기 화소 전극과 전기적으로 접속된 제1 도전부, 및

상기 제1 도전부와 이격하여 제공되고, 상기 제2 영역에 전기적으로 접속된 제2 도전부를 포함하는, 표시 패널.

청구항 15

제14항에 있어서, 상기 검출용 전극은 상기 게이트 절연막 위에 제공되는, 표시 패널.

청구항 16

제14항에 있어서,

상기 스위칭 소자는 적어도 상기 제3 영역 위에 제공된 채널 보호막을 더 포함하는, 표시 패널.

청구항 17

제1항에 있어서, 상기 대향 전극 위에 제공된 밀봉층을 더 포함하고,

상기 밀봉층은, 실리콘 산화물막, 실리콘 산질화물막, 실리콘 질화물막, 알루미늄 및 탄탈 산화물막 중 적어도 하나를 포함하는, 표시 패널.

청구항 18

표시 장치로서,

주면을 갖는 광 투과성의 기판,

상기 주면 위에 제공되고, 반도체층을 포함하는 스위칭 소자,

상기 주면 위에 제공되고, 상기 스위칭 소자에 전기적으로 접속된 광 투과성의 화소 전극,
 상기 화소 전극 위에 제공된 유기 발광층,
 상기 유기 발광층 위에 제공된 대향 전극,
 상기 화소 전극의 적어도 일부와 상기 기판 사이에 제공되고, 상기 반도체층에 포함된 적어도 하나의 원소를 포함하는 광 투과성의 검출용 전극, 및
 상기 화소 전극과 상기 검출용 전극 사이에 제공된 광 투과성의 절연층
 을 포함하는 표시 패널과,
 상기 스위칭 소자의 동작을 제어하여 상기 유기 발광층의 발광을 제어하도록 구성되고, 상기 화소 전극, 상기 검출용 전극 및 절연층으로 형성되는 검출용 캐패시터의 정전 용량을 검출하도록 구성된 제어부
 를 포함하는, 표시 장치.

청구항 19

제18항에 있어서, 상기 제어부는, 정전 용량의 검출에 후속하여, 상기 유기 발광층을 발광시키기 위한 신호를 상기 스위칭 소자에 입력하는, 표시 장치.

청구항 20

제19항에 있어서, 상기 제어부는,
 제1 타이밍에 발광시키기 위한 제1 신호를 상기 스위칭 소자에 입력하고,
 상기 제1 타이밍 이후인 제2 타이밍에, 발광시키기 위한 제2 신호를 상기 스위칭 소자에 입력하고,
 상기 제1 타이밍과 상기 제2 타이밍 사이의 후반 기간(latter period)에 검출이 행해지도록 구성된, 표시 장치.

명세서

기술분야

- [0001] <관련 기술의 상호 참조>
- [0002] 본 출원은 2012년 4월 19일자로 출원된 우선권인 일본 특허 출원 제2012-095914호에 기초하며, 이로부터의 우선권의 이익을 주장하며, 그 전체 내용은 참조로서 본 명세서에 원용된다.
- [0003] 본 명세서에 설명된 실시 형태는, 일반적으로 표시 패널 및 표시 장치에 관한 것이다.

배경 기술

- [0004] 유기 EL(Electro-Luminescent) 소자에 흐르는 전류가 박막 트랜지스터에 의해 제어되는 액티브 매트릭스 방식의 표시 패널 및 이 표시 패널을 이용한 표시 장치가 있다. 이러한 표시 패널 및 표시 장치에서는, 터치 조작을 검출하는 검출 기능을 제공하는 것이 바람직하다. 검출 기능을 제공하는 경우, 개구율이 저하되고, 화질이 저하된다.

발명의 내용

과제의 해결 수단

- [0005] 일 실시 형태에 따르면, 표시 패널은, 기판, 스위칭 소자, 화소 전극, 유기 발광층, 대향 전극, 검출용 전극 및 절연층을 포함한다. 기판은 주면을 갖는다. 기판은 광 투과성을 갖는다. 스위칭 소자는 주면 위에 제공된다. 스위칭 소자는 반도체층을 포함한다. 화소 전극은 주면 위에 제공된다. 화소 전극은 스위칭 소자에 전기적으로 접속된다. 화소 전극은 광 투과성을 갖는다. 유기 발광층은 화소 전극 위에 제공된다. 대향 전극은 유기 발광층 위에 제공된다. 검출용 전극은 화소 전극의 적어도 일부와 기판 사이에 제공된다. 검출용 전극은 반도체층에 포함된 적어도 하나의 원소를 포함한다. 검출용 전극은 광 투과성을 갖는다. 절연층은 화소 전극과 검출용 전극 사이에 제공된다. 절연층은 광 투과성을 갖는다.

[0006] 또 다른 실시 형태에 따르면, 표시 장치는 표시 패널과 제어부를 포함한다. 표시 패널은, 기관, 스위칭 소자, 화소 전극, 유기 발광층, 대향 전극, 검출용 전극 및 절연층을 포함한다. 기관은 주면을 갖는다. 기관은 광 투과성을 갖는다. 스위칭 소자는 주면 위에 제공된다. 스위칭 소자는 반도체층을 포함한다. 화소 전극은 주면 위에 제공된다. 화소 전극은 스위칭 소자에 전기적으로 접속된다. 화소 전극은 광 투과성을 갖는다. 유기 발광층은 화소 전극 위에 제공된다. 대향 전극은 유기 발광층 위에 제공된다. 검출용 전극은 화소 전극의 적어도 일부와 기관 사이에 제공된다. 검출용 전극은 반도체층에 포함된 적어도 하나의 원소를 포함한다. 검출용 전극은 광 투과성을 갖는다. 절연층은 화소 전극과 검출용 전극 사이에 제공된다. 절연층은 광 투과성을 갖는다. 제어부는, 스위칭 소자의 동작을 제어하여 유기 발광층으로부터의 발광을 제어하도록 구성된다. 제어부는, 화소 전극, 검출용 전극 및 절연막으로 형성되는 검출용 캐패시터의 정전 용량을 검출하도록 구성된다.

도면의 간단한 설명

[0007] 도 1a 및 도 1b는 제1 실시 형태에 따른 표시 패널의 구성을 예시하는 모식도.
 도 2는 제1 실시 형태에 따른 표시 패널의 구성을 예시하는 등가 회로도.
 도 3은 제1 실시 형태에 따른 표시 패널의 구성을 예시하는 등가 회로도.
 도 4는 제1 실시 형태에 따른 표시 패널의 특성을 예시하는 그래프.
 도 5는 제2 실시 형태에 따른 표시 장치의 구성을 예시하는 모식도.
 도 6은 제2 실시 형태에 따른 표시 장치의 제어의 일부를 예시하는 타이밍 차트.

발명을 실시하기 위한 구체적인 내용

[0008] 이하에서, 첨부된 도면을 참조하여 각종 실시 형태를 설명한다.

[0009] 도면은 모식적 또는 개념적인 것임을 유의한다. 각 부분의 두께와 폭의 관계, 부분간의 크기의 비율 등은 반드시 현실의 것과 동일할 필요는 없다. 또한, 동일한 부분을 나타내는 경우에도, 도면에 따라 부분들 간의 치수 및 비율이 다르게 표현될 경우도 있다.

[0010] 명세서와 도면에 있어서, 상술한 도면에서 설명되거나 도시된 것과 마찬가지로의 구성요소에는 동일한 참조 번호를 붙이고, 그 상세한 설명은 적절히 생략한다.

[0011] 제1 실시 형태

[0012] 도 1a 및 도 1b는 제1 실시 형태에 따른 표시 패널의 구성을 예시하는 모식도이다.

[0013] 도 1a는 모식적인 단면도이다. 도 1b는 모식적인 평면도이다. 도 1a는 도1b의 A1-A2선 단면을 모식적으로 나타낸다.

[0014] 도 1a 및 도 1b에 도시된 바와 같이, 본 실시 형태에 따른 표시 패널(110)은, 기관(10), 스위칭 소자(12), 화소 전극(16), 유기 발광층(18), 대향 전극(20), 검출용 전극(50) 및 절연층(52)을 포함한다.

[0015] 화소 전극(16), 유기 발광층(18) 및 대향 전극(20)은 유기 EL형의 발광 소자부(24)를 형성한다. 발광 소자부(24)의 발광이 스위칭 소자(12)에 의해 제어되고 구동된다. 표시 패널(110)에 있어서, 스위칭 소자(12)와 발광 소자부(24)의 조합이 매트릭스 형상으로 배치되어 있다. 표시 패널(110)에서는, 스위칭 소자(12)의 구동 및 그 구동에 수반하는 발광 소자부(24)의 발광을 제어함으로써 화상을 표시한다. 표시 패널(110)은 유기 EL 소자를 이용한 액티브 매트릭스형의 표시 패널이다.

[0016] 화소 전극(16), 검출용 전극(50) 및 절연층(52)은, 검출용 전극(50)에 근접하는 피검출 물건의 유무를 검출하는 검출용 캐패시터(70)(도 2 참조)를 형성한다. 검출용 캐패시터(70)에 의한 피검출 물건의 검출에서는, 예를 들어, 손가락, 전용펜 등으로 화면을 터치하는 것에 의해 조작 지시가 표시 패널(110)에 입력되는 소위 터치 조작이 실현된다. 즉, 표시 패널(110)은 터치 조작을 검출하는 검출 기능이 구비된 표시 패널(터치 패널 디스플레이)이다.

[0017] 기관(10)은, 제1 주면(주면)(10a)과, 제1 주면(10a)의 반대측의 제2 주면(10b)을 포함한다. 기관(10)은, 예를 들어, 광 투과성을 갖는다. 본 명세서에 있어서, 광 투과성 구성요소란 발광 소자부(24)로부터 방출되는 광이 그 구성요소를 투과할 수 있는 것을 의미한다. 기관(10)은, 예를 들어 투명하다. 기관(10)으로는, 예를 들어,

폴리이미드 수지 및 아라미드 수지 등의 수지 재료가 이용된다. 이에 의해, 가요성을 갖는 표시 패널(110)을 실현할 수 있다. 기관(10)에 이용되는 재료는, 글래스 재료 및 경질 수지 재료 등과 같이 가요성을 갖지 않는 재료이어도 좋다. 기관(10)의 두께는 얇을수록 바람직하고, 예를 들어, 0.5 mm 이하이다.

[0018] 기관(10)의 제1 주면(10a) 위에, 예를 들어, 불순물, 수분 등의 투과를 억제하는 배리어층을 제공할 수 있다. 배리어층으로는, 예를 들어, 실리콘 산화물막, 실리콘 질화물막 또는 실리콘 산질화물막 등이 이용된다. 이에 의해, 예를 들어, 기관(10) 위에 제공되는 스위칭 소자(12) 및 발광 소자부(24)를 불순물, 수분 등으로부터 보호할 수 있다.

[0019] 여기서, 제1 주면(10a)에 대하여 수직인 제1 방향을 Z축 방향이라 한다. Z축 방향에 대하여 수직인 방향을 X축 방향이라 한다. Z축 방향 및 X축 방향에 대하여 수직인 방향을 Y축 방향이라 한다.

[0020] 스위칭 소자(12)는 기관(10)의 주면(10a) 위에 제공된다.

[0021] 스위칭 소자(12)는 제1 도전부(31), 제2 도전부(32), 게이트 전극(33), 게이트 절연막(34), 반도체층(35) 및 채널 보호막(36)을 포함한다.

[0022] 게이트 전극(33)은 기관(10)의 주면(10a) 위에 제공된다. 게이트 전극(33)으로는, 예를 들어, 몰리브덴 텅스텐(MoW), 몰리브덴 탄탈(MoTa) 및 텅스텐(W) 등의 고용점 금속이 이용된다. 게이트 전극(33)으로는, 예를 들어, 안티 힐록(anti-hillock) 구성이 제공된, Al을 주성분으로 하는 Al 합금을 이용해도 된다. 게이트 전극(33)으로는, 예를 들어, Al과 고용점 금속의 적층체가 사용될 수 있다.

[0023] 게이트 절연막(34)은 게이트 전극(33) 위에 제공된다. 이 예에서, 게이트 절연막(34)은 게이트 전극(33)을 덮도록 주면(10a)의 전체 위에 제공된다. 게이트 절연막(34)으로는, 예를 들어, 절연성과 광 투과성을 갖는 재료가 이용된다. 게이트 절연막(34)으로는, 예를 들어, 실리콘 산화물막, 실리콘 질화물막 및 실리콘 산질화물막 등이 이용될 수 있다. 게이트 절연막(34)은, 예를 들어, 실리콘 산화물막, 실리콘 질화물막 및 실리콘 산질화물막 중 적어도 하나를 포함하는 적층체일 수 있다.

[0024] 반도체층(35)은 게이트 절연막(34) 위에 제공된다. 게이트 절연막(34)은 게이트 전극(33)과 반도체층(35) 사이에 제공되고, 게이트 전극(33)과 반도체층(35)을 절연시킨다. 반도체층(35)으로는, 예를 들어, In, Ga 및 Zn 중 적어도 하나를 포함하는 아몰퍼스 산화물 반도체가 이용된다. 즉, 반도체층(35)으로는, 예를 들어, In-Ga-Zn-O 산화물 반도체, In-Ga-O 산화물 반도체 및 In-Zn-O 산화물 반도체 중 하나가 이용된다. 반도체층(35)의 두께(Z축 방향을 따른 길이)는, 예를 들어, 50 nm 정도이다. 이에 의해, 반도체층(35)의 전기적 특성이 양호해진다. 반도체층(35)의 두께는, 보다 구체적으로는, 예를 들어, 10 nm 이상 100 nm 이하이다. 반도체층(35)의 재료는, 예를 들어, 광 투과성을 갖는 재료이며, 또한 발광 소자부(24)의 발광을 제어할 수 있는 임의의 재료이면 좋다.

[0025] 아몰퍼스 산화물 반도체를 포함하는 반도체층(35)에 있어서는, 예를 들어, 투과 전자 현미경(transmission electron microscope:TEM)이나 X선 회절(X-ray diffraction:XRD) 토폴로지를 이용하여 반도체층(35)을 관찰하더라도, 결정성을 나타내는 회절 패턴 등이 관찰되지 않는다. 반도체층(35)의 막질 및 형상은, 주사형 전자 현미경(scanning electron microscope:SEM), TEM 등으로 관찰할 수 있다.

[0026] 반도체층(35)으로는, 상술한 아몰퍼스 산화물 반도체 중에 산화물 반도체의 미결정이 분산된 재료를 이용해도 된다.

[0027] 제1 도전부(31)는 반도체층(35)과 전기적으로 접속된다. 제2 도전부(32)는 반도체층(35)과 전기적으로 접속된다. 제1 도전부(31) 및 제2 도전부(32)로는, 예를 들어, Ti, Al 및 Mo 등이 이용된다. 제1 도전부(31) 및 제2 도전부(32)는, 예를 들어, Ti, Al 및 Mo 중 적어도 하나를 포함하는 적층체여도 좋다. 제1 도전부(31)는 스위칭 소자(12)의 소스 전극 및 드레인 전극 중 하나이다. 제2 도전부(32)는 스위칭 소자(12)의 소스 전극 및 드레인 전극 중 다른 하나이다.

[0028] 채널 보호막(36)은 반도체층(35) 위에 제공되어 있다. 채널 보호막(36)은 반도체층(35)을 보호한다. 채널 보호막(36)으로는 절연성의 재료를 이용한다. 채널 보호막(36)으로는, 예를 들어, 실리콘 산화물막이 이용된다. 반도체층(35)에 아몰퍼스 산화물 반도체를 이용할 경우, 채널 보호막(36)으로는, 예를 들어, 반도체층(35)의 내산성보다 더 강한 내산성을 갖는 실리콘 산화물막이 이용된다. 채널 보호막(36)은, 예를 들어, 실리콘 질화물막이나 실리콘 산질화물막일 수 있다.

[0029] 제1 도전부(31)는 채널 보호막(36)의 제1 부분(36a)을 덮는다. 제2 도전부(32)는 채널 보호막(36)의 제2 부분

(36b)을 덮는다. 제1 도전부(31)는 반도체층(35)의 제1 영역(35a)을 덮는다. 제2 도전부(32)는 반도체층(35)의 제2 영역(35b)을 덮는다. 제2 영역(35b)은 제1 주면(10a)에 평행한 방향으로 제1 영역(35a)과 이격되어 있다. 제2 도전부(32)는 제1 도전부(31)와 이격되어 배치된다. 반도체층(35)은 제1 영역(35a)과 제2 영역(35b) 사이에 제공되는 제3 영역(35c)을 갖는다. 제3 영역(35c)은, 제1 도전부(31) 및 제2 도전부(32)로 덮이지 않는다. 게이트 전극(33)은, 반도체층(35)의 막면(35p)에 대하여 수직인 방향(Z축 방향)에서 보았을 때에, 제1 도전부(31)와 제2 도전부(32) 사이의 부분(33a)을 갖는다. 게이트 전극(33)은, 게이트 절연막(34)을 통하여 반도체층(35)의 제3 영역(35c)과 대향한다. 게이트 절연막(34)은 게이트 전극(33)과 제3 영역(35c) 사이에 배치된다. 채널 보호막(36)은 적어도 제3 영역(35c) 위에 제공된다.

[0030] 게이트 전극(33)에 전압을 인가함으로써 반도체층(35)에 채널이 발생하고, 제1 도전부(31)와 제2 도전부(32) 간에 전류가 흐른다. 이 예에서, 스위칭 소자(12)는 보텀 게이트형의 박막 트랜지스터이다. 스위칭 소자(12)는 보텀 게이트형의 박막 트랜지스터에 한정되지 않는다. 스위칭 소자(12)는, 예를 들어, 톱 게이트형의 박막 트랜지스터일 수도 있다. 스위칭 소자(12)는, 다른 구조의 트랜지스터 동일 수도 있다. 보텀 게이트 구조에서는, 게이트 전극(33)이, 반도체층(35)으로 입사하는 외광에 의해 발생하는 오동작을 억제할 수 있다.

[0031] 검출용 전극(50)은 화소 전극(16)의 적어도 일부와 기판(10) 사이에 제공된다. 이 예에서, 검출용 전극(50)은 게이트 절연막(34) 위에 제공된다. 검출용 전극(50)은 반도체층(35)이 위치하는 면과 동일한 면 위에 제공된다. Z축 방향을 따른 검출용 전극(50)과 기판(10) 사이의 거리와, Z축 방향을 따른 반도체층(35)과 기판(10) 사이의 거리의 차는 10 nm 이하이다. Z축 방향을 따른 검출용 전극(50)과 기판(10) 사이의 거리는, Z축 방향을 따른 반도체층(35)과 기판(10) 사이의 거리와 실질적으로 동일하다.

[0032] 검출용 전극(50)은 광 투과성을 갖는다. 검출용 전극(50)은, 예를 들어, 투명하다. 검출용 전극(50)은, 반도체층(35)에 포함되는 적어도 하나의 원소를 포함한다. 이 예에서, 검출용 전극(50)은, In, Ga 및 Zn 중 적어도 하나를 포함한다. 검출용 전극(50)으로는 아몰퍼스 산화물 반도체가 이용된다. 검출용 전극(50)으로는, 예를 들어, In-Ga-Zn-O 산화물 반도체, In-Ga-O 산화물 반도체 및 In-Zn-O 산화물 반도체 중 하나가 사용된다. 검출용 전극(50)으로는, 반도체층(35)의 재료와 실질적으로 동일한 재료가 이용된다. 검출용 전극(50)은, 예를 들어, 반도체층(35)과 동일한 공정 단계에서 형성된다.

[0033] 절연층(52)은 화소 전극(16)과 검출용 전극(50) 사이에 제공된다. 절연층(52)은 광 투과성을 갖는다. 절연층(52)은, 예를 들어 투명하다. 이 예에서, 절연층(52)은, 제1 주면(10a) 전체 위에 제공되고, 검출용 전극(50)과 스위칭 소자(12)를 덮는다. 절연층(52)은 접촉층(53) 및 유기층(54)을 포함한다. 절연층(52)은 접촉층(53)과 유기층(54) 중 하나를 포함할 수 있다. 절연층(52)은, 광 투과성과 절연성을 갖는 다른 층을 더 포함할 수 있다.

[0034] 접촉층(53)은 검출용 전극(50)에 접해서 제공된다. 접촉층(53)은, 예를 들어, 실리콘 산화물막, 실리콘 산질화물막 및 실리콘 질화물막 중 적어도 하나를 포함한다. 접촉층(53)의 Z축 방향을 따른 두께(Z축 방향을 따른 길이)는, 예를 들어, 100 nm 이상 200 nm 이하이다. 접촉층(53)은, 예를 들어, 화학적 기상 증착(Chemical Vapor Deposition : CVD)에 의해 형성된다.

[0035] 접촉층(53)에 포함된 수소의 농도는, 예를 들어, 1×10^{19} 원자/cm³ 이상이다. 이 수소 농도를 갖는 접촉층(53)은, 예를 들어, CVD에 의해 접촉층(53)을 형성할 때에 실란 유량의 비를 증가시킴으로써 실현될 수 있다. 이에 의해, 접촉층(53)에 포함된 수소가 검출용 전극(50)으로 이동하여, 아몰퍼스 산화물 반도체를 포함하는 검출용 전극(50)의 저항을 감소시킬 수 있다.

[0036] 한편, 동일한 아몰퍼스 산화물 반도체를 포함하는 반도체층(35) 위에는 채널 보호막(36)이 제공되어 있고, 채널 보호막(36)은 수소의 투과를 억제시킨다. 이에 의해, 반도체층(35)의 저항이 감소될 수 있다. 즉, 스위칭 소자(12)가 노말리 온 상태로 되는 것이 억제된다.

[0037] 유기층(54)은, 예를 들어, 컬러 필터 CF이다. 컬러 필터 CF는 화소마다 상이한 색을 갖는다. 컬러 필터 CF는, 예를 들어, 적색, 녹색 및 청색 중 하나를 포함한다. 표시 패널(110)에서는, 예를 들어, 적색, 녹색 및 청색 중 하나를 갖는 컬러 필터 CF를 화소들에 대해 소정의 패턴으로 각각 배치한다. 이에 의해, 표시 패널(110)에 있어서, 풀 컬러의 화상의 표시가 가능하게 된다. 컬러 필터 CF로는, 예를 들어, 컬러 수지막(예를 들어 컬러 레지스트)이 이용된다. 컬러 필터 CF는 광 투과성을 갖는다. 컬러 필터 CF의 투과율은 파장에 의해 달라진다.

[0038] 유기층(54)(컬러 필터 CF)의 Z축 방향을 따른 두께는, 예를 들어, 1 μm 이상 10 μm 이하이고, 보다 구체적으로는 2 μm 이상이다. 그러므로, 검출용 전극(50)과 대향 전극(20) 사이에 발생하는 기생 용량을 저감할 수 있

기 때문에, 터치 조작의 검출 감도를 향상시킬 수 있다. 또한, 유기층(54)은, 예를 들어, 실리콘 수지등 일 수 있다. 유기층(54)은, 발광 소자부(24)로부터 방출되는 광에 대하여 광 투과성을 갖고, 상술한 두께를 제공할 수 있는 재료이면 좋다.

[0039] 화소 전극(16)은 제1 도전부(31)와 제2 도전부(32) 중 한 쪽에 전기적으로 접속된다. 본 예에서는, 화소 전극(16)은, 제1 도전부(31)(예를 들어, 소스)에 전기적으로 접속된다. 화소 전극(16)은 제1 주면(10a) 위에 제공된다. 본 예에서, 화소 전극(16)은 절연층(52) 위에 제공된다. 화소 전극(16)은, Z축 방향으로 스위칭 소자(12)와 대향하는 대향 영역(16a)과, 스위칭 소자(12)와 대향하지 않는 비대향 영역(16b)을 갖는다. 화소 전극(16)은, 제1 주면(10a)(X-Y 평면)에 투영되었을 때에, 비대향 영역(16b)에서 검출용 전극(50)과 접친다.

[0040] 화소 전극(16)으로는, 예를 들어, 도전성과 광 투과성을 갖는 재료가 이용된다. 화소 전극(16)으로는, 예를 들어, ITO(Indium Tin Oxide), ITO/Ag/ITO 적층 구조 및 Al이 도핑된 ZnO인 AZO 등이 이용된다.

[0041] 접촉층(53) 및 유기층(54)에는 개구(53a) 및 개구(54a)가 각각 제공되어 있다. 제1 도전부(31)의 일부가 개구(53a) 및 개구(54a)로부터 노출된다. 화소 전극(16)의 대향 영역(16a)의 일부(16c)는, 개구(53a) 및 개구(54a)에 있어서 제1 도전부(31)와 접촉하고 있다. 이에 의해, 화소 전극(16)은 제1 도전부(31)와 전기적으로 접속된다.

[0042] 화소 전극(16) 및 유기층(54) 위에는 बैं크층(40)이 제공된다. बैं크층(40)으로는, 예를 들어, 절연성과 광 투과성을 갖는 재료가 이용된다. बैं크층(40)은, 예를 들어 투명하다. बैं크층(40)으로는, 예를 들어, 유기 수지 재료가 이용된다. बैं크층(40)으로는, 예를 들어, 감광성 아크릴 수지, 감광성 폴리이미드 등이 이용된다. बैं크층(40)은 개구(40a)를 갖는다. 화소 전극(16)의 비대향 영역(16b)의 일부는 개구(40a)로부터 노출된다.

[0043] 유기 발광층(18)은 बैं크층(40) 위에 제공된다. 유기 발광층(18)의 일부(18a)는 개구(40a) 내에 들어간다. 유기 발광층(18)은, 개구(40a)에 있어서 화소 전극(16)의 비대향 영역(16b)과 접촉한다. 유기 발광층(18)은, 예를 들어, 개구(40a)에 있어서 화소 전극(16)과 전기적으로 접속된다. बैं크층(40)은, 대향 영역(16a)과 유기 발광층(18)의 접촉을 방지한다. 유기 발광층(18)으로는, 예를 들어, 정공 수송층, 발광층 및 전자 수송층이 서로 적층된 적층체가 이용된다. 유기 발광층(18)은 광 투과성을 갖는다. 유기 발광층(18)은, 예를 들어 투명하다.

[0044] 대향 전극(20)은 유기 발광층(18) 위에 제공된다. 대향 전극(20)으로는 도전성을 갖는 재료가 이용된다. 대향 전극(20)으로는, 예를 들어, Al 및 MgAg 등의 금속막이 이용된다. 대향 전극(20)의 두께는, 예를 들어, 5 nm 이상 500 nm 이하이다. 본 실시 형태에서는, 화소 전극(16)이 애노드이고 대향 전극(20)이 캐소드이다. 화소 전극(16)이 캐소드로서 기능할 수 있고 대향 전극(20)이 애노드로서 기능할 수 있다.

[0045] 예를 들어, 비대향 영역(16b)에서 발광 소자부(24)가 형성된다. 발광 소자부(24)에서는, 화소 전극(16)과 대향 전극(20) 간에 전압을 인가함으로써 유기 발광층(18)으로부터 광이 방출된다. 유기 발광층(18)으로부터 방출된 광은 절연층(52), 검출용 전극(50), 게이트 절연막(34) 및 기판(10)을 투과하여 외부로 출사한다. 표시 패널(110)은 하면 발광형의 표시 패널이다. 표시 패널(110)에서는, 제2 주면(10b)이 화상을 표시하는 표시면이다. 표시 패널(110)에서는, 예를 들어, 제2 주면(10b)에 근접하는 피검출 물체가 검출된다.

[0046] 대향 전극(20) 위에는 밀봉층(42)이 제공된다. 밀봉층(42)은, 예를 들어, 불순물, 수분 등의 투과를 억제한다. 밀봉층(42)은, 예를 들어, 스위칭 소자(12), 발광 소자부(24) 등을 수분 등으로부터 보호한다. 밀봉층(42)으로는 절연성의 재료가 이용된다. 밀봉층(42)으로는, 예를 들어, 실리콘 산화물막, 실리콘 산질화물막, 실리콘 질화물막, 알루미늄나 및 탄탈 산화물막 등이 이용된다.

[0047] 도 2는 제1 실시 형태에 따른 표시 패널의 구성을 예시하는 등가 회로도이다.

[0048] 도 2는 표시 패널(110)의 터치 검출 기능의 등가 회로도를 모식적으로 나타낸다.

[0049] 도 2에 도시된 바와 같이, 표시 패널(110)은, 증폭 트랜지스터(60), 선택 트랜지스터(61), 리셋 트랜지스터(62), 전원선(63), 출력 신호선(64), 리셋 전원선(65), 리셋 신호선(66), 판독 신호선(67) 및 선택 신호선(68)을 더 포함한다.

[0050] 증폭 트랜지스터(60)의 게이트는 리셋 트랜지스터(62)의 소스에 전기적으로 접속되어 있다. 증폭 트랜지스터(60)의 드레인선 선택 트랜지스터(61)의 소스에 전기적으로 접속되어 있다. 증폭 트랜지스터(60)의 소스는 판독 신호선(64)에 전기적으로 접속되어 있다.

[0051] 선택 트랜지스터(61)의 게이트는 선택 신호선(68)에 전기적으로 접속되어 있다. 선택 트랜지스터(61)의 드레인

은 전원선(63)에 전기적으로 접속되어 있다. 리셋 트랜지스터(62)의 게이트는 리셋 신호선(66)에 전기적으로 접속되어 있다. 리셋 트랜지스터(62)의 드레인은 리셋 전원선(65)에 전기적으로 접속되어 있다.

[0052] 전원선(63)은 소정의 전원 전압(예를 들어, +5V의 전압)을 선택 트랜지스터(61)의 드레인에 공급한다. 리셋 전원선(65)은 소정의 전압을 리셋 트랜지스터(62)의 드레인에 공급한다.

[0053] 증폭 트랜지스터(60)의 게이트에는 검출용 캐패시터(70)가 전기적으로 접속되어 있다. 검출용 캐패시터(70)는, 상술한 바와 같이, 화소 전극(16), 검출용 전극(50) 및 절연층(52)으로 구성되어 있다. 검출용 캐패시터(70)의 정전 용량은, 검출용 전극(50)(제2 주면(10b))에 근접하는 피검출 물건의 유무에 의해 변화된다.

[0054] 증폭 트랜지스터(60)의 게이트에는 판독용 캐패시터(71) 및 기생 용량(72)이 전기적으로 접속되어 있다. 판독용 캐패시터(71)의 타단부는 판독 신호선(67)에 전기적으로 접속되어 있다. 기생 용량(72)은, 예를 들어, 검출용 전극(50)의 형성 등에 따라 나타나는 부유 용량이다. 기생 용량(72)은, 예를 들어, 화소 전극(16)과 검출용 전극(50)이 겹치는 면적에 따라 증가한다.

[0055] 표시 패널(110)에서 터치 조작이 검출되는 경우에는, 우선, 리셋 신호선(66)에 리셋 펄스를 입력하고, 리셋 트랜지스터(62)를 온 상태로 한다. 리셋 트랜지스터(62)가 온 상태로 되면, 증폭 트랜지스터(60)의 게이트 전위가 리셋 전원선(65)으로부터 공급되는 소정의 기준 전위로 설정된다.

[0056] 증폭 트랜지스터(60)의 게이트 전위를 기준 전위로 설정한 후, 리셋 트랜지스터(62)를 오프 상태로 한다. 이에 의해, 증폭 트랜지스터(60)의 게이트가 전기적인 플로팅 상태로 된다.

[0057] 리셋 트랜지스터(62)를 오프 상태로 한 후, 선택 신호선(68)에 선택 펄스를 입력하고, 선택 트랜지스터(61)를 온 상태로 하고, 판독 신호선(67)에 판독 펄스를 입력한다. 판독 펄스가 입력되면, 판독용 캐패시터(71)의 정전 용량이 판독 펄스에 대응하는 값으로 설정된다. 이에 의해, 검출용 캐패시터(70)의 정전 용량, 판독용 캐패시터(71)의 정전 용량, 기생 용량(72)의 정전 용량 및 판독 펄스의 전위에 대응하는 전위가 증폭 트랜지스터(60)의 게이트에 설정된다. 게이트 전위에 대응하는 전류가 증폭 트랜지스터(60)의 드레인과 소스 간에 흐른다.

[0058] 판독 펄스가 입력되었을 때의 증폭 트랜지스터(60)의 게이트 전위는 이하의 수학적 식 (1)로 나타내어진다. 수학적 식 (1)에서, ΔV_p 는 증폭 트랜지스터(60)의 게이트 전위이다. C_t 는 검출용 캐패시터(70)의 정전 용량이다. C_c 는 판독용 캐패시터(71)의 정전 용량이다. C_p 는 검출용 전극(50)과 화소 전극(16)의 겹침에 대응하는 기생 용량(72)이다. C_0 는 화소 전극(16)과의 겹침에 좌우되지 않는 검출용 전극(50)의 기생 용량이다. k 는 비례 상수이다. ΔV_c 는 판독 펄스의 전압 진폭이다.

수학적 식 1

$$\Delta V_p = \frac{C_c}{C_c + C_0 + k \times (C_p + C_t)} \times \Delta V_c$$

[0059]

[0060] 수학적 식 (1)에 나타낸 바와 같이, 증폭 트랜지스터(60)의 게이트 전위는, 검출용 캐패시터(70)의 정전 용량, 판독용 캐패시터(71)의 정전 용량 및 기생 용량(72)의 정전 용량 간의 용량비에 따라 설정된다. 이로 인해, 증폭 트랜지스터(60)의 게이트 전위는 검출용 캐패시터(70)의 정전 용량에 의해 변화된다. 검출용 캐패시터(70)의 정전 용량에 의해, 증폭 트랜지스터(60)의 드레인과 소스 간에 흐르는 전류가 변화된다. 증폭 트랜지스터(60)의 드레인과 소스 간에 흐르는 전류에 의해, 검출용 캐패시터(70)의 정전 용량이 검출될 수 있다. 즉, 피검출 물건의 유무를 검출할 수 있다. 이에 의해, 터치 조작의 검출 기능이 실현될 수 있다.

[0061] 판독 신호선(64)은, 비교기(73)의 반전 입력 단자에 전기적으로 접속되어 있다. 증폭 트랜지스터(60)와 비교기(73) 사이에서, 판독 신호선(64)에는 출력용 캐패시터(74)가 전기적으로 접속되어 있다. 이에 의해, 증폭 트랜지스터(60)의 드레인과 소스 간에 흐르는 전류에 대응하는 전압(이하, 검출 전압이라고 함)이 비교기(73)의 반전 입력 단자에 인가된다.

[0062] 비교기(73)의 비반전 입력 단자에는 소정의 임계치 전압이 인가되어 있다. 따라서, 비교기(73)의 출력 단자에는, 검출 전압이 임계치 전압 이하일 경우에 "High"가 출력되는 반면, 검출 전압이 임계치 전압 이상일 경우에는 "Low"가 출력된다. 이에 의해, 비교기(73)의 출력이 "High"일 경우에는 피검출 물건의 유무가 검출되지 않았다고

판정할 수 있다. 비교기(73)의 출력이 "Low"인 경우에는 피검출 물건이 검출되었다고 판정할 수 있다.

- [0063] 도 3은 제1 실시 형태에 따른 표시 패널의 구성을 예시하는 등가 회로도이다.
- [0064] 도 3은 표시 패널(110)의 발광 소자부(24)를 발광시키는 발광 기능의 등가 회로도를 모식적으로 나타낸다.
- [0065] 도 3에 도시된 바와 같이, 표시 패널(110)은, 스위치 트랜지스터(80), 영상 신호선(81), 게이트선(82), 전원선(83) 및 캐패시터(87)를 더 포함한다.
- [0066] 스위칭 소자(12)의 소스(제1 도전부(31))는, 발광 소자부(24)의 애노드(화소 전극(16))에 전기적으로 접속되어 있다. 스위칭 소자(12)의 드레인(제2 도전부(32))은, 전원 전압을 공급하는 전원선(83)에 전기적으로 접속되어 있다. 스위칭 소자(12)의 게이트(게이트 전극(33))는, 스위치 트랜지스터(80)의 소스에 전기적으로 접속되어 있다.
- [0067] 발광 소자부(24)의 캐소드(대향 전극(20))는, 공통 전원(예를 들어 접지)에 전기적으로 접속되어 있다. 스위치 트랜지스터(80)의 드레인은 신호선(81)에 전기적으로 접속되어 있다. 스위치 트랜지스터(80)의 게이트는 게이트선(82)에 전기적으로 접속되어 있다.
- [0068] 캐패시터(87)의 일단부는, 스위칭 소자(12)의 게이트와 스위치 트랜지스터(80)의 소스에 전기적으로 접속되어 있다. 캐패시터(87)의 타단부는, 스위칭 소자(12)의 소스와 발광 소자부(24)의 애노드에 전기적으로 접속되어 있다.
- [0069] 표시 패널(110)에서, 발광 소자부(24)를 발광시킬 경우에는, 우선, 게이트 선(82)에 전압을 인가하여 스위치 트랜지스터(80)를 온 상태로 하고, 소정의 영상 신호에 대응하는 전압(이하, 영상 신호 펄스라고 함)을 영상 신호선(81)에 인가하고, 영상 신호선(81)과 온 상태의 스위치 트랜지스터(80)를 거쳐 스위칭 소자(12)의 게이트 및 캐패시터(87)에 전압을 인가한다. 이에 의해, 영상 신호선(81)의 전압에 대응하는 전하가 캐패시터(87)에 축적된다.
- [0070] 캐패시터(87)에 전하를 축적시킨 후, 스위치 트랜지스터(80)를 오프 상태로 절환한다. 스위치 트랜지스터(80)가 오프 상태로 절환되면, 캐패시터(87)에 축적되어 있는 전하에 대응하는 전압이 스위칭 소자(12)의 게이트에 인가된다. 이에 의해, 스위치 트랜지스터(80)의 게이트의 전압에 대응하는 전류가 발광 소자부(24)에 흐른다. 그 전류에 대응하는 휘도로 발광 소자부(24)의 유기 발광층(18)이 발광한다.
- [0071] 터치 검출 기능이 구비된 유기 EL형의 표시 패널에서, 발광 소자부(24)와 검출용 전극(50)을 나란히 배치하는 구성이 있다. 이 구성에서는, 화소의 면적이 동일한 경우, 검출 기능을 갖지 않는 표시 패널보다 발광 소자부(24)의 면적이 좁아져, 화질의 저하를 초래하게 된다. 또한, 유기 EL형의 표시 패널에서 발광 소자부(24)의 면적이 좁아지면, EL의 수명도 짧아진다.
- [0072] 반면, 본 실시 형태에 따른 표시 패널(110)에서는, 제1 주면(10a)(X-Y 평면) 상에 투영될 때 검출용 전극(50)이 발광 소자부(24)와 겹친다. 이에 의해, 검출 기능을 제공하는 경우에도, 발광 소자부(24)의 면적의 저하 및 이 저하에 수반하는 화질의 저하를 억제할 수 있다.
- [0073] 본 실시 형태에 따른 표시 패널(110)에서는, 반도체층(35)과 검출용 전극(50)을 동일한 아몰퍼스 산화물 반도체로 형성한다. 이에 의해, 표시 패널(110)에서는, 예를 들어, 반도체층(35)과 검출용 전극(50)을 동일한 공정 단계에서 형성할 수 있다. 이에 의해, 예를 들어, 표시 패널(110)의 제조 공정 단계를 간략화할 수 있다.
- [0074] 도 4는 제1 실시 형태에 따른 표시 패널의 특성을 예시하는 그래프이다.
- [0075] 도 4의 횡축은, 화소의 면적에 대한 검출용 전극(50)의 면적의 비율 SR을 나타낸다. 종축은, 피검출 물건이 검출되지 않은 상태에서의 증폭 트랜지스터(60)의 게이트 전위 ΔV_{p1} 과 피검출 물건이 검출된 상태에서의 증폭 트랜지스터(60)의 게이트 전위 ΔV_{p2} 간의 차분 $\Delta V_{p1} - \Delta V_{p2}$ 를 나타낸다.
- [0076] SR=0인 경우, 이러한 상태는 검출용 전극(50)이 제공되지 않은 상태를 나타낸다. SR=0.5인 경우, 이러한 상태는 화소 면적의 반의 면적의 검출용 전극(50)이 제공되고 있는 상태를 나타낸다. 그리고, SR=1인 경우, 이러한 상태는 화소 면적과 동일한 면적의 검출용 전극(50)이 제공되고 있는 상태를 나타낸다. 즉, 차분 $\Delta V_{p1} - \Delta V_{p2}$ 는 피검출 물건을 검출하는 감도이다. 차분 $\Delta V_{p1} - \Delta V_{p2}$ 가 높을수록, 검출 감도가 높아진다.
- [0077] 도 4에서, 실선은, 본 실시 형태에 따른 표시 패널(110)의 특성을 나타낸다. 일점쇄선은, 발광 소자부(24)와 검출용 전극(50)을 나란히 배치한 참고 예에 따른 표시 패널의 특성을 나타낸다. 참고 예의 구성에서는, 발광

소자부(24)와 검출용 전극(50)이 나란히 배치되어 있기 때문에, 화소 면적과 동일한 면적의 검출용 전극(50)을 형성하기가 곤란하다. 표시 패널(110)에서는, 발광 소자부(24)와 검출용 전극(50)이 서로 겹쳐져서 배치되기 때문에, 화소 면적과 동일한 면적의 검출용 전극(50)을 또한 형성할 수 있다.

[0078] 도 4에 나타낸 바와 같이, 표시 패널(110)의 감도는, 검출용 전극(50)의 면적을 크게 해도 일정값 이상을 초과하지 않는다. 이것은, 검출용 전극(50)의 면적이 증가하는 만큼, 그리고 발광 소자부(24)와 검출용 전극(50)이 겹치는 면적이 증가하는 만큼, 증폭 트랜지스터(60)의 게이트에 접속된 기생 용량(72)의 정전 용량 Cp가 증가하기 때문이라고 생각된다(상기 수학적 (1) 참조).

[0079] 그러나, 표시 패널(110)에서는, 검출용 전극(50)에 의해 야기되는 발광 소자부(24)의 면적의 저하가 없다(개구율의 저하가 없다). 예를 들어, 표시 패널(110)에서, 검출용 전극(50)의 면적을 100%라고 했을 경우의 감도는, 참고 예의 구성에서 검출용 전극(50)의 면적을 20% 정도로 했을 경우의 감도, 즉, 발광 소자부(24)의 면적을 20% 정도 저하시켰을 경우의 감도와 실질적으로 동일하다. 예를 들어, 나중에 구비되는 정전 용량 터치 패널의 투과율은 약 90%이다. 따라서, 발광 소자부(24)의 면적의 저하를, 터치 패널이 나중에 구비되는 경우의 투과율과 거의 동일한 투과율로 억제하기 위해서는, 발광 소자부(24)의 면적의 저하를 10% 이하로 할 필요가 있다. 이로 인해, 표시 패널(110)의 구성에 의해 감도를 확보하는 것이 현실적으로 유효하다고 생각된다.

[0080] 제2 실시 형태

[0081] 도 5는 제2 실시 형태에 따른 표시 장치의 구성을 예시하는 모식도이다.

[0082] 도 5에 도시된 바와 같이, 표시 장치(210)는, 표시 패널(110), 제어부(120) 및 전원부(130)를 포함한다.

[0083] 제어부(120)는 표시 패널(110)과 전기적으로 접속되어, 스위칭 소자(12)의 동작을 제어하고 검출용 캐패시터(70)의 정전 용량을 검출한다. 즉, 제어부(120)는 발광 소자부(24)의 발광을 제어하고 터치 조작의 검출을 제어한다.

[0084] 제어부(120)는, 예를 들어, 출력 신호선(64), 리셋 신호선(66), 판독 신호선(67) 및 선택 신호선(68)에 전기적으로 접속된다. 제어부(120)는, 예를 들어, 리셋 신호선(66), 판독 신호선(67) 및 선택 신호선(68)에 각종 신호를 입력하고, 출력 신호선(64)으로부터 출력되는 신호를 수신하여 터치 조작의 검출을 제어한다.

[0085] 제어부(120)는, 예를 들어, 영상 신호선(81) 및 게이트선(82)에 전기적으로 접속된다. 제어부(120)는, 예를 들어, 영상 신호선(81) 및 게이트선(82)에 각종 신호를 입력하여, 발광 소자부(24)의 발광을 제어한다.

[0086] 제어부(120)는, 예를 들어, 유선 및 기억 매체를 통해, 그리고 무선으로 영상 신호를 수신한다. 제어부(120)는, 입력된 영상 신호에 대응하여, 표시 패널(110)에 포함되는 발광 소자부(24)의 발광을 제어한다. 이에 의해, 제어부(120)는, 입력된 영상 신호에 대응하는 화상을 표시 패널(110)에 표시한다.

[0087] 전원부(130)는, 표시 패널(110)과 제어부(120)에 전기적으로 접속되어 있다. 전원부(130)는, 표시 패널(110) 및 제어부(120)에 필요한 전력을 공급한다. 전원부(130)는, 예를 들어, 전원선(63), 리셋 전원선(65) 및 전원선(83)에 전기적으로 접속된다. 전원부(130)는, 예를 들어, 전원선(63) 및 전원선(83)에 전원 전압을 공급한다. 전원부(130)는, 예를 들어, 리셋 전원선(65)에 소정의 리셋 전원을 공급한다.

[0088] 도 6은, 제2 실시 형태에 따른 표시 장치의 제어의 일부를 예시하는 타이밍 차트이다.

[0089] 도 6에 나타낸 바와 같이, 제어부(120)는, 검출용 캐패시터(70)의 정전 용량의 검출에 후속하여, 발광 소자부(24)의 유기 발광층(18)을 소정의 휘도로 발광시키기 위한 신호인 영상 신호 펄스를 스위칭 소자(12)의 게이트에 입력한다. 제어부(120)는, 영상 신호 펄스의 입력 직전에 검출용 캐패시터(70)의 정전 용량을 검출한다.

[0090] 1개의 영상 신호 펄스(제1 신호 Sg1)의 시간축 상의 중심 위치를 C1a(제1 타이밍)라고 한다. 후속되는 영상 신호 펄스(제2 신호 Sg2)의 시간축 상의 중심 위치를 C1b(제2 타이밍)라고 한다. 중심 위치 C1a와 중심 위치 C1b 사이의 시간축 상의 중심 위치를 C2라고 한다. 중심 위치 C1a와 중심 위치 C2 사이의 구간을 제1 구간 S1이라고 한다. 중심 위치 C2와 중심 위치 C1b 사이의 구간을 제2 구간 S2(후반 기간(latter period))라고 한다. 판독 신호선(67)에 입력되는 판독 펄스의 중심 위치 및 선택 신호선(68)에 입력되는 선택 펄스의 시간축 상의 중심 위치를 C3이라고 한다. 제어부(120)는 중심 위치 C3을 제2 구간 S2에 위치시킨다. 즉, 후반 기간(제2 구간 S2)에 검출이 행해진다.

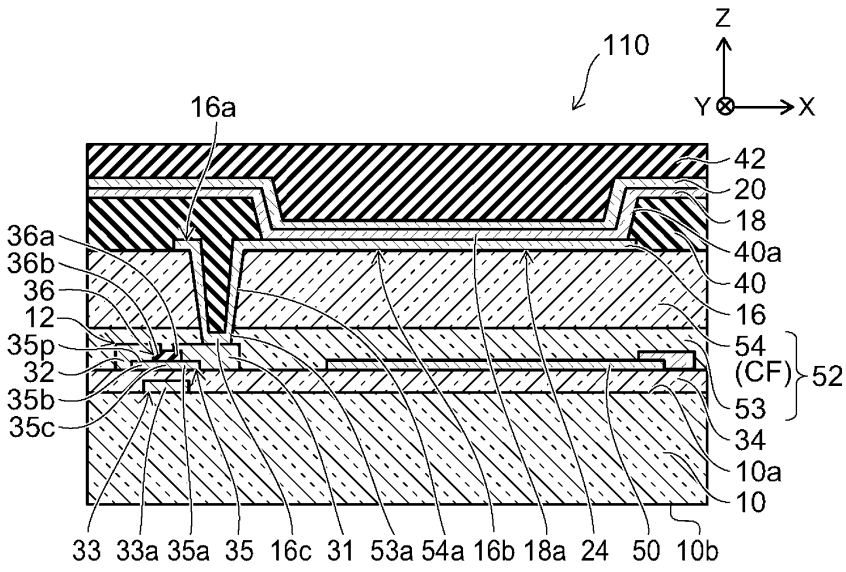
[0091] 그러므로, 피검출 물건의 근접에 의해 검출용 캐패시터(70)에서 발생하는 정전 용량이, 캐패시터(87)에 축적된 전하에 악영향을 끼치는 것을 억제할 수 있다. 유기 발광층(18)을 발광시키기 위한 신호는, 영상 신호선(81)에

입력되는 영상 신호 펄스에 한정되지 않는다. 유기 발광층(18)을 발광시키기 위한 신호는, 발광을 위해 스위칭 소자(12)에 입력되는 임의의 신호일 수 있다.

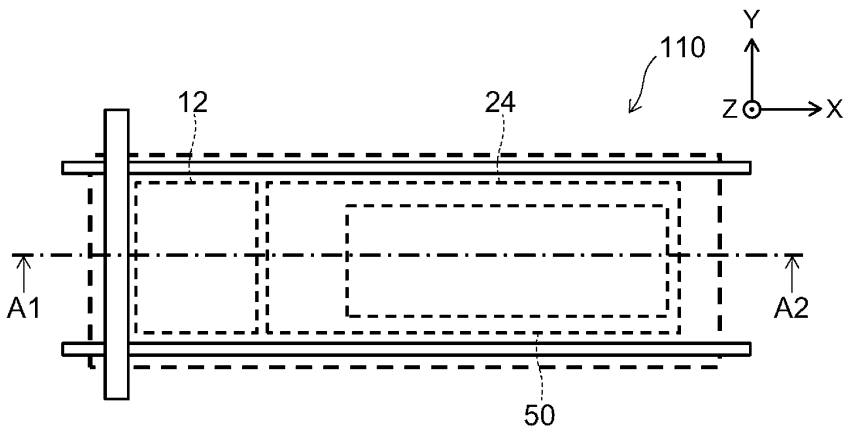
- [0092] 본 실시 형태들에 따르면, 검출 기능을 갖는 고화질의 표시 패널 및 표시 장치가 제공될 수 있다.
- [0093] 또한, 본원의 명세서에서, "수직" 및 "평행"은, 엄밀한 수직 및 엄밀한 평행뿐만 아니라, 예를 들어 제조 공정에서의 변동 등도 포함하는 것이다. 실질적으로 수직 및 실질적으로 평행하면 충분하다.
- [0094] 본원의 명세서에서, "하나의 구성요소가 다른 구성요소 위에 제공된다"라는 상태는, 하나의 구성요소가 다른 구성요소 바로 위에 제공되는 상태 외에도 하나의 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 삽입된 채로 하나의 구성요소가 다른 구성요소 위에 제공되는 상태도 포함한다. "하나의 구성요소가 다른 구성요소 위에 적층된다"라는 상태는, 서로 접하도록 하나의 구성요소가 다른 구성요소 위에 적층되는 상태 외에도, 하나의 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 삽입된 채로 하나의 구성요소가 다른 구성요소 위에 적층되는 상태도 포함한다. "하나의 구성요소가 다른 구성요소에 대향한다"라는 상태는, 하나의 구성요소가 다른 구성요소와 직접적으로 대면하는 상태 외에도, 하나의 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 삽입된 채로 하나의 다른 구성요소와 대면하는 상태도 포함한다.
- [0095] 이상, 구체예를 참조하면서, 본 발명의 실시 형태에 대해서 설명했다.
- [0096] 그러나, 본 발명의 실시 형태는 이들 구체예에 한정되지 않는다. 예를 들어, 표시 패널 및 표시 장치에 포함되는 기관, 스위칭 소자, 화소 전극, 유기 발광층, 대향 전극, 검출용 전극, 절연층, 유기층, 접촉층 및 제어부 등의 구성요소의 구체적인 구성은, 당업자가 공지된 범위로부터 적절하게 구성요소를 선택하여 본 발명을 마찬가지로 실시하고, 마찬가지로의 효과를 얻을 수 있는 한, 본 발명의 범위에 포함된다.
- [0097] 또한, 구체예의 임의의 2개 이상의 구성요소는 기술적으로 가능한 범위에서 조합될 수 있으며, 본 발명의 요지를 포함하는 한 본 발명의 범위에 속한다.
- [0098] 또한, 본 발명의 실시 형태로서 상술한 표시 패널 및 표시 장치를 기초로 하고, 당업자가 적절하게 설계 변경하여 실시할 수 있는 모든 표시 패널 및 표시 장치도, 본 발명의 요지를 포함하는 한 본 발명의 범위에 속한다.
- [0099] 그 외, 본 발명의 사상 내에서, 당업자라면 각종 변경예 및 수정예를 상도할 수 있으며, 이러한 변경예 및 수정예도 본 발명의 범위에 속하는 것으로 이해된다.
- [0100] 몇몇 실시 형태들이 설명되었지만, 이 실시 형태들은 단지 예로서 제시된 것이며, 본 발명의 범위를 제한하고자 하는 것이 아니다. 본 명세서에 기재된 신규의 실시 형태는 각종 다른 형태로 구현될 수 있다. 또한, 본 명세서에 설명된 실시 형태의 형태에서의 각종 생략, 대체 및 변경이 본 발명의 사상을 벗어나지 않고 행해질 수 있다. 첨부된 특허청구범위 및 그 균등물은 본 발명의 범위 및 사상 내에 있는 한 이러한 형태 또는 변형을 포함하려는 것이다.

도면

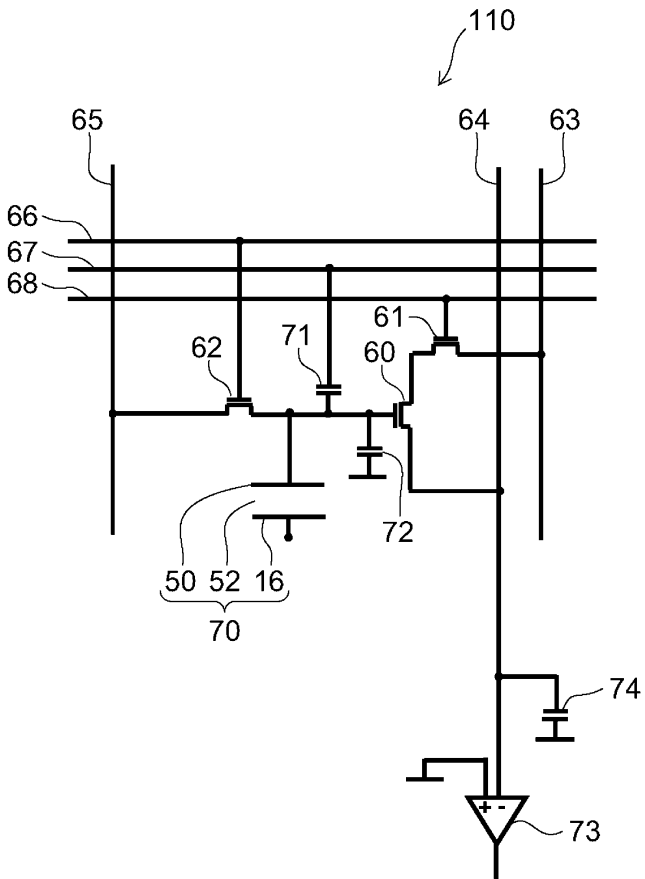
도면1a



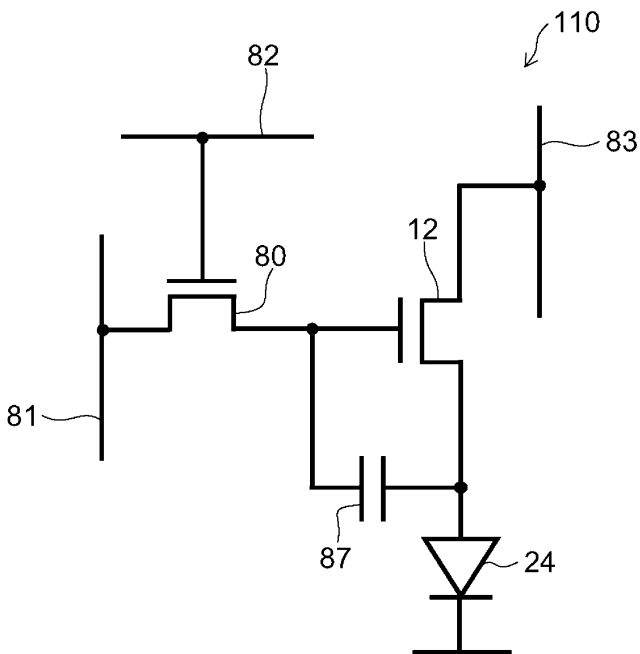
도면1b



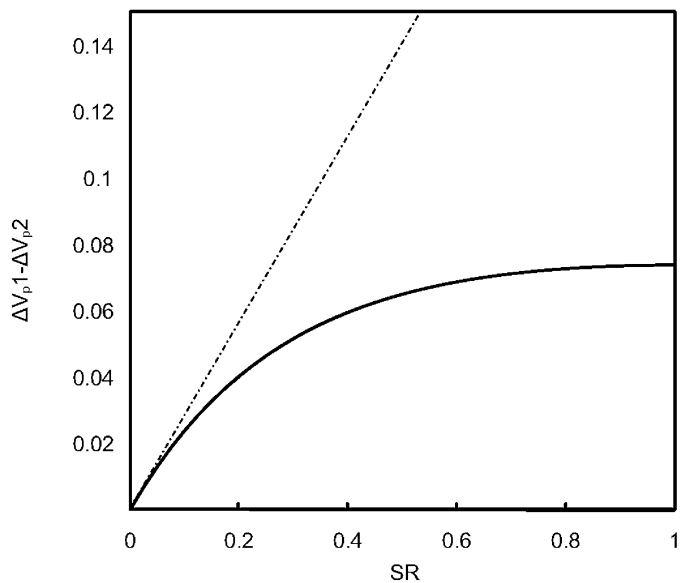
도면2



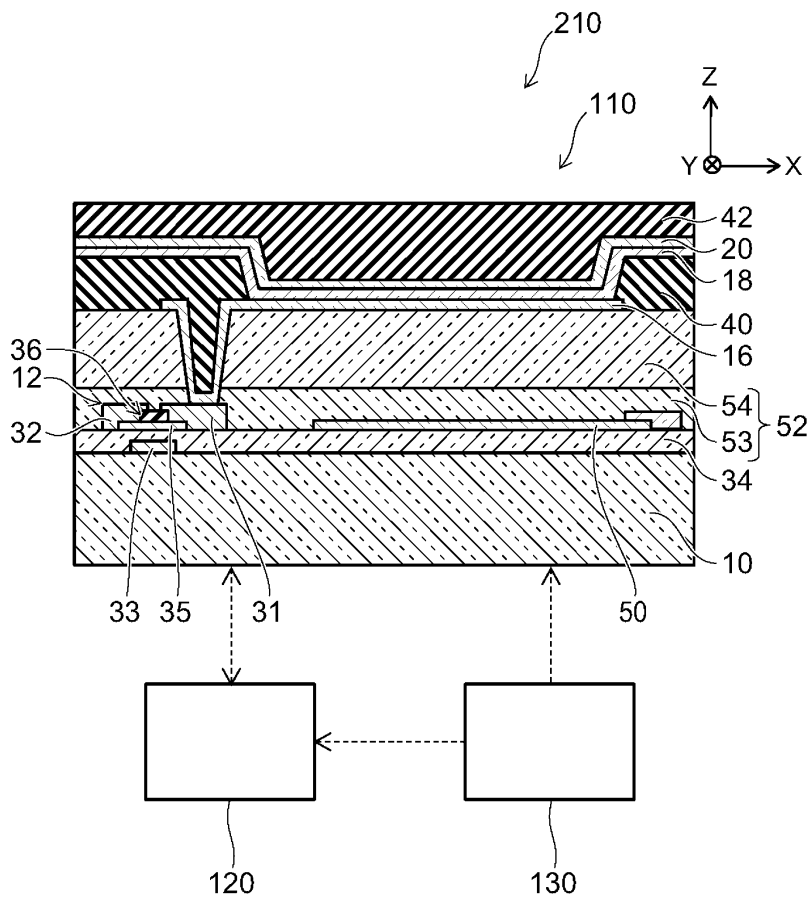
도면3



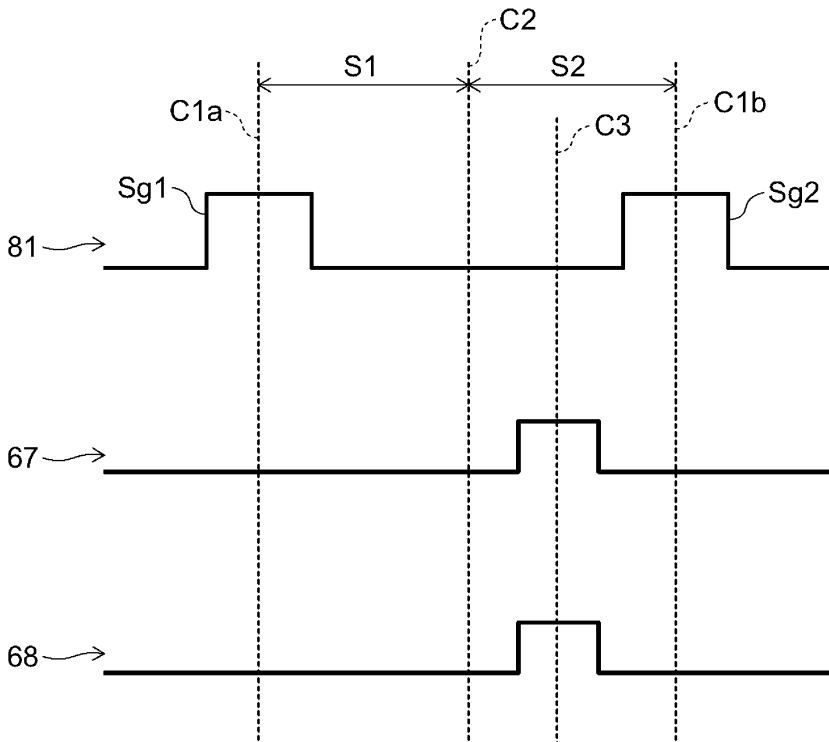
도면4



도면5



도면6



专利名称(译)	显示面板和显示设备		
公开(公告)号	KR1020130118262A	公开(公告)日	2013-10-29
申请号	KR1020130042668	申请日	2013-04-18
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	Sikki东芝股份有限公司		
当前申请(专利权)人(译)	Sikki东芝股份有限公司		
[标]发明人	SAITO NOBUYOSHI 사이토노부요시 UEDA TOMOMASA 우에다도모 마사 YAMAGUCHI HAJIME 야마구치하지메 MIURA KENTARO 미우라겐타로 NAKANO SHINTARO 나가노신타로 SAKANO TATSUNORI 사카노다츠노리		
发明人	사이토노부요시 우에다도모 마사 야마구치하지메 미우라겐타로 나가노신타로 사카노다츠노리		
IPC分类号	H01L51/50 G09F9/00		
CPC分类号	H01L27/326 H01L51/52 H01L27/3227 G09F9/00 H01L27/3225 H01L27/3248 H01L51/5012 H01L51/5203		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2012095914 2012-04-19 JP		
其他公开文献	KR101439766B1		
外部链接	Espacenet		

摘要(译)

根据一个实施例，显示面板包括基板，开关元件，像素电极，有机发光层，对电极，检测电极和绝缘层。基材具有主表面。开关元件设置在主表面上。开关元件包括半导体层。像素电极设置在主表面上。像素电极电连接到开关元件。在像素电极上提供有机发光层。对电极设置在有机发光层上。检测电极设置在像素电极的至少一部分与基板之间。检测电极包括包含在半导体层中的至少一种元素。在像素电极和检测电极之间提供绝缘层。

